

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7652908号
(P7652908)

(45)発行日 令和7年3月27日(2025.3.27)

(24)登録日 令和7年3月18日(2025.3.18)

(51)国際特許分類	F I
H 0 5 K 1/03 (2006.01)	H 0 5 K 1/03 6 3 0 J
H 0 1 L 23/08 (2006.01)	H 0 1 L 23/08 C
H 0 5 K 1/18 (2006.01)	H 0 5 K 1/18 Q

請求項の数 14 (全14頁)

(21)出願番号	特願2023-543830(P2023-543830)	(73)特許権者	000006633
(86)(22)出願日	令和4年8月17日(2022.8.17)		京セラ株式会社
(86)国際出願番号	PCT/JP2022/030999		京都府京都市伏見区竹田鳥羽殿町6番地
(87)国際公開番号	WO2023/026904	(74)代理人	110000338
(87)国際公開日	令和5年3月2日(2023.3.2)		弁理士法人 HARAKENZO WORLD PATENT & TRADEMARK
審査請求日	令和6年2月26日(2024.2.26)		
(31)優先権主張番号	特願2021-139371(P2021-139371)	(72)発明者	小濱 健一
(32)優先日	令和3年8月27日(2021.8.27)		京都府京都市伏見区竹田鳥羽殿町6番地
(33)優先権主張国・地域又は機関	日本国(JP)	審査官	京セラ株式会社内 沼生 泰伸

最終頁に続く

(54)【発明の名称】 電子素子実装用基板、電子装置および電子モジュール

(57)【特許請求の範囲】

【請求項1】

平面視における形状が矩形であり、素子が搭載される素子実装部を有する基部と、前記基部の上面に位置する第1枠部と、前記第1枠部の上面に位置する第2枠部と、前記第2枠部の上面に位置するとともに前記素子と電氣的に接続する電極パッドと、を備え、

前記第1枠部は、前記第2枠部よりも前記素子実装部側にそれぞれせり出している第1せり出し部および第2せり出し部を少なくともひと組有しており、

前記第1せり出し部のせり出し幅は、前記第2せり出し部のせり出し幅よりも大きく、前記第1せり出し部と前記素子実装部との間の距離は、前記第2せり出し部と前記素子実装部との間の距離よりも小さい、電子素子実装用基板。

10

【請求項2】

平面視における形状が矩形であり、素子が搭載される素子実装部を有する基部と、前記基部の上面に位置する第1枠部と、前記第1枠部の上面に位置する第2枠部と、前記素子と電氣的に接続するための電極パッドと、を備え、
前記第1枠部の上面には、前記電極パッドが位置しておらず、

前記第1枠部は、前記第2枠部よりも前記素子実装部側にそれぞれせり出している第1せり出し部および第2せり出し部を少なくともひと組有しており、

20

前記第 1 せり出し部のせり出し幅は、前記第 2 せり出し部のせり出し幅よりも大きく、
前記第 1 せり出し部と前記素子実装部との間の距離は、前記第 2 せり出し部と前記素子
実装部との間の距離よりも小さい、電子素子実装用基板。

【請求項 3】

前記第 1 せり出し部および前記第 2 せり出し部は、上面視において、前記電極パッドと
前記素子実装部との間に位置している、請求項 1 又は 2 に記載の電子素子実装用基板。

【請求項 4】

前記第 1 せり出し部および前記第 2 せり出し部を 2 組有している、請求項 1 又は 2 に記
載の電子素子実装用基板。

【請求項 5】

前記基部は、少なくとも 1 層の絶縁層から構成されており、最上層に位置する前記絶縁
層の表面は露出している、請求項 1 又は 2 に記載の電子素子実装用基板。

【請求項 6】

前記第 1 せり出し部および前記第 2 せり出し部は、L 字状に位置又は隣接している、請
求項 1 又は 2 に記載の電子素子実装用基板。

【請求項 7】

前記第 1 枠部は複数の絶縁層から構成されており、前記複数の絶縁層の各々の内側面は
平面視において一致している、請求項 1 又は 2 に記載の電子素子実装用基板。

【請求項 8】

前記第 1 枠部は、当該第 1 枠部の上面かつ前記第 2 枠部の内縁と重なる位置に、絶縁膜
を有している、請求項 1 又は 2 に記載の電子素子実装用基板。

【請求項 9】

前記第 1 枠部の内側面および / または前記第 2 枠部の内側面は、前記基部の底面に対し
て傾斜している、請求項 1 又は 2 に記載の電子素子実装用基板。

【請求項 10】

前記基部の上面に垂直な方向を厚み方向とし、
前記第 1 枠部の内側面の厚みは、前記第 1 枠部の外側面の厚みよりも大きい、請求項 1
又は 2 に記載の電子素子実装用基板。

【請求項 11】

前記第 1 枠部の開口部の形状は長方形状であり、当該開口部の短辺と素子実装部との距
離は、当該開口部の長辺と素子実装部との距離よりも大きい、請求項 1 又は 2 に記載の電
子素子実装用基板。

【請求項 12】

請求項 1 又は 2 に記載の電子素子実装用基板と、素子と、を備える電子装置。

【請求項 13】

前記素子は発熱部を有しており、
前記発熱部は、前記第 1 せり出し部よりも第 2 せり出し部に近い位置に位置している、
請求項 1 2 に記載の電子装置。

【請求項 14】

請求項 1 2 に記載の電子装置と、
前記電子装置の上方に位置する蓋体と、を備える電子モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電子素子実装用基板、当該電子素子実装用基板を備える電子装置および電子
モジュールに関する。

【背景技術】

【0002】

凹部を有し、当該凹部内に電子素子を収容する電子素子実装用基板として、例えば、特
許文献 1 (特開 2005 - 203485) に開示されているように、凹部を構成する枠部

10

20

30

40

50

が、積層体構造を有している例が知られている。

【先行技術文献】

【特許文献】

【0003】

【文献】日本国公開特許公報「特開2005-203485号公報」

【発明の概要】

【0004】

本開示の一態様に係る電子素子実装用基板は、平面視における形状が矩形であり、素子が搭載される素子実装部を有する基部と、前記基部の上面に位置する第1枠部と、前記第1枠部の上面に位置する第2枠部と、を有しており、前記第1枠部は、前記第2枠部よりも前記素子実装部側にそれぞれせり出している第1せり出し部および第2せり出し部を少なくともひと組有しており、前記第1せり出し部のせり出し幅は、前記第2せり出し部のせり出し幅よりも大きく、前記第1せり出し部と前記素子実装部との間の距離は、前記第2せり出し部と前記素子実装部との間の距離よりも小さい。

10

【0005】

本開示の一態様に係る電子装置は、前記電子素子実装用基板と、素子と、を備える。

【0006】

本開示の一態様に係る電子モジュールは、前記電子装置と、前記電子装置の上方に位置する蓋体と、を備える。

【図面の簡単な説明】

20

【0007】

【図1】本開示の実施形態1に係る電子モジュールの断面図である。

【図2】本開示の実施形態1に係る電子装置の断面図であり、図3におけるII-II線矢視断面図である。

【図3】本開示の実施形態1に係る電子装置の上面図である。

【図4】本開示の実施形態1に係る電子素子実装用基板の断面図であり、図5におけるIV-IV線矢視断面図である。

【図5】本開示の実施形態1に係る電子素子実装用基板の上面図である。

【図6】本開示の実施形態1に係る電子素子実装用基板の断面図であり、絶縁膜17および絶縁膜18を備えている例を示している。

30

【図7】上記電子素子実装用基板の第1の変形例の上面図である。

【図8】上記電子素子実装用基板の第2の変形例の上面図である。

【図9】上記電子素子実装用基板の第3の変形例の上面図である。

【図10】上記電子素子実装用基板の第4の変形例の部分断面図である。

【図11】上記電子素子実装用基板の第5の変形例の部分断面図である。

【図12】上記電子素子実装用基板の第6の変形例の部分断面図である。

【発明を実施するための形態】

【0008】

特許文献1に記載の基板のように、凹部を構成する複数の枠部が、所定の方向において長さの等しい開口部を有している（枠部の形状が同じ）場合について考える。このような基板の場合、積層して加圧する工程（以下積層工程とする）において開口部の位置が工程誤差によりずれることにより、基板を平面視したときに開口部側から見える凹部の底面積が小さくなってしまふことが懸念されていた。

40

【0009】

本開示の一態様によれば、複数の枠部の積層工程において位置ずれが生じて、電子素子実装用基板を平面視したときに開口部側から見える凹部の底面積が変化の可能性を低減できる。

【0010】

以下、本開示のいくつかの例示的な実施形態について図面を参照して説明する。以下の説明では、電子素子実装用基板に素子が実装された構成を電子装置とする。また、素子と

50

、当該素子の上面側に位置する蓋体とを含む構成を電子モジュールとする。電子素子実装用基板、電子装置および電子モジュールは、いずれの方向が上方または下方であってもよいが、便宜的に、直交座標系 $x y z$ を定義するとともに、 z 軸正方向を上方とする。

【0011】

〔実施形態〕

以下の実施形態では、電子装置200が備える素子が、撮像素子20である場合の例について、図1～図6を参照しつつ説明する。

【0012】

図1は、本実施形態の電子モジュール500の断面図である。電子モジュール500は、電子装置200と、電子装置200の上方に位置する蓋体51とを備えている。図2は、本実施形態に係る電子装置200の断面図であり、図3におけるII-II線矢視断面図である。電子装置200は、電子素子実装用基板1と、撮像素子20とを備えている。図3は、電子装置200の上面図である。図4は、本実施形態に係る電子素子実装用基板1の断面図であり、図5におけるIV-IV線矢視断面図である。図5は、電子素子実装用基板1の上面図である。図6は、本実施形態に係る電子素子実装用基板1の断面図であり、絶縁膜17および絶縁膜18を備えている例を示している。以下に、電子モジュール500、電子装置200および電子素子実装用基板1を構成する要素について詳細に説明する。

【0013】

電子素子実装用基板1は、撮像素子20を搭載するための基体であり、基部11と、第1枠部12と、第2枠部13と、第3枠部14とを有している。当該構成により、電子素子実装用基板1は撮像素子20を搭載するための凹部を有している。第2枠部13の上面には素子と接続するための電極パッド16が設けられている。また、電子素子実装用基板1の下面には、外部電気回路と接続するための端子電極（図示せず）が設けられている。端子電極は、電子素子実装用基板1の下面ではなく、下面から側面にかけて、あるいは側面に設けられていてもよい。また、電子素子実装用基板1は、各絶縁層間に形成される電極、内部配線導体および内部配線同士を上下に接続する貫通導体を備えていてもよい。これらの電極、内部配線導体または貫通導体は、電子素子実装用基板1の表面に露出している。これらの電極、内部配線導体または貫通導体によって、電極パッド16と、端子電極がそれぞれ電氣的に接続されていてもよい。

【0014】

基部11は、平面視における形状が矩形であり、撮像素子20が搭載される素子実装部15を有している。また、基部11は、少なくとも1層の絶縁層110から構成されている。第1枠部12は、基部11の上面に、素子実装部15を囲んで位置している。換言すると、第1枠部12は、基部11の上面に積層された際に、素子実装部15を囲む位置に開口部を有している。第1枠部12は、少なくとも1層の絶縁層120から構成されている。第2枠部13は、第1枠部12の上面に位置しており、上面に電極パッド16を有している。第2枠部13は、第1枠部12の上面に積層された際に、素子実装部15を囲む位置に、開口部を有している。第2枠部13は、少なくとも1層の絶縁層130から構成されている。第3枠部14は、必ずしも必要な構成要素ではなく、必要に応じて第2枠部13の上面に設けられ得る。第3枠部14は、電子素子実装用基板1の構成要素として絶縁層140から構成されてもよいし、後述する蓋体51の構成要素の一部として蓋体51と一体化されていてもよい。

【0015】

基部11において、素子実装部15とは、撮像素子20が実装される領域である。素子実装部15に実装される部品は上述した撮像素子20に限らず、少なくとも1つ以上の他の電子素子または電子部品であってもよい。素子実装部15は、例えば、基部11の上面において素子実装部15に実装される部品と重なる領域であってもよい。あるいは、素子実装部15は、基部11の上面に位置しており素子実装部15に実装される部品を実装する際に用いるアライメントマーク同士を結ぶ仮想線で囲まれた領域であってもよい。あるいは

10

20

30

40

50

は、素子実装部 15 は、素子実装部 15 に実装される部品と基部 11 の上面との間に設けられた実装用のメタライズ層が位置する領域であってもよい。

【0016】

基部 11 は、図 6 に示すように、基部 11 の上面かつ第 1 枠部 12 の内縁と重なる位置に絶縁膜 17 を有していてもよい。当該構成により、第 1 枠部 12 の内縁下部が補強されるため、積層時の圧力によって第 1 枠部 12 が変形する可能性を低減することができる。また、積層時の圧力によって応力のかかりやすい、第 1 枠部の内縁直下の基部 11 または基部 11 内の内部配線にクラックが生じる可能性を低減することができる。

【0017】

基部 11 は、少なくとも 1 層の絶縁層 110 から構成されている。当該少なくとも 1 層の絶縁層 110 のうち、最上層に位置する絶縁層 110 の表面は露出しているもよい。絶縁層 110 の表面が露出しているとは、絶縁層 110 がアルミナコート層またはメタライズ層を有しておらず、絶縁層 110 を形成する電気絶縁性セラミックスなどが、露出していることを意味する。図 6 に示すように基部 11 の表面の一部に絶縁膜 17 を有している場合には、それ以外の部分が露出していればよい。すなわち、最上層に位置する絶縁層 110 の表面の少なくとも一部の表面が露出していればよい。従来技術において、接着材を用いて素子が搭載される面には、その接着材の這上がり対策としてアルミナコートまたはメタライズ層を設ける方法がある。しかしながらこれらのアルミナコート層またはメタライズ層は、ごみ付着、金メッキ付着、入射光の乱反射などを引き起こす可能性がある。基部 11 において最上層に位置する絶縁層 110 の表面が露出していることにより、上述のような不具合が生じる可能性を低減することができる。

【0018】

電子素子実装用基板 1 において、第 1 枠部 12 は、複数の絶縁層 120 から構成されており、複数の絶縁層 120 の各々の内側面 123 は、平面視において一致している。当該構成により、第 1 枠部 12 の上面の平坦度をより向上させることができる。これにより、第 2 枠部 13 の積層時に第 2 枠部が変形する（垂れ下がる）可能性を低減することができる。

【0019】

第 1 枠部 12 は、図 6 に示すように、第 1 枠部 12 の上面かつ第 2 枠部 13 の内縁と重なる位置に、絶縁膜 18 を有していてもよい。当該構成により、第 2 枠部 13 の内縁下部が補強されるため、積層時の圧力によって第 2 枠部 13 が変形する可能性を低減することができる。また、積層時の圧力によって応力のかかりやすい、第 2 枠部 13 の内縁直下の第 1 枠部 12、基部 11 または内部配線にクラックが生じる可能性を低減することができる。

【0020】

第 1 枠部 12 は、第 2 枠部 13 よりも素子実装部 15 側にせり出している第 1 せり出し部 121 および第 2 せり出し部 122 を有している。電子素子実装用基板 1 が電気絶縁性セラミックスによって構成される場合、各絶縁層はセラミックグリーンシート状態で積層して加圧される。第 1 せり出し部 121 および第 2 せり出し部 122 を有していることにより、電極パッド 16 を有する第 2 枠部 13（絶縁層 130）を積層する際に、絶縁層 130 が垂れ下がる可能性を低減することができる。

【0021】

電子素子実装用基板 1 は、第 1 せり出し部 121 と第 2 せり出し部 122 の組み合わせを 2 組有している。便宜上、1 組目の対を第 1 せり出し部 121 および第 2 せり出し部 122、2 組目の対を第 1 せり出し部 121 A および第 2 せり出し部 122 A と表記する。図 5 に示すように、電子素子実装用基板 1 において、対となる第 1 せり出し部 121 と第 2 せり出し部 122 とは、素子実装部 15 を挟んで対向している。電子素子実装用基板 1 において、第 1 せり出し部 121 のせり出し幅 X1 は、第 2 せり出し部 122 のせり出し幅 X2 よりも大きい。また、第 1 せり出し部 121 と素子実装部 15 との間の距離 L1 は、第 2 せり出し部 122 と素子実装部 15 との間の距離 L2 よりも小さい。せり出し幅 X

10

20

30

40

50

1、X2は、例えば第2枠部13の下面からせり出している第1枠部12の上面の幅を指す。また、距離L1、L2は、上面視において、第1枠部12の上面の素子実装部15側の外縁と、素子実装部15の外縁との間の距離を指す。これらは、第1枠部12および/または第2枠部13の、素子実装部15側の側面が、基部11の底面に対して傾斜している場合においても適用される。

【0022】

同様に、第1せり出し部121Aのせり出し幅X1Aは、第2せり出し部122Aのせり出し幅X2Aよりも大きい。また、第1せり出し部121Aと素子実装部15との間の距離L1Aは、第2せり出し部122Aと素子実装部15との間の距離L2Aよりも小さい。せり出し幅X1と、せり出し幅X1Aは、同じ長さであってもよいし異なってもよい。せり出し幅X2と、せり出し幅X2Aもまた、同じ長さであってもよいし異なってもよい。また、距離L1と距離L1Aは、同じ長さであってもよいし異なってもよい。距離L2と距離L2Aもまた、同じ長さであってもよいし異なってもよい。

10

【0023】

当該構成により、第1枠部12と第2枠部13の積層工程において位置ずれが生じて、電子素子実装用基板1を上面から見たときに見える凹部の底面積が変化する可能性を低減できる。電子素子実装用基板1を上面から見たときに見える凹部の底面とは、電子素子実装用基板1を上方から見たときに、基部11の上面かつ第1枠部12および第2枠部13の内縁によって規定される面領域である。凹部の底面は、素子実装部15を含んでおり、凹部の底面積が小さくなると素子を実装する際に支障をきたす可能性がある。そのため凹部の底面積の大きさが変化しないことは、電子素子実装用基板として有意な効果である。

20

【0024】

また、撮像素子20は、接着材を介して、基部11の上面に配置され得る。当該接着材として、例えば、銀工ポキシまたは熱硬化性樹脂などが用いられ得る。接着材を用いて撮像素子20を実装する場合、接着材が押し出される場合がある。第1せり出し部121と素子実装部15との距離L1は、第2せり出し部122と素子実装部15との距離L2よりも小さい。しかしながら、第1せり出し部121の幅X1が第2せり出し部122の幅X2よりも広い場合、押し出された接着材は、第1せり出し部121の上面において水平方向に広がることのできる。また、第2せり出し部122の幅X2は、第1せり出し部121の幅X1よりも狭い。しかしながら、第2せり出し部122と素子実装部15との距離L2は、第1せり出し部121と素子実装部15との距離L1よりも大きい場合、押し出された接着材は、基部11の上面において水平方向に広がることのできる。これにより、押し出された接着材が電極パッド16まで到達する可能性を低減することのできる。そのため、電子素子実装用基板1を備える電子装置200および電子モジュール500において、電気特性が低下する可能性を低減することのできる。

30

【0025】

電子素子実装用基板1は長方形であり、第1枠部12の開口部もまた長方形であるため、せり出し幅X1は、第1枠部12の開口部の短辺と素子実装部との距離であると言える。また、せり出し幅X1Aは、第1枠部12の開口部の長辺と素子実装部との距離であると言える。電子素子実装用基板1において、第1枠部12の開口部の短辺と素子実装部15との距離は、当該開口部の長辺と素子実装部15との距離よりも大きいてもよい。当該構成により、接着剤が這い上がりやすい短辺側において、枠部の内縁と素子実装部との距離を大きくすることにより、接着剤が第2枠部上部に設けられる電極パッドに到達する可能性をより低減することのできる。

40

【0026】

電子素子実装用基板1において、基部11の上面に垂直な方向(z方向)を厚み方向とした場合、第1枠部12の厚みは、第2枠部13の厚みよりも大きいてもよい。あるいは、第1枠部12の絶縁層110の数は、第2枠部13の絶縁層130の数よりも多くてもよい。当該構成により、電子素子実装用基板1の強度が向上する。また、接着剤が第2枠部上部に設けられる電極パッド16に到達する可能性がより低減される。

50

【0027】

撮像素子20は、例えば、CCD (Charge Coupled Device) 型またはCMOS (Complementary Metal Oxide Semiconductor) 型などの撮像素子であり得る。本実施形態では、電子装置200が撮像素子20を備えている例について説明しているが、本開示に係る素子は、撮像素子に限定されない。本開示に係る素子は、上記撮像素子20の他、LED (Light Emitting Diode) またはLD (Laser Diode) などの発光素子、圧力、気圧、加速度、ジャイロなどのセンサー機能を有する素子、または集積回路などであってもよい。撮像素子20と、電子素子実装用基板1とは、ワイヤボンディングなどの接続部材22によって電氣的に接続され得る。

【0028】

撮像素子20は、素子の特性から、発熱部21を有していてもよい。発熱部21は、他の部分よりも発熱しやすい部分のことであり、例えば、演算部などである。通常、発熱部21は、図2および図3に示すように、素子の中心よりも片側に偏った位置に存在し得る。本実施形態において、発熱部21は、第1せり出し部121よりも、第2せり出し部122に近い位置に位置している。当該構成により、電子装置200および電子モジュール500において、第1枠部12および第2枠部13の内部に存在する内部配線と、発熱部との距離を大きくすることができる。これにより、熱による抵抗変化を低減することができる。電子装置200および電子モジュール500の電気特性を向上させることができる。

【0029】

電子装置200に搭載される素子が、CCD、CMOSなどの撮像素子、あるいはLED、LDなどの発光素子である場合には、蓋体51は、ガラス材料などの透明度の高い部材が用いられる。また、蓋体51は、レンズホルダーと、樹脂、液体、ガラスまたは水晶などから構成されるレンズと、を有する構成であってもよい。電子装置200に搭載される素子が、集積回路などである場合には、蓋体51の材料として、金属材料、セラミック材料または有機材料が用いられていてもよい。蓋体51は、蓋体接合材を用いて、電子素子実装用基板1に接合され得る。蓋体接合材としては、例えば、熱硬化性樹脂、低融点ガラスまたは金属成分を含むろう材などを用いることができる。

【0030】

電子素子実装用基板1において、電子素子実装用基板1を形成する絶縁層110・120・130・140の材料は、例えば、電気絶縁性セラミックスまたは樹脂を含む。当該電気絶縁性セラミックスとしては、例えば、酸化アルミニウム質焼結体 (アルミナセラミックス)、窒化アルミニウム質焼結体、窒化珪素質焼結体、ムライト質焼結体またはガラスセラミックス焼結体等のセラミックスを用いることができる。当該樹脂の一例として、エポキシ樹脂、ポリイミド樹脂、アクリル樹脂、フェノール樹脂、およびフッ素系樹脂が挙げられる。当該フッ素系樹脂の一例として、ポリエステル樹脂および四フッ化エチレン樹脂が挙げられる。

【0031】

電子素子実装用基板1は、例えば酸化アルミニウム質焼結体である場合であれば、酸化アルミニウム (Al_2O_3)、酸化珪素 (SiO_2)、酸化マグネシウム (MgO)、酸化カルシウム (CaO) 等の原料粉末に適当な有機バインダおよび溶剤等を添加混合して泥漿物を作製する。この泥漿物を、従来周知のドクターブレード法またはカレンダーロール法等を採用してシート状に成形することによってセラミックグリーンシートを作製する。次に、このセラミックグリーンシートに適当な打ち抜き加工を施すとともに、セラミックグリーンシートを必要に応じて複数枚積層して生成形体を形成し、この生成形体を高温 (約1600) で焼成することによって電子素子実装用基板1が作製され得る。

【0032】

電極パッド16および端子電極は、例えば、タングステン、モリブデン、マンガン、銅、銀、パラジウム、金、白金、ニッケルもしくはコバルト等の金属、またはこれらの金属を含む合金を導体材料として主に含むものである。電極パッド16および端子電極は、導体材料のメタライズ層またはめっき層等の金属層として電子素子実装用基板1の表面に形

10

20

30

40

50

成される。また、内部配線導体は、導体材料のメタライズによって電子素子実装用基板 1 の内部に形成される。

【 0 0 3 3 】

電極パッド 1 6、内部配線導体および端子電極は、例えば、タングステンのメタライズ層である場合には、タングステンの粉末を有機溶剤および有機バインダと混合して作製した金属ペーストを、電子素子実装用基板 1 となるセラミックグリーンシートの所定位置にスクリーン印刷法等の方法で印刷して焼成する方法で形成することができる。また、このうち、内部配線導体および端子電極となるメタライズ層の露出表面には、電解めっき法または無電解めっき法等を用いてニッケルまたは金等のめっき層がさらに被着されていてもよい。

10

【 0 0 3 4 】

〔電子素子実装用基板 1 の変形例 1 〕

以下では、電子素子実装用基板 1 の変形例 1 について、図 7 を用いて説明する。説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を繰り返さない。他の変形例においても同様である。図 7 は、電子素子実装用基板 1 の変形例 1 である電子素子実装用基板 1 A の上面図である。

【 0 0 3 5 】

図 7 に示す電子素子実装用基板 1 A は、第 1 せり出し部 1 2 1 と第 2 せり出し部 1 2 2 の組み合わせが 1 つである点が、上述の電子素子実装用基板 1 と異なっている。他の点については電子素子実装用基板 1 と同じ構成である。この場合、第 1 せり出し部 1 2 1 および第 2 せり出し部 1 2 2 は、上面視において、電極パッド 1 6 と、素子実装部 1 5 との間に位置している。

20

【 0 0 3 6 】

当該構成を有する電子素子実装用基板 1 A についても、上述の電子素子実装用基板 1 と同様の効果を奏する。さらに、電子素子実装用基板 1 A がせり出し部を有さないひと組の辺を有することにより、電子素子実装用基板 1 A の小型化が可能となる。

【 0 0 3 7 】

〔電子素子実装用基板 1 の変形例 2 〕

次に、電子素子実装用基板 1 の変形例 2 について、図 8 を用いて説明する。図 8 は、電子素子実装用基板 1 の変形例 2 である電子素子実装用基板 1 B の上面図である。

30

【 0 0 3 8 】

図 8 に示す電子素子実装用基板 1 B は、第 1 せり出し部 1 2 1 と第 2 せり出し部 1 2 2 の組み合わせを 2 組有している。電子素子実装用基板 1 B では、対となる第 1 せり出し部 1 2 1 および第 2 せり出し部 1 2 2 が隣接している点が上述の電子素子実装用基板 1 と異なる。換言すると、電子素子実装用基板 1 B では、対となる第 1 せり出し部 1 2 1 および第 2 せり出し部 1 2 2 は、上面視において L 字状に配置されている。他の点については電子素子実装用基板 1 と同じ構成である。

【 0 0 3 9 】

電子素子実装用基板 1 B において、第 1 せり出し部 1 2 1 のせり出し幅 X 1 B は、第 2 せり出し部 1 2 2 のせり出し幅 X 2 B よりも大きい。また、第 1 せり出し部 1 2 1 と素子実装部 1 5 との間の距離 L 1 B は、第 2 せり出し部 1 2 2 と素子実装部 1 5 との間の距離 L 2 B よりも小さい。

40

【 0 0 4 0 】

当該構成を有する電子素子実装用基板 1 B についても、上述の電子素子実装用基板 1 と同様の効果を奏する。

【 0 0 4 1 】

〔電子素子実装用基板 1 の変形例 3 〕

次に、電子素子実装用基板 1 の変形例 3 について、図 9 を用いて説明する。図 9 は、電子素子実装用基板 1 の変形例 3 である電子素子実装用基板 1 C の上面図である。

【 0 0 4 2 】

50

図9に示す電子素子実装用基板1Cは、第1せり出し部121と第2せり出し部122の組み合わせを2組有している。電子素子実装用基板1Cでは、一方の第1せり出し部121と、他方の第1せり出し部121Aとが、素子実装部15を挟んで対向している点が電子素子実装用基板1と異なる。電子素子実装用基板1Cでは、対となる第1せり出し部121および第2せり出し部122は、隣接している。換言すると、電子素子実装用基板1Cでは、対となる第1せり出し部121および第2せり出し部122は、上面視においてL字状に配置されている。

【0043】

電子素子実装用基板1Cにおいて、それぞれの対において、第1せり出し部121のせり出し幅X1Cは、第2せり出し部122のせり出し幅X2Cよりも大きい。また、第1せり出し部121と素子実装部15との間の距離L1Cは、第2せり出し部122と素子実装部15との間の距離L2Cよりも小さい。

10

【0044】

電子素子実装用基板1Cでは、上面視において、2つの第1せり出し部121・121Aの両方が、電極パッド16と素子実装部15との間に位置している。第1せり出し部121・121Aの幅X1C・X1CAが第2せり出し部122・122Aの幅X2C・X2CAよりも広いため、押し出された接着材は、第1せり出し部121・121Aの上面において水平方向に広がることができる。これにより、押し出された接着材が電極パッド16まで到達する可能性をより低減することができる。

【0045】

電子素子実装用基板1Cの別の態様として、一方の第2せり出し部122と、他方の第2せり出し部122Aとが、素子実装部15を挟んで対向していてもよい。

20

【0046】

この場合、第2せり出し部122と素子実装部15との距離L2Cは、第1せり出し部121と素子実装部15との距離L1よりも大きいため、押し出された接着材は、基部11Cの上面において水平方向に広がることができる。これにより、押し出された接着材が電極パッド16まで到達する可能性をより低減することができる。

【0047】

〔電子素子実装用基板1の変形例4〕

次に、電子素子実装用基板1の変形例4について、図10を用いて説明する。図10は、電子素子実装用基板1の変形例4である電子素子実装用基板1Dの部分断面図である。

30

【0048】

図10に示すように、電子素子実装用基板1Dは、基部11D、第1枠部12Dおよび第2枠部13Dを有している。第1枠部12Dの内側面123Dおよび第2枠部13Dの内側面133Dは、基部11Dの底面に対して外側に傾斜している。

【0049】

当該構成により、第1枠部12Dの内側面123Dおよび第2枠部13Dの内側面133Dにおいて、各枠部の底面から上面までの距離を大きくすることができる。これにより、素子を搭載するときの接着材が第2枠部13Dの上部に設けられる電極パッド16に到達する可能性をより低減することができる。

40

【0050】

〔電子素子実装用基板1の変形例5〕

次に、電子素子実装用基板1の変形例5について、図11を用いて説明する。図11は、電子素子実装用基板1の変形例5である電子素子実装用基板1Eの部分断面図である。

【0051】

図11に示すように、電子素子実装用基板1Eは、基部11E、第1枠部12Eおよび第2枠部13Eを有している。第1枠部12Eの内側面123Eおよび第2枠部13Eの内側面133Eは、基部11Eの底面に対して内側に傾斜している。

【0052】

当該構成により、第1枠部12Eの内側面123Eと底面との間に鋭角を設けることが

50

できる。また、第2枠部13Eの内側面133Eと第1枠部12Eの上面との間に鋭角を設けることができる。これにより、素子を搭載するときの接着材が鋭角部でトラップされ、さらに各内側面が内側に傾斜していることにより接着剤が這い上がりづらくすることが可能となる。よって、接着材が第2枠部13Eの上部に設けられる電極パッド16に到達する可能性をより低減することができる。

【0053】

〔電子素子実装用基板1の変形例6〕

次に、電子素子実装用基板1の変形例6について、図12を用いて説明する。図12は、電子素子実装用基板1の変形例6である電子素子実装用基板1Fの部分断面図である。

【0054】

図12に示すように、電子素子実装用基板1Fは、基部11F、第1枠部12Fおよび第2枠部13Fを有している。基部11Fの上面に垂直な方向(z方向)を厚み方向とした場合、第1枠部12Fの内側面123Fの厚みは、第1枠部12Fの外側面124Fの厚みよりも大きい。

【0055】

当該構成により、素子を搭載するときの接着材が第2枠部13Fの上部に設けられる電極パッド16に到達する可能性をより低減することができる。

【0056】

〔付記事項〕

以上、本開示に係る発明について、諸図面および実施例に基づいて説明してきた。しかし、本開示に係る発明は上述した各実施形態に限定されるものではない。すなわち、本開示に係る発明は本開示で示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本開示に係る発明の技術的範囲に含まれる。つまり、当業者であれば本開示に基づき種々の変形または修正を行うことが容易であることに注意されたい。また、これらの変形または修正は本開示の範囲に含まれることに留意されたい。

【符号の説明】

【0057】

1、1A、1B、1C、1D、1E、1F・・・電子素子実装用基板

11、11D、11E、11F・・・基部

12、12D、12E、12F・・・第1枠部

121、121A・・・第1せり出し部

13、13D、13E、13F・・・第2枠部

122、122A・・・第2せり出し部

14・・・第3枠部

15・・・素子実装部

16・・・電極パッド

17、18・・・絶縁膜

20・・・撮像素子(素子)

21・・・発熱部

22・・・接続部材

51・・・蓋体

110、120、130、140・・・絶縁層

200・・・電子装置

500・・・電子モジュール

10

20

30

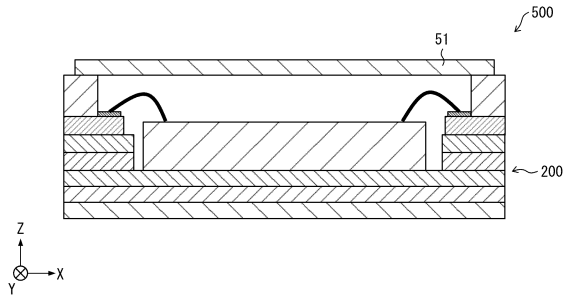
40

50

【図面】

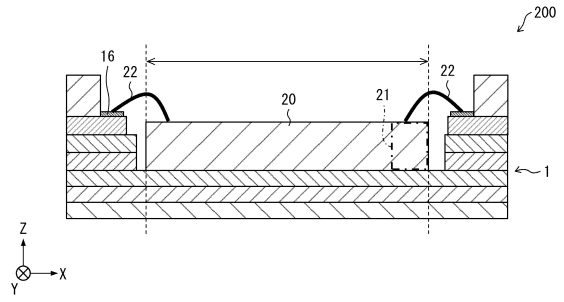
【図 1】

図 1



【図 2】

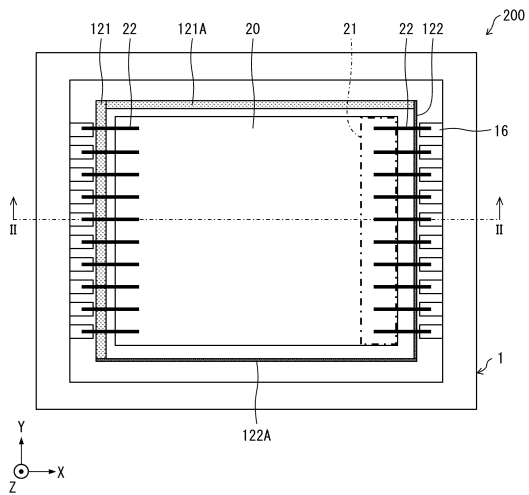
図 2



10

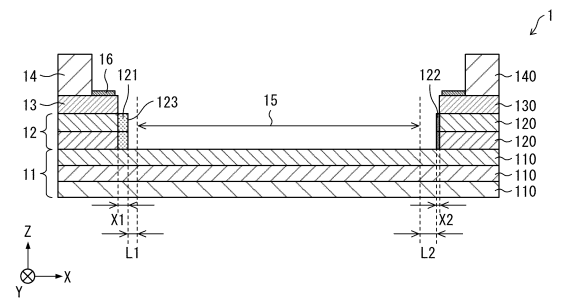
【図 3】

図 3



【図 4】

図 4



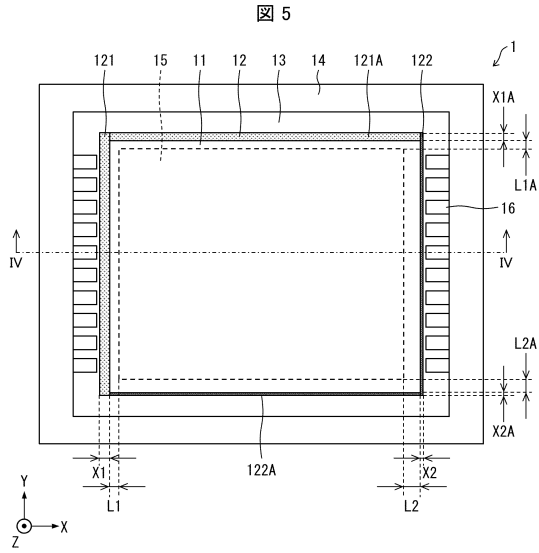
20

30

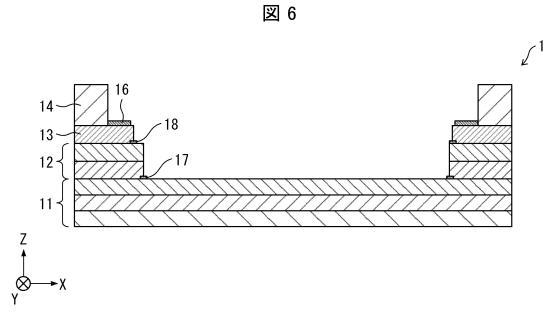
40

50

【 図 5 】

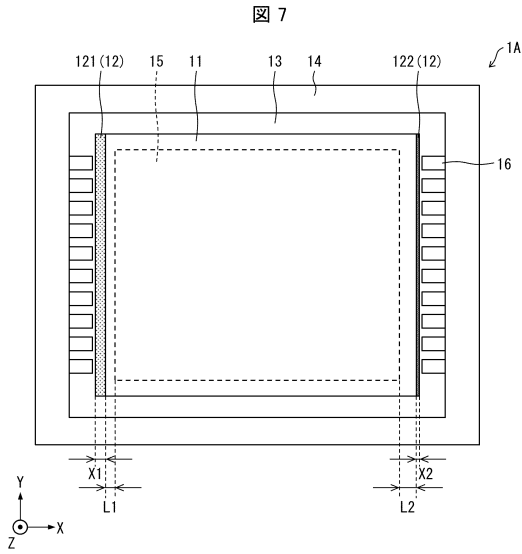


【 図 6 】

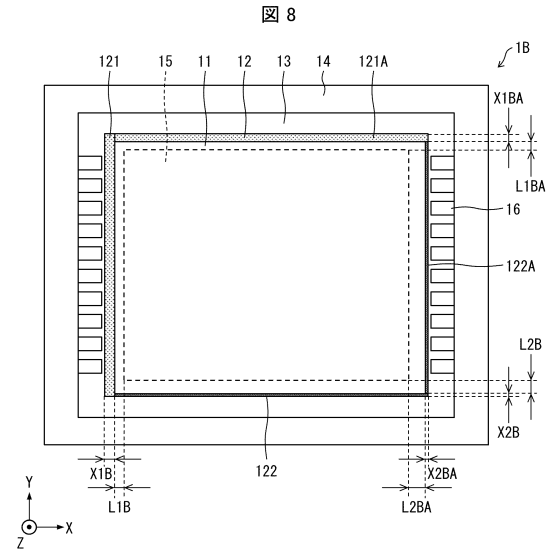


10

【 図 7 】



【 図 8 】



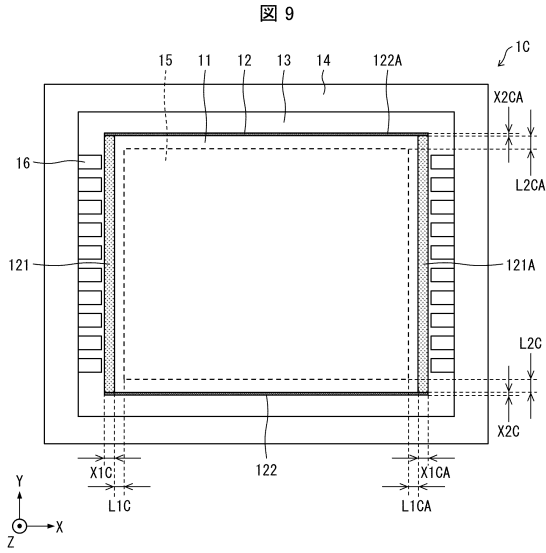
20

30

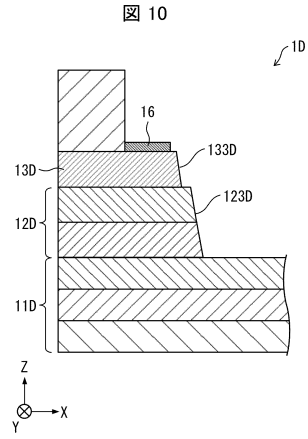
40

50

【 図 9 】

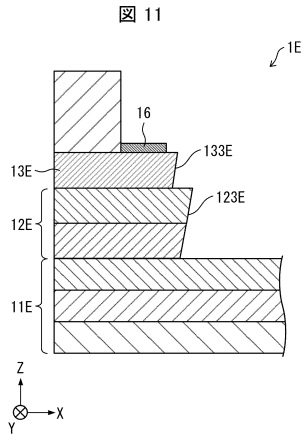


【 図 10 】

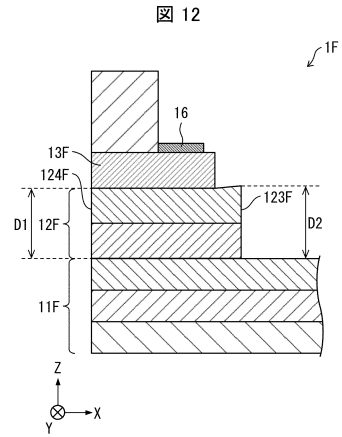


10

【 図 11 】



【 図 12 】



20

30

40

50

フロントページの続き

- (56)参考文献 特開2018-137534(JP,A)
特開2018-019214(JP,A)
特開2018-010890(JP,A)
特開平10-189810(JP,A)
特開2020-136495(JP,A)
特開2018-186173(JP,A)
特開2013-120867(JP,A)
国際公開第2015/163095(WO,A1)
実開昭63-182570(JP,U)
- (58)調査した分野 (Int.Cl., DB名)
H05K 1/03
H05K 1/18
H01L 23/02
H01L 23/08