

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 18 年 7 月 6 日 (2006.7.6)

【公開番号】特開 2000-31155 (P2000-31155A)
 【公開日】平成 12 年 1 月 28 日 (2000.1.28)
 【出願番号】特願 平 11-156049
 【国際特許分類】

H 0 1 L 29/73 (2006.01)

H 0 1 L 21/331 (2006.01)

【F I】

H 0 1 L 29/72

【手続補正書】

【提出日】平成 18 年 5 月 18 日 (2006.5.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】たて形バイポーラトランジスタを製造する方法であって、
 半導体基板 (1) に埋め込まれた外因性コレクタ層 (2) 上に真性コレクタ (4) を生成するステップと、

前記真性コレクタの上部を囲む水平絶縁領域 (5) を生成すると共に、オフセット外因性コレクタウェル (60) を生成するステップと、

少なくとも 1 つのシリコン - ゲルマニウム層を有するスタック層を非選択エピタキシャル成長させて、前記真性コレクタおよび前記水平絶縁領域上にシリコン - ゲルマニウムのヘテロ接合ベース (8) を生成するステップと、

その場でドーピングされたエミッタ (11) を生成するステップであって、前記真性コレクタ上にあるウィンドウであって、前記スタックの表面の予め決められたウィンドウ (800) 上でエピタキシャル成長し、少なくとも該ウィンドウ上に、前記スタックの上位層 (82) に直接接触し、かつ単結晶シリコンから形成されるエミッタ領域を得るようにすることを含む、ステップと、

を含む方法。

【請求項 2】エミッタを生成する前記ステップは、

前記スタックの表面上に二酸化シリコンの第 1 の層 (9) を堆積し、該二酸化シリコンの第 1 の層上に窒化シリコンの第 2 の層 (10) を堆積し、該窒化シリコン層において、前記ウィンドウの位置に対応するゾーン (100) を前記二酸化シリコンの第 1 の層上までエッチングし、該ゾーンを化学的に脱酸して、前記ウィンドウにおいて 1 cm^2 あたり 10^{15} より小さい酸素原子濃度を持つシリコン表面を得る、第 1 のステップと、

前記第 1 のステップで得られた半導体ブロックを、非酸化性に制御された雰囲気中で、シランとドーパントのガス混合に露出する第 2 のステップと、

を含む、請求項 1 に記載の方法。

【請求項 3】さらに、

前記第 2 のステップの後に、少なくとも前記ウィンドウ上に単結晶形状のシリコン層が得られ、該シリコン層を、前記ウィンドウより幅が広く、かつ前記窒化シリコン層の一部に接する上部領域 (111) を有するエミッタを形成するようエッチングするステップと、

絶縁スペーサ (120) を、前記エミッタより幅の広い上部領域の垂直壁に接触するよ

う形成するステップと、を含む、
請求項 2 に記載の方法。

【請求項 4】前記第 1 のステップは、さらに、前記窒化シリコンの第 2 の層上に厚い二酸化シリコンの第 3 の層 (9 0) を堆積し、該二酸化シリコンの第 3 の層において、前記ゾーンの位置に対応する領域 (9 0 0) を、該窒化シリコンの第 2 の層上までプレエッチングし、該第 1 のステップの後に、3 つの前記絶縁層のスタックにおいて前記ウィンドウと同じ幅の空洞を有する半導体ブロックを得るステップを含み、

さらに、前記第 2 のステップの後に、前記空洞を前記エピタキシャル成長により満たし、前記二酸化シリコンの第 3 の層を、前記空洞に形成されたエミッタブロックのそれぞれの側でエッチングし、絶縁スペーサを、前記エミッタの垂直壁に接触するよう形成するステップを含む、

請求項 2 に記載の方法。

【請求項 5】前記第 2 のステップは、前記ベースに直接接触した下部 (1 1 0) よりも前記エミッタの上部 (1 1 1) においてドーパント濃度が低くなるように、前記ドーパントのガスの量を変化させるステップを含む、

請求項 2 から請求項 4 のいずれかに記載の方法。

【請求項 6】たて形バイポーラトランジスタであって、

半導体基板に埋め込まれた外因性コレクタ層 (2) 上に位置する真性コレクタ (4) と

、
前記真性コレクタの上部を囲む水平絶縁領域 (5) と、
オフセット外因性コレクタウェル (6 0) と、

前記真性コレクタおよび前記水平絶縁領域上にあり、少なくとも 1 つのシリコン - ゲルマニウム層を有するスタック層に形成されるシリコン - ゲルマニウムのヘテロ接合ベース (8) と、

前記ベースにより囲まれた、ドーピングされたエミッタ (1 1) であって、前記真性コレクタの上にある、少なくとも前記スタックの表面の予め決められたウィンドウ上に、単結晶シリコンから形成されると共に、前記スタックの上位層 (8 2) に直接接触するエミッタ領域を有するエミッタと、

を備える、たて形バイポーラトランジスタ。

【請求項 7】前記スタックの表面の前記ウィンドウは、 1 cm^2 あたり 10^{15} より少ない酸素原子濃度を持つ、

請求項 6 に記載のたて形バイポーラトランジスタ。

【請求項 8】前記エミッタは、前記ウィンドウより幅が広い上部領域 (1 1 1) を有し、該上部領域は、窒化シリコン層 (1 0) に接しており、該窒化シリコン層は、前記ベースの一部に接している二酸化シリコン層 (9) により支持されており、前記エミッタは、該エミッタより幅の広い上部領域の垂直壁および該二酸化シリコン層に接する絶縁スペーサ (1 2 0) を有する、

請求項 6 または請求項 7 に記載のたて形バイポーラトランジスタ。

【請求項 9】前記エミッタは、前記ウィンドウと同じ幅のブロック (1 1 0) から形成され、該ブロック全体は、前記スタックに直接接しており、前記エミッタは、該エミッタの垂直壁および二酸化シリコン層に接する絶縁スペーサを有する、

請求項 6 または請求項 7 に記載のたて形バイポーラトランジスタ。

【請求項 10】前記エミッタは、前記スタックに直接接触する下部よりも上部において少なくドーピングされる、

請求項 6 から請求項 9 のいずれかに記載のたて形バイポーラトランジスタ。