(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2014 年 9 月 25 日 (25.09.2014)

WIPO | PCT

(10) 国际公布号
WO 2014/146358 A1

(51) 国际专利分类号:
H01L 21/77 (2006.01) *G02F 1/1368* (2006.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2013/077051

(22) 国际申请日: 2013 年 6 月 9 日 (09.06.2013)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201310088468.6 2013 年 3 月 19 日 (19.03.2013) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路 8 号, Beijing 100176 (CN)。

(72) 发明人: **郭建 (GUO, Jian)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)**; 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE, METHOD FOR MANUFACTURING ARRAY SUBSTRATE, AND DISPLAY DEVICE

(54) 发明名称 : 阵列基板、阵列基板的制造方法及显示装置

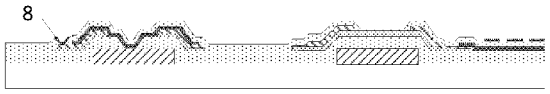


图 2F / FIG. 2F

(57) Abstract: Disclosed are an array substrate, a method for manufacturing an array substrate, and a display device. The method for manufacturing an array substrate comprises: forming a gate line and a gate electrode on a substrate; forming a gate insulation layer above the gate line and the gate electrode; depositing a semiconductor layer and a metal layer in sequence above the gate insulation layer, using a patterning process to form an active layer, a source electrode and a drain electrode which are located above the gate electrode, a residual semiconductor layer located above the gate line and a signal line covering the residual semiconductor layer; performing a patterning process on the signal line, the residual semiconductor layer located below the signal line and the gate insulation layer to form a via hole, so as to enable the surface of the gate line, the side section of the signal line, the side section of the residual semiconductor layer and the side section of the gate insulation layer to be exposed through the via hole; and forming a lapping conducting layer at the location of the via hole, so as to enable the signal line to be electrically connected to the gate line.

(57) 摘要: 本发明的实施例公开了一种阵列基板、阵列基板的制造方法及显示装置，该阵列基板的制造方法包括：在基板上形成栅线和栅电极；在所述栅线和所述栅电极上方形成栅绝缘层；在所述栅绝缘层上方依次沉积半导体层和金属层，采用一次构图工艺形成位于所述栅电极上方的有源层、源极和漏极，以及位于所述栅线上方的残余半导体层和覆盖所述残余半导体层的信号线；对所述信号线、位于信号线下方的残余半导体层以及所述栅绝缘层进行构图工艺，形成过孔，使所述栅线的表面、所述信号线的侧断面、所述残余半导体层的侧断面以及所述栅绝缘层的侧断面通过所述过孔暴露；以及在所述过孔的位置处形成搭接导电层，使所述信号线与所述栅线电性连接。

WO 2014/146358 A1

阵列基板、阵列基板的制造方法及显示装置

技术领域

本发明的实施例涉及一种阵列基板、阵列基板的制造方法及显示装置。

背景技术

薄膜晶体管液晶显示器（Thin Film Transistor Liquid Crystal Display，简称 TFT-LCD）的主体结构包括对盒在一起并将液晶夹设其间的阵列基板和彩膜基板，阵列基板上形成有栅线、数据线以及以矩阵方式排列的多个像素单元，其中每个像素单元中设置有薄膜晶体管和像素电极等。

示例性地，图 1 示出了按照现有技术的阵列基板制造方法在形成阵列基板的各工艺步骤期间得到的阵列基板的结构截面图，如图 1 所示，根据现有技术的阵列基板的制造方法具体包括:

步骤 S101：形成栅电极 1 和栅线 2;

在基板上沉积栅极金属材料，并通过利用掩模板的构图工艺形成栅电极 1 和栅线 2，如图 1A 所示。

步骤 S102：形成栅绝缘层 3 和有源层 4;

在栅电极 1 和栅线 2 之上沉积绝缘材料而形成栅绝缘层 3，并在栅绝缘层 3 上沉积半导体层，并通过利用掩模板的构图工艺形成位于栅电极 1 上方的有源层 4，如图 1B 所示。

步骤 S103：形成像素电极 6;

在有源层 4 上方沉积透明导电薄膜并通过利用掩模板的构图工艺对该透明导电薄膜进行图案化处理，形成像素电极 6，如图 1C 所示。

步骤 S104：形成用于电性连接栅线与信号线的栅绝缘层过孔 9。

通过利用掩模板的构图工艺，在栅绝缘层 3 对应待形成信号线的位置处形成栅绝缘层过孔 9,以使后续形成的信号线通过该栅绝缘层过孔 9 与栅线 2 电性连接，如图 1D 所示。

步骤 S105：沉积金属层，形成信号线 5 和源极 51、漏极 52。

在形成有栅绝缘层过孔 9 的栅绝缘层上方沉积金属层，并通过利用掩模

板的构图工艺形成位于栅电极 1 和有源层 4 之上的源极 51 和漏极 52，并且漏极 52 与像素电极 6 连接，在形成源漏极的同时还需要形成位于栅线 2 上方的信号线 5，并且信号线 5 通过栅绝缘层过孔 9 与栅线 2 电性连接，如图 1E 所示。

步骤 S106：在源漏电极上形成钝化层 7，并通过利用掩模板的构图工艺对钝化层 7 进行图案化处理，形成用于电连接公共电极与信号线的钝化层过孔 10，如图 1F 所示。

步骤 S107：在钝化层 7 上沉积公共电极层，并通过利用掩模板的构图工艺进行图案化处理，形成公共电极 8，并使公共电极 8 通过钝化层过孔 10 与信号线 5 电性连通，从而使得栅线 2、信号线 5 与公共电极 8 实现互联，如图 1G 所示。

这里，利用掩模板的构图工艺包括光刻胶涂覆、利用掩模板对光刻胶进行曝光、显影光刻胶、刻蚀、光刻胶剥离等工艺。

在现有的上述阵列基板的制造方法中，通过在栅绝缘层上形成通孔，然后沉积金属层，使得栅线和信号线实现电性连接，随后再进行源漏极、钝化层等的构图工艺，需要使用七次掩模板进行图案化处理，而过多的使用掩模板，将会严重影响产量，使得成本增加和工艺复杂，并且还会导致良率降低。

发明内容

本发明实施例提供了一种阵列基板、阵列基板的制造方法及显示装置，相对于现有技术，能够减少所采用的掩模板的数量。

本发明的实施例一方面提供了一种阵列基板的制造方法，该方法包括：在基板上形成栅线和栅电极；在所述栅线和所述栅电极上方形成栅绝缘层；在所述栅绝缘层上方依次沉积半导体层和金属层，采用一次构图工艺形成位于所述栅电极上方的有源层、源极和漏极，以及位于所述栅线上方的残余半导体层和覆盖所述残余半导体层的信号线；对所述信号线、位于信号线下方的残余半导体层以及所述栅绝缘层进行构图工艺，形成过孔，使所述栅线的表面、所述信号线的侧断面、所述残余半导体层的侧断面以及所述栅绝缘层的侧断面通过所述过孔暴露；以及在所述过孔的位置处形成搭接导电层，使所述信号线与所述栅线电性连接。

本发明实施例的另一方面还提供了一种阵列基板，包括：形成在基板上的栅线和栅电极；覆盖所述栅线和所述栅电极的栅绝缘层；形成在所述栅绝缘层上并位于所述栅电极上方的有源层、源极和漏极；形成在所述栅绝缘层上并位于所述栅线上方的残余半导体层；覆盖所述残余半导体层的信号线；形成在所述信号线、所述残余半导体层和所述栅绝缘层中的过孔，所述过孔的侧壁使所述栅绝缘层、所述信号线和所述残余半导体层的侧断面暴露，所述过孔的底面使所述栅线的表面暴露；以及形成在所述过孔内且使所述信号线与所述栅线电性连接的搭接导电层。

附图说明

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1A-图 1G 示出了按照现有技术的阵列基板制造方法在形成阵列基板的各工艺步骤期间得到的阵列基板的结构截面图；

图 2A-图 2F示出了根据本发明实施例的阵列基板制造方法在形成阵列基板的各工艺步骤期间得到的阵列基板的结构截面图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

本发明实施例提供的阵列基板、阵列基板的制造方法及显示装置，对金属层和半导体层可采用同一掩模板进行一次构图工艺，形成有源层、源漏极以及覆盖残余半导体层的信号线，然后形成侧壁暴露信号线和残余半导体层的侧断面、底面暴露栅线表面的过孔，接着在过孔内形成电性连接信号线和栅线的搭接导电层，不仅能够实现信号线与栅线的电性连接，而且能够减少掩模板的使用。

实施例一

本发明实施例一提供的阵列基板的制造方法，首先在基板上形成栅电极1和栅线2，并在栅线2和栅电极1上方形成栅绝缘层3；然后在栅绝缘层3上方依次沉积半导体层和金属层，并对半导体层和金属层采用同一掩模板进行一次构图工艺形成位于栅电极1上方的有源层4和源极51和漏极52，以及位于栅线2上方并覆盖残余半导体层401的信号线5；再对信号线5、位于信号线下方的残余半导体层401以及栅绝缘层3进行过孔形成工艺以形成过孔11，并使过孔11的侧壁暴露信号线5的侧断面和半导体层401的侧断面，底面暴露栅线2的表面；最后在过孔11位置处形成使信号线5与栅线2电性连接的搭接导电层。

在本发明的实施例中，对金属层和半导体层可采用同一掩模板进行一次构图工艺，形成有源层、源漏极以及覆盖残余半导体层的信号线，然后形成侧壁暴露信号线和残余半导体层的侧断面，底面暴露栅线表面的过孔，接着在过孔内形成电性连接信号线和栅线的搭接导电层，不仅能够实现信号线与栅线的电性连接，而且能够减少掩模板的使用。

下面，结合附图2A-2F对根据本发明实施例的阵列基板的制造方法进行详细说明，根据本发明实施例的阵列基板的制造方法包括以下步骤：

步骤S301：采用第一掩模板进行第一次构图工艺，形成栅电极1和栅线2。

示例性地，本发明实施例中在基板上采用磁控溅射或热蒸发方法沉积栅极金属薄膜后，可利用第一掩模板进行第一次构图工艺，形成栅电极1和栅线2，如图2A所示。

步骤S302：在完成步骤S301的构图工艺的基础上，依次沉积栅绝缘层、半导体层和金属层。

示例性地，本发明实施例中可采用例如等离子体增强化学气相沉积方法，在栅电极1和栅线2上沉积形成栅绝缘层3，然后在栅绝缘层3上沉积半导体层，本发明实施例中此时并不对半导体层进行构图工艺，而是直接采用磁控溅射或热蒸发方法沉积金属层，然后转入步骤S303。

步骤S303：采用第二掩模板进行第二次构图工艺，形成有源层4、源极51、漏极52和信号线5。

示例性地，在第二次构图工艺中，形成位于栅电极 1 上方的有源层 4、源极 51 和漏极 52，并同时在栅线 2 上方形成信号线 5，本发明实施例中由于采用同一掩模板对半导体层和金属层进行一次构图工艺，因此本发明实施例中在信号线 5、源极 51 和漏极 52 下方都会保留有刻蚀后的部分半导体层，有源层 4 本身就需要位于源极 51 和漏极 52 下方并与之接触。而本发明实施例中与现有技术不同的是，信号线 5 会覆盖部分半导体层，本发明实施例将这部分的半导体层称为残余半导体层 401。

步骤 S304：采用第三掩模板进行第三次构图工艺，形成侧壁暴露信号线 5 的侧断面和残余半导体层 401 的侧断面，底面暴露栅线 2 的过孔 11。

示例性地，本发明实施例中需对信号线 5、残余半导体层 401 以及栅绝缘层 3 进行构图工艺，形成过孔 11，并使过孔 11 的侧壁暴露信号线 5 的侧断面和残余半导体 401 的侧断面，底面暴露栅线 2 的上表面，以使后续能够用于电性联通栅线 2 和信号线 5。

备选地，本发明实施例中可在利用第二次构图工艺形成有源层 4、源漏极 51 和信号线 5 的同时，在预形成过孔 11 的位置处形成侧壁暴露信号线 5 的侧断面和半导体层 401 的侧断面，底面暴露栅绝缘层 3 表面的容置空间 110，如图 2B 所示；然后对容置空间 110 暴露位置处的栅绝缘层进行第三次构图工艺，形成底面暴露栅线 2 表面的栅绝缘层过孔 9，如图 2C 所示，容置空间 110 和栅绝缘层过孔 9 一起组成过孔 11。

采用上述备选方案，后续形成栅绝缘层过孔 9 的过程是直接对栅绝缘层 3 进行的单一膜层的构图工艺，因此能更精确控制过孔的尺寸和工艺均匀性。

步骤 S305：采用第四掩模板进行第四次构图工艺，形成像素电极 6，同时形成电性连接信号线 5 与栅线 2 的搭接导电层 12。

备选地，本发明实施例中搭接导电层 12 采用与形成像素电极 6 相同的导电材料，在形成像素电极 6 的同时形成该搭接导电层 12。示例性地，可在完成上述步骤的阵列基板上沉积透明导电薄膜，利用第四掩模板进行第四次构图工艺，形成与漏极连接的像素电极的同时，形成电性连接信号线 5 和栅线 2 的搭接导电层 12，如图 2D 所示。

示例性地，形成像素电极 6 和搭接导电层 12 的透明导电薄膜可以由 ITO（Indium Tin Oxide，氧化铟锡）、IZO（Indium Zinc Oxide，氧化铟锌）等

金属氧化物中的一种或多种构成。

示例性地，本发明实施例中可也可仅在过孔内填充导电薄膜，使过孔侧壁暴露出的信号线 5 和底面暴露出的栅线 2 电性导通，而无需使用掩模板。当然本发明实施例还可在信号线 5 的上方以及过孔内均沉积导电薄膜，形成电性连接信号线 5 和栅线 2 的搭接导电层 12,使二者之间的电性连接更稳定。

步骤 S306: 采用第五掩模板进行第五次构图工艺，形成包含有钝化层过孔 10 的钝化层 7。

示例性地，本发明实施例中可在完成上述构图工艺的基础上，沉积一层钝化层,并通过利用第五掩模板的构图工艺形成包括钝化层过孔 10 的钝化层 7，本发明实施例中钝化层过孔 10 位于信号线 5 对应位置上方，并且底面暴露出信号线 5 的表面，如图 2E 所示。

步骤 S307: 通过第六掩模板进行第六次构图工艺，形成公共电极 8 于钝化层 7 之上，公共电极 8 与信号线 5 通过钝化层过孔 10 电性连接，如图 2F 所示。

本发明实施例中上述形成阵列基板的方法，首先进行栅线和栅电极的构图工艺，然后进行栅绝缘层、半导体层和金属层的沉积，并利用同一掩模板进行构图工艺形成有源层和信号线等，减少了掩模板的使用。

备选地，本发明实施例中在现有技术中需要形成对应于栅线的过孔的位置处，先形成侧壁暴露有源层和信号线、底面暴露栅绝缘层的容置空间，然后对栅绝缘层进行单膜层过孔形成工艺而形成底面暴露栅线的栅绝缘层过孔，在保留现有的单膜层刻蚀工艺的基础上，实现掩模板数量的减少，并能够实现信号线和栅线的连通。同时，本发明实施例中在形成像素电极的同时形成与其位于同一层的搭接导电层，还可在减少掩模板数量的同时，减少制造工艺步骤。

实施例二

本发明实施例二还提供了一种应用上述实施例的制造方法制造的阵列基板，该阵列基板包括: 形成在基板上的栅线 2 和栅电极 1; 覆盖栅线 2 和栅电极 1 的栅绝缘层 3; 形成在栅绝缘层 3 上并位于栅电极 2 上方的有源层 4 和源极 51 和漏极 52; 形成在栅绝缘层 3 上并位于栅线上方的残余半导体层 401，以及覆盖残余半导体层 401 的信号线 5; 并且信号线 5、残余半导体层

401以及栅绝缘层3上还具有侧壁暴露信号线5的侧断面和残余半导体层401的侧断面，底面暴露栅线2表面的过孔11；过孔11内形成有使信号线5与栅线2电性连接的搭接导电层12。

备选地，本发明实施例中过孔11可包括容置空间110和栅绝缘层过孔9，其中容置空间110由信号线5和残余半导体层401通过构图工艺形成，并且侧壁暴露信号线5和残余半导体层401、底面暴露栅绝缘层3表面；栅绝缘层过孔9由栅绝缘层3通过过孔形成工艺形成，并且底面暴露栅线2表面。

进一步地，本发明实施例中搭接导电层12为部分位于过孔11内以及部分位于信号线5上方的金属薄膜。

备选地，本发明实施例中阵列基板还包括与漏极相连的像素电极6，且搭接导电层12与像素电极6位于同一层。

进一步地，本发明实施例还包括形成于像素电极、搭接导电层和信号线等之上的钝化层；钝化层上对应信号线5的位置处，具有底面暴露出信号线5表面的钝化层过孔10;以及通过钝化层过孔10与信号线5电性连接的公共电极8。

本发明实施例提供的阵列基板的截面结构图可参见图2F。

本发明实施例提供的阵列基板，在栅线上方且信号线下方具有残余半导体层，因此在制造过程中，可采用同一掩模板进行一次构图工艺形成有源层、源极、漏极和信号线，减少了掩模板的使用，提升了产品产能。

实施例三

本发明的实施例三还提供了一种显示装置，其包括根据本发明实施例二的阵列基板。

该显示装置的一个示例为液晶显示装置，其中，阵列基板与对置基板彼此对置以形成液晶盒，在液晶盒中填充有液晶材料。该对置基板例如为彩膜基板。阵列基板的每个像素单元的像素电极用于施加电场对液晶材料的旋转的程度进行控制从而进行显示操作。在一些示例中，该液晶显示装置还包括为阵列基板提供背光的背光源。

该显示装置的另一个示例为有机电致发光显示装置，其中阵列基板的每个像素单元的像素电极作为阳极或阴极用于驱动有机发光材料发光以进行显示操作。

本发明实施例三提供的显示装置中包括的阵列基板，在栅线上方且信号线下方具有残余半导体层，因此在制造过程中，可采用同一掩模板进行一次构图工艺形成有源层、源极、漏极和信号线，从而减少了掩模板的使用，提升了产品产能。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权利要求书

1、一种阵列基板的制造方法，包括:

在基板上形成栅线和栅电极;

在所述栅线和所述栅电极上方形成栅绝缘层;

在所述栅绝缘层上方依次沉积半导体层和金属层，采用一次构图工艺形成位于所述栅电极上方的有源层、源极和漏极，以及位于所述栅线上方的残余半导体层和覆盖所述残余半导体层的信号线;

对所述信号线、位于所述信号线下方的残余半导体层以及所述栅绝缘层进行构图工艺，形成过孔，使所述栅线的表面、所述信号线的侧断面、所述残余半导体层的侧断面以及所述栅绝缘层的侧断面通过所述过孔暴露; 以及

在所述过孔的位置处形成搭接导电层，使所述信号线与所述栅线电性连接。

2、如权利要求 1 所述的方法，其中形成所述过孔包括:

形成所述有源层、源极和漏极的同时，形成暴露所述信号线的侧断面、所述位于信号线下方的残余半导体层的侧断面以及所述栅绝缘层的表面的容置空间;

对所述栅绝缘层的被暴露的表面进行构图工艺，形成暴露所述栅线的表面的栅绝缘层过孔。

3、如权利要求 1 或 2 所述的方法，其中形成所述搭接导电层包括:

在所述过孔内以及所述信号线的上方沉积导电薄膜，形成电性连接所述信号线与所述栅线的搭接导电层。

4、如权利要求 3 所述的方法，其中形成所述搭接导电层包括:

沉积透明导电薄膜，通过构图工艺形成像素电极和所述搭接导电层，所述像素电极与所述漏极连接，所述搭接导电层电性连接所述信号线与所述栅线。

5、如权利要求 4 所述的方法，其中形成所述像素电极和所述搭接导电层之后，该方法还包括:

沉积钝化层薄膜，通过构图工艺形成钝化层过孔，所述钝化层过孔位于所述信号线的对应位置处，且底面暴露出所述信号线的表面。

6、如权利要求 5 所述的方法，其中形成所述钝化层过孔后，该方法还包括:

在所述钝化层之上形成公共电极，所述公共电极与所述信号线通过所述钝化层过孔电性连接。

7、一种阵列基板，包括:

形成在基板上的栅线和栅电极;

覆盖所述栅线和所述栅电极的栅绝缘层;

形成在所述栅绝缘层上并位于所述栅电极上方的有源层、源极和漏极;

形成在所述栅绝缘层上并位于所述栅线上方的残余半导体层;

覆盖所述残余半导体层的信号线;

形成在所述信号线、所述残余半导体层和所述栅绝缘层中的过孔，所述过孔的侧壁使所述栅绝缘层、所述信号线和所述残余半导体层的侧断面暴露，所述过孔的底面使所述栅线的表面暴露; 以及

形成在所述过孔内且使所述信号线与所述栅线电性连接的搭接导电层。

8、如权利要求 7 所述的阵列基板，其中所述过孔包括:

暴露所述信号线和所述残余半导体层的侧断面，并暴露所述栅绝缘层的表面的容置空间; 和

通过对所述栅绝缘层实施的过孔形成工艺形成并暴露所述栅线的表面的栅绝缘层过孔。

9、如权利要求 7 或 8 所述的阵列基板，其中所述搭接导电层为部分位于所述过孔内以及部分位于所述信号线上方的导电薄膜。

10、如权利要求 9 所述的阵列基板，其中该阵列基板还包括与漏极相连的像素电极，且所述搭接导电层与所述像素电极位于同一层。

11、如权利要求 7 所述的阵列基板，还包括:

钝化层;

形成在所述钝化层中对应于所述信号线的位置处且底面暴露出所述信号线的表面的钝化层过孔; 以及

通过所述钝化层过孔与所述信号线电性连接的公共电极。

12、一种显示装置，包括:

如权利要求 7-11 任一项所述的阵列基板;

对置基板，与所述阵列基板对置。

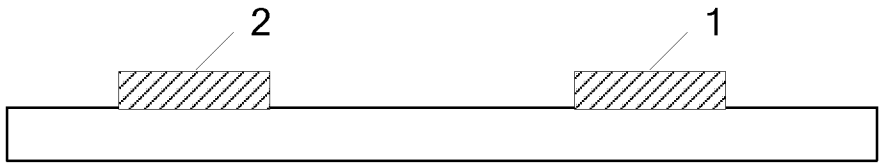


图 1A

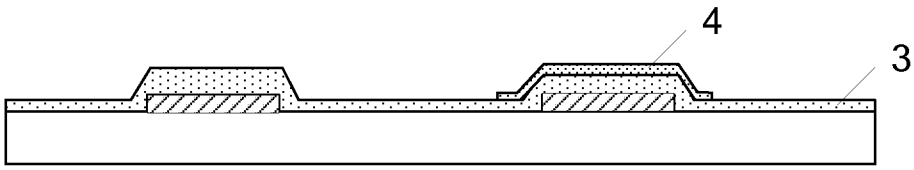


图 1B

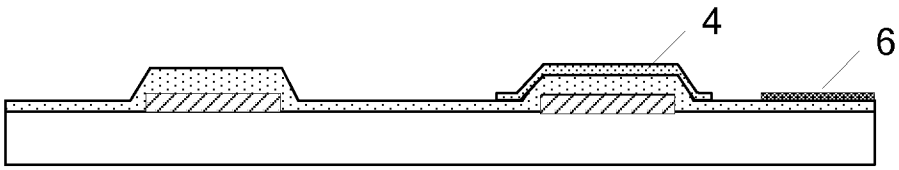


图 1C

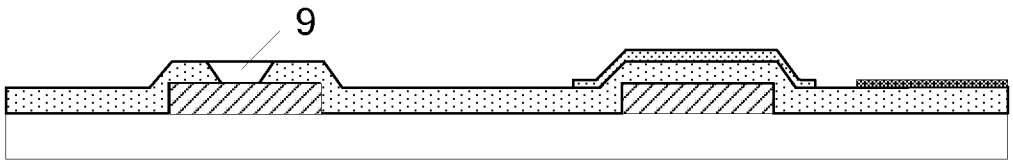


图 1D

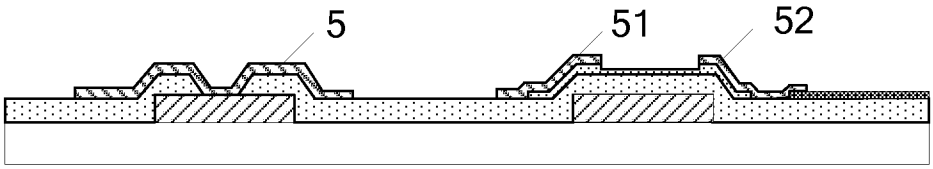


图 1E

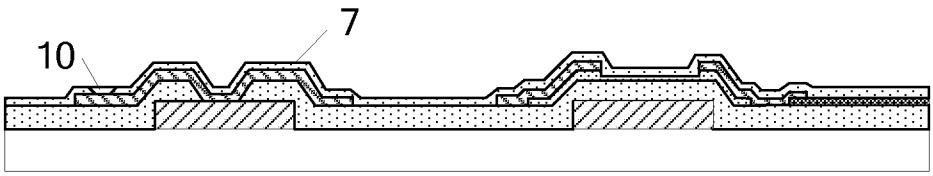


图 1F

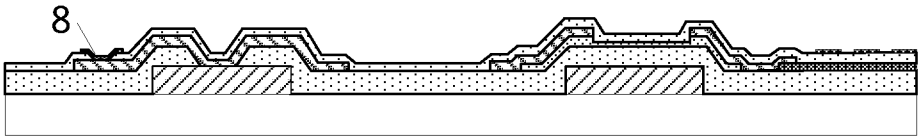


图 1G



图 2A

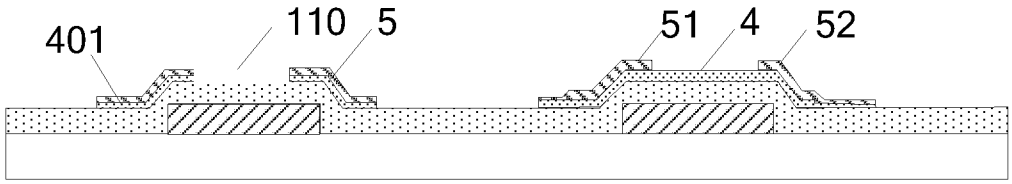


图 2B

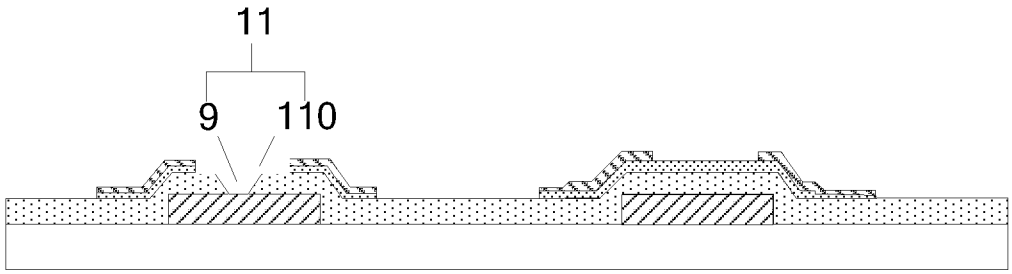


图 2C

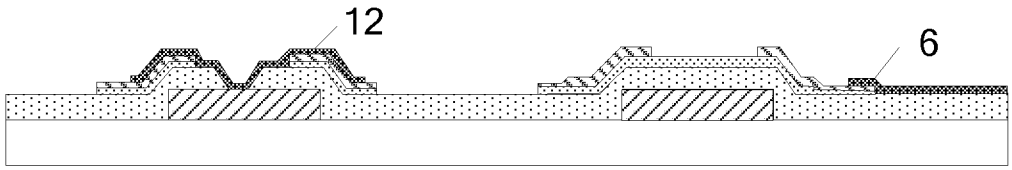


图 2D

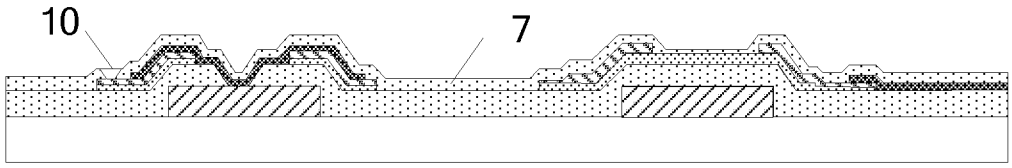


图 2E

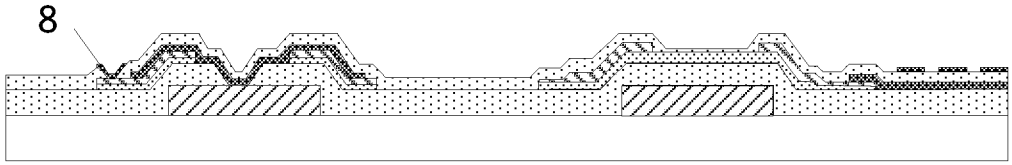


图 2F

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/077051

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L, G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, VEN, CNKI, IEEE: first composition, signal line, electric connection, conduct, array w substrate, grid, hole?, connect+, semiconduct+, insulat+, creating w pattern, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102446925 A (BOE TECHNOLOGY GROUP CO., LTD.), 09 May 2012 (09.05.2012), description, paragraphs 25-28 and 60-67, and figures 2A, 2B and 6A	1-12
A	CN 102651340 A (BOE TECHNOLOGY GROUP CO., LTD.), 29 August 2012 (29.08.2012), the whole document	1-12
A	CN 1614489 A (LG PHILIPS LCD CO., LTD.), 11 May 2005 (11.05.2005), the whole document	1-12
A	US 2010109008 A1 (SAMSUNG ELECTRONICS CO., LTD.), 06 May 2010 (06.05.2010), the whole document	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 November 2013 (12.11.2013)	**26 December 2013 (26.12.2013)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **ZHU, Ke** Telephone No.: (86-10) **61648064**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/077051

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102446925 A	09.05.2012	None	
CN 102651340 A	29.08.2012	WO 2013097554 A	04.07.2013
CN 1614489 A	11.05.2005	US 2005110932 A1	26.05.2005
		KR 20050042645 A	10.05.2005
		KR 100560404 B1	14.03.2006
		CN 100529926 C	19.08.2009
		US 8077280 B2	13.12.2011
		US 2012100676 A1	26.04.2012
		US 8263442 B2	11.09.2012
US 2010109008 A1	06.05.2010	KR 20100050222 A	13.05.2010
		US 7960219 B2	14.06.2011

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/077051

CONTINUATION: A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i

H01L 27/12 (2006.01) n

G02F 1/1368 (2006.01) n

国际检索报告

国际申请号
PCT/CN2013/077051

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L, G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS,CNTXT,VEN,CNKI,IEEE: 阵列基板，一次构图，孔，信号线，栅，电连接，导电，搭接，绝缘，半导体，源，漏，array w substrate, grid, hole?, connect+, semiconduct+, insulat+, creating w pattern, source, drain

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 102446925 A(京东方科技集团股份有限公司)09.5 月 2012(09.05.2012) 说明书第 25-28 和 60-67 段、附图 2A、2B 和 6A	1-12
A	CN 102651340 A(京东方科技集团股份有限公司)29.8 月 2012(29.08.2012) 全文	1-12
A	CN 1614489 A（LG.菲利普 LCD 株式会社）11.5 月 2005（11.05.2005）全文	1-12
A	US 2010109008 A1（SAMSUNG ELECTRONICS CO., LTD.）06.5 月 2010（06.05.2010）全文	1-12

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
12.11 月 2013（12.11.2013）	**26.12 月 2013 (26.12.2013)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 朱科 电话号码：(86-10) **61648064**

国际检索报告

关于同族专利的信息

国际申请号
PCT/CN2013/077051

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN 102446925 A	09.05.2012	无	
CN 102651340 A	29.08.2012	WO 2013097554 A	04.07.2013
CN 1614489 A	11.05.2005	US 2005110932 A1	26.05.2005
		KR 20050042645 A	10.05.2005
		KR 100560404 B1	14.03.2006
		CN 100529926 C	19.08.2009
		US 8077280 B2	13.12.2011
		US 2012100676 A1	26.04.2012
		US 8263442 B2	11.09.2012
US 2010109008 A1	06.05.2010	KR 20100050222 A	13.05.2010
		US 7960219 B2	14.06.2011

国际检索报告

国际申请号
PCT/CN2013/077051

续：A. 主题的分类

H01L 21/77 (2006.01) i

H01L 27/12 (2006.01) n

G02F 1/1368 (2006.01) n