

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-95912

(P2007-95912A)

(43) 公開日 平成19年4月12日(2007.4.12)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 D	4 M 1 O 4
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 C	5 F O 3 3
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F	5 F O 4 8
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 3 O 1 G	5 F 1 4 O
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 3 O 1 S	

審査請求 未請求 請求項の数 20 O L (全 18 頁) 最終頁に続く

(21) 出願番号	特願2005-281880 (P2005-281880)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成17年9月28日 (2005.9.28)		大阪府門真市大字門真1006番地
		(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実

最終頁に続く

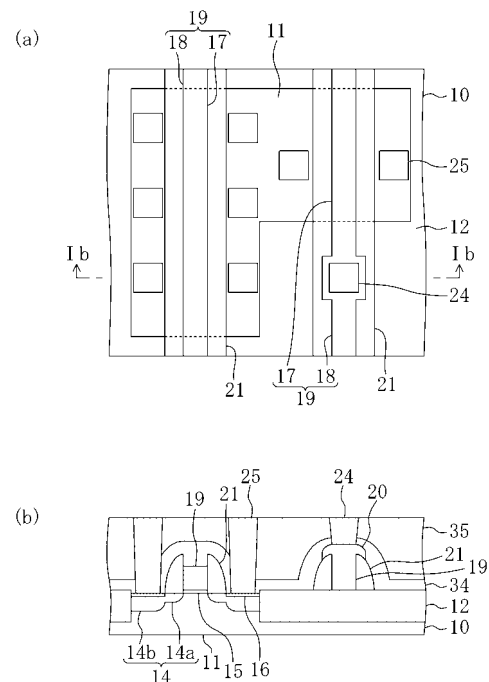
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート配線の幅が狭いフルシリサイド化ゲートプロセスを用いた半導体装置において、ゲート配線の設計ルールを変更することなく、ゲート配線とコンタクトとの接触面積を確保することが容易で且つゲート配線の配線抵抗が小さい半導体装置を実現できるようにする。

【解決手段】 半導体装置は、半導体基板 10 に形成された素子分離領域 12 及び素子分離領域 12 に囲まれた活性領域 11 と、素子分離領域 12 及び活性領域 11 の上に形成され、フルシリサイド化されたゲート配線 19 と、ゲート配線 19 の側面を連続的に覆う絶縁性のサイドウォール 21 とを備えている。ゲート配線 19 の少なくとも一部分は、サイドウォール 21 から突出して形成されている。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

半導体基板に形成された素子分離領域及び該素子分離領域に囲まれた活性領域と、
前記素子分離領域及び活性領域の上に形成され、フルシリサイド化されたゲート配線と

、
前記ゲート配線の側面を連続的に覆う絶縁性のサイドウォールとを備え、

前記ゲート配線の少なくとも一部分は、前記サイドウォールから突出する突出部を有していることを特徴とする半導体装置。

【請求項 2】

前記突出部は、前記サイドウォールの上面の少なくとも一部を覆うように形成されていることを特徴とする請求項 1 に記載の半導体装置。 10

【請求項 3】

前記ゲート配線の上に形成され、該ゲート配線と電氣的に接続された第 1 のコンタクトプラグをさらに備え、

前記ゲート配線は、前記第 1 のコンタクトプラグとの接続部分において、前記サイドウォールから突出していることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 のコンタクトプラグは、前記ゲート配線における前記素子分離領域の上に形成された部分と接していることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記活性領域と前記ゲート配線との間に形成されたゲート絶縁膜をさらに備え、
前記ゲート配線における前記活性領域の上に形成された部分はゲート電極として機能することを特徴とする請求項 1 から 4 のいずれか 1 項に記載の半導体装置。 20

【請求項 6】

前記活性領域における前記ゲート配線の両側方の領域に形成された、不純物拡散層をさらに備えていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記不純物拡散層の上に形成され、該不純物拡散層と電氣的に接続された第 2 のコンタクトプラグをさらに備え、

前記ゲート配線は、少なくとも前記第 2 のコンタクトプラグと対向する部分を除いて、
前記サイドウォールから突出していることを特徴とする請求項 6 に記載の半導体装置。 30

【請求項 8】

前記不純物拡散層の上面に形成されたシリサイド層をさらに備え、

前記第 2 のコンタクトプラグは、前記シリサイド層を介在させて前記不純物拡散層と電氣的に接続されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記ゲート配線は、前記活性領域の上に形成された部分を除いて、前記サイドウォールから突出していることを特徴とする請求項 1 から 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記ゲート配線は、ニッケルシリサイドからなることを特徴とする請求項 1 から 9 のいずれか 1 項に記載の半導体装置。 40

【請求項 11】

半導体基板に活性領域及び該活性領域を囲む素子分離領域を形成する工程 (a) と、

前記活性領域及び素子分離領域の上にシリコン膜及び絶縁膜を順次形成する工程 (b)

と、

前記シリコン膜及び絶縁膜をパターニングした後、パターニングしたシリコン膜及び絶縁膜の側面を覆う絶縁性のサイドウォールを形成する工程 (c) と、

前記工程 (c) の後に、前記絶縁膜を除去することにより前記シリコン膜の上面を露出する工程 (d) と、

前記工程 (d) の後に、前記シリコン膜及びサイドウォールを覆う金属膜を形成する工 50

程 (e) と、

前記シリコン膜及び金属膜を熱処理することにより、前記シリコン膜をフルシリサイド化してゲート配線を形成する工程 (f) とを備え、

前記工程 (f) において、前記ゲート配線の少なくとも一部には、前記サイドウォールから突出する突出部が形成されることを特徴とする半導体装置の製造方法。

【請求項 1 2】

前記金属膜の膜厚は、前記シリコン膜の膜厚の 1 . 1 倍以上であることを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記工程 (d) と前記工程 (e) との間に、前記シリコン膜の一部をエッチングし、エッチングしたシリコン膜の膜厚を前記サイドウォールの高さの 2 分の 1 未満とする工程 (g) をさらに備えていることを特徴とする請求項 1 1 又は 1 2 に記載の半導体装置の製造方法。

10

【請求項 1 4】

前記工程 (g) において、前記シリコン膜のうちの前記活性領域の上に形成された部分のみをエッチングすることを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記工程 (c) と前記工程 (d) との間に、前記半導体基板の上に、前記サイドウォール及び絶縁膜を覆うマスク形成膜を形成し、形成したマスク形成膜を平坦化することにより、前記マスク形成膜から前記サイドウォールの一部及び絶縁膜を露出するマスク膜を形成する工程をさらに備えていることを特徴とする請求項 1 1 から 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

20

【請求項 1 6】

前記工程 (c) と前記工程 (d) との間に、前記サイドウォール及び絶縁膜を覆うマスク形成膜を形成し、形成したマスク形成膜を選択的に除去することにより、前記マスク形成膜から前記サイドウォールの一部及び絶縁膜を露出する溝部を有するマスク膜を形成する工程をさらに備えていることを特徴とする請求項 1 1 から 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 7】

前記工程 (b) よりも前に、前記活性領域の上にゲート絶縁膜を形成する工程をさらに備え、

30

前記ゲート配線における前記活性領域の上に形成された部分はゲート電極として機能することを特徴とする請求項 1 1 から 1 6 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 8】

前記工程 (f) よりも後に、前記ゲート配線の上に層間絶縁膜を形成し、形成した層間絶縁膜に前記ゲート配線の前記突出部と接続するコンタクトプラグを形成する工程をさらに備えていることを特徴とする請求項 1 1 から 1 7 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 9】

前記シリコン膜は、ポリシリコン膜又はアモルファスシリコン膜であることを特徴とする請求項 1 1 から 1 8 のいずれか 1 項に記載の半導体装置の製造方法。

40

【請求項 2 0】

前記金属膜は、ニッケル膜であることを特徴とする請求項 1 1 から 1 9 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に関し、特に、ゲート電極がフルシリサイド化された半導体装置及びその製造方法に関する。

【背景技術】

50

【0002】

近年、半導体集積回路装置の高集積化、高機能化及び高速化に伴って、ゲート電極と配線とが一体となったゲート配線を微細化すると共に低抵抗化する必要がある、ゲート配線に金属材料を用いる研究が盛んに行われている。金属材料の候補としては、金属窒化物、異なる仕事関数を有する2種類の純金属のデュアルメタル及びゲート配線全体をシリサイド化するフルシリサイド (Fully Silicided; F U S I) 等がある。特に、フルシリサイドは、現状のシリコンプロセス技術を踏襲できるため有力な技術として注目されている。

【0003】

ゲート配線をフルシリサイド化することにより、ゲート配線を低抵抗化でき、これにより半導体装置の高速化を図ることができる。 10

【0004】

このようなフルシリサイド系のM O S F E Tの構造及び製造方法は、非特許文献1及び非特許文献2に開示されている。

【非特許文献1】T.Aoyama 他、「IEDM Tech. Digest」、2004年、p.95

【非特許文献2】J.A.Kittl 他、「Symp. of VLSI Technology」、2005年、p.72

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、ゲート配線の幅が45nm程度以下の微細プロセスにおいては、ゲート配線をフルシリサイド化した場合にも以下のような問題がある。 20

【0006】

まず第1に、ゲート配線とコンタクトをとることが困難になるという問題がある。微細なゲート配線においては、ゲート配線とコンタクトプラグとの接触面積は、ゲート配線の幅によって制限されるため、コンタクトプラグのコンタクト抵抗が増大する傾向にある。また、コンタクトプラグを形成する際に、全く位置のずれが生じないようにすることは不可能である。従って、ゲートとコンタクトプラグとの接触面積はますます小さくなる。

【0007】

ゲート配線とコンタクトプラグとの接触面積を十分確保できるようにするには、ゲート配線を設計する際に一定量の位置ずれの余裕領域を設ければよいが、このような余裕領域を設けるためにはゲート配線の間隔を大きくとる必要がある、チップ面積の縮小が困難となる。 30

【0008】

第2に、ゲート配線の幅が狭くなることにより、フルシリサイド化されたゲート配線を用いたとしてもゲート配線の抵抗が増大し、半導体装置の動作の遅延が生じるという問題がある。

【0009】

本発明は、前記従来の問題を解決しゲート配線の幅が狭いフルシリサイド化ゲートプロセスを用いた半導体装置において、ゲート配線の設計ルールを変更することなく、ゲート配線とコンタクトとの接触面積を確保することが容易で且つゲート配線の配線抵抗が小さい半導体装置及びその製造方法を実現できるようにすることを目的とする。 40

【課題を解決するための手段】

【0010】

前記の目的を達成するため、本発明は半導体装置を、ゲート配線の少なくとも一部がサイドウォールから突出した構成とする。

【0011】

具体的に本発明に係る半導体装置は、半導体基板に形成された素子分離領域及び該素子分離領域に囲まれた活性領域と、素子分離領域及び活性領域の上に形成され、フルシリサイド化されたゲート配線と、ゲート配線の側面を連続的に覆う絶縁性のサイドウォールとを備え、ゲート配線の少なくとも一部分は、サイドウォールから突出する突出部を有して 50

いることを特徴とする。

【0012】

本発明の半導体装置によれば、ゲート配線の少なくとも一部分は、サイドウォールから突出する突出部を有しているため、微細なゲート配線にコンタクトを接続する際に、サイドウォールから突出した部分に接続することができる。従って、ゲート配線とコンタクトとの接触面積を確保することが容易となり、ゲート配線とコンタクトとのコンタクト抵抗を低減できる。また、ゲート配線の断面積が大きくなるため、ゲート配線の配線抵抗を低減できる。その結果、高速に動作する半導体装置を実現することが可能となる。

【0013】

本発明の半導体装置において、突出部は、サイドウォールの上面の少なくとも一部を覆うように形成されていることが好ましい。このような構成とすることにより、ゲート配線の設計ルールを変更することなく、ゲート配線とコンタクトとが接触する部分の幅を広く確保することが可能となる。

10

【0014】

本発明の半導体装置において、ゲート配線の上に形成され、該ゲート配線と電氣的に接続された第1のコンタクトプラグをさらに備え、ゲート配線は、第1のコンタクトプラグとの接続部分において、サイドウォールから突出していることが好ましい。このような構成とすることにより、ゲート配線とコンタクトプラグとの接触面積を確実に確保することが可能となる。

【0015】

本発明の半導体装置において、第1のコンタクトプラグは、ゲート配線における素子分離領域の上に形成された部分と接していることが好ましい。

20

【0016】

本発明の半導体装置は、活性領域とゲート配線との間に形成されたゲート絶縁膜をさらに備え、ゲート配線における活性領域の上に形成された部分はゲート電極として機能することが好ましい。

【0017】

本発明の半導体装置において、活性領域におけるゲート配線の両側方の領域に形成された、不純物拡散層をさらに備えていることが好ましい。

【0018】

本発明の半導体装置において、不純物拡散層の上に形成され、該不純物拡散層と電氣的に接続された第2のコンタクトプラグをさらに備え、ゲート配線は、少なくとも第2のコンタクトプラグと対向する部分を除いて、サイドウォールから突出していることが好ましい。このような構成とすることにより、ゲート配線とコンタクトとの接触面積を確保及びゲート配線の配線抵抗の低減を行うと共に、ゲート配線とソースドレイン拡散層との短絡を防ぐことが容易となる。

30

【0019】

本発明の半導体装置は、不純物拡散層の上面に形成されたシリサイド層をさらに備え、第2のコンタクトプラグは、シリサイド層を介在させて不純物拡散層と電氣的に接続されていることが好ましい。

40

【0020】

本発明の半導体装置において、ゲート配線は、活性領域の上に形成された部分を除いて、サイドウォールから突出していることが好ましい。このような構成とすることにより、ソースドレイン拡散層と接続されたコンタクトプラグが形成される可能性のある領域を避けて、ゲート配線をサイドウォールから突出させることができるため、ソースドレイン拡散層とゲート配線との短絡を防止し且つゲート配線の配線抵抗を低減できる。

【0021】

本発明の半導体装置において、ゲート配線は、ニッケルシリサイドからなることが好ましい。

50

【0022】

本発明に係る半導体装置の製造方法は、半導体基板に活性領域及び該活性領域を囲む素子分離領域を形成する工程(a)と、活性領域及び素子分離領域の上にシリコン膜及び絶縁膜を順次形成する工程(b)と、シリコン膜及び絶縁膜をパターニングした後、パターニングしたシリコン膜及び絶縁膜の側面を覆う絶縁性のサイドウォールを形成する工程(c)と、工程(c)の後に、絶縁膜を除去することによりシリコン膜の上面を露出する工程(d)と、工程(d)の後に、シリコン膜及びサイドウォールを覆う金属膜を形成する工程(e)と、シリコン膜及び金属膜を熱処理することにより、シリコン膜をフルシリサイド化してゲート配線を形成する工程(f)とを備え、工程(f)において、ゲート配線の少なくとも一部には、サイドウォールから突出する突出部が形成されることを特徴とする。

10

【0023】

本発明の半導体装置の製造方法は、ゲート配線の少なくとも一部には、サイドウォールから突出する突出部が形成されるため、ゲート配線とコンタクトとの接触面積の確保を容易に行うことが可能な半導体装置を製造することができる。また、ゲート配線の断面積を大きくすることができるので、ゲート配線の配線抵抗が低い半導体装置を実現することができる。

【0024】

本発明の半導体装置の製造方法において、金属膜の膜厚は、シリコン膜の膜厚の1.1倍以上であることが好ましい。このような構成とすることにより、シリコン膜をフルシリ

20

サイド化する際に、 Ni_3Si 及び Ni_2Si が形成され、フルシリサイド化膜をサイドウォールから確実に突出させることが可能となる。

【0025】

本発明の半導体装置の製造方法は、工程(d)と工程(e)との間に、シリコン膜の一部をエッチングし、エッチングしたシリコン膜の膜厚をサイドウォールの高さの2分の1未満とする工程(g)をさらに備えていることが好ましい。このような構成とすることにより、フルシリサイド化された膜の一部をサイドウォールから突出させないようにできるため、ソースドレイン拡散層とゲート配線との短絡が生じる可能性を小さくすることができる。

【0026】

この場合に、工程(g)において、シリコン膜のうちの活性領域の上に形成された部分のみをエッチングすることが好ましい。このような構成とすることにより、ソースドレイン拡散層とゲート配線との短絡が生じる可能性を確実に低減でき、パターンの形成も容易となる。

30

【0027】

本発明の半導体装置の製造方法は、工程(c)と工程(d)との間に、半導体基板の上に、サイドウォール及び絶縁膜を覆うマスク形成膜を形成し、形成したマスク形成膜を平坦化することにより、マスク形成膜からサイドウォールの一部及び絶縁膜を露出するマスク膜を形成する工程をさらに備えていることが好ましい。

【0028】

本発明の半導体装置の製造方法は、工程(c)と工程(d)との間に、サイドウォール及び絶縁膜を覆うマスク形成膜を形成し、形成したマスク形成膜を選択的に除去することにより、マスク形成膜からサイドウォールの一部及び絶縁膜を露出する溝部を有するマスク膜を形成する工程をさらに備えていることが好ましい。このような構成とすることにより、サイドウォールから突出したフルシリサイド化した膜が、サイドウォールの上に広がる部分を制御することが可能となるため、フルシリサイド化と拡散層とが短絡したり、隣接するフルシリサイド化膜同士が短絡したりすることを防ぐことができる。

40

【0029】

本発明の半導体装置の製造法は、工程(b)よりも前に、活性領域の上にゲート絶縁膜を形成する工程をさらに備え、ゲート配線における活性領域の上に形成された部分はゲ

50

ト電極として機能することが好ましい。

【0030】

本発明の半導体装置の製造方法は、工程(f)よりも後に、ゲート配線の上に層間絶縁膜を形成し、形成した層間絶縁膜にゲート配線の突出部と接続するコンタクトプラグを形成する工程をさらに備えていることが好ましい。

【0031】

本発明の半導体装置の製造方法において、シリコン膜はポリシリコン膜又はアモルファスシリコン膜であることが好ましい。

【0032】

本発明の半導体装置の製造方法において、金属膜はニッケル膜であることが好ましい。

10

【発明の効果】

【0033】

本発明の半導体装置及びその製造方法によれば、ゲート配線の幅が狭いフルシリサイド化ゲートプロセスを用いた半導体装置において、ゲート配線の設計ルールを変更することなく、ゲート配線とコンタクトとの接触面積を確保することが容易で且つゲート配線の配線抵抗が小さい半導体装置及びその製造方法を実現できる。

【発明を実施するための最良の形態】

【0034】

(第1の実施形態)

本発明の第1の実施形態について図面を参照して説明する。図1(a)及び(b)は第1の実施形態に係る半導体装置であり、(a)は平面構成を示し、(b)は(a)のIb-Ib線における断面構成を示している。

20

【0035】

図1に示すMISFET(金属-絶縁膜電界効果トランジスタ)を有する半導体装置は、半導体基板10に素子分離領域12に囲まれた活性領域11が形成されている。活性領域11の上にはゲート電極17が形成され、素子分離領域12の上にはゲート電極17と一体となった配線18が形成されている。以下においては、ゲート電極17と配線18とを合わせてゲート配線19と呼ぶ。ゲート配線19は、低抵抗化のためにフルシリサイド(FUSI)化されている。また、ゲート配線19の両側面には、絶縁性のサイドウォール21が連続的に形成されている。なお、図中においてゲート配線19及びサイドウォール21が形成された領域の下側における活性領域11と素子分離領域12との境界を破線で示している。本実施形態においては、2本のゲート配線19が形成された例を示しているが、ゲート配線の数には適宜変更してよい。

30

【0036】

活性領域11におけるゲート配線19(ゲート電極17)の両側方の領域には、不純物拡散層であるソースドレイン拡散層14が形成されている。ソースドレイン拡散層14は、浅いソースドレイン拡散層14aと深いソースドレイン拡散層14bとからなる。また、深いソースドレイン拡散層14bの上面はシリサイド化され、シリサイド層16が形成されている。活性領域11のゲート配線19の下側にはゲート絶縁膜15が形成されている。

40

【0037】

活性領域11及び素子分離領域12の上には、サイドウォール21及びゲート配線19を覆うシリコン窒化膜34が形成され、シリコン窒化膜34の上には層間絶縁膜35が形成されている。このシリコン窒化膜34は、層間絶縁膜35にコンタクトホールを形成する際のエッチングストッパーとして用いることができ、さらに引っ張り応力あるいは圧縮応力を有するように形成すれば駆動能力の向上を図ることができるが、これらの作用効果が必要でない構成においては必ずしも設けなくてもよい。

【0038】

層間絶縁膜35には、ゲート配線19と接続された第1のコンタクトプラグ24と、シリサイド層16を介在させてソースドレイン拡散層14と接続された第2のコンタクトプ

50

ラグ 25 とが形成されている。

【0039】

第1のコンタクトプラグ24とゲート配線19との接続部において、ゲート配線19はサイドウォール21から突出し、サイドウォール21の上に広がっている。このため、ゲート配線19がサイドウォール21から突出した突出部20の幅は、本来のゲート配線の幅よりも広がっている。従って、第1のコンタクトプラグ24の位置がずれた場合においても、第1のコンタクトプラグ24とゲート配線19との接触面積を十分確保することが可能である。これにより、第1のコンタクトプラグ24のコンタクト抵抗が上昇することを抑えることができ、高速に動作する半導体集積回路装置を実現することができる。一方、本来のゲート配線の幅を変更していないため、半導体素子の設計ルールを変更する必要はなく、半導体装置の占有面積が増大することはない。

10

【0040】

ゲート配線19の突出部20の幅は、ゲート幅及び第1のコンタクトプラグ24のサイズ等を考慮して決定すればよい。例えば、ゲート幅が45nmの場合、コンタクトプラグを一般的な50nm幅で形成すると、従来の構成ではコンタクトプラグの位置が全くずれていない場合であっても、コンタクトプラグの幅がゲート配線の幅よりも広いため、コンタクトプラグを完全にゲート配線と接触させることができない。このため、コンタクトプラグの位置がずれた場合には、コンタクトプラグとゲート配線との接触面積はさらに小さくなってしまう。

【0041】

これに対して第1の実施形態の構成によれば、突出部分の幅を両側に例えば10nmずつ広げてやることによりゲート配線のコンタクトプラグと接触する部分の幅を65nmとすることができ、コンタクトプラグとゲート配線との接触面積を十分確保することが可能となる。なお、突出部分の幅は、ソースドレイン拡散層と短絡を起こす又は隣接するゲート配線と短絡を起こす等の不具合が生じない限り、任意に広げることが可能である。

20

【0042】

以下に、第1の実施形態に係る半導体装置の製造方法について図面を参照して説明する。図2～図4は本実施形態に係る半導体装置の製造方法の各工程における断面構成を工程順に示している。なお、図2～図4は、図1(a)のIb-Ib線における断面について示している。

30

【0043】

まず、図2(a)に示すように、半導体基板10の上に、素子を電気的に分離するための素子分離領域12を例えばSTI(shallow trench isolation)法により形成し、半導体基板10に素子分離領域12に囲まれた活性領域11を形成する。次に、基板10にイオン注入を行って、ウェル(図示せず)を形成する。この際に、N型MISFETの形成領域には、P型ウェルを形成し、P型MISFETの形成領域にはN型ウェルを形成する。

【0044】

次に、図2(b)に示すように、活性領域11の上面を、ドライ酸化法、ウェット酸化法又はラジカル酸素による酸化法等によって酸化し、膜厚が2nm程度の酸化シリコンからなるゲート絶縁膜15を形成する。続いて、ゲート絶縁膜15及び素子分離領域12の上にゲート配線となる膜厚が80nmのポリシリコン膜22をCVD(chemical vapor deposition)法等により堆積した後、ポリシリコン膜22の上に、膜厚が60nmのシリコン酸化膜23をCVD法等により形成する。シリコン酸化膜23の膜厚は、ポリシリコン膜22の膜厚よりも薄くする。これにより、後の工程で形成するサイドウォール21の高さをポリシリコン膜22の膜厚の2倍未満とすることができる。

40

【0045】

次に、図2(c)に示すように、フォトリソグラフィ法及びドライエッチング法により、シリコン酸化膜23をゲート電極形状にパターンニングし、続いて、パターンニングされたシリコン酸化膜23をマスクとして、ポリシリコン膜22及びゲート絶縁膜15に対して

50

ドライエッチングを行う。続いて、イオン注入法を用いて、活性領域におけるポリシリコン膜 22 の両側方の領域に浅いソースドレイン拡散層 14 a を形成する。

【0046】

次に、図 2 (d) に示すように、半導体基板 10 上の全面に亘って、膜厚が 50 nm のシリコン窒化膜を CVD 法等により堆積した後、堆積したシリコン窒化膜に対して異方性エッチングを行うことにより、ポリシリコン膜 22 及びシリコン酸化膜 23 の側面にサイドウォール 21 を形成する。続いて、フォトリソグラフィ法、イオン注入法、及び注入不純物の活性化のための熱処理を用いて、活性領域におけるポリシリコン膜 22 の両側部に深いソースドレイン拡散層 14 b を形成する。

【0047】

次に、図 2 (e) に示すように、深いソースドレイン拡散層 14 b の表面から自然酸化膜を除去した後、半導体基板 10 の上に、スパッタリング法等により膜厚が 10 nm のニッケル膜を堆積する。続いて、窒素雰囲気中で半導体基板 10 に対して 320 の温度で 1 回目の RTA (rapid thermal anneal) を行うことにより、半導体基板 10 を構成するシリコンと、シリコンと接触するニッケル膜部分とを反応させてニッケルシリサイド化を行う。続いて、塩酸と過酸化水素水等の混酸のエッチング液に半導体基板 10 を浸すことにより、素子分離領域 12 の上、シリコン酸化膜 23 の上及びサイドウォール 21 の上等に残存する未反応のニッケルを選択的に除去した後、半導体基板 10 に対して 1 回目の RTA よりも高温 (例えば 550) の 2 回目の RTA を行う。これにより、深いソース・ドレイン拡散層 14 b の表面に低抵抗のシリサイド層 16 が形成される。

10

20

【0048】

次に、図 3 (a) に示すように半導体基板 10 の上に、フルシリサイド化の際のマスクとなるシリコン酸化膜 32 を形成し、次に CMP 法により、シリコン酸化膜 32 の表面の平坦化を行いながら、サイドウォール 21 及びシリコン酸化膜 23 の上端まで研磨する。

【0049】

次に、図 3 (b) に示すように、シリコン窒化膜と選択比のある条件のドライエッチング法又はウェットエッチング法を用い、ポリシリコン膜 22 が露出するまでシリコン酸化膜 23 及びシリコン酸化膜 32 をエッチングする。このとき、シリコン酸化膜 32 は必ずしもエッチングする必要はない。

【0050】

次に図 3 (c) に示すように、第 1 のコンタクトプラグ 24 を形成する領域において、ポリシリコン膜 22 及びサイドウォール 21 を覆うように、シリコン酸化膜 32 の上にレジストパターン 42 を形成する。続いて、シリコン窒化膜及びシリコン酸化膜と選択比のある条件のドライエッチング法又はウェットエッチング法を用いて、第 1 のコンタクトプラグ 24 が形成される領域を除いてポリシリコン膜 22 を 40 nm エッチングする。ポリシリコン膜 22 のエッチング量は、エッチング後のポリシリコン膜 22 の膜厚 t_{Si_2} が、サイドウォール 21 の高さ t_{sw} の 2 分の 1 未満となるようにする。

30

【0051】

次に、図 3 (d) に示すようにレジストパターン 42 を除去した後、シリコン酸化膜 32 の上にサイドウォール 21 及びポリシリコン膜 22 を覆うように、膜厚が 100 nm のニッケルからなる金属膜 33 をスパッタリング法により堆積する。次に、例えば窒素雰囲気中で半導体基板 10 に対して 400 の RTA を行うことにより、ポリシリコン膜 22 と金属膜 33 とを反応させてポリシリコン膜 22 をフルシリサイド化する。金属膜 33 の膜厚 t_{Ni} は、第 1 のコンタクトプラグ 24 を形成する領域におけるポリシリコン膜 22 の膜厚の 1.1 倍以上となるようにする。

40

【0052】

次に、図 3 (e) に示すように未反応の金属膜 33 を除去することにより、第 1 のコンタクトプラグ 24 の形成領域においてサイドウォール 21 から突出した突出部 20 を有するゲート配線 19 が形成される。

【0053】

50

次に、図4(a)に示すようにシリコン酸化膜32を除去した後、半導体基板10の上に膜厚が50nmのシリコン窒化膜34をCVD法等により堆積した後、シリコン窒化膜34の上に層間絶縁膜35をCVD法等により形成する。なお、シリコン窒化膜34は必要に応じて形成すればよく、シリコン窒化膜34を形成しない場合には、シリコン酸化膜32をエッチングすることなく、シリコン酸化膜32の上に層間絶縁膜35を堆積してもよい。

【0054】

次に、図4(b)に示すように層間絶縁膜35の上にレジストマスクパターン(図示せず)を形成し、ドライエッチング法を用いて、ゲート配線19の突出部分20に到達するコンタクトホール及びソースドレイン拡散層14上に形成されたシリサイド層16に到達するコンタクトホールをそれぞれ形成する。続いて、コンタクトホール内に例えばCVD法によりタングステンを埋め込むことにより、第1のコンタクトプラグ24及び第2のコンタクトホール25を形成する。

10

【0055】

以上に説明したように、本実施形態においては第1のコンタクトプラグ24を形成する領域におけるポリシリコン膜22の膜厚が、他の領域と比べて厚い状態においてシリサイド化を行っている。

【0056】

具体的に、本実施形態においては第1のコンタクトプラグ24を形成する領域におけるポリシリコン膜22の膜厚 t_{Si1} は80nmである。また、金属膜33の膜厚 t_{Ni} は100nmであり、ポリシリコン膜22の膜厚 t_{Si1} の1.1倍以上ある。このようなニッケルの比率がポリシリコンより多い条件においては、シリサイド化の際に Ni_2Si 及び Ni_3Si が形成されるため、ポリシリコン膜22をフルシリサイド化したフルシリサイド化膜の膜厚は、ポリシリコン膜22の膜厚 t_{Si1} の約2倍となる。

20

【0057】

一方、サイドウォール21の高さ t_{sw} は、ゲート絶縁膜15の膜厚が無視できるため、ポリシリコン膜22の膜厚とシリコン酸化膜23の膜厚の合計である140nmである。従って、ポリシリコン膜22の膜厚 t_{Si1} は、サイドウォール21の高さ t_{sw} の2分の1以上ある。従って、第1のコンタクトプラグ24を形成する領域においては、ポリシリコン膜22をフルシリサイド化したフルシリサイド化膜は、サイドウォール21から突出する。また、突出した部分は横方向にも広がるため、サイドウォール21の上面の一部を覆う構造が形成される。

30

【0058】

第1のコンタクトプラグ24を形成する領域を除く部分においては、エッチングによりポリシリコン膜22の膜厚を薄くしており、この部分におけるポリシリコン膜22の膜厚 t_{Si2} は40nmである。従って、サイドウォール21の高さ t_{sw} の2分の1未満であり、フルシリサイド化された際にも、サイドウォール21から突出することはない。

【0059】

以上のように、ゲート配線19をサイドウォール21から突出させる部分においては、ポリシリコン膜22の膜厚をサイドウォール21の高さの2分の1以上とすると共に、金属膜33の膜厚をポリシリコン膜22の膜厚の1.1倍以上とする。逆に、ゲート配線19をサイドウォール21から突出させない部分においては、ポリシリコン膜22の膜厚をサイドウォールの高さの2分の1未満とすればよい。

40

【0060】

(第2の実施形態)

以下に、本発明の第2の実施形態について図面を参照しながら説明する。図5(a)及び(b)は第2の実施形態に係る半導体装置であり、(a)は平面構成を示し、(b)は(a)のVb-Vb線における断面構成を示している。

【0061】

図5に示すように本実施形態のMISFETを有する半導体装置は、ゲート配線19の

50

全体に突出部 20 が形成されている点において第 1 の実施形態の半導体装置と異なり、それ以外は第 1 の実施形態の半導体装置と同じ構成である。ゲート配線 19 の全体に突出部 20 を設けることにより、ゲート配線とコンタクトプラグとの接触面積を確保することが容易となるだけでなく、従来半導体装置と比べゲート配線 19 の断面積が大きくなることができる。従って、ゲート配線 19 の抵抗を小さく抑えることができ、半導体集積回路装置の高速化が可能となる。

【0062】

以下に、本実施形態に係る半導体装置の製造方法について図面を参照して説明する。図 6 は本実施形態に係る半導体装置の製造方法の各工程における断面構成を工程順に示している。なお、図 6 は、図 5 (a) の V b - V b 線における断面について示している。また、半導体基板 10 の上にサイドウォール 21 を覆うシリコン酸化膜 32 を形成する工程までは第 1 の実施形態と同一であるため説明を省略する。

10

【0063】

図 6 (a) に示すように半導体基板 10 の上に、シリコン酸化膜 32 を形成した後、CMP 法により、シリコン酸化膜 32 の表面の平坦化を行いながら、サイドウォール 21 及びシリコン酸化膜 23 の上端まで研磨する。

【0064】

次に、図 6 (b) に示すように、シリコン窒化膜と選択比のある条件のドライエッチング法又はウェットエッチング法を用い、ポリシリコン膜 22 が露出するまでシリコン酸化膜 23 及びシリコン酸化膜 32 をエッチングする。このとき、シリコン酸化膜 32 は必ずしもエッチングする必要はない。

20

【0065】

次に、本実施形態においては、ポリシリコン膜 22 をエッチングすることなく、図 6 (c) に示すようにシリコン酸化膜 32 の上にサイドウォール 21 及びポリシリコン膜 22 を覆うように、スパッタリング法により厚さが 100 nm のニッケル等からなる金属膜 33 を堆積する。

【0066】

続いて、窒素雰囲気中で半導体基板 10 に対して例えば 400 °C で RTA を行うことにより、ポリシリコン膜 22 と金属膜 33 とを反応させ、ポリシリコン膜 22 をフルシリサイド化する。

30

【0067】

次に、図 6 (d) に示すように未反応の金属膜 33 を除去することにより、サイドウォール 21 から突出した突出部 20 を有し、突出部 20 がサイドウォール 21 の上に広がったシリサイド化膜からなるゲート配線 19 が得られる。

【0068】

その後の工程は、第 1 の実施形態と同一であるため説明を省略する。

【0069】

以上に説明したように、第 2 の実施形態の半導体装置の製造方法においては、ポリシリコン膜 22 の膜厚をサイドウォール 21 の高さの 2 分の 1 以上にして、ポリシリコン膜 22 のフルシリサイド化を行っている。このため、ゲート配線 19 の全体がサイドウォール 21 よりも突出した突出部 20 を有している。従って、第 1 のコンタクトプラグ 24 とゲート配線 19 との接触面積の確保が容易となるだけでなく、ゲート配線 19 の断面積を大きく増やすことができる。その結果、ゲート配線 19 の抵抗値を低く抑えることが可能となり、半導体集積回路装置を高速化できる。

40

【0070】

(第 2 の実施形態の一変形例)

以下に、本発明の第 2 の実施形態の一変形例について図面を参照して説明する。図 7 は第 2 の実施形態の一変形例に係る半導体装置の製造方法の各工程における断面構成を工程順に示している。深いソースドレイン拡散層 14 b の表面にシリサイド層 16 を形成する工程までは第 1 の実施形態と同一であるため、説明を省略する。

50

【0071】

図7(a)に示すように半導体基板10の上に、フルシリサイド化の際のマスクとなるシリコン酸化膜32を形成した後、CMP法により、シリコン酸化膜32の表面を平坦化する。この際、図6(a)に示した第2の実施形態とは異なり、サイドウォール21及びシリコン酸化膜23の上にシリコン酸化膜32が残存するように平坦化する。続いて、シリコン酸化膜32の上に、シリコン酸化膜23の上方に開口を有するレジストパターン43を形成する。

【0072】

次に、図7(b)に示すようにレジストパターン43(図示せず)をマスクとして、シリコン窒化膜及びポリシリコン膜と選択比のある条件のドライエッチング法を用い、シリコン酸化膜32及びシリコン酸化膜23をエッチングする。これにより、シリコン酸化膜32にポリシリコン膜22の上面及びサイドウォール21の上面の一部を露出する溝部を形成し、続いてレジストパターン43を除去する。

【0073】

次に、図7(c)に示すようにシリコン酸化膜32の上に、サイドウォール21及びポリシリコン膜22を覆うように、膜厚が100nmのニッケルからなる金属膜33をスパッタリング法等により堆積する。次に、窒素雰囲気中で半導体基板10に対して400でRTAを行うことにより、ポリシリコン膜22と金属膜33を反応させてフルシリサイド化膜を形成する。

【0074】

次に、図7(d)に示すように未反応の金属膜33を除去する。これにより、サイドウォール21から突出した突出部20を有し、突出部20がサイドウォール21の上に広がるフルシリサイド化膜からなるゲート配線19を有する半導体装置が得られる。

【0075】

本変形例においては、サイドウォール21の一部のみを露出する溝部を形成し、この開口部においてフルシリサイド化を行っている。このため、突出部20がサイドウォール21の上に広がる領域を溝部の幅に制限することができる。従って、第2の実施形態の効果に加え、隣接するゲート配線を狭いピッチで形成した場合にも、ゲート配線同士が短絡することを防止できるという効果が得られる。

【0076】

なお、本変形例は第1の実施形態の半導体装置の製造方法にも適用できる。

【0077】

(第3の実施形態)

以下に、本発明の第3の実施形態について図面を参照して説明する。図8(a)及び(b)は第3の実施形態に係る半導体装置であり、(a)は平面構成を示し、(b)は(a)のVIIIb-VIIIb線における断面構成を示している。図8において図1と同一の構成要素には同一の符号を附すことにより説明を省略する。

【0078】

図8に示すように本実施形態の半導体装置は、ソースドレイン拡散層14と電氣的に接続された第2のコンタクトプラグ25の近傍においては、ゲート配線19がサイドウォール21から突出していない。半導体装置のチップ面積を削減するためには、ソースドレイン拡散層と接続された第2のコンタクトプラグをできるだけゲート電極と近づけることが必要である。この場合に、ゲート配線19がサイドウォール21の上に広がっていると、ゲート配線19と第2のコンタクトプラグ25とが短絡する恐れがある。このため、本実施形態においては、第2のコンタクトプラグ25の近傍においては、ゲート配線19をサイドウォール21から突出させず、ゲート配線19がサイドウォール21の上に広がることを防止している。しかし、他の部分においてはゲート配線19がサイドウォール21から突出しており、ゲート配線19の配線抵抗を低減する効果を十分得ることができる。

【0079】

以下に、本実施形態の半導体装置の製造方法について図面を参照して説明する。図9は

10

20

30

40

50

第3の実施形態に係る半導体装置の製造方法の各工程における断面構成を工程順に示している。サイドウォール21を覆うシリコン酸化膜32を形成した後、ポリシリコン膜22を露出する工程までは第1の実施形態と同一であるため、説明を省略する。

【0080】

ポリシリコン膜22を露出した後、図9(a)に示すように、活性領域11の上の第2のコンタクトプラグ25が形成される領域の近傍を除いて、ポリシリコン膜22及びサイドウォール21を覆うように、シリコン酸化膜32の上にレジストパターン42を形成する。ここで、活性領域11の上の第2のコンタクトプラグ25が形成される領域の近傍を除いてとは、ゲート長方向に第2のコンタクトプラグ25が形成される領域(第2のコンタクトプラグ25の位置あわせのマーヅンを含む)は除くことを意味する。続いて、シリ

10

【0081】

次に、図9(b)に示すようにレジストパターン42を除去した後、シリコン酸化膜32の上にサイドウォール21及びポリシリコン膜22を覆うように、膜厚が100nmのニッケルからなる金属膜33をスパッタリング法により堆積する。次に、例えば窒素雰囲気中半導体基板10に対して400℃のRTAを行うことにより、ポリシリコン膜22と金属膜33とを反応させてポリシリコン膜22をフルシリサイド化する。

【0082】

次に、図9(c)に示すように未反応の金属膜33を除去することにより、活性領域11上におけるゲート長方向に第2のコンタクトプラグ25が形成される領域の近傍には、サイドウォール21から突出していないゲート配線19が形成され、活性領域11上におけるゲート長方向に第2のコンタクトプラグ25が形成されていない領域と素子分離領域12の上には、サイドウォール21から突出したゲート配線19が形成される。このため、図8(a)に示すように、第2のコンタクトプラグ25の間に位置するゲート配線19のゲート長方向の幅は、他の領域におけるゲート配線19のゲート長方向の幅よりも狭く形成される。

20

【0083】

その後の工程については、第1の実施形態と同一であるため説明を省略する。

30

【0084】

以上に説明したように、本実施形態においては第2のコンタクトプラグ25を形成する領域の近傍において、ポリシリコン膜22の膜厚を薄くした後、シリサイド化を行っている。このため、第2のコンタクトプラグ25の近傍においては、ゲート配線19がサイドウォール21から突出していない。このため、第2のコンタクトプラグ25とゲート配線19とが短絡する恐れが小さい。一方、第2のコンタクトプラグ25の近傍以外の部分においてはゲート配線19がサイドウォール21から突出しているため、ゲート配線19の断面積を大きくすることができ、ゲート配線の抵抗を低く抑えることが可能となる。

【0085】

なお、本実施形態においては、ポリシリコン膜22の膜厚を第2のコンタクトプラグ25の近傍においては40nmとし、他の部分においては80nmとしたが、ポリシリコン膜22の膜厚は、サイドウォールの高さ等を考慮して適宜設定すればよい。また、ゲート配線19をサイドウォール21から突出させないようにする部分は、少なくともゲート配線19と第2のコンタクトプラグ25とが対向する部分とすればよい。

40

【0086】

本実施形態においても、第2の実施形態の一変形例に示したようにポリシリコン膜22とサイドウォール22の一部とを露出する溝部を形成して、ポリシリコン膜22のフルシリサイド化を行ってもよい。

【0087】

(第3の実施形態の一変形例)

50

以下に、本発明の第3の実施形態の一変形例について、図面を参照して説明する。図10(a)及び(b)は第3の実施形態の一変形例に係る半導体装置であり、(a)は平面構成を示し、(b)は(a)のXb-Xb線における断面構成を示している。

【0088】

図10に示すように本変形例の半導体装置は活性領域11の上に形成されたゲート配線19は、サイドウォール21から突出しておらず、素子分離領域12の上に形成されたゲート配線19のみがサイドウォール21から突出している。

【0089】

このように、第2のコンタクトプラグ25が形成される可能性がある活性領域11においては、ゲート配線19をサイドウォール21から突出させないようにすることにより、ゲート配線19と第2のコンタクトプラグ25とが短絡することを抑えることができる。また、このように活性領域11全体について、ゲート配線19がサイドウォール21から突出していない構成とすることによりマスクパターンの形成が容易となる。

【0090】

なお、各実施形態及び変形例において、フルシリサイド化膜をポリシリコン膜から形成したが、アモルファスシリコン又はシリコンを含む他の半導体材料等から形成してもよい。また、金属としてニッケルを用いたが、これに代えて、例えば白金等のフルシリサイド化用金属を用いてもよい。また、シリサイド層16をニッケルを用いて形成したが、これに代えて、例えばコバルト、チタン又はタングステン等のシリサイド化用金属を用いてもよい。また、サイドウォール21をシリコン窒化膜としたが、シリコン酸化膜とシリコン窒化膜の積層構造を用いてもよい。

【産業上の利用可能性】

【0091】

本発明の半導体装置及びその製造方法は、ゲート配線の幅が狭いフルシリサイド化ゲートプロセスを用いた半導体装置において、ゲート配線の設計ルールを変更することなく、ゲート配線とコンタクトとの接触面積を確保することが容易で且つゲート配線の配線抵抗が小さい半導体装置及びその製造方法を実現できるという効果を有し、ゲート電極がフルシリサイド化された半導体装置及びその製造方法等として有用である。

【図面の簡単な説明】

【0092】

【図1】(a)及び(b)は本発明の第1の実施形態に係る半導体装置を示し、(a)は平面図であり、(b)は(a)のIb-Ib線における断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】(a)及び(b)は本発明の第2の実施形態に係る半導体装置を示し、(a)は平面図であり、(b)は(a)のVb-Vb線における断面図である。

【図6】本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】本発明の第2の実施形態の一変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】(a)及び(b)は本発明の第3の実施形態に係る半導体装置を示し、(a)は平面図であり、(b)は(a)のVIIb-VIIb線における断面図である。

【図9】本発明の第3の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】(a)及び(b)は本発明の第3の実施形態の一変形例に係る半導体装置を示し、(a)は平面図であり、(b)は(a)のXb-Xb線における断面図である。

【符号の説明】

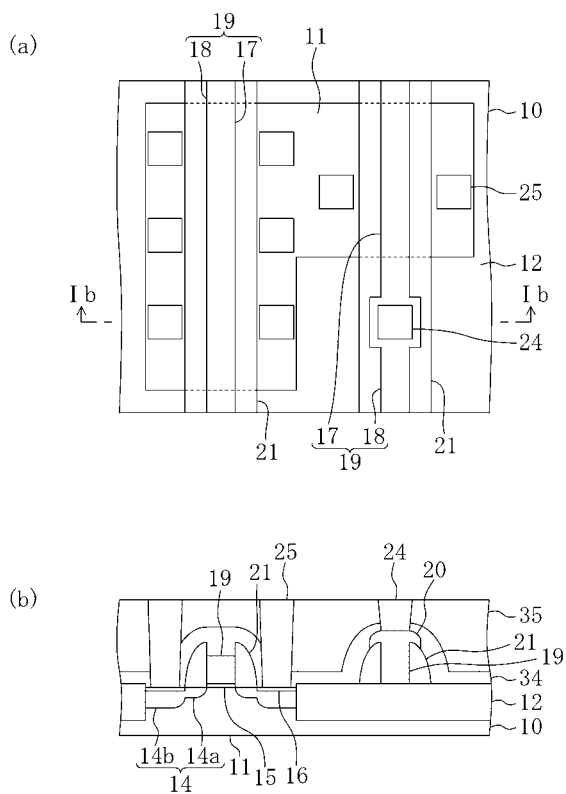
【 0 0 9 3 】

- 1 0 半導体基板
- 1 2 素子分離領域
- 1 1 活性領域
- 1 4 ソースドレイン拡散層
- 1 4 a 浅いソースドレイン拡散層
- 1 4 b 深いソースドレイン拡散層
- 1 5 ゲート絶縁膜
- 1 6 シリサイド層
- 1 7 ゲート電極
- 1 8 配線
- 1 9 ゲート配線
- 2 0 突出部
- 2 1 サイドウォール
- 2 2 ポリシリコン膜
- 2 3 シリコン酸化膜
- 2 4 第1のコンタクトプラグ
- 2 5 第2のコンタクトプラグ
- 3 2 シリコン酸化膜
- 3 3 金属膜
- 3 4 シリコン窒化膜
- 3 5 層間絶縁膜
- 4 2 レジストパターン
- 4 3 レジストパターン

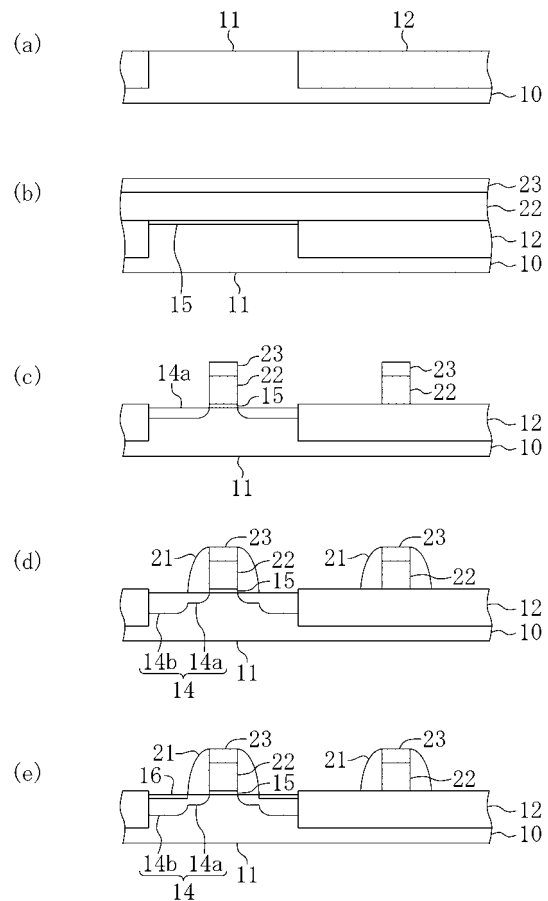
10

20

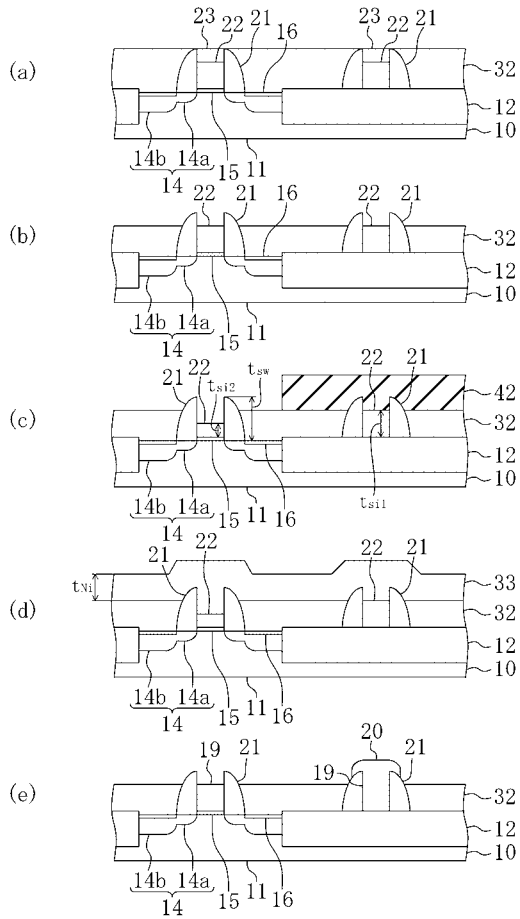
【 図 1 】



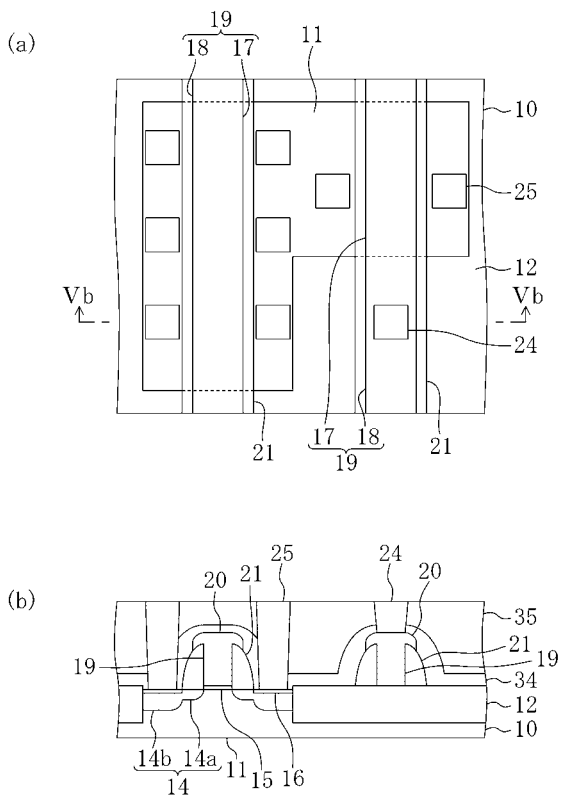
【 図 2 】



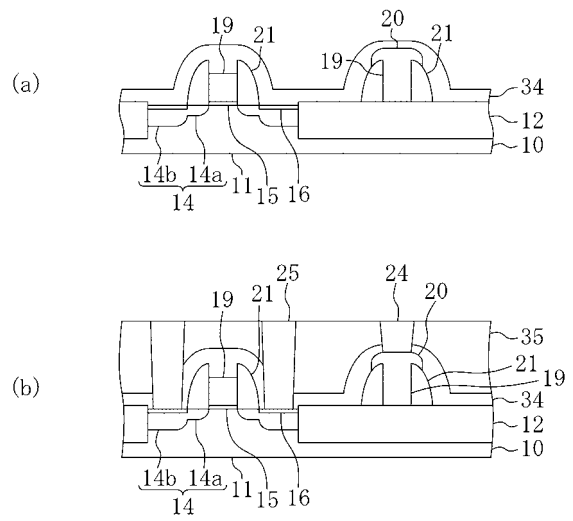
【 図 3 】



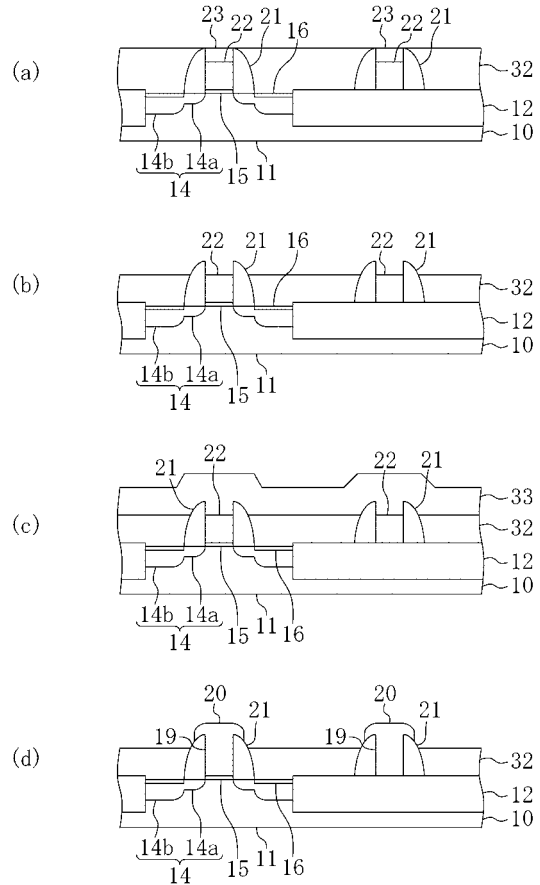
【 図 5 】



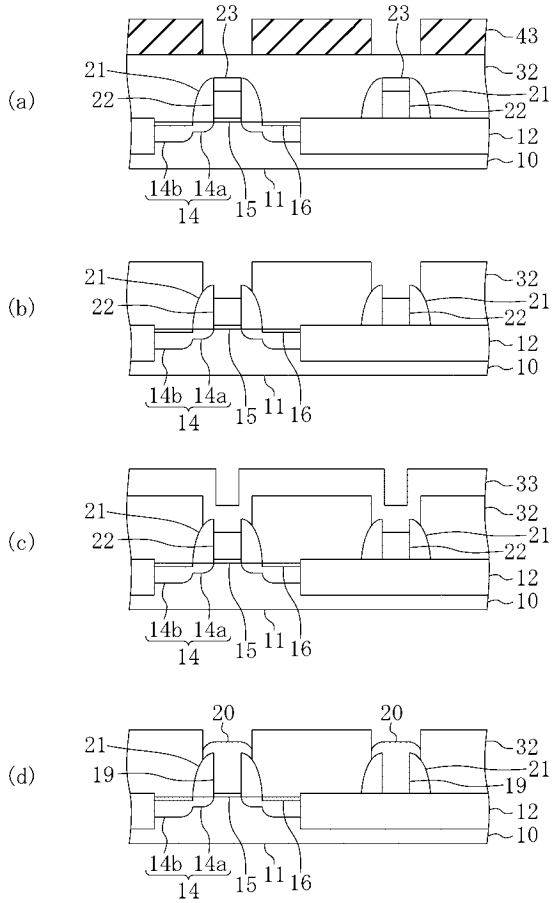
【 図 4 】



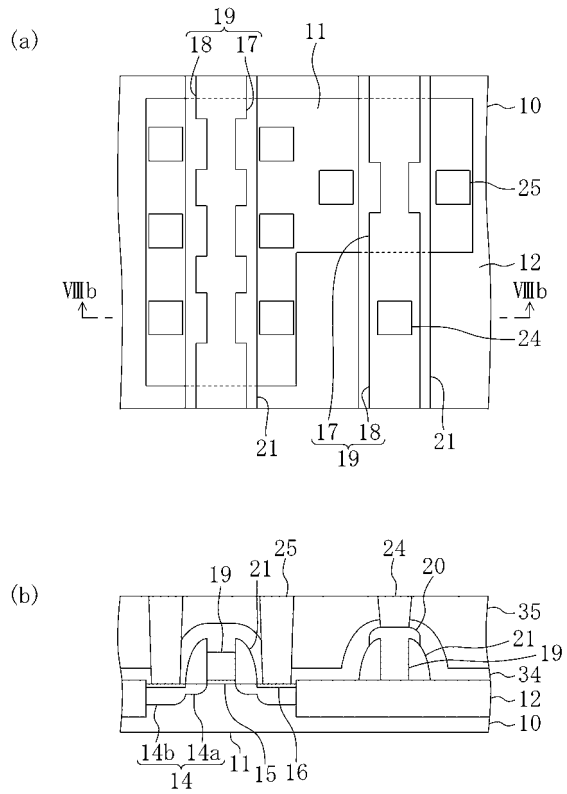
【 図 6 】



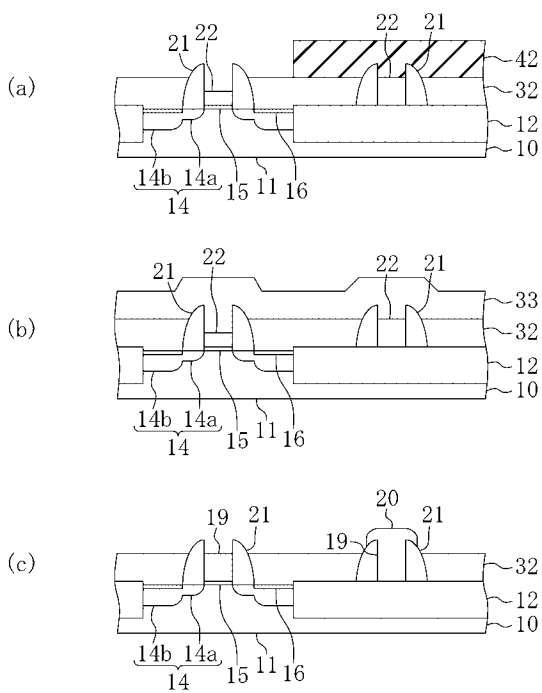
【 図 7 】



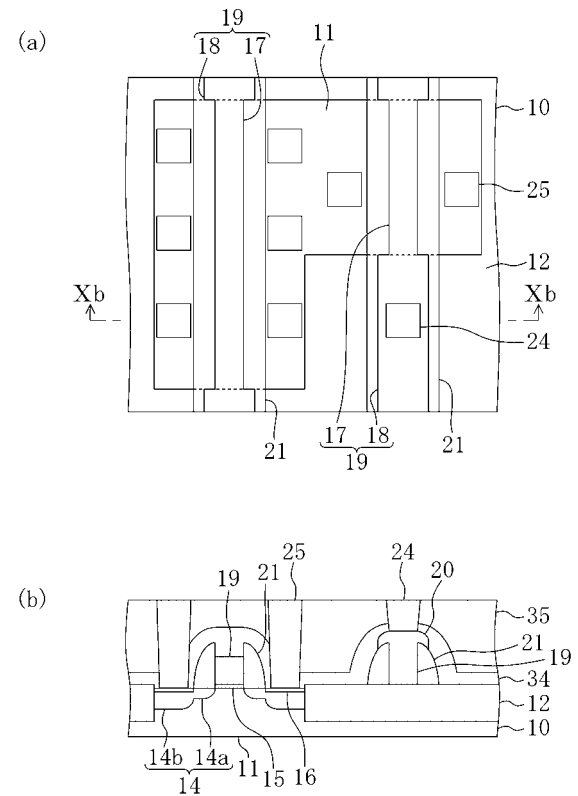
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H O 1 L 21/28 (2006.01) H O 1 L 21/88 M
H O 1 L 21/3205 (2006.01)
H O 1 L 23/52 (2006.01)

(74)代理人 100115691
 弁理士 藤田 篤史

(74)代理人 100117581
 弁理士 二宮 克也

(74)代理人 100117710
 弁理士 原田 智雄

(74)代理人 100121728
 弁理士 井関 勝守

(74)代理人 100124671
 弁理士 関 啓

(74)代理人 100131060
 弁理士 杉浦 靖也

(72)発明者 佐藤 好弘
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 平瀬 順司
 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 4M104 AA01 BB21 CC01 CC05 DD02 DD37 DD64 DD80 DD84 EE09
 FF07 GG09 GG10 GG14 HH16 HH20
 5F033 HH25 KK25 MM18 PP15 QQ08 QQ09 QQ19 QQ25 QQ35 QQ37
 QQ48 QQ80 QQ84 TT08 XX10 XX15
 5F048 AA01 AC01 AC03 BA01 BB01 BB05 BB08 BB12 BC06 BF03
 BF06 BF07 BF11 BF15 BF16 BF19 BG13 DA25
 5F140 AA01 AA39 AB03 AC28 BA01 BE07 BF01 BF08 BF42 BF51
 BF58 BF60 BG08 BG14 BG20 BG28 BG30 BG34 BG35 BG38
 BG40 BG45 BG52 BG53 BG56 BH15 BJ08 BJ11 BJ17 BJ27
 BK02 BK13 BK21 BK29 BK34 BK35 BK38 BK39 CA03 CB04
 CB08 CC01 CC03 CC08 CC12 CE07 CF05