

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 10-2005-0077832
G02F 1/136 (43) 공개일자 2005년08월04일

(21) 출원번호 10-2004-0005314
(22) 출원일자 2004년01월28일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575
(72) 발명자 서창수
경기도수원시권선구권선동1188번지성지아파트105-605
(74) 대리인 리엔특허법인
이혜영

심사청구 : 있음

(54) 박막 트랜지스터 및 이를 구비한 평판표시장치

요약

본 발명은 TFT 특성을 향상시키고, 소스/드레인 영역의 도핑이 원활하게 이루어지도록 하며, 원하는 광투과율을 나타낼 수 있는 평판 표시장치를 제공하기 위한 것으로, 이러한 목적을 달성하기 위하여, 채널 영역과 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극과, 상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하고, 상기 제 2 절연막은 적어도 상기 활성층의 소스 및 드레인 영역에 대응되는 영역에는 구비되지 않도록 형성된 절연막과, 상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 및 이를 구비한 평판 표시장치를 제공한다.

대표도

도 2

명세서

도면의 간단한 설명

- 도 1a는 종래 기술에 따른 박막 트랜지스터의 개략적인 단면도,
- 도 1b는 도 1a에 따른 박막 트랜지스터에서 도핑 농도의 프로파일을 나타내는 개략도,
- 도 2는 본 발명의 바람직한 일 실시예에 따른 박막 트랜지스터를 도시한 단면도,
- 도 3은 도 2에 따른 박막 트랜지스터에서 도핑 농도의 프로파일을 나타내는 개략도,
- 도 4는 본 발명에 따른 평판 표시장치의 평면도,

도 5는 도 4의 평판 표시장치 중 일 부화소를 도시한 단면도.

<도면의 주요부분에 대한 부호의 간단한 설명>

22,52: 활성층 23,53: 게이트 절연막

23a,53a: 제1게이트 절연막 23b,53b: 제2게이트 절연막

24,54: 게이트 전극 25,55: 층간 절연막

26,56: 소스/드레인 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터에 관한 것으로, 게이트 절연막의 구조가 개선된 박막 트랜지스터 및 이를 구비한 평판표시장치에 관한 것이다.

액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: 이하, 'TFT'라 함)는 각 화소의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.

이러한 TFT는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역, 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 활성층을 구비하며, 이 활성층 상에 형성된 게이트 절연막, 상기 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극, 및 활성층의 소스/드레인 영역에 각각 접촉된 소스/드레인 전극으로 구성된다.

활성층의 재료로서는 다양한 소재의 반도체 물질이 사용될 수 있는 데, 흔히, 비정질 실리콘 또는 다결정질 실리콘이 주로 사용된다. 비정질 실리콘을 이용한 TFT는 저온 증착이 가능하다는 장점이 있으나, 전기적 특성과 신뢰성이 저하되고, 표시장치의 대면적화가 어려워 최근에는 다결정질 실리콘을 많이 사용하고 있다. 다결정질 실리콘은 수십 내지 수백 $\text{cm}^2/\text{V}\cdot\text{s}$ 의 높은 이동도를 갖고, 고주파 동작 특성 및 누설 전류치가 낮아 고정세 및 대면적의 평판표시장치에 사용하기에 매우 적합하다.

한편, 상기와 같은 TFT는 진술한 바와 같이, 평판 표시장치에 있어 스위칭 소자나 화소의 구동소자 등 화소부 박막 트랜지스터와 이를 구동하기 위한 회로영역의 회로부 박막 트랜지스터로 사용된다. 이러한 TFT는 이 밖에도 평판 표시장치의 회로 및 메모리 소자로서도 사용된다. 최근의 평판 표시장치는 그 제조 코스트를 저감하기 위해 각종 회로들과 메모리들을 집적화하고, 크기를 소형화하고 있는 추세이다.

한편, 평판표시장치에 적용되는 TFT의 경우, 적당한 마진(margin)의 계조 표현을 위해서는 TFT의 S-슬로프(Sub-threshold Slope)값이 어느 정도 이상은 되어야 한다. 예를 들어, AM 타입의 유기 전계 발광 표시장치의 경우에는 S-슬로프값이 0.4~1.0 V/dec. 정도는 되어야 한다.

이렇게 높은 S-슬로프 값을 얻을 수 있는 방법의 하나로, 게이트 절연막의 두께를 증대시키는 방법이 있다. 그런데, 이렇게 게이트 절연막의 두께를 증대시키면 활성층의 소스/드레인 영역에 대한 불순물 도핑이 어렵게 되고, 엘디디(LDD: Lightly Doped Drain) 영역과 같이, 도핑 농도가 특히 낮은 영역을 균일하게 도핑하기가 어려워 TFT의 균일한 특성을 얻기가 어려운 문제가 있다.

한편, TFT에서는, 고온에서, 모바일 이온(mobile ion)에 의해 활성층과 게이트 전극을 절연시키는 게이트 절연막이 국부적인 손상을 받게 된다. 이에 따라, Vfb가 변화될 수 있고, 이는 회로 특성을 저감시키는 결과를 초래하게 된다. 뿐만 아니라, 이러한 게이트 절연막의 국부적인 손상은 채널 영역의 온 커런트(on-current)값 또는 전류 이동도를 저감시킨다.

이러한 문제를 해결하기 위하여, 종래 기술에 의하면, 도 1a에서 볼 수 있는 바와 같이, 이중 게이트 절연막을 사용한다.

도 1a에 따른 TFT(10)는 기판(11) 상에 다결정질 실리콘으로 활성층(12)이 형성되고, 이를 덮도록 이중으로 게이트 절연막(13)이 형성되어 있다. 게이트 절연막(13) 상부에는 활성층(12)의 채널 영역에 대응되는 영역에 게이트 전극(14)이 형성되며, 이 게이트 전극(14)을 덮도록 층간 절연막(15)이 형성된다. 그리고, 층간 절연막(15)에는 비아 홀들이 천공되어져 소스/드레인 전극(16)이 활성층(12)의 소스/드레인 영역에 접속된다.

상기 TFT(10)에 있어, 게이트 절연막(13)은 실리콘 옥사이드로 이루어진 막(13a)과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 이루어진 막(13b)의 이중막으로 형성되어 있다.

이렇게 게이트 절연막(13)이 이중으로 형성되게 되면, 높은 S-슬로프값을 얻을 수 있고, 모바일 이온에 강한, 보다 밀한 매질인 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 이루어진 막(13b)에 의해 게이트 절연막(13)의 국부적인 손상을 방지할 수 있게 된다.

그런데, 이렇게 이중 게이트 절연막(13)을 사용할 경우에도, 도 1b에서 볼 수 있는 바와 같이, 불순물 도핑이 어려운 한계를 갖는다. 즉, 종래의 이중 게이트 절연막(13)을 사용할 경우에는, 그 도핑 프로파일(profile)의 꼬리 부분이 도 1b에서 볼 수 있듯이, 활성층 영역에 위치하게 된다. 이 경우, 밀한 매질인 실리콘 나이트라이드로 이루어진 막(13b)에 의해 최대 도핑농도를 나타내는 영역이 실리콘 옥사이드 막(13a)이 되므로, 활성층(12)에서 적정수준의 도핑농도를 얻기가 어려우며, 그 균일도도 현저히 떨어지게 된다.

또한, 엘디디 도핑의 경우에는, 도 1b와 같이, 프로파일의 꼬리부분이 활성층 영역에 위치하게 되면, 활성층에서의 저항 변동이 매우 심하게 되어, 균일하면서도 안정적인 TFT 특성을 얻을 수 없다.

뿐만 아니라, 상기와 같은 이중 게이트 절연막을 LCD나 유기EL과 같은 평판표시장치에 사용하게 될 경우에는 화상이 구현되는 화소영역에서 상기 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 이루어진 막(13b)에 의해 광투과율이 저하되는 문제가 있다.

한편, 화소 영역의 제 1 전극 이하의 층들은 주로 실리콘 옥사이드, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 이루어진 층들로 구성되는데, 실리콘 옥사이드로 구성된 층은 표면 균일도에 있어 편차가 미미하여 빛의 파장별 광투과율 차이도 상당히 미약하다. 하지만, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구성된 층의 경우에는 실리콘 옥사이드로 구성된 층의 경우와 달리 두께 균일도가 최소 5% 내지 6% 차이가 나게 된다. 이러한 두께 불균일은 표면에 대한 광투과율의 불균일을 초래한다.

뿐만 아니라, 실리콘 옥사이드층은 자체적인 색을 구비하지 않는 반면, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 층은 자체적인 색을 구비하므로, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 층을 투과한 빛에서는 색좌표 전이도 유발된다. 즉, 유기 전계 발광 디스플레이 소자에 있어서, 화소 영역의 제 1 전극층 하부에 배치된 층 중 화면 품질을 저하시키는 원인은 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드를 포함하는 층이라는 것을 알 수 있다.

이러한 문제점을 해결하기 위한 일 방안으로, 대한민국 공개특허공보 제2003-85239호에는 화소 영역에서 절연막을 완전히 제거시켜 제 1 전극을 기판의 일면 상에 밀착시킨 유기 전계 발광 표시장치가 개시되어 있다. 여기에서는, 화소 영역의 제 1 전극 층 이하에 배치된 모든 층을 제거하여 광취출효율을 증대시키려는데 목적이 있다.

하지만, 이러한 방식은 제 1 전극 이하의 모든 층을 제거함에 있어 별도의 마스크 패턴화 공정이 요구되어, 공정적인 부담이 증가되고, 불량률이 추가적으로 발생하여 제품의 수율에도 나쁜 영향을 줄 수 있다. 또한, 이렇게 모든 절연막을 제거할 경우 제거되는 막의 두께가 1 μ m를 초과할 수도 있어 제 1 전극의 스텝 커버리지(step coverage)에 심각한 문제를 야기할 수도 있다. 따라서, 이러한 방법은 실제 공정에 적용할 수 없는 한계를 갖는다.

뿐만 아니라, 이러한 구조에서는 화소영역 이외의 TFT 영역에서는 절연막을 종래와 동일하게 형성하기 때문에, 전술한 바와 같이, 도핑의 문제점들은 전혀 개선될 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 한계를 해결하기 위한 것으로, TFT 특성을 향상시키고, 소스/드레인 영역의 도핑이 원활하게 이루어질 수 있는 박막 트랜지스터 및 이를 구비한 평판 표시장치를 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 원하는 광투과율을 나타낼 수 있는 평판 표시장치를 제공하는 것이다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명은,

채널 영역과 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극;

상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하고, 상기 제 2 절연막은 적어도 상기 활성층의 소스 및 드레인 영역에 대응되는 영역에는 구비되지 않도록 형성된 절연막; 및

상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극;을 포함하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명은 또한,

채널 영역과 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극;

상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하고, 상기 제 2 절연막은 상기 활성층의 채널 영역에 대응되는 영역에만 구비되도록 형성된 절연막; 및

상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극;을 포함하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명은, 채널 영역과 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극;

상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하고, 상기 제 2 절연막이 상기 게이트 전극과 동일한 패턴으로 형성된 절연막; 및

상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극;을 포함하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

이러한 본 발명에 따른 박막 트랜지스터에 있어, 상기 제 1 절연막은 상기 활성층을 덮도록 구비될 수 있다.

또한, 상기 제 1 절연막 및 제 2 절연막 중 제 1 절연막은 상기 활성층에 인접하도록 구비될 수 있다.

본 발명은 전술한 목적을 달성하기 위하여,

기관;

상기 기관 상에 구비되어 소정의 화상이 구현되는 발광부; 및

상기 발광부의 신호를 제어하는 것으로, 채널 영역과, 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극과, 상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하는 절연막과, 상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터를 포함하고,

상기 제 2 절연막은 적어도 상기 활성층의 소스 및 드레인 영역에 대응되는 영역에 구비되지 않도록 형성된 것을 특징으로 하는 평판 표시장치를 제공한다.

이 때, 상기 제 2 절연막은 상기 발광부에 대응되는 영역에 구비되지 않도록 형성될 수 있다.

본 발명은 또한,

기관;

상기 기관 상에 구비되어 소정의 화상이 구현되는 발광부; 및

상기 발광부의 신호를 제어하는 것으로, 채널 영역과, 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극과, 상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하는 절연막과, 상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터를 포함하고,

상기 제 2 절연막은 상기 활성층의 채널 영역에 대응되는 영역에만 구비되도록 형성된 것을 특징으로 하는 평판 표시장치를 제공한다.

본 발명은,

기관;

상기 기관 상에 구비되어 소정의 화상이 구현되는 발광부; 및

상기 발광부의 신호를 제어하는 것으로, 채널 영역과, 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극과, 상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하는 절연막과, 상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터를 포함하고,

상기 제 2 절연막은 상기 게이트 전극과 동일한 패턴으로 형성된 것을 특징으로 하는 평판 표시장치를 제공한다.

이러한 본 발명의 평판 표시장치에 있어, 상기 제 1 절연막은 상기 활성층을 덮도록 구비될 수 있다.

그리고, 상기 제 1 절연막 및 제 2 절연막 중 제 1 절연막은 상기 활성층에 인접하도록 구비될 수 있다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

도 2는 본 발명의 바람직한 일 실시예에 따른 박막 트랜지스터(이하, 'TFT'라 함)를 도시한 단면도이다.

도 2를 참조하여 볼 때, 본 발명의 바람직한 일 실시예에 따른 TFT(20)는 기관(21) 상에 구비될 수 있다. 상기 기관(21)은 글라스재의 기관 또는 플라스틱재의 기관이 사용될 수 있다.

상기 기판(21) 상에는 반도체 소재로 형성된 활성층(22)이 구비되고, 이 활성층(22)을 덮도록 게이트 절연막(23)이 형성된다. 이 게이트 절연막(23)의 상부에는 게이트 전극(24)이 형성되고, 이 게이트 전극(24)을 덮도록 층간 절연막(25)이 형성되며, 층간 절연막(25)의 상부에 소스/드레인 전극(26)이 형성된다. 이 소스/드레인 전극(26)은 게이트 절연막(23) 및 층간 절연막(25)에 형성된 콘택홀에 의해 활성층(22)의 소스/드레인 영역에 각각 접촉된다.

먼저, 상기 기판(21) 상에 구비되는 활성층(22)은 무기반도체 또는 유기반도체로부터 선택되어 형성될 수 있는 것으로, 소스/드레인 영역에 n형 또는 p형 불순물이 도핑되어 있고, 이들 소스 영역과 드레인 영역을 연결하는 채널 영역을 구비한다.

그리고, 이 채널 영역과 소스/드레인 영역의 사이에는 저농도 도핑 영역인 엘디디 영역이 구비될 수 있다. 이 엘디디 영역(22d)은 채널 영역에서의 국부적인 전계 상승을 줄여, 채널 영역의 온 커런트(on-current)값 또는 전류 이동도를 저감시키기 위한 것으로, 소스/드레인 영역과 동일한 타입의 불순물이 도핑되어 형성되는 데, 다만, 상기 소스/드레인 영역보다 불순물의 농도가 적게 되도록 도핑한다.

상기 활성층(22)을 형성하는 무기반도체는 CdS, GaS, ZnS, CdSe, CaSe, ZnSe, CdTe, SiC, 및 Si를 포함하는 것일 수 있다.

그리고, 활성층(22)을 형성하는 유기반도체로는 밴드갭이 1eV 내지 4eV인 반도체성 유기물질로 구비될 수 있는 데, 고분자로서, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헥테로고리방향족 공중합체 및 그 유도체를 포함할 수 있고, 저분자로서, 펜타센, 테트라센, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-6-티오펜, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 또는 파이로멜리틱 디이미드 및 이들의 유도체, 퍼릴렌테트라카르복시산 디안하이드라이드 또는 퍼릴렌테트라카르복실릭 디이미드 및 이들의 유도체를 포함할 수 있다.

상기 활성층(22)은 게이트 절연막(23)에 덮히고, 이 게이트 절연막(23)의 상부에 게이트 전극(24)이 형성된다. 상기 게이트 전극(24)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 형성될 수 있는 데, 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 게이트 전극(24)으로 사용될 수 있다.

상기 게이트 전극(24)은 활성층(22)의 채널 영역에 대응되는 영역을 커버하도록 형성되는 데, 엘디디 구조를 채용한 경우에는 엘디디 영역의 내측 단부, 즉, 상기 엘디디 영역의 상기 채널 영역을 향한 단부가 상기 게이트 전극(24)의 단부에 정렬되어 있을 수도 있고, 엘디디 영역의 외측 단부, 즉, 소스 및 드레인 영역을 향한 단부가 게이트 전극(24)의 단부에 정렬되어 있을 수 있다.

이러한 본 발명에 있어, 상기 게이트 절연막(23)은 제 1 게이트 절연막(23a)과, 제 2 게이트 절연막(23b)의 이중막으로 형성될 수 있다.

상기 제 1 게이트 절연막(23a)은 SiO₂ 등과 같은 실리콘 옥사이드로 형성될 수 있고, 제 2 게이트 절연막(23b)은 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등으로 형성될 수 있다.

활성층(22)으로서 다결정질 실리콘을 사용할 경우에는, 이 다결정질 실리콘과 게이트 절연막(23)과의 계면 특성을 높이기 위해, 도 2에서 볼 수 있듯이, 실리콘 옥사이드로 형성된 제 1 게이트 절연막(23a)을 활성층(22)에 보다 인접하도록 위치시킨다. 그러나, 반드시 이에 한정되는 것은 아니고, 제 2 게이트 절연막(23b)이 활성층(22)에 보다 인접하도록 위치시킬 수도 있다.

또한, 본 발명에 있어, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등으로 형성된 제 2 게이트 절연막(23b)은 상기 활성층(22)의 소스/드레인 영역에는 형성되지 않도록 할 수 있다.

도 2에서 볼 수 있듯이, 이중으로 형성된 게이트 절연막(23)에서 제 2 게이트 절연막(23b)이 활성층(22)의 소스/드레인 영역에는 형성되지 않도록 할 수 있다.

도면에는 구별되도록 나타내지는 않았지만, 상기 제 2 게이트 절연막(23b)은 활성층(22)의 채널 영역에만 형성될 수도 있고, 또는, 게이트 전극(24)과 동일한 패턴이 되도록 형성될 수도 있다.

즉, 도 2에서는 제 2 게이트 절연막(23b)이 활성층(22)의 채널 영역에만 형성되도록 하거나, 게이트 전극(24)과 동일한 패턴이 되도록 한 경우만으로 보이지만, 본 발명은 이에 한정되는 것은 아니며, 상기 제 2 게이트 절연막(23b)이 도면에 보이는 영역 외에도 필요한 영역에 형성되도록 할 수도 있다.

한편, 상기 제 1 게이트 절연막(23a)은 활성층(22)을 덮도록 형성된다.

이러한 이중 패턴의 게이트 절연막(23)은 다양한 방법에 의해 형성될 수 있는 데, 그 일 예로서, 선택비를 이용한 일괄에칭을 적용한 포토리소그래피법을 사용할 수 있다.

즉, 제 1 게이트 절연막(23a)과 제 2 게이트 절연막(23b)이 될 실리콘 옥사이드와 실리콘 나이트라이드 막을 활성층(22)을 덮도록 형성한 후, 그 위에 게이트 전극(24)을 이루는 물질층을 덮는다. 그리고, 게이트 전극(24)과 제 2 게이트 절연막(23b)의 상부에 패터닝이 되도록 PR층을 형성한 후, 일괄에칭한다. 이 때, 에칭은 실리콘 옥사이드와 실리콘 나이트라이드의 선택비를 이용하여 서로 차등되게 에칭되도록 행할 수 있다.

이렇게 형성된 게이트 절연막(23)의 경우에는 소스/드레인 영역에서 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드가 없이, 실리콘 옥사이드만이 존재하므로, 도 3에서 볼 수 있듯이, 활성층(22)에서 도핑 농도의 최대점이 위치하게 되므로, 소스/드레인 영역에 대한 도핑을 원활하게 진행할 수 있다.

뿐만 아니라, 엘디디(LDD)영역과 같이 도핑 농도가 낮은 영역을 도핑할 경우에도 균일하고 안정적인 도핑을 행할 수 있어, TFT 특성의 균일도를 높일 수 있게 된다.

또한, 본 발명의 경우에는, 밀한 매질인 제 2 게이트 절연막(23b)이 적어도 채널 영역에 대응되는 영역에 구비되어 있으므로, 고온에서 모바일 이온들에 의해 게이트 절연막에 국부적인 손상이 생기는 것을 방지할 수 있고, 이에 따라, Vfb가 저하되는 것을 방지할 수 있다.

그리고, 채널 영역에 대응되는 영역에서 게이트 절연막의 두께를 증대시킴으로써 높은 S-슬로프값을 얻을 수 있다.

이상 설명한 바와 같은 TFT는 액티브 매트릭스형 유기 전계 발광 표시장치에 적용되거나, 액정표시장치에 적용될 수 있다.

도 4는 본 발명에 따른 TFT가 적용될 수 있는 평판 표시장치를 도시한 것으로, 화소 영역(30)과, 상기 화소 영역(30)의 가장자리에 회로 영역(40)으로 구성된다. 상기 화소 영역(30)은 복수개의 화소(pixel)들로 구비되며, 각 화소들은 소정의 화상을 구현해 내도록 발광하는 발광부를 포함한다.

본 발명의 바람직한 일 실시예에 의하면, 상기 발광부는 유기 전계 발광 소자를 각각 구비한 복수개의 부화소(sub-pixel)들로 이루어져 있다. 풀 칼라 유기 전계 발광 표시장치의 경우에는 적색(R), 녹색(G) 및 청색(B)의 부화소들이 라인상, 모자이크상, 격자상 등 다양한 패턴으로 배열되어 화소를 구성하며, 풀 칼라 평판표시장치가 아닌 모노 칼라 평판표시장치여도 무방하다.

그리고, 상기 회로 영역(40)은 상기 화소 영역(30)으로 입력되는 화상 신호 등을 제어해 준다.

이러한 유기 전계 발광 표시장치에 있어서, 상기 화소 영역(30)과 회로 영역(40)에는 각각 적어도 하나 이상의 TFT가 설치될 수 있다.

화소 영역(30)에 설치되는 박막 트랜지스터로는 게이트 라인의 신호에 따라 발광 소자에 데이터 신호를 전달하여 그 동작을 제어하는 스위칭용 박막 트랜지스터와, 상기 데이터 신호에 따라 상기 유기 전계 발광 소자에 소정의 전류가 흐르도록 구동시키는 구동용 박막 트랜지스터 등 화소부 박막 트랜지스터가 있다. 그리고, 회로 영역(40)에 설치되는 박막 트랜지스터로는 소정의 회로를 구현하도록 구비된 회로부 박막 트랜지스터가 있다.

물론 이러한 박막 트랜지스터의 수와 배치는 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.

도 5는 상기 화소 영역(30)의 발광부의 한 부화소를 도시한 것이다. 도 5에서 볼 수 있는 바와 같이, 글라스재 또는 플라스틱재의 기판(50)상에 버퍼층(51)이 형성되어 있고, 이 위에 박막 트랜지스터(TFT)와, 유기 전계 발광 소자(OLED)가 형성된다.

상기 기판(50)의 버퍼층(51)상에 소정 패턴의 활성층(52)이 구비된다. 상기 활성층(52)의 상부에는 실리콘 옥사이드로 형성되는 제 1 게이트 절연막(53a)과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등으로 형성되는 제 2 게이트 절연막(53b)을 포함하는 게이트 절연막(53)이 구비되고, 게이트 절연막(53) 상부의 소정 영역에는 게이트 전극(54)이 형성된다. 상기 게이트 전극(54)은 TFT 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 상기 게이트 전극(54)의 상부로는 층간 절연막(55)이 형성되고, 콘택 홀을 통해 소스/드레인 전극(56)이 각각 활성층(52)의 소스/드레인 영역에 접하도록 형성된다. 소스/드레인 전극(56) 상부로는 SiO₂, SiN_x 등으로 이루어진 패시베이션막(57)이 형성되고, 이 패시베이션 막(57)의 상부에는 아크릴, 폴리 이미드, BCB 등의 유기물질로 평탄화막(58)이 형성되어 있다. 이 평탄화막(58)의 상부에 유기 전계 발광 소자(OLED)의 애노우드 전극이 되는 제 1 전극층(61)이 형성되고, 이를 덮도록 유기물로 화소정의막(Pixel Define Layer: 59)이 형성된다. 이 화소정의막(59)에 소정의 개구를 형성한 후, 이 개구로 한정된 영역 내에 유기층(62)을 형성한다. 유기층(62)은 발광층을 포함한 것이 된다. 본 발명은 반드시 상기와 같은 구조로 한정되는 것은 아니며, 다양한 유기 전계 발광 표시장치의 구조가 그대로 적용될 수 있음은 물론이다.

상기 유기 전계 발광 소자(OLED)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, TFT의 드레인 전극(56)에 연결되어 이로부터 플러스 전원을 공급받는 제 1 전극층(61)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제 2 전극층(63), 및 이들 제 1 전극층(61)과 제 2 전극층(63)의 사이에 배치되어 발광하는 유기층(62)으로 구성된다.

상기 제 1 전극층(61)과 제 2 전극층(63)은 상기 유기층(62)에 의해 서로 절연되어 있으며, 유기층(62)에 서로 다른 극성의 전압을 가해 유기층(62)에서 발광이 이뤄지도록 한다.

상기 유기층(62)은 저분자 또는 고분자 유기층이 사용될 수 있는 데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.

고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

상기 제 1 전극층(61)은 애노우드 전극의 기능을 하고, 상기 제 2 전극층(63)은 캐소우드 전극의 기능을 하는 데, 물론, 이들 제 1 전극층(61)과 제 2 전극층(63)의 극성은 반대로 되어도 무방하다.

상기 제 1 전극층(61)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In₂O₃로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In₂O₃를 형성할 수 있다.

한편, 상기 제 2 전극층(63)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 이 제 2 전극층(63)이 캐소우드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합

물이 유기층(62)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.

이러한 본 발명에 있어서, 상기 게이트 절연막(23)은 전술한 바와 같이, SiO_2 등과 같은 실리콘 옥사이드로 형성된 제 1 게이트 절연막(23a)과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등으로 형성된 제 2 게이트 절연막(23b)의 이중막으로 형성될 수 있다.

전술한 바와 같이, 활성층(52)으로서 다결정질 실리콘을 사용할 경우에는, 이 다결정질 실리콘과 게이트 절연막(53)과의 계면 특성을 높이기 위해 제 1 게이트 절연막(53a)을 활성층(52)에 보다 인접하도록 위치시킨다. 그러나, 반드시 이에 한정되는 것은 아니고, 제 2 게이트 절연막(53b)이 활성층(52)에 보다 인접하도록 위치시킬 수도 있다.

또한, 본 발명에 있어, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등으로 형성된 제 2 게이트 절연막(53b)은 상기 활성층(52)의 소스/드레인 영역에는 형성되지 않도록 할 수 있다.

그리고, 도 5에서 볼 수 있듯이, 이중으로 형성된 게이트 절연막(53)에서 제 2 게이트 절연막(53b)이 활성층(52)의 소스/드레인 영역에는 형성되지 않도록 할 수 있다.

또한, 상기 제 2 게이트 절연막(53b)은 활성층(52)의 채널 영역에만 형성될 수도 있고, 또는, 게이트 전극(54)과 동일한 패턴이 되도록 형성될 수도 있다.

즉, 도 5에서는 제 2 게이트 절연막(53b)이 활성층(52)의 채널 영역에만 형성되도록 하거나, 게이트 전극(54)과 동일한 패턴이 되도록 한 경우만으로 보이지만, 본 발명은 이에 한정되는 것은 아니며, 상기 제 2 게이트 절연막(53b)이 도면에 보이는 영역 외에도 필요한 영역에 형성되도록 할 수도 있다.

이 때, 상기 제 1 게이트 절연막(53a)은 활성층(52)을 덮도록 형성된다.

이러한 본 발명에 있어, 상기 제 2 게이트 절연막(53b)은 유기 전계 발광 소자(OLED)에 의하여 화상이 구현되는 발광 영역에는 형성되지 않도록 할 수 있다. 이는 기관(50)의 방향으로 화상이 구현되는 배면 발광형의 경우에 전술한 종래기술란에서 밝힌 바와 같이, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드 등에 의해 광효율이 저하되는 것을 방지하기 위한 것이다.

상기와 같은 유기 전계 발광 표시장치의 경우에는 이 외에도 전술한 실시예의 모든 작용 효과를 그대로 구비함은 물론이다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 소스/드레인 영역에서 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드가 없이, 실리콘 옥사이드만이 존재하므로, 활성층에서 도핑 농도의 최대점이 위치하게 되므로, 소스/드레인 영역에 대한 도핑을 원활하게 진행할 수 있다.

둘째, 엘디디(LDD)영역과 같이 도핑 농도가 낮은 영역을 도핑할 경우에도 균일하고 안정적인 도핑을 행할 수 있어, TFT 특성의 균일도를 높일 수 있게 된다.

셋째, 밀한 매질인 제 2 게이트 절연막(23b)이 적어도 채널 영역에 대응되는 영역에 구비되어 있으므로, 고온에서 모바일 이온들에 의해 게이트 절연막에 국부적인 손상이 생기는 것을 방지할 수 있고, 이에 따라, Vfb가 저하되는 것을 방지할 수 있다.

넷째, 채널 영역에 대응되는 영역에서 게이트 절연막의 두께를 증대시킴으로써 높은 S-슬로프값을 얻을 수 있다.

다섯째, 화상이 구현되는 발광영역에서 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드의 막을 제거함으로써, 광 효율을 더욱 증대시킬 수 있다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

채널 영역과 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극;

상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하고, 상기 제 2 절연막은 적어도 상기 활성층의 소스 및 드레인 영역에 대응되는 영역에는 구비되지 않도록 형성된 절연막; 및

상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극;을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

채널 영역과 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극;

상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하고, 상기 제 2 절연막은 상기 활성층의 채널 영역에 대응되는 영역에만 구비되도록 형성된 절연막; 및

상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극;을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

채널 영역과 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층;

상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극;

상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하고, 상기 제 2 절연막이 상기 게이트 전극과 동일한 패턴으로 형성된 절연막; 및

상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극;을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제 1항 내지 제3항 중 어느 한 항에 있어서,

상기 제 1 절연막은 상기 활성층을 덮도록 구비된 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 1항 내지 제3항 중 어느 한 항에 있어서,

상기 제 1 절연막 및 제 2 절연막 중 제 1 절연막은 상기 활성층에 인접하도록 구비된 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

기판;

상기 기판 상에 구비되어 소정의 화상이 구현되는 발광부; 및

상기 발광부의 신호를 제어하는 것으로, 채널 영역과, 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극과, 상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하는 절연막과, 상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터를 포함하고,

상기 제 2 절연막은 적어도 상기 활성층의 소스 및 드레인 영역에 대응되는 영역에 구비되지 않도록 형성된 것을 특징으로 하는 평판 표시장치.

청구항 7.

제 6항에 있어서,

상기 제 2 절연막은 상기 발광부에 대응되는 영역에 구비되지 않도록 형성된 것을 특징으로 하는 평판 표시장치.

청구항 8.

기판;

상기 기판 상에 구비되어 소정의 화상이 구현되는 발광부; 및

상기 발광부의 신호를 제어하는 것으로, 채널 영역과, 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극과, 상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하는 절연막과, 상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터를 포함하고,

상기 제 2 절연막은 상기 활성층의 채널 영역에 대응되는 영역에만 구비되도록 형성된 것을 특징으로 하는 평판 표시장치.

청구항 9.

기판;

상기 기판 상에 구비되어 소정의 화상이 구현되는 발광부; 및

상기 발광부의 신호를 제어하는 것으로, 채널 영역과, 상기 채널 영역의 양측에 각각 구비된 소스 및 드레인 영역을 갖는 활성층과, 상기 채널 영역에 대향되고 상기 활성층과 절연되도록 구비된 게이트 전극과, 상기 활성층과 게이트 전극의 사이에 개재된 것으로, 실리콘 옥사이드로 구비된 제 1 절연막과, 실리콘 나이트라이드 또는 실리콘 옥시나이트라이드로 구비된 제 2 절연막을 포함하는 절연막과, 상기 소스 및 드레인 영역에 각각 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터를 포함하고,

상기 제 2 절연막은 상기 게이트 전극과 동일한 패턴으로 형성된 것을 특징으로 하는 평판 표시장치.

청구항 10.

제 6항 내지 제 9항에 있어서,

상기 제 1 절연막은 상기 활성층을 덮도록 구비된 것을 특징으로 하는 평판 표시장치.

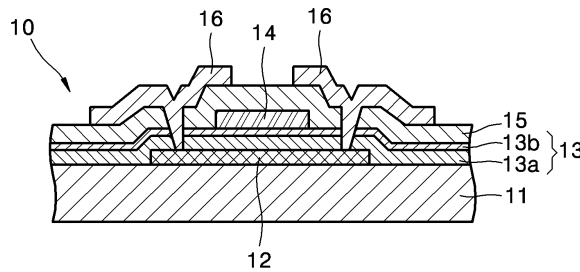
청구항 11.

제 6항 내지 제 9항에 있어서,

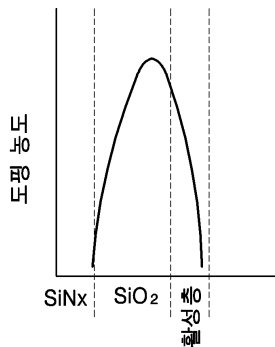
상기 제 1 절연막 및 제 2 절연막 중 제 1 절연막은 상기 활성층에 인접하도록 구비된 것을 특징으로 하는 평판 표시장치.

도면

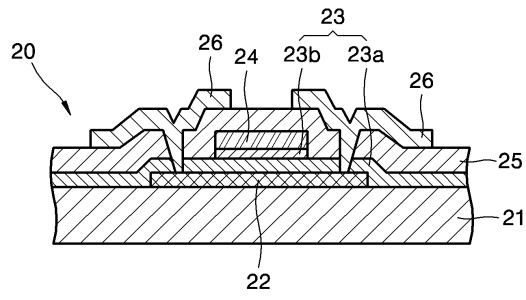
도면1a



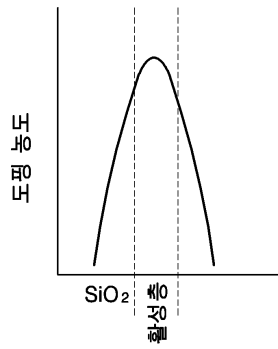
도면1b



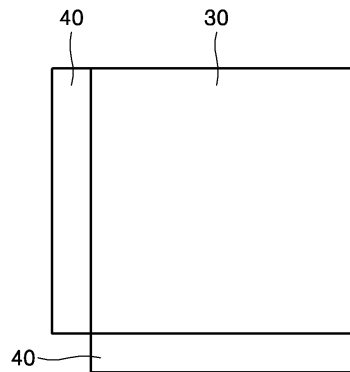
도면2



도면3



도면4



도면5

