

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95117408

※申請日期：95年5月17日

※IPC分類：H01L 27/14

一、發明名稱：(中文/英文)

具摻雜隔離結構側壁的畫素感應器

PIXEL SENSOR HAVING DOPED ISOLATION STRUCTURE
SIDEWALL

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

琳奈 D 安德森 / Lynne D. Anderson

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

三、發明人：(共 3 人)

姓名 (中文/英文)

1. 詹姆斯 W. 阿達克森 / ADKISSON, JAMES W.

2. 馬克 D. 傑夫 / JAFFE, MARK D.

3. 羅伯特 K. 萊迪 / LEIDY, ROBERT K.

國籍 (中文/英文)

1.-3.皆為美國

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 US、西元 2005 年 5 月 31 日、10/908,885

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種形成於基板上之第一導電型的創新畫素感應器結構，其包括第二導電型的感光裝置及第一導電型的表面釘扎層。隔離結構係形成鄰接感光裝置釘扎層。隔離結構包括摻雜質區域，其包含第一導電型的材料，選擇性地沿隔離結構之側壁形成，且適於電耦合表面釘扎層與底下的基板。選擇性沿隔離結構側壁形成摻雜質區域的對應方法包含向外擴散製程，以驅使存在於沿隔離結構中選定部分形成之摻雜材料層的摻雜質材料在退火期間進入底下的基板。選替地，或是同時結合地，藉由先製造光阻層且移除阻擋傾角植入材料的包角或其包角部分來減少其大小，以在隔離結構側壁中執行摻雜質材料之傾角離子植入。

六、英文發明摘要：

A novel pixel sensor structure formed on a substrate of a first conductivity type includes a photosensitive device of a second conductivity type and a surface pinning layer of the first conductivity type. An isolation structure is formed adjacent to the photosensitive device pinning layer. The isolation structure includes a dopant region comprising material of the first conductivity type selectively formed along a sidewall of the isolation structure that is adapted to electrically couple the surface pinning layer to the underlying substrate. The corresponding method for forming the dopant region selectively formed along the sidewall of the isolation structure comprises an out-diffusion process whereby dopant materials present in a doped material layer formed along selected portions in the isolation structure are driven into the underlying substrate during an anneal. Alternately, or in conjunction, an angled ion implantation of dopant material in the isolation structure sidewall may be performed by first fabricating a photoresist layer and reducing its size by removing a corner, or a corner portion thereof, which may block the angled implant material.

七、指定代表圖：

(一)本案指定代表圖為：圖 4(b)。

(二)本代表圖之元件符號簡單說明：

101b 隔離結構

105b 側壁

115d 側壁

120b 光二極體

140 FET 閘極區域

148 底部區域的部分

150 基板

180b 表面釘扎層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明：

【相關申請之交互參考】

本發明相關於 2004 年 12 月 13 日申請之同受讓人且申請中之美國專利申請案 10/905,043 號，名稱為「A MASKED SIDEWALL IMPLANT FOR IMAGE SENSOR」，其整體內容及揭露於此作為參考。

【發明所屬之技術領域】

本發明一般有關半導體畫素感應器陣列的製造，尤其有關包括選擇性摻雜側壁的創新畫素感應器單元結構及其製程。

【先前技術】

如圖 1 所示，目前的 CMOS 影像感應器包含畫素感應器單元的陣列 100，其中四個(4)標示為 110a,...,110d 的畫素感應器單元如圖 1 所示。各單元 110a,...,110d 係用以收集光能並將其轉換成可讀取的電信號。各畫素感應器單元 110 包含感光元件，如在基板摻雜區域上的光二極體、光閘、或光導體，以在其底下部分累積光生電荷。圖 1 所示四個畫素單元 110a,...,110d 的群組分別包括感光元件，如收集井或光二極體裝置結構 120a,...,120d。讀取電路係連接至各畫素單元，且通常包括在讀取時自感光元件接收電荷的擴散區域。一般而言，此係採用具有電連接至浮動擴散區域之閘極的電晶體裝置來達成。圖 1 所示四個畫素單

元 110a,...,110d 的群組分別包括多晶矽傳輸閘極結構 125a,...,125d，以橫跨表面通道自相應的感光元件 120a,...,120d 將電荷傳輸至相應的浮動擴散區域 130a,...,130d，其包括一或多個電晶體，如具有窄 FET 閘極區域 140 的 CMOS FET 裝置，以選擇及閘控畫素輸出信號，或在電荷傳輸之前將浮動擴散區域重設為預定的電荷位準。

圖 2 詳細描繪沿圖 1 直線 A-A 截取的典型畫素感應器單元 110。如圖 2 所示，影像感應器單元 110 包括釘扎 (pinned) 光二極體 20，其具有摻雜 p+型的釘扎層 18 及底下輕摻雜的 n 型區域 17。一般而言，釘扎二極體 20 係形成在具有 p 型濃度低於二極體釘扎層 18 之 p 型基板 15 或 p 型磊晶層或 p 井表面層的頂部。眾所周知，表面釘扎層 18 和基板 15(或 p 型磊晶層或 p 井表面層)電接觸。光二極體 20 因此具有兩個相同電位的 p 型區域 18 與 15，致使 n 型摻雜區域 17 在釘扎電壓(V_p)下完全耗盡。也就是說，表面釘扎層 18 和基板電接觸以減少暗電流(dark current)。釘扎光二極體之所以稱為「釘扎」是因為光二極體的電位在光二極體完全耗盡時係釘扎在常數值 V_p 。

另外如圖 2 所示，光二極體 20 的 n 型摻雜區域 17 及 p+區域 18 係在隔離結構 40(如淺溝渠隔離(STI))及電荷傳輸電晶體閘極 25(被薄間隙壁結構 23a,b 所圍繞)之間隔

開。STI 區域 40 位置接近畫素成像器單元，以使該單元和相鄰的畫素單元隔離。操作時，來自畫素的光線係聚焦於光二極體，電子於 n 型區域 17 處收集。在操作傳輸閘極 25 時，即，藉由施加電壓於傳輸閘極 70(包含如 n 型摻雜多晶矽層 70)來開啟傳輸閘極 25 時，光生電荷 24 自電荷累積的摻雜 n 型摻雜區域 17，經由傳輸裝置表面通道 16，傳輸至浮動擴散區域 30，如摻雜 n+型。

如前所述，在各畫素影像單元中，表面釘扎層 18 和相同導電型的基板 15 電接觸。目前，畫素感應器收集二極體的表面釘扎層(如 p 型摻雜)係經由位在收集二極體 20 邊緣之一上的井植入結構 150(如摻雜 p 型)，而連接至基板。實務上，底下的基板井結構(如 p 井 150)係利用遮罩植入技術所產生，如同光二極體及釘扎層結構，且各在不同的製程步驟中形成。

也很有利的是，在鄰接收集二極體的 STI 側壁上進行摻雜，以使畫素感應器的暗電流降到最低。如果 n 型收集二極體和 STI 側壁接觸，則當收集二極體處於其重設狀態時，沿基板與 STI 之界面的任何表面狀態將為耗盡的矽所裸露。這將是促成畫素感應器之暗電流的表面產生的最佳狀況。如果將鄰接收集二極體的 STI 側壁摻雜 p 型，則電洞將屏蔽表面並防止表面產生。

一項技術提供相鄰隔離結構具有側壁植入區域，以確保改良導電材料的對準及收集井裝置上表面釘扎層與底下基板間的適當電接觸。

本技術領域已知摻雜 STI 側壁及底部的傾角植入技術，提供畫素成像器單元基板至表面釘扎層之電連接，如美國專利申請案公開號 2004/0178430 中所述。另一個允許藉由使光阻包角變圓，以嚴格布局規則來遮罩傾角植入的方法，係說明於同持有且申請中之美國專利申請案第 10/905,043 號。

雖然在畫素感應器中於圍繞光二極體之 STI 部分上摻雜 STI 側壁很有用，但這對陣列的其他部分卻有不利的影響。這是因為窄場效電晶體(FET)之 STI 側壁上的較高摻雜將明顯增加臨限電壓、降低驅動電流強度、及增加電晶體的基板電壓靈敏度。此外，摻雜側壁擴散將局部抵銷電晶體的源極-汲極擴散摻雜。如果淨摻雜結果夠低，這將引起產生電流。所有這些作用均對理想的成像單元不利。因此，當先前技術所述之傾角植入技術在接近窄 FET 閘極 140 的側壁造成摻雜時，將引起完全不想要的結果，尤其在首重尺寸的影像感應器中僅實施窄 FET 時。

因此，極為需要提供一種用於隔離畫素感應器裝置的隔離結構，其包含選擇性摻雜的側壁，以避免先前技術使

植入摻雜接近 FET 之隔離結構側壁區域時可能造成的不利結果。

【發明內容】

本發明特別關於畫素感應器結構及製造方法，其包括修改隔離結構側壁中摻雜之改良技術，以避免摻雜接近 FET 之隔離結構側壁時造成的可能不利結果。

根據本發明之一方面，提供一種隔開相鄰畫素感應器單元之隔離結構，其僅於特定側壁及底部的特定部分進行摻雜。如此能摻雜畫素感應器光二極體的側壁，而不摻雜其他結構的側壁。根據本發明此方面，係以擴散製程來摻雜隔離結構側壁，藉此沉積材料的摻雜質向外擴散於所選位置而摻雜側壁。可將此種材料沉積於側壁的表面上。進一步的遮罩及蝕刻製程可將該材料只留在需要摻雜的地方。然後，退火步驟將使摻雜質擴散至矽中而不用執行任何植入。

因此，根據本發明之一方面，提供一種形成畫素感應器單元結構的方法，包含以下步驟：

a)提供一第一導電型之一基板；

b)形成一溝渠，鄰接具有第一導電型之一表面釘扎層之一感光裝置之位置，溝渠界定具有側壁的一隔離結構；以及

c)沿溝渠之一第一側壁，選擇性形成第一導電型的一摻雜質材料區域，第一側壁係用於電耦合一形成的釘扎層與基板。

在一具體實施例中，選擇性形成摻雜質材料區域的步驟包含：形成一摻雜材料層於溝渠內；以及摻雜質材料自摻雜材料層向外擴散至溝渠的第一側壁，以形成第一導電型的摻雜質材料區域。

選替地或同時結合地，選擇性形成摻雜質材料區域的步驟包含：於一基板表面頂上形成圖案化的光阻層，以曝露隔離結構的第一側壁；修改圖案化光阻層的大小，以促進將摻雜質材料離子植入隔離結構曝露的第一側壁；以及沿曝露的第一側壁，形成包含第一導電型之植入摻雜質材料的摻雜質區域。

根據本發明之另一方面，提供一種包含至少兩個畫素單元的畫素單元陣列，此陣列包含：

一第一畫素單元，鄰接一第二畫素單元；

一第一隔離結構，隔離第一及第二畫素單元，第一隔離結構具有側壁，

其中鄰接第一畫素單元的第一側壁選擇性摻雜一摻雜質材料，且鄰接第二畫素單元的一第二側壁未選擇性摻雜該摻雜質材料。

根據此方面的畫素單元陣列進一步包含：

一第三畫素單元，鄰接第一畫素單元；以及

一第二隔離結構，隔離第一及第三畫素單元，第二隔離結構具有側壁，

其中第二隔離結構鄰接第一畫素單元的一第一側壁係摻雜一摻雜質材料，且第二隔離結構鄰接第三畫素單元的一第二側壁係摻雜該摻雜質材料。

根據本發明之又一方面，提供一種形成畫素單元陣列的方法，包含以下步驟：

a)形成第一畫素單元鄰接一第二畫素單元；

b)形成一第一隔離結構於第一及第二畫素單元之間，以隔離第一及第二畫素單元，第一隔離結構具有側壁；以及

c)沿第一隔離結構之一第一側壁，選擇性形成一第一導電型的一摻雜質材料區域。

根據本發明之此又一方面，選擇性形成摻雜質材料區域的步驟包含：

形成一摻雜材料層於第一隔離結構內；以及

摻雜質材料自摻雜材料層向外擴散至第一隔離結構的第一側壁，以沿第一側壁形成第一導電型的摻雜質材料區域。

選替地或者同時結合地，選擇性形成摻雜質材料區域的步驟包含：

於一基板表面頂上形成圖案化的光阻層，以曝露第一隔離結構的第一側壁；

修改圖案化光阻層的大小，以促進將摻雜質材料離子植入第一隔離結構之曝露的第一側壁；及

沿第一隔離結構之曝露的第一側壁，形成包含第一導電型之植入摻雜質材料的摻雜質區域。

根據此另一方面形成畫素單元陣列的方法，進一步包含：

形成一第三畫素單元鄰接第一畫素單元；

形成一第二隔離結構於第一及第三畫素單元之間，以隔離第一及第三畫素單元，第二隔離結構具有側壁；以及

沿第二隔離結構鄰接第一畫素單元之一第一側壁，形成一第一導電型的一摻雜質材料區域，且沿第二隔離結構鄰接第三畫素單元之一第二側壁，形成第一導電型的一摻雜質材料區域。

有利的是，在根據本發明方法形成之收集井裝置的表面釘扎層與底下基板之間提供的電耦合，將消除對準公差，因而能夠使用較大的收集二極體及提高光學效率。

【實施方式】

根據本發明之一方面，提供用於製造畫素感應器單元方法的改良摻雜技術，以確保收集井裝置之表面釘扎層及底下基板間的適當電連接，同時避免在隔離結構中執行傾角植入摻雜時所出現的可能不利結果。

圖 3 顯示如圖 1 所示之本發明範例電流畫素感應器裝置的部分，其包含藉由具有選擇性摻雜側壁之隔離結構 101a,b 分開之畫素感應器單元 110a,...,110d 的陣列 100。在圖 3 中，其顯示隔離結構 101a,b 的個別側壁 105a,...,105d，有利的是摻雜該等隔離結構，以確保個別相鄰收集井裝置之表面釘扎層及底下基板間的適當電連接；以及根據本發明要避免對隔離結構 101a,b 的個別側壁 115a,...,115d 進行側壁摻雜。

圖 4(a)為沿圖 3 所示 B-B 線的橫截面圖，描繪隔開畫素感應器單元 110a 及 110b 的摻雜隔離結構 101a。如圖 4(a)所示，具有摻雜側壁的隔離結構 101a 分開相鄰單元 110a 及 110b 的兩個光二極體區域 120a、120b。由於需要確保個別光二極體區域 120a、120b 之摻雜表面釘扎層 180a、180b 及底下基板 150 間的適當電連接，提供摻雜質材料至隔離結構側壁 105b 與 105a 及結構 101a 的隔離結構底部 146 中會很有利。要完成隔離結構側壁 105a 與 105b 及底部 146 的摻雜，可利用如本文併入之共同持有、共同待審

之美國專利申請案第 10/905,043 號所述之傾角植入技術，或利用本文詳細說明的摻雜質向外擴散方法。

圖 4(b)為沿圖 3 所示 C-C 線的橫截面圖，描繪隔開畫素感應器單元 110b 及 110d 的局部摻雜隔離結構 101b。如圖 4(b)所示，隔離結構 101b 隔開相鄰單元 110b 的光二極體區域 120b 及和畫素感應器單元 110d 相關聯之窄 FET 裝置 140 的多晶矽閘極。在此具體實施例中，僅需要確保光二極體區域 120b 之摻雜表面釘扎層 180b 及底下基板 150 之間存有適當的電連接。因此，只將摻雜質材料提供至隔離結構側壁 105b 及隔離結構 101b 底下之底部區域的部分 148 會很有利。要完成隔離結構側壁 105b 及底部區域 148 的摻雜可利用傾角植入技術或摻雜質向外擴散方法，如本文詳細說明。特意不將摻雜質材料提供至區域 115d 所示的隔離結構側壁，以避免本文所述的可能不利結果。

圖 5(a)-5(e)描繪感應器畫素單元製程的方法步驟，其包括雜質(如摻雜質材料)自摻雜層向外擴散的步驟，以在與具有釘扎光二極體 120 之單元 110 相關聯之形成的隔離結構的一或多個側壁中，形成摻雜質區域。向外擴散步驟亦可用以在隔離結構的底部中形成摻雜質區域。如將詳細說明的，該等方法步驟包括將摻雜質材料向外擴散至選擇性隔離結構側壁及底部區域的步驟，以確保釘扎光二極體 120 最終形成的表面釘扎層和底下基板 150 電接觸，同時

藉由選擇性不將摻雜質材料向外擴散至接近形成電晶體之區域的隔離結構側壁及底部區域來避免可能的不利結果。此種製程可用以形成分別如圖 4(a)及 4(b)所示的摻雜隔離結構 101a、101b。

在形成圖 4(a)及 4(b)之畫素感應器單元結構 100 的製程中，先在主體半導體基板 150 中形成隔離結構 101，基板包括如：Si、SiGe、SiC、SiGeC、GaAs、InP、InAs、及其他半導體，或層狀半導體如：絕緣層上矽(SOI)、絕緣層上 SiC(SiCOI)、或絕緣層上矽鍺(SGOI)。為了說明之故，基板 150 係為第一導電型的含矽半導體基板，如輕摻雜標準濃度介於如 1×10^{14} 至 $1 \times 10^{16} \text{ cm}^{-3}$ 的 p 型摻雜質材料，如硼或銦(III-V 族半導體則為銻或鎂)。然後，使用標準處理技術在基板 150 中形成具有側壁 102、103 的隔離結構 101。也就是說，利用微影，先形成犧牲氮化物遮罩 155(墊-氮化物)、圖案化、及顯影，以曝露形成隔離結構的開口區域 101。其後，執行蝕刻製程以造成蝕刻的隔離結構 101。如圖 5(a)所示，對於圖 4(b)所示局部摻雜隔離結構的具體實施例，鄰接形成於基板中之蝕刻隔離結構開口 101，其描繪要形成釘扎光二極體 120b 的位置。

要讓所形成的釘扎光二極體 120b 的表面釘扎層和底下基板 150 電接觸，在以絕緣介電材料填充溝渠之前，摻雜質材料向外擴散至隔離結構的側壁。如圖 5(b)所示，依

此方式沉積包含摻雜質材料的層 160，其實質上與隔離結構 101 之側壁及底部共形，且在基板表面形成之犧牲氮化物遮罩 155 的頂部形成一層。在一具體實施例中，較佳的隔離結構側壁摻雜質材料包括具有如硼或銦之 p 型摻雜質的摻雜玻璃(如氧化矽)薄膜。示範性包含層 160 的薄膜類型包括含磷的氧化矽薄膜(PSG)，或可使用含硼的氧化矽薄膜(如硼矽酸鹽玻璃或 BSG)作為提供本發明向外擴散的摻雜質材料。摻雜玻璃薄膜的沉積可利用熟知的化學氣相沉積(CVD)技術來執行。一種已用在半導體基板上沉積薄膜的技術為低壓化學汽相沉積(LPCVD)。較佳是，執行能夠精確控制層 160 之厚度且同樣嚴格控制層 160 之摻雜質濃度的製程。層 160 的此類濃度介於低至高 1×10^{18} atoms/cm³。

下一個步驟中，如圖 5(c)所示，執行微影遮罩(如包含圖案化光阻層)及方向性或非等向性蝕刻製程(如反應性離子蝕刻)步驟，以選擇性移除不要摻雜隔離結構側壁之區域的摻雜材料層 160，然後留下需要摻雜隔離結構側壁之摻雜材料層 160 的選定部分。然後，如圖 5(d)所示，對圖 5(c)包括摻雜層 160 之剩餘選定部分的結構進行足以驅使層 160 中的摻雜質材料進入底下之矽的高溫退火，以形成向外擴散摻雜的隔離結構側壁 105b 及隔離結構底部 148。應明白，可在囊封摻雜材料層 160 的整個結構上形成「帽蓋層(capping layer)」(如未摻雜的氧化物)，致使在退火步驟

期間，可防止摻雜質擴散至周遭熔爐而不是擴散至基板中。墊氮化物層 155 當作擴散障壁。較佳是，退火製程的溫度及時間安排可確保摻雜質材料(如硼)濃度足夠向外擴散至選定的隔離結構側壁及底部區域，以確保光二極體 120b 所形成的表面釘扎層頂部至底下輕摻雜基板 150 的電傳導性。舉例而言，退火製程包含在氧化 N_2 環境(如約 2% 或更少的氧及約 98% 的氮)， 1120°C 並持續 1-2 分鐘的時間。另外亦可採用熔爐退火。在氮(氧含量百分比很低，以避免產生 SiO)或氧化環境中， 1000°C - 1050°C 範圍的條件均為有效。根據所需的向外擴散程度及此製程與擴散之隔離的整合而定，有效條件如：於熔爐中 800°C 至 1100°C 及時間 10-300 分鐘，或溫度介於 900°C 至 1200°C 的快速退火熱退火且時間少於約十二分鐘。應明白，可利用退火步驟的溫度及持續時間對摻雜區域 105b 及 148 的厚度及摻雜質濃度進行極為嚴密的控制。最後，如圖 5(e)所示，使用已知技術移除(剝離)摻雜材料層 160 的剩餘部分，以形成圖 4(b)所示的局部摻雜隔離結構。為形成圖 4(a)所示的摻雜隔離結構，則省略選擇性移除摻雜材料層 160(見圖 5(c))的步驟，並在圖 5(b)所示的摻雜材料層 160 上執行高溫退火。

應明白，可在隔離結構側壁摻雜形成之前或之後，且在以介電氧化物(如 SiO_2)或類似的絕緣體材料填充隔離結構之前，形成畫素感應器單元光二極體的釘扎層及收集

井。

另外，應明白，可使用本文針對圖 5(a)-5(e)所述技術來形成圖 3 所示之隔離結構 101a,b 的選擇性摻雜隔離結構側壁。選替地或者或結合上述方法，可利用選擇性摻雜隔離結構的方法，結合在側壁及底部中摻雜質原子的傾角植入之光罩應用，如共同持有、共同待審的美國專利申請案第 10/905,043 號所述。

尤其，如圖 6 所示，在後續形成畫素感應器單元支撐裝置之基板表面(主動矽或裝置區 55 頂上所形成的犧牲氮化物遮罩層 50 的頂部)，圖案化及蝕刻初始形成時具有尖銳邊緣(未顯示)的光阻遮罩 75。如圖 6 所示，為確保適當的摻雜質植入濃度以在表面釘扎層 18 及底下基板 15 之間最後形成電接觸，應明白植入光阻遮罩 75 的高度及間隔至關重要。因此，以如圖 6 所示的方式，執行蝕刻製程以修改光阻層 75 的形貌，然後將其縮小，以使其可完成傾角植入。然後可進行傾角植入 60，以在隔離結構 41 的側壁 45 內沉積摻雜質材料。假設為 p 型摻雜基板，較佳的隔離結構側壁植入摻雜質材料包括 p 型摻雜質，如硼或銦。

為了有助於傾角植入通過光阻阻擋遮罩進入側壁邊緣，建議使用兩個方法：1)成像光阻的間隙壁式蝕刻；或 2)成像光阻的包角濺鍍製程。根據第一個蝕刻技術，實施

間隙壁式蝕刻以拉低成像材料且同時使包角邊緣變圓，其係藉由垂直及水平蝕刻成分，而從兩方向處理包角 76。例如，間隙壁式蝕刻包含方向性或非等向性製程，其可為純物理性(如濺鍍蝕刻)或具有化學成分(如反應性離子蝕刻或 RIE)。任一情況，係選擇蝕刻製程以包括蝕刻圖案化光阻層形成所需光阻層高度的垂直蝕刻成分，及包括在 Si 區域之底部及頂部的水平或橫向蝕刻成分，以形成具有圖 6 所示圓化輪廓 76 的光阻圖案結構 75。

蝕刻光阻遮罩 75 的選替方法是，提供使圖案化光阻包角去角的濺鍍蝕刻技術，以達到相同的結果。在此選替製程中，藉由如 RF 濺鍍蝕刻的非化學濺鍍蝕刻製程來形成光阻層，以產生圖 6 所示的圓化輪廓，而允許傾角植入進入隔離結構側壁。較佳是，較佳製程移除光阻層的水平部分及垂直部分，並提供圓化的包角輪廓。可使用濺鍍蝕刻在包角增加光阻斜率，如相對於水平為 60° 或更少的角度。此包角斜率足以使傾角植入能達成本發明的目的。

雖已顯示及說明所謂本發明較佳具體實施例的內容，但仍應明白，在不脫離本發明的精神下，隨時可就形式或細節上進行各種修改及變更。因此本發明並不限於所述及說明的精確形式，而是應將其視為涵蓋所有落在隨附申請專利範圍之範疇內的修改。

【圖式簡單說明】

參考詳細說明並結合附圖，熟悉本技術領域者將明白本發明的目的、特色、及優點，其中：

圖 1 描繪習知包含畫素感應器單元陣列 100 之範例電流畫素感應器的一部分；

圖 2 為沿圖 1 所示 A-A 線的橫截面圖，描繪一個包括釘扎光二極體 20 的畫素感應器單元 110；

圖 3 顯示本發明包含藉由具有選擇性摻雜側壁之隔離結構 101a,b 隔開之畫素感應器單元陣列 100 之範例電流影像感應器的部分；

圖 4(a)為沿圖 3 所示 B-B 線的橫截面圖，描繪隔開根據本發明形成之畫素感應器單元 110a 及 110b 的摻雜隔離結構 101a；且圖 4(b)為沿圖 3 所示 C-C 線的橫截面圖，描繪隔開根據本發明形成之畫素感應器單元 110b 及 110d 的局部摻雜隔離結構 101b；

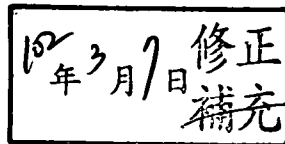
圖 5(a)-5(e)為橫截面圖，描繪本發明選擇性形成之隔離結構之摻雜側壁部分的示範性製程；以及

圖 6 為橫截面圖，顯示經圖案化及蝕刻以允許隔離結構側壁中形成傾角植入的最終光阻層結構 75。

【主要元件符號說明】

15	p 型基板	16	傳輸裝置表面通道
17	n 型摻雜區域	18	釘扎層
20	釘扎光二極體	23a,b	間隙壁結構

24	光生電荷	25	傳輸閘極
30	浮動擴散區域	40	隔離結構
45	側壁	50	犧牲氮化物遮罩層
55	裝置區域	60	傾角植入
70	傳輸閘極	75	光阻遮罩
76	包角	100	陣列
101a,b	隔離結構	102、103	側壁
105a,...,105d	側壁		
110、110a,...,110d	畫素感應器單元	115a,...,115d	側壁
120a,...,120d	光二極體		
125a,...,125d	多晶矽傳輸閘極結構		
130a,...,130d	浮動擴散區域	140	FET 閘極區域
146	隔離結構底部	148	底部區域的部分
150	基板	155	犧牲氮化物遮罩
160	摻雜質材料層	180a、180b	表面釘扎層



十、申請專利範圍：

1. 一種畫素感應器單元結構，包含：
一第一導電型之一基板；
一第二導電型之一收集井層，形成於一基板表面下；
該第一導電型之一釘扎層，形成於該基板表面之該收集井層頂上；以及
一隔離結構，具有第一及第二側壁，其中第一側壁形成鄰接該釘扎層及該收集井層；及
一摻雜質區域，包含該第一導電型之一材料，選擇性地沿該隔離結構之該第一側壁形成，使得該摻雜質區域電耦合該釘扎層與該基板，其中該隔離結構為包含一絕緣材料之一淺溝渠隔離區域。
2. 如請求項 1 所述之畫素感應器單元結構，其中該第二側壁為無摻雜質區域。
3. 如請求項 2 所述之畫素感應器單元結構，其中該第二側壁係形成接近一相鄰畫素感應器單元之一電晶體裝置。
4. 如請求項 1 所述之畫素感應器單元結構，其中該第一導電型的該基板及該釘扎層為一 p 型材料，該摻雜質材料包含一 p 型材料。
5. 如請求項 4 所述之畫素感應器單元結構，其中該摻雜質

材料包含硼或鈦其中之一。

6. 一種畫素感應器單元結構，包含：

一第一導電型之一基板；

一第二導電型之一收集井層，形成於一基板表面下；

該第一導電型之一釘扎層，形成於該基板表面之該收集井層頂上；以及

一隔離結構，具有第一及第二側壁，其中第一側壁形成鄰接該釘扎層及該收集井層；及

一摻雜質區域，包含該第一導電型之一材料，選擇性地沿該隔離結構之該第一側壁形成，使得該摻雜質區域電耦合該釘扎層與該基板，

其中沿該隔離結構之該第一側壁選擇性形成的該摻雜質區域，係藉由在該隔離結構內形成的一摻雜材料層之一摻雜質材料，向外擴散至該隔離結構的該第一側壁而形成。

7. 如請求項 6 所述之畫素感應器單元結構，其中該摻雜材料層為一摻雜玻璃薄膜。

8. 如請求項 7 所述之畫素感應器單元結構，其中該摻雜玻璃薄膜包含一 BSG 薄膜。

9. 如請求項 7 所述之畫素感應器單元結構，其中該摻雜材料層包含一摻雜氧化物。

10. 如請求項 1 所述之畫素感應器單元結構，其中沿該隔離結構之該第一側壁選擇性形成的該摻雜質區域，係藉由離子植入該第一導電型的該材料而形成。

11. 一種形成一畫素感應器單元的方法，包含以下步驟：

a)提供一第一導電型之一基板；

b)形成一溝渠，鄰接具有該第一導電型之一表面釘扎層之一感光裝置之一位置，該溝渠界定具有側壁的一隔離結構；以及

c)沿該溝渠之一第一側壁，選擇性形成該第一導電型的一摻雜質材料區域，該第一側壁係用於電耦合一形成的釘扎層與該基板。

12. 如請求項 11 所述之方法，其中該溝渠的該第二側壁為無摻雜質區域。

13. 如請求項 11 所述之方法，其中該摻雜質材料區域係沿該溝渠之一底部的一部分形成。

14. 如請求項 11 所述之方法，其中選擇性形成摻雜質材料區域的該步驟包含：

形成一摻雜材料層於該溝渠內；以及

摻雜質材料自該摻雜材料層向外擴散至該溝渠的該第

一側壁，以形成該第一導電型的該摻雜質材料區域。

15. 如請求項 14 所述之方法，其中將該摻雜質材料向外擴散至該溝渠之一底部的一部分，以沿該溝渠底部形成該第一導電型的該摻雜質材料區域。

16. 如請求項 14 所述之方法，其中在該摻雜質材料向外擴散之前，選擇性移除該摻雜材料層的一部份，該部份係不欲在一對應溝渠側壁形成該向外擴散之摻雜質材料區域之處。

17. 如請求項 14 所述之方法，其中該向外擴散步驟包含對該溝渠及摻雜材料層進行一退火製程。

18. 如請求項 11 所述之方法，其中選擇性形成沿該溝渠之該第一側壁之該摻雜質材料區域的該步驟包含：

於一基板表面頂上形成圖案化的光阻層，以曝露該第一側壁；

修改該圖案化光阻層的大小，以促進將摻雜質材料離子植入該曝露的第一側壁；以及

沿該曝露的第一側壁，形成包含該第一導電型之植入摻雜質材料的摻雜質區域。

19. 如請求項 18 所述之方法，其中修改該圖案化光阻層之

大小的該步驟包含：執行一光阻蝕刻製程以降低該光阻層圖案大小的步驟。

20. 如請求項 19 所述之方法，其中該光阻蝕刻製程包含具有橫向蝕刻及垂直蝕刻成分的化學型蝕刻。

21. 如請求項 20 所述之方法，其中該化學型蝕刻用於圓化該圖案化光阻層的一包角(corner)，藉此促進摻雜質材料的離子植入，以形成該摻雜質區域。

22. 如請求項 19 所述之方法，其中該光阻蝕刻製程包含一濺鍍型蝕刻製程。

23. 如請求項 22 所述之方法，其中該濺鍍型蝕刻利用一方向性電漿(directional plasma)。

24. 如請求項 23 所述之方法，其中該濺鍍型蝕刻製程用於圓化使該圖案化光阻層的一包角，藉此促進摻雜質材料的離子植入，以形成該摻雜質區域。

25. 如請求項 24 所述之方法，其中該圖案化光阻層之該經去角的包角使摻雜質材料相對於水平以一縮小的角度進行離子植入。

26. 一種包含至少兩個畫素單元的畫素單元陣列，該陣列包含：

一第一畫素單元，鄰接一第二畫素單元；

一第一隔離結構，隔離該第一及第二畫素單元，該第一隔離結構具有側壁，

其中鄰接該第一畫素單元的一第一側壁選擇性摻雜一摻雜質材料，且鄰接該第二畫素單元的一第二側壁未選擇性摻雜該摻雜質材料，其中該第一及第三畫素單元各包含具有一釘扎層的一感光裝置，該摻雜的第一及第二側壁分別電耦合各該釘扎層與一基板。

27. 如請求項 26 所述之畫素單元陣列，其中該第二畫素單元包括一電晶體裝置，位於接近該第一隔離結構之該第二側壁。

28. 如請求項 26 所述之畫素單元陣列，其中該第一畫素單元包括具有一釘扎層的一感光裝置，該摻雜的第一側壁電耦合該釘扎層與一基板。

29. 如請求項 26 所述之畫素單元陣列，更包含：

一第三畫素單元，鄰接該第一畫素單元；以及

一第二隔離結構，隔離該第一及第三畫素單元，該第二隔離結構具有側壁，

其中該第二隔離結構鄰接該第一畫素單元的一第一側

壁係摻雜一摻雜質材料，且該第二隔離結構鄰接該第三畫素單元的一第二側壁係摻雜該摻雜質材料。

30. 一種形成一畫素單元陣列的方法，包含以下步驟：

a) 形成第一畫素單元鄰接一第二畫素單元；

b) 形成一第一隔離結構於該第一及第二畫素單元之間，以隔離該第一及第二畫素單元，該第一隔離結構具有側壁；以及

c) 沿該第一隔離結構之一第一側壁，選擇性形成一第一導電型的一摻雜質材料區域，其中該摻雜質材料區域係沿該第一隔離結構之一底部的一部分形成。

31. 如請求項 30 所述之方法，其中該摻雜質材料區域未沿該第一隔離結構的一第二側壁形成。

32. 如請求項 30 所述之方法，其中選擇性形成該摻雜質材料區域的該步驟包含：

形成一摻雜材料層於該第一隔離結構內；以及

摻雜質材料自該摻雜材料層向外擴散至該第一隔離結構的該第一側壁，以沿該第一側壁形成該第一導電型的摻雜質材料區域。

33. 如請求項 32 所述之方法，其中在該摻雜質材料向外擴散之前，選擇性移除沿該第一隔離區域之一第二側壁形成

之該摻雜材料層的一或多個部分，以防止沿該第二側壁形成該摻雜質材料區域。

34. 如請求項 30 所述之方法，其中選擇性形成該摻雜質材料區域的該步驟包含：

於一基板表面頂上形成圖案化的光阻層，以曝露該第一隔離結構的該第一側壁；

修改該圖案化光阻層的大小，以促進將摻雜質材料離子植入該第一隔離結構之該曝露的第一側壁；及

沿該第一隔離結構之該曝露的第一側壁，形成包含該第一導電型之植入摻雜質材料的摻雜質區域。

35. 如請求項 34 所述之方法，其中修改該圖案化光阻層之大小的該步驟包含：執行一蝕刻製程以降低該光阻層圖案一大小的步驟。

36. 如請求項 30 所述之方法，更包含以下步驟：

形成一第三畫素單元鄰接該第一畫素單元；

形成一第二隔離結構於該第一及第三畫素單元之間，以隔離該第一及第三畫素單元，該第二隔離結構具有側壁；以及

沿該第二隔離結構鄰接該第一畫素單元之一第一側壁，形成一第一導電型的一摻雜質材料區域，且沿該第二隔離結構鄰接該第三畫素單元之一第二側壁，形成該第一

導電型的一摻雜質材料區域。

37. 如請求項 36 所述之方法，其中該摻雜質材料區域係沿該第二隔離結構的一底部形成。

38. 如請求項 36 所述之方法，其中形成該摻雜質材料區域的該步驟包含：

形成一摻雜材料層於該第二隔離結構內；及

摻雜質材料自該摻雜材料層向外擴散至該第二隔離結構的該第一及第二側壁，以沿該第一及第二側壁形成該第一導電型的該摻雜質材料區域。

39. 如請求項 36 所述之方法，其中形成該摻雜質材料區域的該步驟包含：離子植入該第一導電型的摻雜質材料至該第二隔離結構之該曝露的第一及第二側壁。

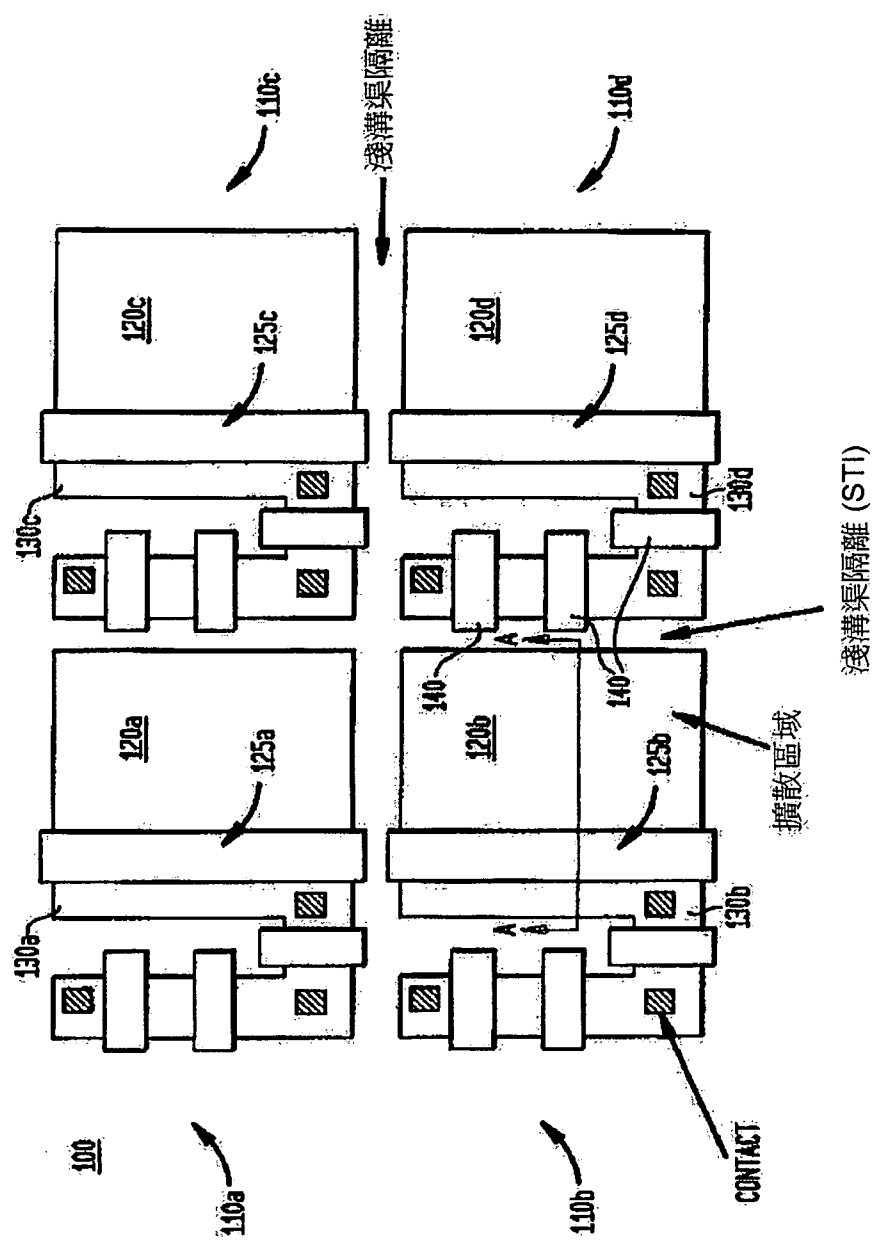


圖1(習知技術)

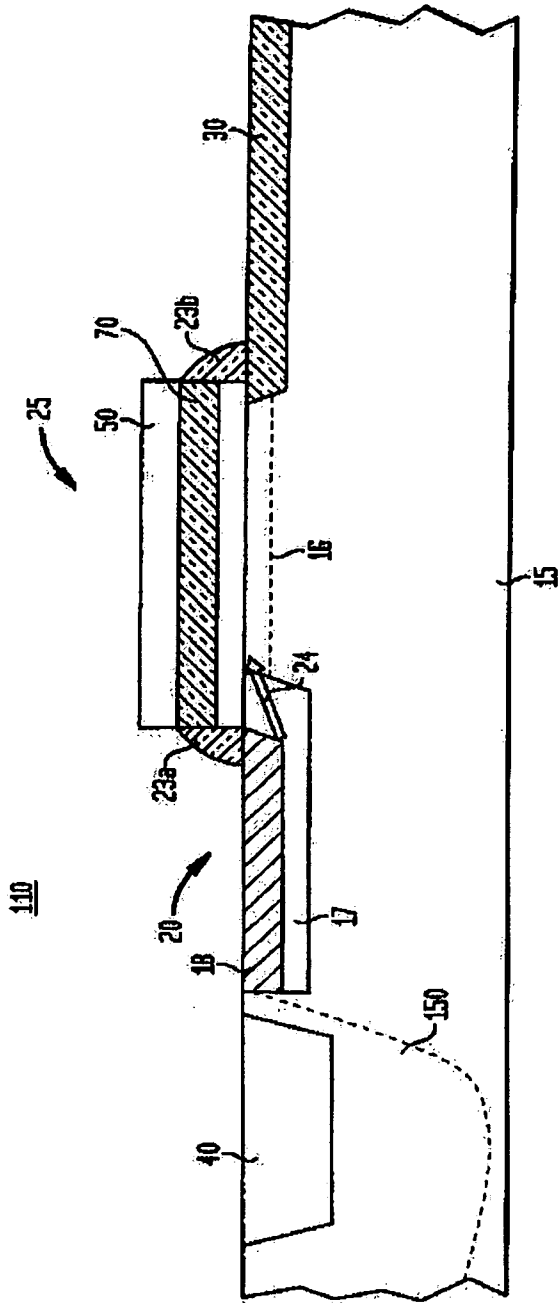


圖2(習知技術)

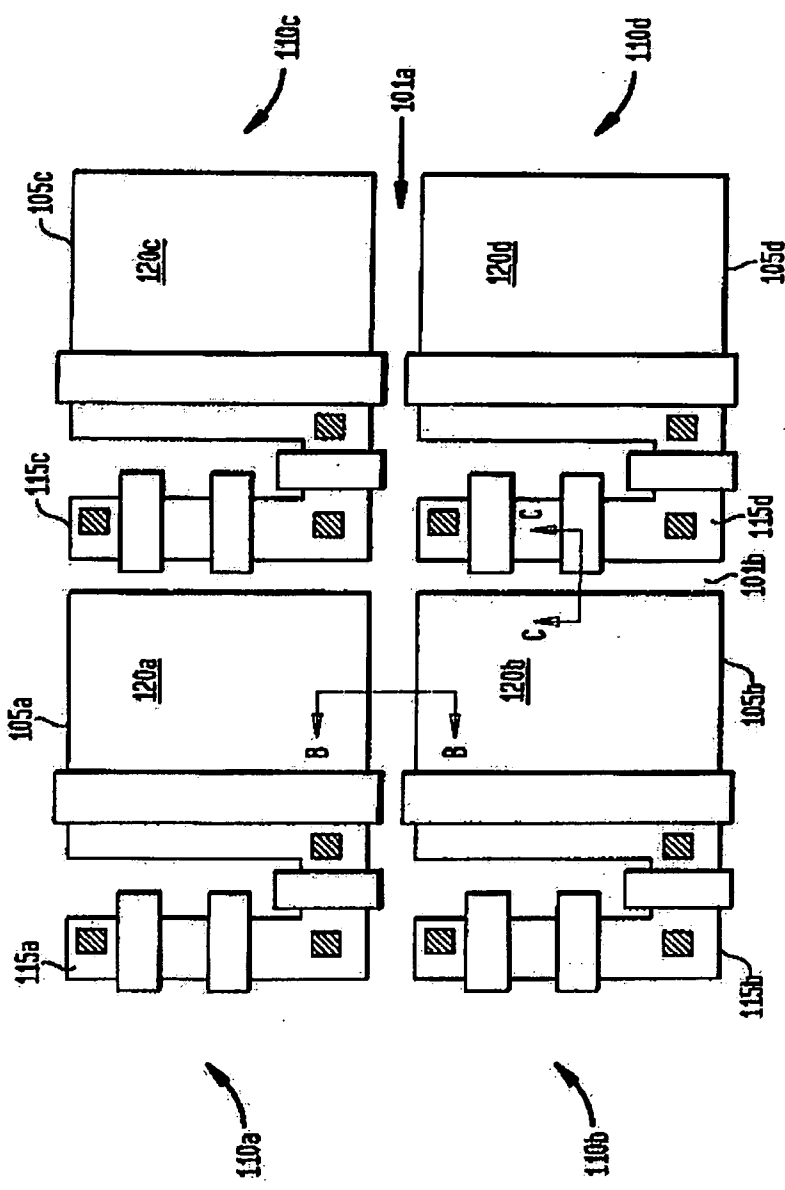


圖3

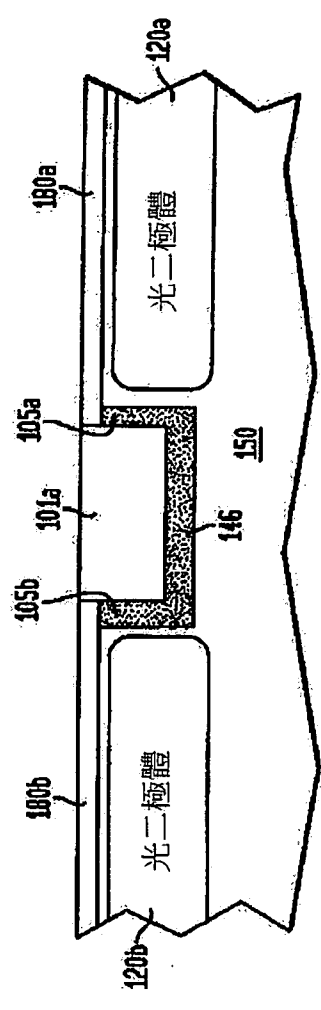


圖4(a)

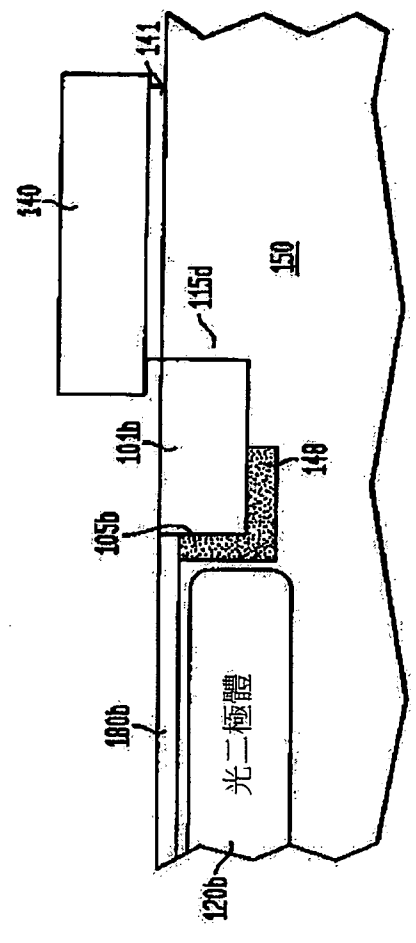


圖4(b)

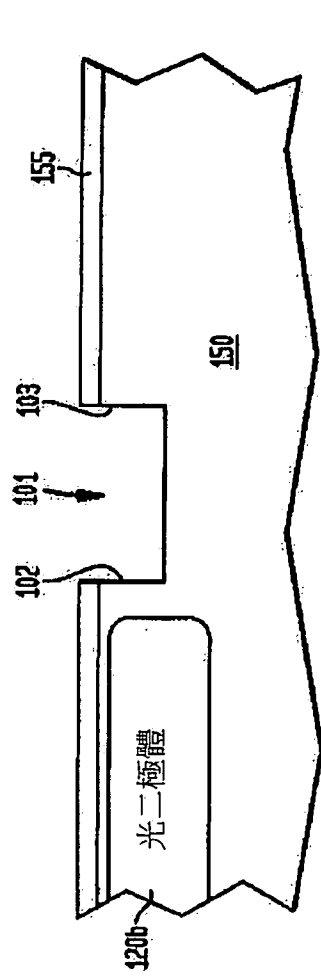


圖5(a)

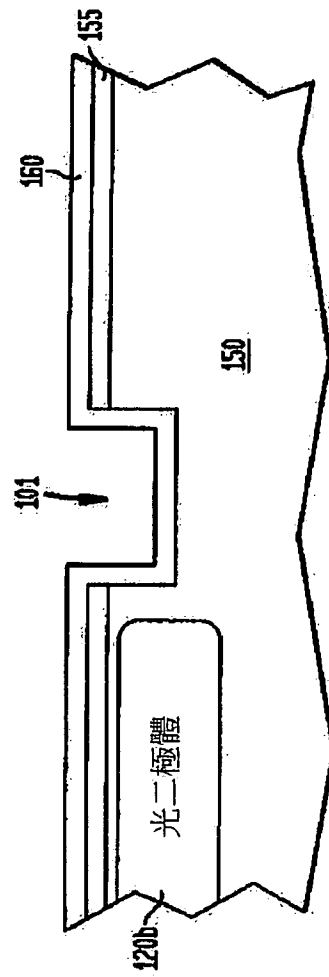


圖5(b)

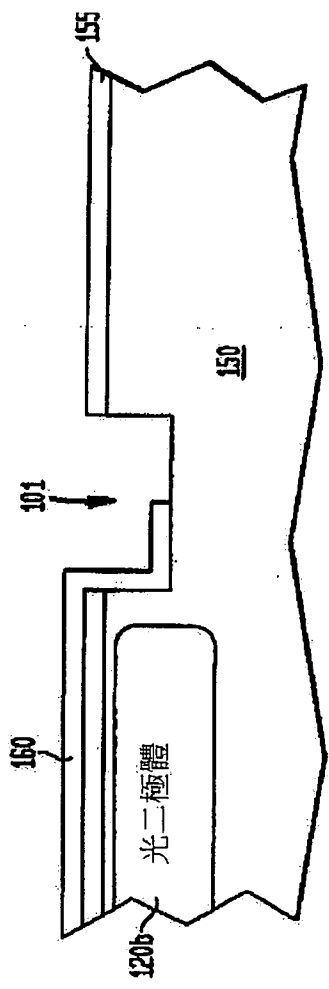


圖 5(c)

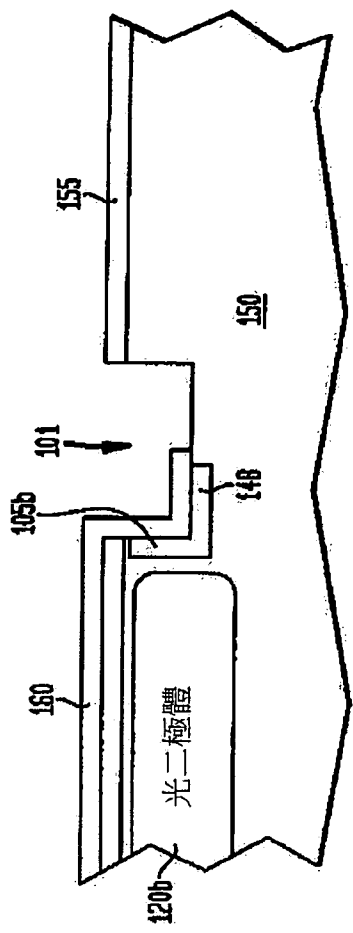


圖 5(d)

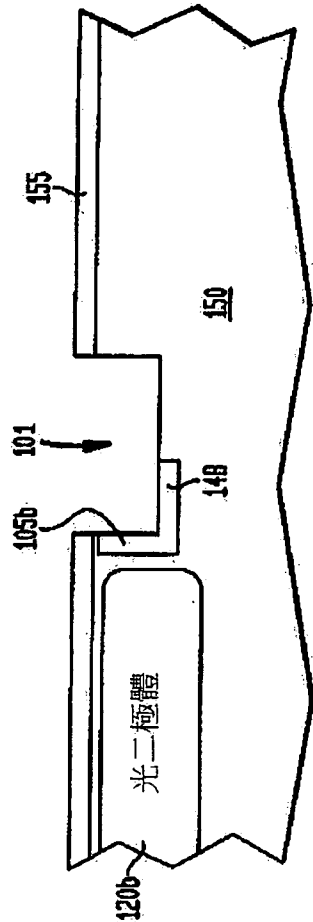


圖5(e)

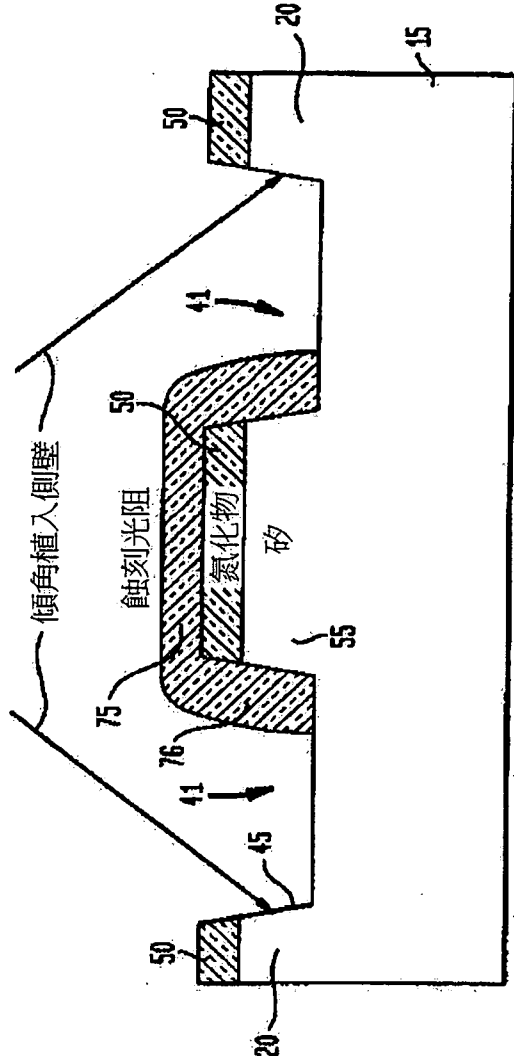


圖6