

[19] 中华人民共和国国家知识产权局



# [12] 发明专利说明书

专利号 ZL 02825012.5

[51] Int. Cl.

H01L 21/02 (2006.01)

H01L 29/92 (2006.01)

H01L 21/768 (2006.01)

H01G 4/12 (2006.01)

H01G 4/08 (2006.01)

[45] 授权公告日 2009 年 12 月 30 日

[11] 授权公告号 CN 100576441C

[22] 申请日 2002.12.5 [21] 申请号 02825012.5

[30] 优先权

[32] 2001.12.13 [33] DE [31] 10161286.9

[86] 国际申请 PCT/EP2002/013804 2002.12.5

[87] 国际公布 WO2003/054934 德 2003.7.3

[85] 进入国家阶段日期 2004.6.14

[73] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 K·科勒 H·克尔纳 M·施伦克

[56] 参考文献

US6166423A 2000.12.26

审查员 刘佳秋

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 张志醒

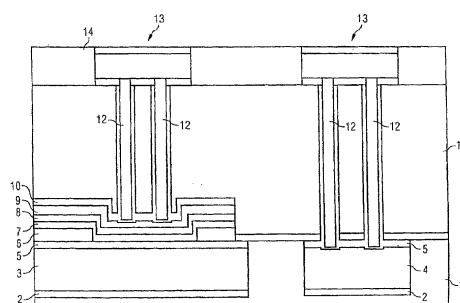
权利要求书 3 页 说明书 7 页 附图 3 页

[54] 发明名称

具有金属-绝缘体-金属电容器的集成半导体产品

[57] 摘要

为了制造一种具有结合之金属-绝缘体-金属电容器的集成半导体产品,首先,一介电辅助层(6)系被沉积于一第一电极(2、3、5)之上,该辅助层(6)则接着经该第一电极被形成开口(15),然后,一介电层(7)被产生,并且第二电极的该金属轨道堆叠(8、9、10)系接着被施加于该介电层(7)之上,而紧接着的则是利用已知蚀刻程序而对该金属-绝缘体-金属电容器进行的图案化。此系使得有可能利用可依所需而进行选择的材质来产生具有任何所需厚度的介电电容器层,特别是,本发明所具有的优点是,相较于已知技术,通孔蚀刻系可以简单许多的方式加以进行,因为其不需要蚀刻穿透在该金属轨道上方的剩余介电电容器层。



1. 一种具有互连以及至少一金属-绝缘体-金属电容器的集成半导体产品, 而该互连包括铝, 以作为一必要结构成分, 并且该电容器包括一第一电极(2、3、5), 一介电层(7), 以及一第二电极(8、9、10), 其中该介电层(7)被配置在位于该第一电极之上且位于一介电辅助层(6)中的一开口(15)之中。

2. 根据权利要求1所述的半导体产品, 其中该介电层(7)包含下列物质至少其中之一:  $\text{Al}_2\text{O}_3$ 、 $\text{HfO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{ZrO}_2$  以及其所有混合的氧化物、氮氧化物、以及硅化物,  $\text{SrTiO}_3$ 、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ , 其中  $0 \leq x \leq 1$  (BST),  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ , 其中  $0 \leq x \leq 1$  (PZT),  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ 。

3. 根据权利要求1或2所述的半导体产品, 其中该第一和/或该第二电极为一包括金属层(3、9)以及导电阻障层(2、5、8、10)的堆叠。

4. 根据权利要求1或2所述的半导体产品, 其中该第一电极和/或该第二电极除了该铝之外, 包含下列物质至少其中之一: Si、W、Cu、Au、Ag、Ti、Pt。

5. 根据权利要求1或2所述的半导体产品, 其中所述阻障层(2、5、8、10)包含下列物质至少其中之一: Ta、TaN、TiW、W、 $\text{WN}_x$ , 其中  $0 < x < 2$ , Ti、TiN、硅化物、以及碳化物。

6. 根据权利要求1或2所述的半导体产品, 其中该介电层(7)通过具有大于8的介电常数的一介电材质而加以形成。

7. 根据权利要求1或2所述的半导体产品, 其中该介电层(7)的施加通过使用下列程序其中之一: CVD、PECVD、MOCVD、PVD、ALD。

8. 根据权利要求1或2所述的半导体产品, 其中该介电层(7)通过该第一电极的表面的一氧化作用或是通过在该第一电极上的一层的一氧化作用而加以产生。

9. 根据权利要求1或2所述的半导体产品, 其中该介电层(7)的厚度少于60 nm。

10. 根据权利要求1或2所述的半导体产品, 其中该电容器的表面积

比电容值至少为  $3 \text{ fF}/\mu\text{m}^2$ 。

11. 一种制造具有互连以及至少一金属-绝缘体-金属电容器的一集成半导体产品的方法，而该互连包括铝，以作为一必要结构成分，且该电容器包括一第一电极（2、3、5），一介电层（7）以及一第二电极（8、9、10），该方法包括下列步骤：

- （a）将该第一电极产生于一层之中，而该层亦被作为该互连的一层；
- （b）施加一介电辅助层（6）；
- （c）在该介电辅助层（6）位于该第一电极上方形成开口；
- （d）产生该电容器的该介电层（7）；以及
- （e）产生该第二电极。

12. 根据权利要求 11 所述的方法，其中一衬层（2）、一金属层（3）、以及一 ARC 层（5）施加于该第一电极。

13. 根据权利要求 11 或 12 所述的方法，其中两个阻障层（8、10）以及配置于两者之间的一金属层（9）被施加于该第二电极。

14. 根据权利要求 11 或 12 所述的方法，其中下列程序的其中之一被用于产生该介电层（7）：CVD、PECVD、MOCVD、PVD、ALD。

15. 根据权利要求 11 或 12 所述的方法，其中该第一电极的表面或是在该第一电极上的一层被氧化，以产生该介电层（7）。

16. 根据权利要求 11 或 12 所述的方法，其特征在于，位于该第一电极上方的该开口（15）暴露于一含氧气体。

17. 根据权利要求 11 或 12 所述的方法，其中该介电辅助层（6）变成在该第二电极产生之后所沉积的一上部金属间介电质（11）的部分。

18. 根据权利要求 11 或 12 所述的方法，其特征在于，该上部互连（13）的一更进一步金属化层被沉积于该上部金属间介电质（11）上方。

19. 根据权利要求 11 或 12 所述的方法，其中至少一上部互连（13）通过至少一通孔（12）而被连接至该电容器。

20. 根据权利要求 11 或 12 所述的方法，其中于该步骤（d）之前，一导电阻障层被施加于该第一电极。

21. 根据权利要求 20 所述的方法，其中于该步骤（d）之前，一导电

---

阻挡层被选择性地加于该第一电极。

## 具有金属-绝缘体-金属电容器的集成半导体产品

### 技术领域

本发明涉及一种具有互连以及一金属-绝缘体-金属电容器的集成半导体产品，本发明特别涉及具有包括铝以作为一必要结构成分的互连的一集成半导体产品。

### 背景技术

在 BIPOLAR、BICMOS、以及 CMOS 技术中的高频电路，其需要具有一高电压线性 (voltage linearity)、准确的可设定电容值、以及特别是低寄生电容值的集成电容器，但该等已经被使用至今的已知 MOS 或 MIS 电容器，则是由于电压感应的空间电荷区域 (voltage-induced space charge regions) 而具有一不令人满意的电压线性，并且距基板的短距离亦要承担众多的寄生电容值。

这些困难可以通过使用已知为金属-绝缘体-金属电容器 (MIM 电容器) 者而加以避免，该 MIM 电容器通常被配置于两个金属层之间，并且因此而位于距基板较大的距离，而且，尽可能的，这些金属-绝缘体-金属电容器应该在既存的不改变以及影响相邻互连的情形下所进行的多层金属化概念中进行集成。

前述的方法，正如已经出版的专利文件 US 5,946,567，欧洲专利申请第 EP 0 800 217 A1 号以及第 EP 1 130 654 A1 号，以及文章 “High Density Metal Insulator Metal Capacitors Using PECVD Nitride for Mixed Signal and RF Circuits” IITC, pp. 245-247, IEEE (1999) by Kar-Roy et al. 中所举的例子一样，使用材质二氧化硅及/或氮化硅，以作为介电质，而这些材质于微电子学产业中已被充分地进行特征描绘并为已知。然而，这些材质的介电常数  $k$  并不特别的高，大约介于四至七之间，更甚者，由于使用多层金属化，它们必须利用等离子体 (PECVD) 程序来进行沉积，而且，

这些程序典型地通过高沉积率，但也通过高缺陷密度以及较低的层品质而具有区别性，因此，在等离子体程序中，其实际上不可能产生具有一可再现的厚度以及足够品质的小于 60 nm 的层。

另外，在上述所引用的集成概念中，该上部电极通过一上部电极蚀刻的帮助而加以图案化，并且该上部电极蚀刻必须停止在该电容器的该介电质之中，所以，为了这个理由，这些程序绝对必须包括具有至少 60 nm 的一足够厚度的一介电层。

用于制造根据已知技术的一 MIM 电容器的开始点为显示于图 4 中的该堆叠。在此例子中，一 Ti 黏胶层 2、一 Al 互连 3、以及一 Ti/TiN 抗反射涂覆 (ARC) 层 5 被沉积于一基板 1 之上，此堆叠同时具有一第一电极的功能，一介电层 6 被施加至此堆叠，而沉积于该介电层 6 之上的是，第二电极的金属堆叠，其包括二 TiN (Ti) 层 8、10 以及位于其间的一 Al 层 9。图 5 显示该第二电极 8、9、10 以及该介电质 6 已经进行图案化后的一程序阶段，正如可由蚀刻边缘 16 看出，在该第二电极 8、9、10 之外的区域中的该介电质 6 在此做为蚀刻停止。

此型态的已知电容器的表面积比电容值 (surface area - specific capacitance) 大约在  $1 \text{ fF}/\mu\text{m}^2$ ，然而，对于未来的高频应用而言，将会需要此电阻值的倍数。而由于一电容器的该表面积比电容值实质上通过该介电质分开层的厚度以及该介电常数所加以决定，因此，一电容器的该表面积比电容值可以通过使用具有一高介电常数 ( $> 8$ ) 的介电质而加以增加，再者，较 60 nm 薄的绝缘层亦可以导致表面积比电容值的增加。

### 发明内容

以前述的已知技术作为基础，本发明作为基础的目的在于提供一具有互连以及一金属 - 绝缘体 - 金属电容器的已获得改善的集成半导体产品，以及叙述其制造的方法。

此目的可通过本发明所公开的集成半导体产品以及方法而达成，而本发明更进一步具有优势的构型以及构想则叙述于发明说明以及所附图式中。

本发明提供一种具有互连的集成半导体产品，该互连包括铝，以作为一必要结构成分，以及该半导体产品具有至少一金属-绝缘体-金属电容器，而该电容器包括一第一电极，一介电层，以及一第二电极。该介电层被配置在位于该第一电极之上且位于一介电辅助层中的一开口之中。

再者，本发明提供一种制造具有互连以及至少一金属-绝缘体-金属电容器的一集成半导体产品的方法，其中该互连包括铝，以作为一必要结构成分，而该电容器包括一第一电极，一介电层，以及一第二电极。该方法包括下列步骤：

- (a) 将该第一电极产生于一层之中，而该层亦被作为该互连的一层；
- (b) 施加一介电辅助层；
- (c) 在该介电辅助层位于该第一电极上方的位置形成开口；
- (d) 产生该电容器的该介电层；以及
- (e) 产生该第二电极。

在此所提出的概念特别地，虽然不是专门地，适合于具有薄介电质的MIM电容器其在不重大改变其它金属轨道的可靠度的情形下的集成，而该等其它金属轨道的可靠性实质上维持未受到改变，因为，特别是，在该等其它金属轨道之上并没有该介电电容器的剩余。再者，根据本发明的方法于执行个别程序步骤方面相对而言并不严苛，并且，于选择材质以及其厚度上允许较大的自由度，特别地是，根据本发明的方法所具有的优点是，相较于已知技术，通孔蚀刻可以简单许多的方式加以进行，因为其不需要蚀刻穿透在该金属轨道上方的剩余介电电容器层。

该金属绝缘体-金属电容器具有一第一电极，其形成于互连的一金属层之中。而由于该介电中间层以及该第二电极的该金属化层可以维持为薄的，因此该金属绝缘体-金属电容器可以在不比既存通过被动半导体产品来制造一集成半导体产品的概念更为困难的情形下进行集成。

该金属绝缘体-金属电容器方便地通过施加互连的一金属层至一基板而加以制造，此层亦可包括，特别是，一衬层以及一ARC层，然后，一介电辅助层被沉积于互连的该金属层之上，其作为一部份牺牲层，而不作用为一MIM介电质，但更确切的是，其变成将被接续地施加的该金属间介电

质 (IMD) 的部份。已知的微影以及蚀刻方法被用于移除该介电辅助层打算集成一 MIM 电容器的位置的部分, 而在此例子中, 其特别较佳地是, 若一相对应的蚀刻可选择性地停止在该下部电极的话。再者, 由可依需要进行选择并且具有任何所需厚度的材质所制成的一介电层, 其沉积于该相对应图案化的表面之上, 接着, 形成该第二电极的材质加以施加并适当地图案化。

此打开了通过 ALD (atomic layer deposition, 原子层沉积) 沉积一极薄的介电层的可能性。特别地是, 若该基板在打开该牺牲层之后接着于一含氧的周围环境中轻微地进行表面氧化的话, 则可以获得通过 ALD 而沉积介电质的理想成长条件。

依照根据本发明的方法的一更进一步较佳实施例, 一导电电阻障层在步骤 (d) 之前被施加至该第一电极, 在此背景之下, 其特别地较佳地是, 若该导电电阻障层仅选择性地被施加至未被覆盖的该第一电极的话。

#### 附图说明

本发明的一示范性实施例以所附图式做为参考而加以解释, 其中:

图 1: 其显示根据本发明一示范性实施例的包括一金属-绝缘体-金属电容器的一集成半导体产品的一截取剖面图;

图 2: 其显示用作为根据本发明一示范性实施例的一 MIM 电容器的第一电极的一金属轨道堆叠以及沉积在该堆叠之上的一介电辅助层的一截取剖面图, 其中, 该介电辅助层位在该第一电极上方的位置已经被打开;

图 3: 其显示根据本发明一示范性实施例的具有一结合的金属-绝缘体-金属电容器的一集成半导体产品的一截取剖面图;

图 4: 其显示用于制造根据已知技术的一 MIM 电容器的一层堆叠的一截取剖面图; 以及

图 5: 其显示图 4 在第二电极的图案化已经进行之后的一截取图。

#### 具体实施方式

图 2 显示一金属轨道堆叠, 其具有一 Ti 黏胶层 2, 一 AlCu 互连 3, 以

及一抗反射涂覆 (ARC) 层 5, 正如用于已知技术中一样。在此例子中, 该互连 3 亦打算作用为一下部 MIM 电极, 而具有大约 50 至 100 nm 的厚度的一介电辅助层 6, 举例而言, 由  $\text{SiO}_2$  或  $\text{Si}_3\text{N}_4$  制成者, 则是通过使用已知适合于金属化的程序而被沉积于该金属轨道堆叠 2、3、4 之上, 其作为一部份牺牲层, 而非作用为一 MIM 介电质, 但更确切的说, 其会变成将于接续进行施加的金属间介电质 (IMD) 的部分。然后, 通过使用已知的微影以及蚀刻方法, 该介电辅助层会在位置 15 处被移除, 而此处乃是打算要集成一 MIM 电容器的位置。

图 3 显示该 MIM 介电质 7 以及该上部电极 8、9、10 的沉积以及蚀刻皆已进行之后的该 MIM 电容器。现在, 具有 20 nm 的厚度的一介电层 7, 举例而言, 由  $\text{Al}_2\text{O}_3$  所制成者, 被产生于该已经开口的介电辅助层 6 之上, 然而, 此并非为必要, 因为该介电质 7 可以依需要而进行选择, 并且可以被沉积为任何所需的厚度。此外, 一导电阻障层 (未显示) 可以在沉积该介电质之前, 先被施加于该第一电极, 其特别较佳地是, 若该导电阻障层可以仅选择性地被施加至未覆盖的该第一电极处的话。

根据此示范性实施例, 由于一集成路径并不会对该介电层 7 的厚度、蚀刻特质、以及其它特质增加任何最小需要的负担, 因此, 倘若该等层可以在低于 400 °C 的温度之下被产生的话, 则任何所需的程序, 例如, CVD、PECVD、MOCVD 以及 PVD, 皆可以被用来产生它。该介电层 7 亦可以通过该下部电极的表面的氧化作用的帮助、或是通过为了此目的而提供于该下部电极上的一层 (例如, Ta 及/或 TaN) 的氧化作用的帮助而加以产生。此外, 其有可能该介电层 7 通过 ALD (atomic layer deposition, 原子层沉积) 而加以沉积, 此程序使得有可能通过原子层沉积而产生极薄的层。根据本发明的程序其使得有可能达成具有比电容值  $3 \text{ fF}/\mu\text{m}^2$  至大于  $10 \text{ fF}/\mu\text{m}^2$  的电容器, 而以先前的方法, 其不可能再现地产生足够的品质。

若该基板在打开该牺牲层 6 之后接着于一含氧的周围环境中轻微地进行表面氧化时, 则可以获得通过 ALD 而沉积介电质的理想成长条件, 并且, 由于在该 ARC 层 5 中所产生的原生氧化物结果提供了相似的良好先决条件, 以用于沉积任何所需氧化物而作为该相邻的介电辅助层 6, 因此该等所

需的氧化物层会自发地以一可再现以及密集的方式而生长于其上，并且具有最高的品质。

接着，该上部电极的材质进行施加，这些依次包括导电阻障层 8、10，其可以，举例而言，包含 TiN，而在它们之间具有一金属层 9，其可以，举例而言，包含 AlCu。通过前述开口 15 而在该第一介电层 6 中所产生的拓朴 (topology) 相对而言为小：该下部电极的边缘长度大于 1  $\mu\text{m}$ ，并且阶梯高度大约 50 至 100 nm，因此，该拓朴可以通过所选择的沉积程序而被充分地加以覆盖。

此接着进行对包含该上部电极 8、9、10、该介电层 7、以及该辅助层 6 的该堆叠的蚀刻，在此上下文中，没有特殊的需求会被负担于该介电辅助层 6 的剩余厚度之上，而该剩余厚度余留在该下部金属轨道 2、3、5 之上以及因此在该蚀刻程序的选择性之上。结果，不同于已经叙述过的概念以及相似的概念，同时结合该介电质 7 以及其厚度的一自由选择的整体程序，其具有一个非常广泛的适用范围 (process window)。

接下来，一上部金属间介电质 11 加以沉积。该介电辅助层 6 的任何剩余则简单的变成此 IMD 11 的部分，再者，通孔 12 亦加以形成，以形成该电容器与该下部互连 4 间的接触，并且，这些通孔以其上端与该上部互连 13 相连接，而这些上部互连 13 则依次被嵌入一金属间介电质 14 之中，其中，该通孔蚀刻比起已知技术可以更为简单地加以实行，因为其不需要蚀刻穿在该金属轨道上的该剩余介电电容器层。

在前述示范性实施例中所的金属化以及平板电容器材质，提出作为举例之用而非暗示任何的限制，特别地是，所有的导电材质，例如，Si、W、Cu、Ag、Au、Ti、Pt、以及其所有的合金，可以用作为该互连，而除了 Ti 以及 TiN 之外，TiW、W、 $\text{WN}_x$ ，其中  $0 \leq x \leq 2$ ，Ta、TaN，硅化物以及碳化物亦特别地适合作为二者择一的阻障层或衬层，所有上述提到的材质以及其结合可以被用作为电极。而且，除了传统用于半导体技术中的介电质，亦即， $\text{SiO}_2$  以及  $\text{Si}_3\text{N}_4$ ，之外，所有具有较高 k 的材质亦为可利用，特别是， $\text{Al}_2\text{O}_3$ 、ZrO、 $\text{HfO}_2$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{La}_2\text{O}_3$ 、 $\text{TiO}_2$  以及其混合的氧化物、氧氮化物以及硅化物， $\text{SrTiO}_3$ 、 $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ，其中  $0 \leq x \leq 1$  (BST)，以及  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ，

---

其中  $0 \leq x \leq 1$  (PZT)。

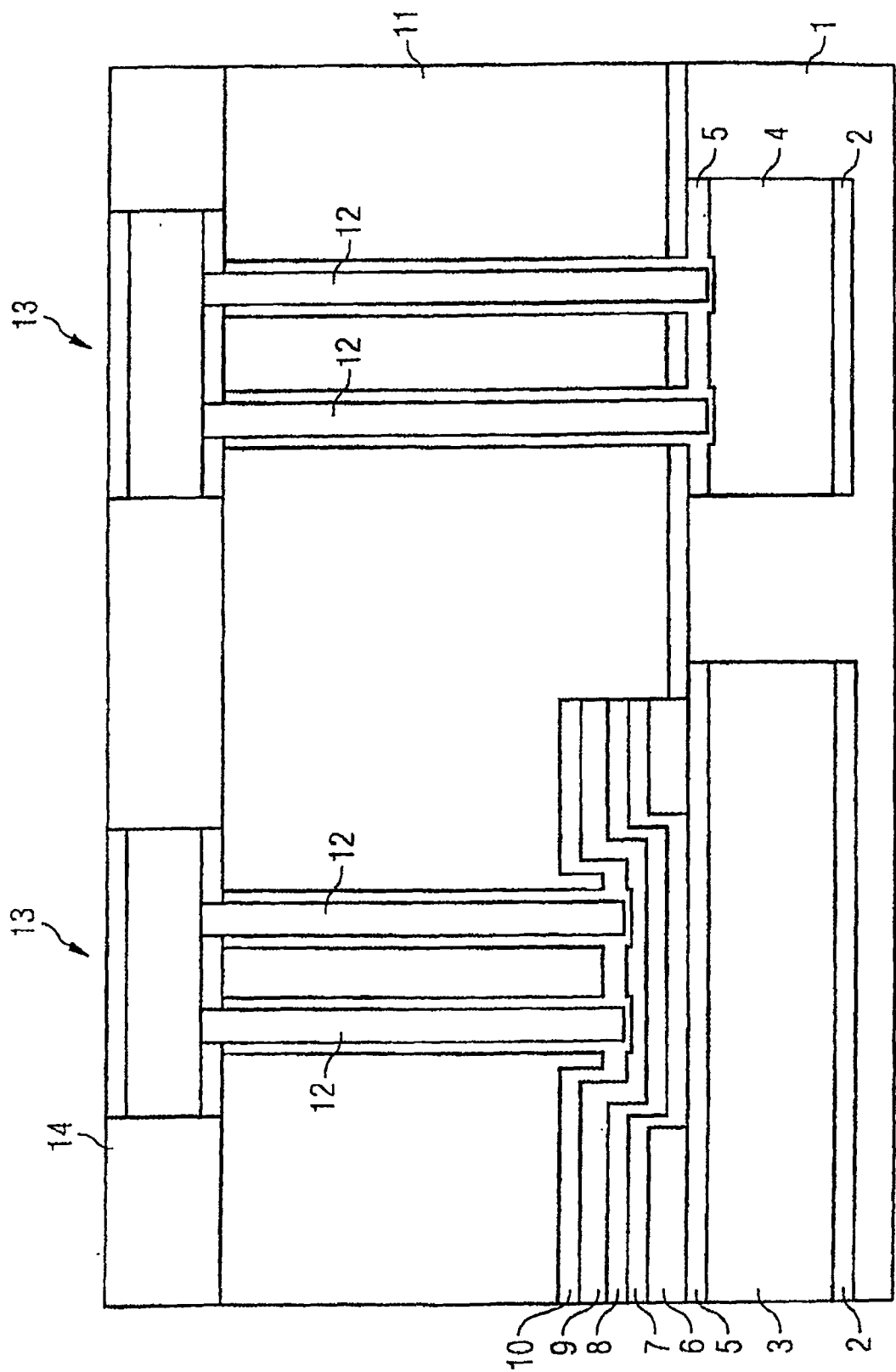


图 1

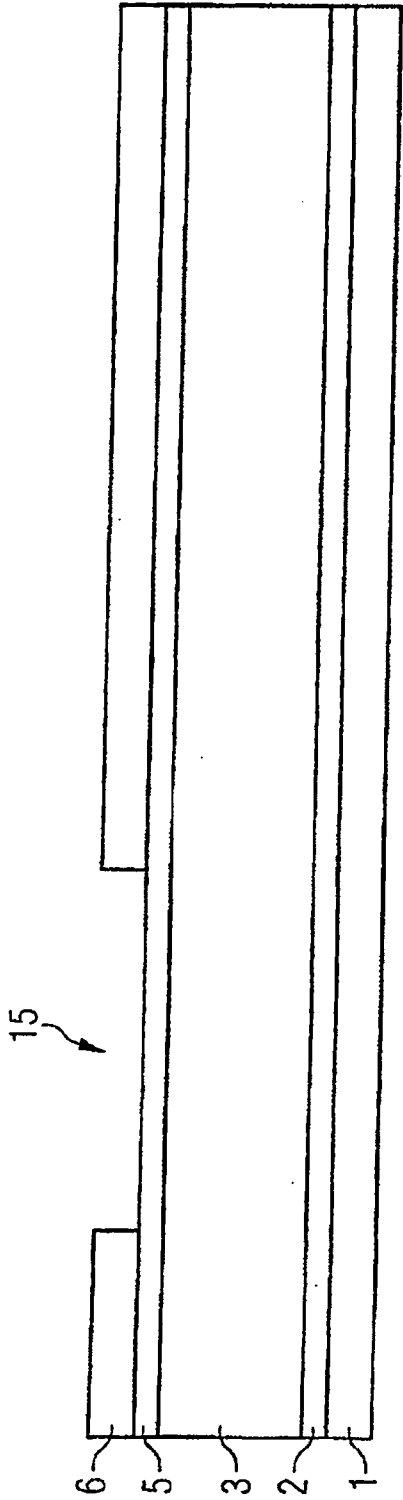


图 2

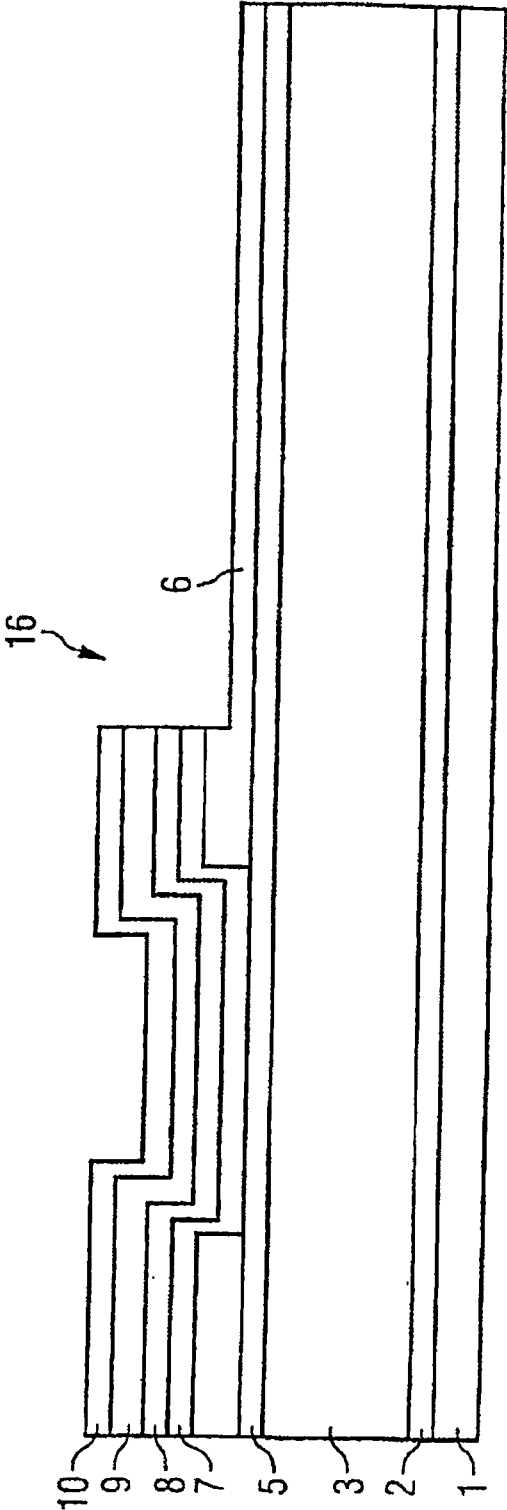


图 3

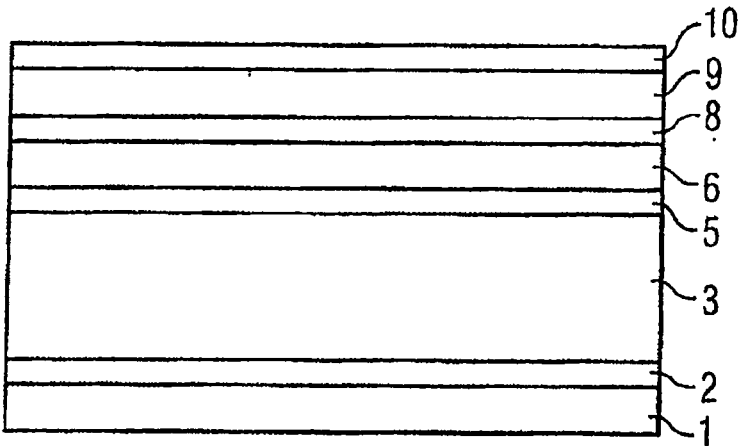


图 4

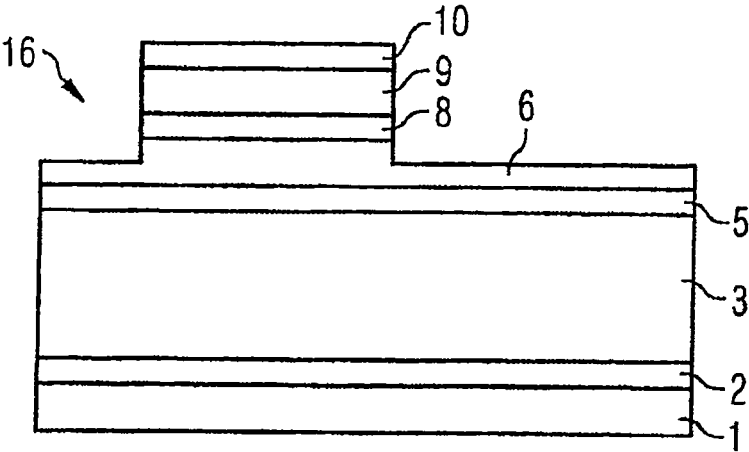


图 5