

公告本

申請日期	PP. P. 13
案 號	PP 118 686
類 別	G11C 7/00

A4
C4

492011

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有至少兩個平板區段之積體記憶體
	英 文	Integrated memory with at least two plate segments
二、發明人	姓 名	彼得波克慕勒 (Peter Poechmueller)
	國 籍	奧地利
	住、居所	德國慕尼黑 D-81739 魯道夫古雷路 30 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
	國 籍	德 國
	住、居所 (事務所)	德國慕尼黑 D-81541 聖馬丁街 53 號
	代 表 人 姓 名	1. 麥可勾威什 (Michael Gollwitzer) 2. 荷斯特卻佛 (Dr. Horst Schäfer)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

德 國 (地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1999 年 09 月 14 日申請案號第 19944036.0 號(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

本發明是有關一種具有記憶胞之積體記憶體,其在記憶胞陣列之內沿著位元線,字元線與至少兩個平板區段配置,並且各自具有一選擇電晶體與一記憶體電容器,其中每一個記憶體電容器之電極經由一所屬之選擇電晶體而與一個位元線以及具有一平板區段的另外一個電極相連接,並且其中各個選擇電晶體的控制端子與字元線之一連接。

一個在鐵電式隨機存取記憶體(FRAM)形式中的此種積體記憶體,是在美國專利 US5373463A 中描述。在那裡是說明 FRAM 之第一變化例,其中此平板區段平行於字元線配置,其中各自一平板區段配置於一字元線。此外說明另一變化例,其中平板區段平行於位元線而伸展進行,其中各一平板區段配置一位元線。此在美國專利案號 US5373463A 中所描述的記憶體根據所謂的脈動板觀念而運作。在由記憶胞陣列中寫入或讀出資訊時將字元線之一啓動活化,因此其所屬的選擇電晶體被切換成導通,並且然後此平板區段,其配置這一個記憶胞,應在其中實施存取,首先將此記憶體中造成一高的供應電壓,然後造成一低的供應一電壓,即,脈動。因此在此記憶胞中的每一個存取是與其所屬平板區段的脈動相關連。

在鐵電記憶胞中,其記憶體電容器具有一種鐵電性電介質,其產生所謂("Imprint")或所謂"疲勞"("Fatigue")的現象,此會導致記憶體功能之干擾。因此其為重要,在記憶體的領域中測試,是否此等記憶胞在其老化耐久性上至少滿足某種最小的要求。為了測試其老化效應,其為可能在每一個記憶胞

五、發明說明(2)

中執行大數目之讀或寫之存取,然後緊接著測試每一個記憶胞之功能,因此可以確定,是否首先其缺陷已經由於事先的老化而發生,這使得記憶體的使用為不可能。因為目前的記憶體具有一個大數目的記憶胞,而此所描述說明的這些記憶胞的測試是非常耗費時間。

因此本發明的目的即在於此,其提出說明一種所提到特性之積體記憶體,其中使得可能藉由執行具有降低時間耗費的大數目的記憶體存取,而測試記憶胞。

此目的是以根據申請專利範圍第 1 項之積體記憶體而解決。本發明之有利的形成與其他的發展,則是申請專利範圍附屬項之標的。

此等根據本發明之記憶胞之記憶體是自各與至少兩個平板區段之一相連接。在記憶體正常作業方式中是在記憶胞中執行存取,這是由於各自有平板區段之一電位脈動。相反的,在測試作業方式中,此兩個平板區段的電位同時脈動。

本發明是根據此理解,它固然在正常作業方式中須要記憶體,使存取確實地在各自的記憶胞中執行。然而此對於記憶體胞中人造的老化在測試作業方式中並不存在。更確實的說,在測試作業方式中可以執行較在正常作業方式中較大數目記憶胞的存取。根據本發明在兩個作業方式中,此藉由不同數目的平板區段的脈動而進行。

根據本發明的另外的發展,此在測試作業方式中的兩個平板區段的電位,是同時在各自相反的方向中脈動。這表示,在測試作業方式中的平板區段補充位準,其例如可以採取記

五、發明說明(ㄅ)

憶體之供應電位位準。以此種方式達成,由於一方面介於平板區段與位元線之間的電容耦合,以及另外一方面介於平板區段與字元線之間的電容耦合,其所產生的效應本身至少部份地互相抵償。此兩個平板區段彼此越接近配置,此抵償越大。因此當此等平板區段彼此緊靠著相鄰配置時尤其有利。

此外,根據本發明其他的發展,此在測試作業中兩個平板區段的電位,各自經由兩個彼此相繼連續的脈動以各自相反的位準而進行脈動,並且此記憶體具有一短路元件,此兩個平板區段彼此連接,並且此在平板電位之第二脈動之前短暫地切換成導通。

以此方式而達成,在兩個平板區段的脈動之前,在各自相反的位準中經由導電短路元件而實施負載平衡,因此達成以下待脈動之電位位準較沒有短路時所須較少的功率。

根據本發明之一個實施形式,此平板區段平行於字元線而延伸,並且在測試作業方式中在當平板電位脈動時,每個平板區段之至少一個所屬的字元線被啟動活化。

因此達成在當用於兩個平板區段之平板電位脈動時,是在那一個位元線上向相反的電荷移動,此位元線是配置於記憶胞在其中各自實施存取。此具有相反符號的電荷移動或電流是由兩個平板區域之相反的電位脈動而產生。經由此啟動活化每一個平板區段之每一個字元線,不但與一個而且還有另外一個平板區段的記憶胞經由其選擇電晶體而與相同的位元線連接。而此時由於正的脈動在一個平板區段中,例

五、發明說明(4)

如是一正的電流在位元線中流過,導致在另外一個平板區段中負的脈動之在相同的位元線上相對應的負的脈動。此兩個具有相反符號的電流在此位元線上至少部份地抵償。經由此同時流過的正與負的電荷之抵償,必須沒有大的電荷由位元線流出。因此可以傳導大電流之相對應之導線,在本發明中並不需要。尤其是當兩個同時脈動的平板區段是彼此相鄰配置時,在相關的位元線只有在部份的區域中有平衡電流或抵償電流局部地流過。因此避免沿著位元線較大的寄生電壓降。

根據本發明之另一個實施形式,此平板區段是平行於位元線而配置,並且在其測試作業方式中每一個平板區段至少啟動一個所屬的字元線。此外,此記憶體具有一個用於穩定電位之電位導線,以及至少兩個短路元件,經由它各自一個配置於每一個平板區段的位元線與電位導線連接,並且它在測試作業方式中,當平板電位脈動時將此兩者導通。

因為在此實施形式中此平板區段平行於位元線伸展,有關此同時脈動的兩個平板區段不是相同的位元線。因此需要短路元件與電位導線,此便在當平板區段在作相反的脈動時進一步地達成以上所描述的電荷抵償。因此,在此實施形式中在介於兩個位元線之間進行電荷抵償,此兩個位元線配置於不同的平板區段。此外,以上所說明的實施形式,適合用於本發明之實施形式。

在兩個以上所說明的本發明的實施形式中是為可能在測試作業方式中每一個平板區段同時啟動活化多於一個字元

五、發明說明(5)

線。因此,此在其上可同時存取之記憶胞的數目,可以成為許多倍。

藉由此所描述之電荷抵償或電流抵償,而儘管在一大數目的記憶胞上同時存取,在位元線上不會產生相當大的電流。

本發明以下根據圖式作進一步說明,其說明實施例。

圖式之簡單說明

第 1 圖是本發明之第一實施例。

第 2 圖是本發明之第二實施例。

第 3 圖是由第 1 與第 2 圖之平板區段之電位曲線。

第 1 圖是引用 FRAM 或 FeRAM 型式積體記憶胞之記憶胞陣列之片段。此記憶胞 MC 是配置在位元線 BLi 與字元線 WLi 之交叉點。每一個記憶胞 MC 具有一選擇電晶體 T 與一具有鐵電性電介質之記憶體電容器 C。此每個記憶體電容器 C 的一電極,是經由屬於選擇電晶體 T 之可控制之區段而與位元線 BLi 之一連接。記憶體電容器 C 之另一個電極是與兩個平板區段 PLA,PLB 之一連接。選擇電晶體 T 之閘極是與字元線 WLi 之一連接。

此等平板區段 PLA,PLB 是平行於字元線 WLi 而伸展。各四個字元線是配置於平板區段之一。這表示,此與其字元線相連接之記憶胞,與相對應的平板區段連接。雖然,在第 1 圖中只描述說明六個位元線,在事實上此記憶體具有較大數目的位元線。此外,它另外具有對此兩個在第 1 圖中所說明之平板區段 PLA,PLB 而言是其他同形的平板區段,其各自又再配置四個字元線。這些平板區 PLA,PLB 是由相對應的

五、發明說明 (6)

電位產生器所產生的電位 V_{PA}, V_{PB} 供應。

此兩個平板區段 PLA, PLB 是經由短路元件 SH 而在 n-通道－電晶體的形式中彼此連接,此兩者取決於在其閘極上的控制信號 EQ 而短路。

此在第 1 圖中所顯示的電路之功能如下:在記憶體之正常作業方式中,當在字元線 WLi 之一的記憶體胞 MC 之一之上存取時,例如是將字元線 $WL1$ 啟動活化,即,導入一高的位準中。因此,這一個記憶胞的選擇電晶體 T,其與字元線 $WL1$ 連接,被切換成導通。然後此各個被啟動活化的字元線 $WL1$ 所配置的平板區段,在此情況中是在第 1 圖中的平板區段 PLA,首先脈動至一高的然後脈動至一低的記憶體供應電位。在讀出存取(read out access)中,取決於各自儲存於記憶體中的資料,其造成記憶體電容器 C 之鐵電性電介質之不同的極化(polarization),此所屬之位元線 $BL1, BL3, BL5$ 之電位以不同強度的方式改變。經由從三個有關的位元線 $BL1, BL3, BL5$ 中選擇一個而最後確定,其資料增強並且向記憶體外讀出。

在正常的作業方式中,總是只脈動至平板區段 PLA, PLB 之一的電位,即這一個區段其各自配置待啟動活化的字元線 $WL1$ 。此平板的區段化是對於其整個表面實施,共同平板之所有記憶胞 MC 具有其優點,當各個平板區段的電位脈動時,由此造成的影響只涉及有限數目的記憶胞,在其上當實際存取時應該完全沒有被存取。

在此等記憶體的測試作業方式中,每一個平板區段 PLA,

五、發明說明(7)

PLB 的所有四個字元線 WLi 同時被啓動活化,因此所有與此連接的記憶胞 MC 被導通而與位元線 BLi 相連接。然後兩個平板區段 PLA,PLB 同時脈動,在所有記憶胞 MC 中同時模擬存取,此以這種方式可以在短的時間中導致所有記憶胞 MC 之人造老化。

第 3 圖顯示在測試作業方式中平板電位 V_{PA} , V_{PB} 之曲線。在此觀察時間,此整個的字元線 WLi 被啓動活化。其說明描述三個相繼連續的脈動。對於時點 $t1$ 由第 1 圖之上部平板區段 PLA 之電位 V_{PA} 具有一高的供應電位 V_{DD} 之值,而下部平板區段 PLB 之電位 V_{PB} 具有一低電位 GND 。經由電位 V_{PA} 正的側面,而由此與上部平板區段 PLA 連接之記憶胞 MC 將正的電荷轉移至位元線 BLi 。經由電位 V_{PB} 之負的側面,而將負的電荷由將下部平板區段 PLB 相連接之記憶胞 MC,而轉移至 BLi ,或者以另外的方式表示,位元線 BLi 之正的電荷在記憶胞 MC 中被抵消。這些相反之電流本身在位元線 BLi 中抵償。因此沒有多餘的電荷於值得一提的數量中必須從這裡再通出去。因此不須要另外的元件,以便將此等電荷通出。因為這些平板區段 PLA,PLB 彼此緊靠著相鄰配置,而可在位元線 BLi 上避免大的平衡電流。

在第 3 圖中得知,對於時點 $t2$ 經由短路元件 SH 的控制信號 EQ 而實施兩個平板區段 PLA,PLB 之短路。因此在兩個平板區段之間實現電荷平衡,因此它們然後具有共同的平均電位,其介於記憶體之兩個供應電位 V_{DD} , GND 之間。在短路之後,由於控制信號 EQ 再度呈現低位準,此兩個平板電位被

五、發明說明 (8)

導致其在短路之前相反的位準。經由此短路而達成,將平板區段轉變負載只須要相當少的能量。爲了達成記憶胞 MC 之人造老化,緊接在此剛才所描述的各個脈動上,是平板電位 V_{PA} , V_{PB} 其他的多個脈動。

雖然在此所描述的實施例中,平板區段 PLA, PLB 的所有的字元線 WLi 在測試作業方式中同時被啓動活化。其它的實施方式是可能,在其中在測試作業方式中配置於每一個平板區段之只有一部份的字元線被啓動活化。例如每一個平板區段可以僅有一個字元線被啓動活化。此外,其爲可能,將每一個平板區段配置多於四個字元線,在測試作業方式中,其中之所有或一部份被啓動活化。

第 2 圖是引用本發明之第二實施例,其同樣是 FRAM 型式的積體記憶體,其記憶胞 MC 是同樣如同在第 1 圖中所建立的那一個。它再度是配置於位元線 BLi 與字元線 WLi 的交叉點中。在第 2 圖中僅顯示有關其配置的若干記憶胞 MC。在此實施例中,平板區段 PLC, PLD 不是平行於字元線而延伸如同在第 1 圖中的情形,而是平行於位元線 BLi。每一個平板區段 PLC, PLD 配置位元線 BLi 的兩個。在其他的實施例中是明顯還可能每一個平板區段配置較大數目之位元線。在很多的字元線 WLi 中,其第 2 圖中與位元線 BLi 交叉的只有四個。此等平板區段 PLC, PLD 再度經由一個以 n-通道—電晶體爲型式的短路元件而互相連接。

每一個平板區段的兩個位元線 BLi 是與讀取放大器 SA 的入口相連。此讀取放大器 SA 是經由第一電位導線 L1 以

五、發明說明 (9)

低的供應電位 GND 供應,並且經由第二電位導線 L2 以高供應電位 VDD 供應。每一位元線 BLi 是經由在 n-通道 - 電晶體形式中的每一短路元件 SE,而與第一電位導線 L1 連接。此短路元件 SE 之閘極是與信號 S 連接。

在第 2 圖中所顯示的電路之功能如下:

在正常作業方式中,僅有字元線 WLi 的一個被啓動活化。此外,然後只有平板區段 PLC,PLD 的電位脈動。而其他平行區段的電位保持恆定。因此在剛好在記憶胞 MC 的一個中實施存取。在讀出的存取中因此此本身調準之電位在各自位元線 BLi 上經由讀取放大器 SA 而放大。

在此測試作業方式中多個字元線 WLi 同時被啓動活化,因此一大數目的記憶胞 MC 導通而與位元線 BLi 連接。然後此兩個平板區段 PLC,PLD 以相反的脈動而進行脈動。此平板電位 V_{PC}, V_{PD} 以及短路元件 SH 的控制信號 EQ 的曲線是與根據第 1 圖的實施例中的那一個相同,並且因此還得知第 3 圖。

此短路元件 SE 在正常作業方式中,在基本上不導通。同時對於平板電位 V_{PC}, V_{PD} 的脈動是此短路元件 SE 在測試作業方式中,經由信號 S 而切換導通,因此所有的位元線 BLi 與第一電位導線 L1 連接。當平板區段 PLC,PLD 的電位具有一正的側面時,並且因此與此平板區段連接之記憶胞 MC 之正電荷,在其所屬的位元線上流過。各自其他平板區段的電位具有一負的側面,因此,此與此平板區段相連接之記憶胞 MC 之負電荷是在其所屬的位元線上流過。經由此短路

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(10)

元件 SE 不但流過配置於平板區段的位元線的正電荷,而且還流過配置於每一個平板區段之位元線之負電荷,而至第一電位導線 L1。以此種方式借助於第一電位導線 L1,而實施具有所設不同符號之電荷電流之抵償。它因此達成類似如同在根據第 1 圖的實施例中,經由平板電位之脈動而產生電荷之結構。

雖然在根據第 2 圖的實施例中,每一個平板區段 PLC,PLD 僅配置兩個位元線 BLi,其為可能在其他的實施例中,每一個平板區段存在較大數目的位元線,其經由各一個短路元件 SE 而與第一電位導線 L1 連接。

還有在根據第 2 圖的實施例中可以實施如下的改變,在測試作業方式中,只有字元線 WLi 的一個或是所有的字元線 WLi 同時被啟動活化。

此須注意,在此在第 1 與 2 圖所說明的實施例中實際上存在大數目的平板區段 PLA,PLB,PLC,PLD,其中在測試作業方式中各自兩個相鄰的區段同時進行脈動。

在本發明之其他的實施例中,可以還有多於兩個平板區段同時在測試作業方式中進行脈動。因此,此可以同時被呼叫的記憶胞 MC 的數目可以進一步的提高。於是它可以設有另外的短路元件,其將所有在測試作業方式中可脈動的平板區段同時彼此連接,並且其控制端子與控制信號 EQ 連接。

藉由此所說明之電荷抵償,當此平板區段在測試作業方法中脈動時,可以將在位元線上的電流降低,或者電荷在位元線上抵償。此外一大數目的記憶胞可以同時經應一人造老

五、發明說明 (11)

化製程。經由此短路元件 SH,在測試作業時的功率須求降低。

雖然本發明在此根據 FRAM 型式中的積體記憶體而說明，它是可以在所有的記憶體中使用，其中在記憶胞上的存取，是借助於脈動之平板電位而實現。

在測試作業方式中平板區段的脈動之後，其作為記憶胞的人造老化，可以將此存取在每一各個記憶胞中實施，以便測試其功能。這實現也許是根據上述的寫入之存取之後經由一讀取存取，其準確如同在正常作業方式中所實施者。

符號說明

- BL0...位元線 0
- BL1...位元線 1
- BL2...位元線 2
- EQ...控制信號
- MC...記憶胞
- PLA...平板區段
- PLB...平板區段
- SA...讀出放大器
- SE...短路元件
- SH...短路元件
- WL1...字元線 1
- WL2...字元線 2
- WL3...字元線 3

(請先閱讀背面之注意事項再
● 本頁)

裝

訂

● 線

四、中文發明摘要 (發明之名稱：具有至少兩個平板區段之積體記憶體)
記憶體 MC 之每個記憶體電容器 C 之一電極是經由所屬之記憶體電晶體 T 而與位元線 BLi 之一連接，並且另一電極是與平板區段 (PLA, PLB; PLC, PLD) 之一連接。每個選擇電晶體 T 之控制端子是與字元線 WLi 之一連接。在正常作業方式中，當在記憶體 MC 中存取時，各只有平板區段之一的電位進行脈動。在測試作業方式中，兩個平板區段的電位同時脈動。

第 1 圖

英文發明摘要 (發明之名稱： Integrated memory with at least two plate segments)

An electrode of each memory condenser C of the memory cell MC is connected to one of the bitline (BLi) through its associated memory transistor T, and another electrode is connected to one of the plate segment (PLA, PLB; PLC, PLD). A control terminal of each selection transistor T is connected to one of the wordline (WLi). In the normal operation mode, when accessing the memory cell MC, the potential of only one of the plate segments pulses. In the test operation mode, the potentials of both the plate segments pulse simultaneously.

Figure 1

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

91.3.28

補充

六、申請專利範圍

第 89118686 號「具有至少兩個平板區段之積體記憶體」專利案
(91 年 3 月修正)

六、申請專利範圍

1. 一種積體記憶體,其特徵為其具有;

- 記憶胞(MC),其在胞元陣列中沿著位元線(BLi),字元線(WLi)與至少兩個平板區段(PLA,PLB,PLC,PLD)而配置,並且各具有一選擇電晶體(T)與一記憶體電容器(C),

- 其中各記憶體電容器(C)之一電極經由所屬的選擇電晶體(T)與位元線(BLi)之一連接,並且另一電極與平板區段(PLA,PLB;PLC,PLD)之一連接,

- 其中各選擇電晶體(T)之控制端子,與字元線(WLi)之一連接,

- 具有正常作業方式,其中當在記憶胞(MC)中存取時,其電位各只以平板區段(PLA,PLB; PLC,PLD)之一進行脈動,以及

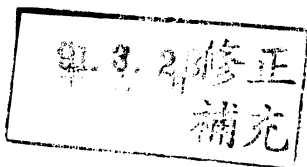
- 具有測試作業方式,其中兩個平板區段(PLA,PLB; PLC,PLD)電位同時脈動。

2. 如申請專利範圍第 1 項之積體記憶體,其中此兩個平板區段(PLA,PLB; PLC,PLD)的電位,在測試作業方式中,同時在各自相反的方向中脈動。

3. 如申請專利範圍第 2 項之積體記憶體,其中

- 兩個平板區段之電位在測試作業方式中各自經由兩個相繼連續的脈動,而以各自相反的位準進行脈動,而且

- 其具有一短路元件(SH),其將兩個平板區段



六、申請專利範圍

(PLA,PLB; PLC,PLD)彼此連接,並且其在平板電位之第二脈動之前,暫時被切換成導通。

4. 如申請專利範圍第 2 或 3 項之積體記憶體,其中

- 平板區段(PLA,PLB)平行於字元線(WLi)而伸展,並且
- 在測試作業方式中,在當平板電位脈動時,每個平板區段(PLA,PLB)之至少一所屬的字元線(WLi)被啓動活化。

5. 如申請專利範圍第 2 或 3 項之積體記憶體,其中

- 其平板區段(PLC,PLD)平行於位元線(BLi)伸展,
- 在測試作業方式中,在當平板電位脈動時每個平板區段(PLA,PLB)之至少一所屬的字元線(WLi)被啓動活化,
- 具有用於穩定電位(GND)之一電位導線(L1),並且
- 具有至少兩個短路元件(SE),經由它而配置於每一平板區段之位元線(BLi)之各一,與此電位導線(L1)連接,並且在測試作業方式中當平板電位脈動時,將此兩者導通。

6. 如申請專利範圍第 4 項之積體記憶體,其中在測試作業方式中,每個平板區段(PLA,PLB;PLC,PLD)之多於一個的字元線(WLi)同時被啓動活化。

7. 如申請專利範圍第 5 項之積體記憶體,其中在測試作業方式中,每個平板區段(PLA,PLB;PLC,PLD)之多於一個的字元線(WLi)同時被啓動活化。

8. 如申請專利範圍第 1 或 2 項之積體記憶體,其中此兩個平板區段(PLA,PLB;PLC,PLD)彼此相鄰配置。

9. 如申請專利範圍第 4 項之積體記憶體,其中此兩個平板區段(PLA,PLB;PLC,PLD)彼此相鄰配置。

91.3.28

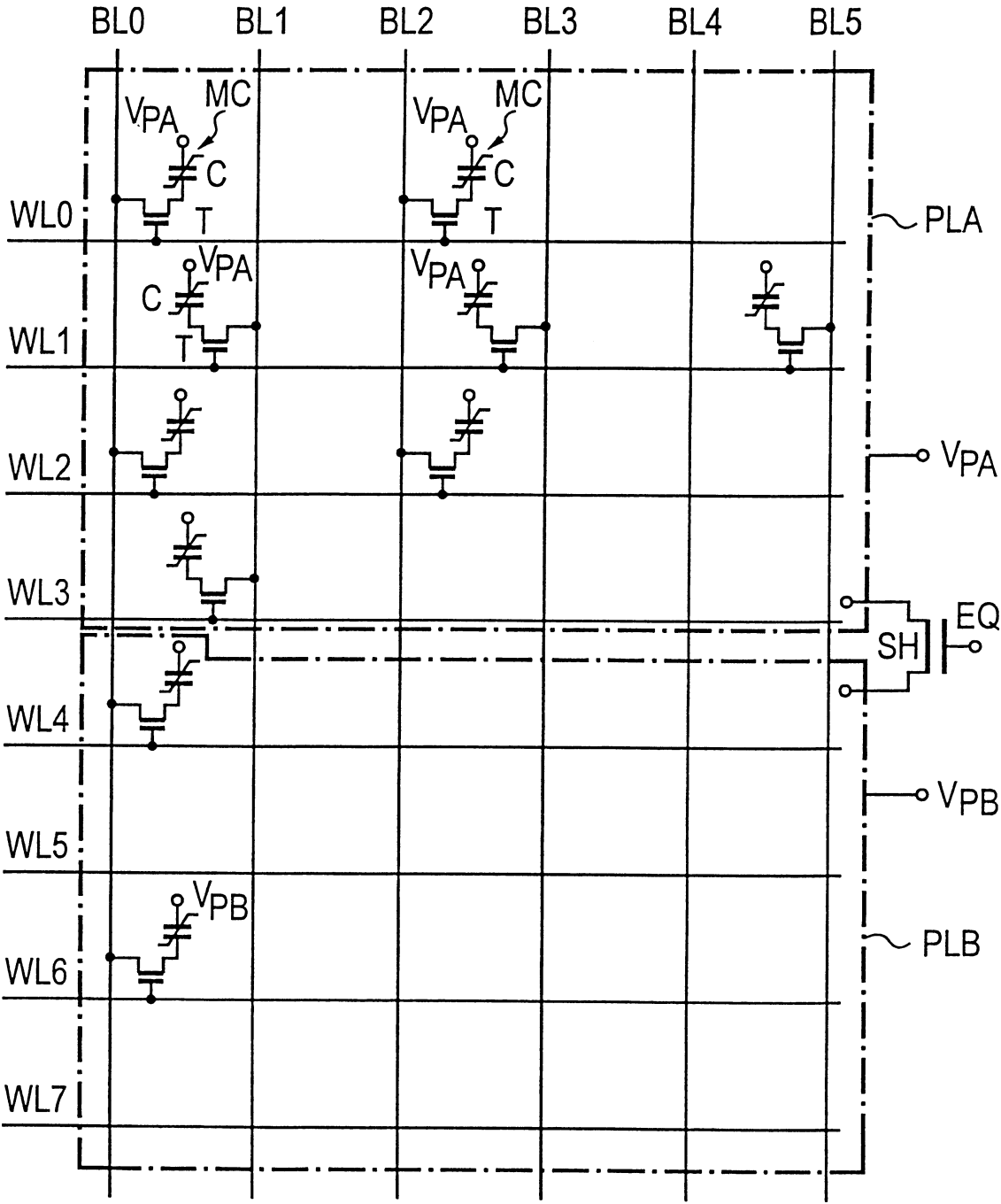
修正
補充

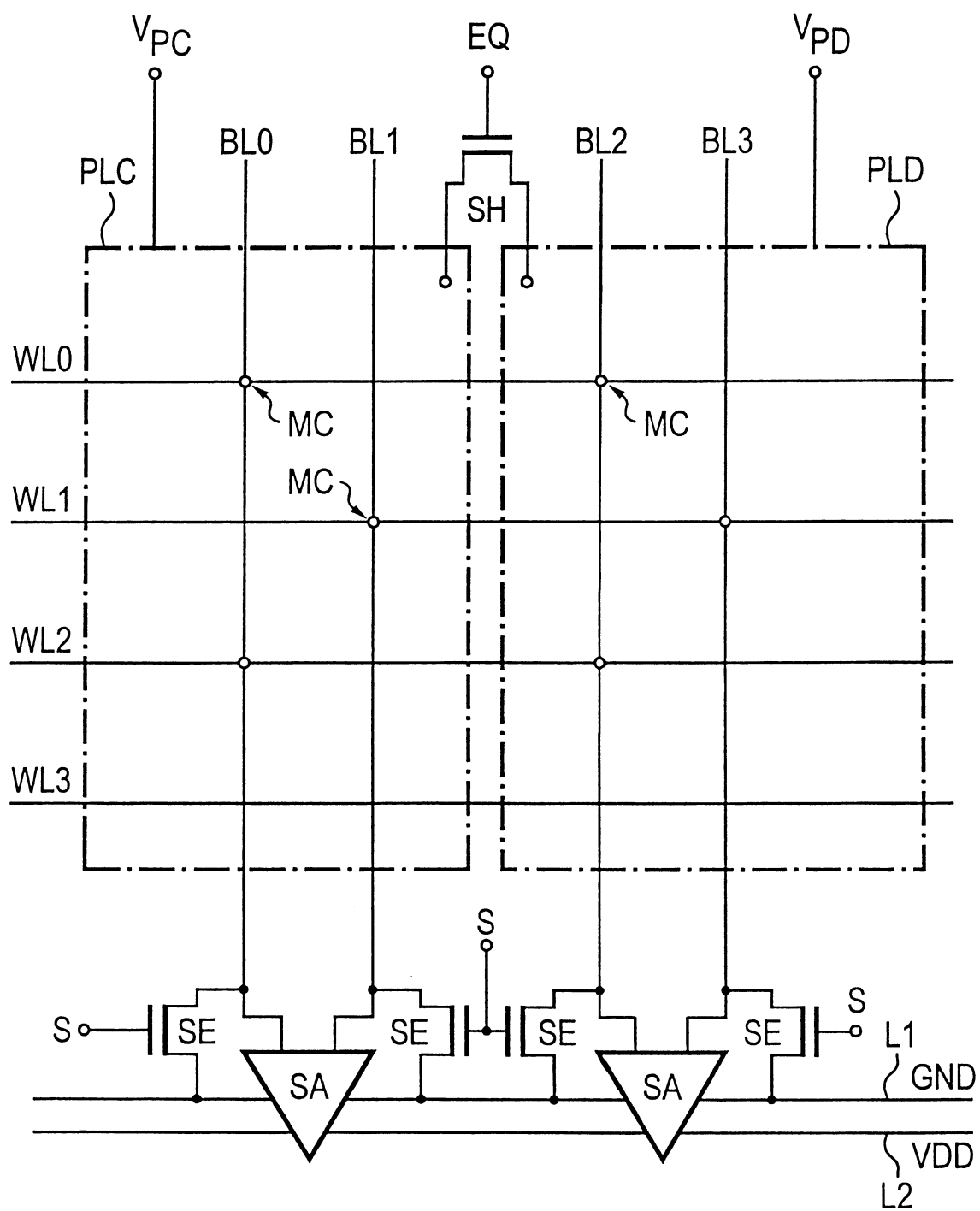
六、申請專利範圍

10. 如申請專利範圍第 5 項之積體記憶體,其中此兩個平板區段(PLA,PLB; PLC,PLD)彼此相鄰配置。

88118682

第 1 圖





第 3 圖

