(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-206204
(P2009-206204A)
(43)公開日　平成21年9月10日(2009.9.10)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 25/04	***(2006.01)***	H01L	25/04	Z	5F067
H01L 25/18	***(2006.01)***	H01L	23/50	U	
H01L 23/50	***(2006.01)***	H01L	23/50	F	

審査請求 未請求　請求項の数 2　OL　（全 13 頁）

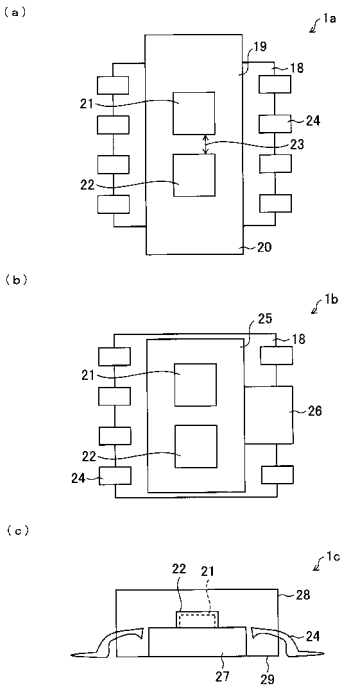
(21)出願番号　特願2008-45117(P2008-45117)
(22)出願日　平成20年2月26日(2008.2.26)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　110000338
特許業務法人原謙三国際特許事務所
(72)発明者　大澤　昇平
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

Ｆターム(参考)　5F067 AA03　AB02　AB10　BD02　BD06
BE05　BE07　CA07　CB08

(54)【発明の名称】出力制御装置

(57)【要約】
【課題】パッケージサイズを縮小することにより、小型化及び低コスト化が可能であり、放熱性に優れる出力制御装置を提供する。
【解決手段】スイッチングパワーＭＯＳＦＥＴチップ２２を横型パワーＭＯＳＦＥＴによって構成し、スイッチングパワーＭＯＳＦＥＴチップ２２と制御ＩＣチップ２１とを共通アイランド１９に搭載し、共通アイランド１９の一部をアイランド露出部２０としてモールドパッケージ１８の外に露出させる。
【選択図】図４



【特許請求の範囲】
【請求項１】
オン・オフの時間比率が制御されることによって出力電圧又は出力電流を制御するために形成されたスイッチングトランジスタチップと、
前記スイッチングトランジスタチップによって制御された出力電圧又は出力電流に基づいて、前記スイッチングトランジスタチップのオン・オフの時間比率を制御するために形成された制御ＩＣチップと、
前記スイッチングトランジスタチップと前記制御ＩＣチップとを収納したパッケージとを備えた出力制御装置において、
前記スイッチングトランジスタチップを横型パワーＭＯＳＦＥＴによって構成し、
前記スイッチングトランジスタチップと前記制御ＩＣチップとを同一アイランドの表面に搭載し、
前記同一アイランドの一部を前記パッケージの外に露出させたことを特徴とする出力制御装置。
【請求項２】
オン・オフの時間比率が制御されることによって出力電圧又は出力電流を制御するために形成されたスイッチングトランジスタチップと、
前記スイッチングトランジスタチップによって制御された出力電圧又は出力電流に基づいて、前記スイッチングトランジスタチップのオン・オフの時間比率を制御するために形成された制御ＩＣチップと、
前記スイッチングトランジスタチップと前記制御ＩＣチップとを収納したパッケージとを備えた出力制御装置において、
前記スイッチングトランジスタチップを横型パワーＭＯＳＦＥＴによって構成し、
前記スイッチングトランジスタチップと前記制御ＩＣチップとを同一アイランドの表面に搭載し、
前記同一アイランドの裏面を、前記パッケージから露出させたことを特徴とする出力制御装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、オン・オフの時間比率が制御されることによって出力電圧又は出力電流を制御するスイッチングトランジスタと、スイッチングトランジスタによって制御された出力電圧又は出力電流に基づいて、スイッチングトランジスタのオン・オフの時間比率を制御する制御ＩＣとを備えた出力制御装置に関する。
【背景技術】
【０００２】
商用ＡＣ電源を電気・電子機器用ＤＣ電源に変換するスイッチング電源システムにおいて、１次側回路に接続されるスイッチ素子とそのスイッチ素子を制御する制御ＩＣとを備えたスイッチング電源システムが知られている。非特許文献１の１５７７頁の図１には、縦型パワーＭＯＳＦＥＴと制御回路との組み合わせによって、このようなスイッチング電源システムを構成した例が開示されている。
【０００３】
従来の、スイッチ素子と制御ＩＣとからなる出力制御装置は、コイルからなる電源電圧変換用のトランスに対して電圧をスイッチング制御する為に、パルス的に瞬時に高電圧となりうると共に、その中のパワーＭＯＳトランジスタは電力消費が大きく、発熱が大きい。更に、この出力制御装置は、パッケージの小型化を求められている。
【０００４】
特許文献１には、制御回路に横型パワーＭＯＳＦＥＴのスイッチングトランジスタを内蔵して、モノリシック、１チップ化を図った構成が開示されている。
【０００５】

また、従来のスイッチング電源システムにおいて、制御ＩＣとスイッチングトランジスタとを、それぞれ別にパッケージングした構成が開示されている（非特許文献２）。

【０００６】

特許文献２の図５には、制御ＩＣチップとスイッチングトランジスタとを２チップ１パッケージに収めた構成を開示しているが、一般にスイッチングトランジスタは縦形トランジスタであるため、ダイボンドエリアがドレイン（コレクタ）となり、回路的に制御ＩＣのチップ裏面の電位（一般にＧＮＤ）と縦形トランジスタのドレイン（コレクタ）の電位との間に大きな電位差が発生する。このため制御ＩＣチップの裏面とスイッチングトランジスタのダイボンドエリアとは絶縁しなければならず、制御ＩＣチップの裏面に絶縁シートを敷いてダイボンドしている。

【０００７】

また、制御ＩＣチップの裏面とスイッチングトランジスタのダイボンドエリアとを絶縁するため、リードフレームのアイランドを分割し、一方のアイランドに制御ＩＣチップをダイボンドし、他方のアイランドにスイッチングトランジスタをダイボンドする構成が知られている（特許文献２、図１、図２）。

【０００８】

特許文献３の図１及び図２には、縦型パワーＭＯＳＦＥＴをディスクリートで作製している構成が開示されている。

【０００９】

特許文献４には、パワーＭＯＳＦＥＴと制御ＩＣを同一パッケージに封止し、パワーＭＯＳＦＥＴが搭載されたアイランドをパッケージ外に露出させ放熱効率を上げている。

【特許文献１】ＵＳ特許　５，０２３，６７８、ＦＩＧ．５

【特許文献２】実開昭６３－１９７３５８号公報、第１図、第２図、第５図

【特許文献３】ＵＳ特許４，３７６，２８６、Ｆｉｇ．１、Ｆｉｇ．２

【特許文献４】特開平１－２８２８４６　第１図

【非特許文献１】ＩＥＥＥ　ＴＲＡＮＳＡＣＴＩＯＮＳ　ＯＮ　ＥＬＥＣＴＲＯＮ　ＤＥＶＩＣＥＳ，　ＶＯＬ．３８，　ＮＯ．７，ＪＵＬＹ　１９９１：ページ１５７７、Ｆｉｇ．１

【非特許文献２】ＣＱ出版社　トランジスタ技術スペシャルＮｏ．２８　最新・電源回路設計技術のすべて　ｐ１０６　図８、１９９１年７月１日発行

【発明の開示】

【発明が解決しようとする課題】

【００１０】

特許文献１に開示された構成では、制御ＩＣは低耐圧プロセスであって微細なプロセスの方がチップサイズを縮小して低コストにできる。一方、スイッチングトランジスタはデザインルールの大きい高耐圧プロセスが必要となる。この２つのデバイスを同一チップ上に形成するためには、双方のデバイスの性能を作り込むプロセスが必要で、プロセスコストが非常に高価となる。マスク枚数は、例えば、個別に作製すると、制御ＩＣマスク：１３枚、スイッチングトランジスタマスク：９枚で済むが、同一チップ上に作製しようとすると、マスク：１７枚が必要となり、チップ全面積をこのマスク枚数で作製しなければならず、コスト高につながるのは明らかであるという問題が生じる。

【００１１】

非特許文献２に開示された構成では、制御ＩＣ、スイッチングトランジスタをそれぞれにモールド・アセンブリするため、高コストとなり、また小型化もできないという問題が生じる。

【００１２】

また、制御ＩＣとスイッチングトランジスタとの間の配線が長く、この配線のインダクタ成分の働きにより、制御ＩＣが生成するスイッチングトランジスタ駆動信号波形になまりを生じ、その結果スイッチングトランジスタが設計通りに動作せず、電源回路全体の変換効率が低下するという問題が生じる。

【００１３】
さらに、制御ＩＣとスイッチングトランジスタとの間の配線が長く、他の回路からのノイズの影響を受けやすく、制御ＩＣが生成するスイッチングトランジスタ駆動信号波形に乱れを生じさせ、その結果、スイッチングトランジスタが設計通りに動作せず、電源回路全体の変換効率が低下するという問題が生じる。
【００１４】
制御ＩＣとスイッチングトランジスタとの間の配線が長く、この配線とＧＮＤ間容量の働きにより、制御ＩＣがスイッチングトランジスタ駆動信号を生成する際、配線とＧＮＤ間容量の充放電のための電流も同時に供給しなければならず、制御ＩＣから見たドライブ能力が必要となり、その分制御ＩＣの消費電力が増加し、チップサイズも大きくなるという問題が生じる。
【００１５】
特許文献２の図５に開示された構成では、絶縁シートが高価であり、また、制御ＩＣチップが絶縁シートを介して１００Ｖ以上の電圧振幅を持つリードフレームと容量結合するため、制御ＩＣの回路が誤動作を起こす可能性があるという問題が生じる。
【００１６】
また、特許文献４の図１に示された構成では、大容量電源でスイッチングトランジスタの放熱対策が必要な場合、スイッチングトランジスタが搭載されているアイランドのみをパッケージ裏面から露出させて外部放熱板に接続する必要があり、フレーム構造が極めて複雑となり、コストも高くなる。またこのときの露出部はドレイン端子であるためＡＣ電源システムにおいては、数百Ｖの高い電位が広い面積で露出することとなり危険である。さらに放熱板の露出出来る方向が限られる。
【００１７】
本発明の目的は、パッケージサイズを縮小することにより、小型化及び低コスト化が可能であり、放熱性に優れる出力制御装置を提供することにある。
【課題を解決するための手段】
【００１８】
本発明の出力制御装置は、上記課題を解決するために、オン・オフの時間比率が制御されることによって出力電圧又は出力電流を制御するために形成されたスイッチングトランジスタチップと、前記スイッチングトランジスタチップによって制御された出力電圧又は出力電流に基づいて、前記スイッチングトランジスタチップのオン・オフの時間比率を制御するために形成された制御ＩＣチップと、前記スイッチングトランジスタチップと前記制御ＩＣチップとを収納したパッケージとを備えた出力制御装置において、前記スイッチングトランジスタチップを横型パワーＭＯＳＦＥＴによって構成し、前記スイッチングトランジスタチップと前記制御ＩＣチップとを同一アイランドの表面に搭載し、前記同一アイランドの一部を前記パッケージの外に露出させたことを特徴とする。
【００１９】
この特徴によれば、スイッチングトランジスタと制御ＩＣとを別チップで構成しているので、１チップ構成に比較して、プロセスコストを低減することができる。また、スイッチングトランジスタと制御ＩＣとを１パッケージで構成している。よって、２パッケージ構成に比べてパッケージのサイズを縮小出来、パッケージコストを低減出来るので、出力制御装置の、小型化及び低コスト化が可能である。
【００２０】
また、前記スイッチングトランジスタとして裏面がソース（ＧＮＤ）であるという特徴を有する横型パワーＭＯＳＦＥＴを用いており、裏面がＧＮＤである、前記制御ＩＣチップと前記スイッチングトランジスタチップとを、ＧＮＤ電位である前記同一アイランドの表面に搭載することが出来るので、アイランドをチップ毎に設ける必要が無くなる。さらに、前記制御ＩＣチップと前記スイッチングトランジスタチップとを前記同一アイランド上に搭載しているため、アイランドが分離している場合と比較し、チップ端とアイランド端との間に設ける必要がある０．１ｍｍ～０．２ｍｍの距離もそれぞれ不要となり、小型

化が可能となる。

【００２１】

その上、上記特徴によれば、パワーＭＯＳＦＥＴの発熱が大きい時、前記同一アイランドを延長させ、前記同一アイランドの一部を放熱板として前記パッケージの外に露出させることにより放熱効率を向上させることができる。この時、前記スイッチングトランジスタチップと前記制御ＩＣチップとは共通の前記同一アイランドに搭載されているため、形状の制約がより少なくなる。

【００２２】

また、裏面がドレインである、縦型パワーＭＯＳＦＥＴによって構成されたスイッチングトランジスタを搭載したアイランドを露出させた場合、露出させた部分の電位が数百Ｖとなり危険であるが、前記スイッチングトランジスタは、裏面がソースである横型パワーＭＯＳＦＥＴによって構成されている。従って、前記同一アイランドの電位がＧＮＤ電位となるので、前記同一アイランドの一部を前記パッケージの外へ露出させた際の安全性がより高くなる。

【００２３】

さらに、前記同一アイランドの一部を、放熱板として前記パッケージの外部へ露出することにより、パワーＭＯＳＦＥＴの放熱がより容易となるため、パワーＭＯＳＦＥＴの発熱と共に上昇してしまう、動作時のドレイン－ソース間抵抗（Ｒｏｎ）の抵抗値の増加が少なくてすむ。このため、上記パワーＭＯＳＦＥＴの製造の際に、ウェルの不純物濃度を低くし、前記ドレイン－ソース間抵抗Ｒｏｎの大きい条件で製造可能となり、パワーＭＯＳＦＥＴの低コスト化につながる。

【００２４】

また、本発明の出力制御装置は、上記課題を解決するために、オン・オフの時間比率が制御されることによって出力電圧又は出力電流を制御するために形成されたスイッチングトランジスタチップと、前記スイッチングトランジスタチップによって制御された出力電圧又は出力電流に基づいて、前記スイッチングトランジスタチップのオン・オフの時間比率を制御するために形成された制御ＩＣチップと、前記スイッチングトランジスタチップと前記制御ＩＣチップとを収納したパッケージとを備えた出力制御装置において、前記スイッチングトランジスタチップを横型パワーＭＯＳＦＥＴによって構成し、前記スイッチングトランジスタチップと前記制御ＩＣチップとを同一アイランドの表面に搭載し、前記同一アイランドの裏面を、前記パッケージから露出させたことを特徴とする。

【００２５】

この特徴によれば、スイッチングトランジスタと制御ＩＣとを別チップで構成しているので、１チップ構成に比較して、プロセスコストを低減することができる。また、スイッチングトランジスタと制御ＩＣとを１パッケージで構成している。よって、２パッケージ構成に比べてパッケージのサイズを縮小出来、パッケージコストを低減出来るので、出力制御装置の、小型化及び低コスト化が可能である。

【００２６】

また、前記スイッチングトランジスタとして裏面がソース（ＧＮＤ）であるという特徴を有する横型パワーＭＯＳＦＥＴを用いており、裏面がＧＮＤである、前記制御ＩＣチップと前記スイッチングトランジスタチップとを、ＧＮＤ電位である前記同一アイランド上に搭載することが出来るので、アイランドをチップ毎に設ける必要が無くなり、低コスト化が可能である。さらに、前記制御ＩＣチップと前記スイッチングトランジスタチップとを前記同一アイランド上に搭載しているため、アイランドが分離している場合と比較し、チップ端とアイランド端との間に設ける必要がある０．１ｍｍ～０．２ｍｍの距離もそれぞれ不要となり、小型化が可能となる。

【００２７】

その上、上記特徴によれば、前記スイッチングトランジスタは、裏面がソースである横型パワーＭＯＳＦＥＴによって構成されている。従って、前記同一アイランドの電位がＧＮＤ電位となるので、前記パッケージから露出させた前記同一アイランドの裏面を、回路

基板のベタＧＮＤパターンへ接続することにより、さらに放熱効果を高めることができる。また、前記同一アイランドの裏面を金属の放熱板に接続しても安全である。

【発明の効果】

【００２８】

本発明に係る出力制御装置は、以上のように、スイッチングトランジスタチップを横型パワーＭＯＳＦＥＴによって構成し、前記スイッチングトランジスタチップと制御ＩＣチップとを同一アイランドにの表面に搭載し、前記同一アイランドの一部をパッケージの外に露出させたものである。

【００２９】

また、本発明に係る他の出力制御装置は、以上のように、スイッチングトランジスタチップを横型パワーＭＯＳＦＥＴによって構成し、前記スイッチングトランジスタチップと制御ＩＣチップとを同一アイランドにの表面に搭載し、前記同一アイランドの一部を、前記同一アイランドの裏面を、前記パッケージから露出させたものである。

【００３０】

それゆえ、パッケージサイズを縮小することにより、小型化及び低コスト化が可能であり、放熱性に優れる出力制御装置を提供するという効果を奏する。

【発明を実施するための最良の形態】

【００３１】

本発明の一実施形態について図１ないし図５に基づいて説明すると以下の通りである。

【００３２】

図１は、実施の形態１に係るＡＣ／ＤＣ電源２の構成を示す回路図である。ＡＣ／ＤＣ電源２は、ＡＣ電源からＤＣ５Ｖなどの電子機器への充電を行うＡＣアダプター等に使用される。ＡＣ／ＤＣ電源２の方式の特徴は、制御ＩＣチップ４を用いて出力電圧を一定に保つようにしていることである。トランス１１を境に１次側（高圧）と２次側（低圧）に分かれる。

【００３３】

ＡＣ／ＤＣ電源２は、ダイオードブリッジ１０を備えている。ダイオードブリッジ１０は、ＡＣ電源入力端子９に入力された１００Ｖ～２４０Ｖの交流電圧を整流して１次回路側の出力電圧（ＤＣ１４０Ｖ～ＤＣ３４０Ｖ）としてトランス１１に供給する。トランス１１は、１次側回路の出力を、２次側回路の出力電圧（５Ｖ、１２Ｖ等）に変換してＤＣ出力端子１２から出力する。

【００３４】

ＡＣ／ＤＣ電源２には、出力制御装置１が設けられている。出力制御装置１には、オン・オフの時間比率が制御されることによって出力電圧を制御するスイッチングトランジスタチップ３が設けられている。ＡＣ／ＤＣ電源２には、出力制御装置１によって制御された出力電圧に基づいて、フィードバック信号を生成するフィードバック回路１３が設けられている。出力制御装置１は、フィードバック回路１３からのフィードバック信号に基づいて、スイッチングトランジスタチップ３のオン・オフの時間比率を制御する制御ＩＣチップ４を有している。実施の形態１及び実施の形態２は、図１に示す制御ＩＣチップ４とスイッチングトランジスタチップ３との１パッケージ化に関している。

【００３５】

図２（ａ）は、ＡＣ／ＤＣ電源２の出力制御装置１に設けられた横型パワーＭＯＳＦＥＴ１４の構成を示す断面図であり、図２（ｂ）は、縦型パワーＭＯＳＦＥＴ１５の構成を示す断面図である。スイッチングトランジスタチップ３は、横型パワーＭＯＳＦＥＴ１４によって構成されている。

【００３６】

ここで、横型パワーＭＯＳＦＥＴとは、電流がチップの表面とほぼ平行に流れるパワーＭＯＳＦＥＴをいい、縦型パワーＭＯＳＦＥＴは、電流がチップの厚さ方向に流れ、一般にドレインをチップ裏面から取り出すパワーＭＯＳＦＥＴとして定義される。本実施の形態においては、アイランドが接地電位（ＧＮＤ電位）であるため、縦型パワーＭＯＳＦＥ

Ｔは採用できない。

【００３７】

一般に、中高耐圧（ドレイン－ソース間電圧２００Ｖ以上）には低ＯＮ抵抗化に適した縦型パワーＭＯＳＦＥＴが用いられる。ただし、電子機器に使われるような小電力のＡＣアダプター（例えば、５Ｗ程度）等の用途において、横型パワーＭＯＳＥＴの方がチップを小型化出来る。この理由としては、横型パワーＭＯＳＦＥＴ（横型の小電力素子）では扱う電流が小さい為に、ＯＮ抵抗が大きくても電圧降下が小さくて済むという点があり、逆に同じ条件で使われる縦型パワーＭＯＳＦＥＴの場合は耐圧を確保する為に、サイズを大きくする必要があるという問題点がある。

【００３８】

このように構成されたＡＣ／ＤＣ電源２においては、ＡＣ１００Ｖ～ＡＣ２４０ＶがＡＣ電源入力端子９に入力されると、ダイオードブリッジ１０にて交流を整流する。そして、スイッチングトランジスタチップ３により、トランス１１に流れる電流をＯＮ、ＯＦＦし、トランス１１を介して高電圧が低電圧に変換される。次に、フィードバック回路１３は、ＤＣ出力端子１２から出力されるＤＣ出力電圧を監視し、その情報を表わすフィードバック信号を制御ＩＣチップ４に伝える。

【００３９】

制御ＩＣチップ４は、出力電圧に対応したフィードバック信号を受けて、所望の電圧よりも出力電圧が高い場合は、スイッチングトランジスタチップ３のオフ時間の比率を上げトランス１１に流れる電流を少なくし、出力電圧が所望の電圧よりも低い場合はオン時間の比率を上げ電流を多くする。この制御により出力電圧を一定に保つ。

【００４０】

図３（ａ）は、図１の出力制御装置１の構成を示す平面図であり、図３（ｂ）は、図３（ａ）に示す面ＡＡに沿った断面図である。図４（ａ）は、出力制御装置１ａに設けられたスイッチングトランジスタチップ３を構成する横型パワーＭＯＳＦＥＴ１４の構成を示す断面図であり、図４（ｂ）は、縦型パワーＭＯＳＦＥＴ１５の構成を示す断面図である。

【００４１】

出力制御装置１は、パッケージ５を備えている。パッケージ５には、板状のアイランド６が設けられている。アイランド６の一部は、アイランド露出部１６及びアイランド露出部１７としてパッケージ５の外に露出している。アイランド露出部１６及びアイランド露出部１７は、放熱板として用いることが出来る。アイランド６の上には、スイッチングトランジスタチップ３と制御ＩＣチップ４とが距離ｄｃの間隔を空けて設けられている。スイッチングトランジスタチップ３は、横型パワーＭＯＳＦＥＴ１４によって構成されている。

【００４２】

パッケージ５には、リード端子７ａ・７ｂ・７ｃ・７ｄが設けられており、これらのリード端子７ａ・７ｂ・７ｃ・７ｄは、制御ＩＣチップ４にワイヤボンディングされている。リード端子７ｄは、制御ＩＣチップ４のグランド用リード端子である。パッケージ５には、さらにリード端子７ｅ・７ｆ・７ｇ・７ｈが設けられており、リード端子７ｆ・７ｈは、スイッチングトランジスタチップ３にワイヤボンディングされている。リード端子７ｈは、スイッチングトランジスタチップ３のグランド用リード端子である。リード端子７ｅ・７ｇはダミー（ＮＣ）ピンであり、アイランド６に接続して放熱用に用いることにより、さらに放熱に優れた構成を得ることができる。

【００４３】

図２（ｂ）に示す縦型パワーＭＯＳＦＥＴ１５を用いた従来のスイッチングトランジスタチップは、裏面がドレイン電極のため、該ドレイン電極の電位が０～７００Ｖの範囲で変動する。このため容易に制御ＩＣチップ（裏面ＧＮＤ）と同一アイランドにの表面に搭載することが出来ない。

【００４４】

本実施の形態で用いる図２（ａ）の横型パワーＭＯＳＦＥＴ１４を用いたスイッチングトランジスタチップ３では裏面がソースと同電位のためＧＮＤにすることができ、制御ＩＣチップ４と同一のアイランドの表面に搭載できる。

【００４５】

このように、横型パワーＭＯＳＦＥＴチップの裏面はソース（ＧＮＤ接地）であり、制御ＩＣチップの裏面と同電位のため、絶縁シートやアイランドの特別な加工なしに同一アイランドの表面に搭載でき、低コストにできる。

【００４６】

図４（ａ）は、パワーＭＯＳＦＥＴと制御ＩＣとを表面に搭載したアイランドの一部をパッケージ外に露出させた出力制御装置の平面図であり、図４（ｂ）は、アイランドとリード端子とを一体化してパッケージ外に露出させた出力制御装置の平面図であり、図６（ｃ）は、アイランドの裏面をパッケージから露出させた出力制御装置の正面図である。

【００４７】

図４（ａ）において、出力制御装置１ａは、モールドパッケージ１８を備えている。モールドパッケージ１８は、長方形状をした板状の、共通アイランド１９が設けられている。共通アイランド１９は、その一部がアイランド露出部２０としてモールドパッケージ１８の外に露出している。

【００４８】

共通アイランド１９の上には、制御ＩＣチップ２１及びスイッチングパワーＭＯＳＦＥＴチップ２２が設けられている。スイッチングパワーＭＯＳＦＥＴチップ２２は、横型パワーＭＯＳＦＥＴ１４によって構成されている。制御ＩＣチップ２１とスイッチングパワーＭＯＳＦＥＴチップ２２とは、チップ間距離２３の間隔を空けて設けられており、モールドパッケージ１８には、複数のリード端子２４が設けられている。

【００４９】

パワーＭＯＳＦＥＴの発熱が大きい時、図４（ａ）に示すように、共通アイランド１９を延長させ、アイランド露出部２０を放熱板としてモールドパッケージ１８の外に露出させることにより放熱効率を向上させることができる。この時、スイッチングパワーＭＯＳＦＥＴチップ２２及び制御ＩＣチップ２１は共通アイランド１９の表面に搭載されているため、形状の制約がより少なくなり、また露出部分の電位もＧＮＤ電位となるので安全性がより高くなる。

【００５０】

同様の目的で、図４（ｂ）に示す出力制御装置１ｂのように、共通アイランド２５の一部をリード端子と共通化し、アイランド露出部２６としてモールドパッケージ１８の外に露出させることも可能である。さらに図４（ｃ）に示す出力制御装置１ｃのように、共通アイランド２７を、モールドパッケージ２８の裏面２９において露出させることも可能である。

【００５１】

モールドパッケージ２８の裏面２９において露出させた共通アイランド２７は、放熱板として機能する。共通アイランド２７は、パワーＭＯＳＦＥＴを搭載している導体であるため、放熱の効率が良い。また、共通アイランド２７は、パワーＭＯＳＦＥＴのソースと接続されており、電位がＧＮＤ電位であるため安全性が高い。一般に裏面がドレイン端子である縦型ＭＯＳＦＥＴを搭載したアイランドでは、ドレイン端子の電位が数百Ｖとなり、これを露出することは危険である。

【００５２】

なお、上述したように、露出させた共通アイランド２７の電位はＧＮＤであるため、回路基板のベタＧＮＤパターンへ接続することにより、さらに放熱効果を高めることができる。また、共通アイランド２７の裏面を金属の放熱板に接続しても安全である。

【００５３】

また、図４（ａ）及び図４（ｂ）に示した出力制御装置では、パッケージ外部へアイランドの一部を露出しており、図４（ｃ）に示した出力制御装置では、アイランドの裏面を

パッケージから露出している。これにより、パワーＭＯＳＦＥＴの放熱がより容易となるため、該パワーＭＯＳＦＥＴの発熱と共に上昇してしまう、動作時のドレイン－ソース間抵抗（Ｒｏｎ）の抵抗値の増加が少なくてすむ。このため、上記パワーＭＯＳＦＥＴの製造の際に、ウェルの不純物濃度を低くし、前記ドレイン－ソース間抵抗Ｒｏｎの大きい条件で製造可能となり、パワーＭＯＳＦＥＴの低コスト化につながる。なお、端子の金属に接している部分は、前記金属との抵抗を下げるために不純物の濃度が高い。

【００５４】

〔参考例〕

図５（ａ）は、縦型スイッチングＭＯＳＦＥＴと制御ＩＣとをそれぞれのアイランドに搭載した場合の出力制御装置の平面図であり、図５（ｂ）は、横型スイッチングＭＯＳＦＥＴと制御ＩＣとを共通アイランドに搭載した場合の出力制御装置の平面図である。

【００５５】

図５（ａ）において、出力制御装置３０ａは、モールドパッケージ３１を備えている。モールドパッケージ３１には、長方形状をした板状の、制御ＩＣアイランド３２及びスイッチングパワーＭＯＳＦＥＴアイランド３３が設けられている。制御ＩＣアイランド３２とスイッチングパワーＭＯＳＦＥＴアイランド３３とは、アイランド間距離３４の間隔を空けて設けられている。

【００５６】

制御ＩＣアイランド３２の上には、制御ＩＣチップ３５が設けられており、スイッチングパワーＭＯＳＦＥＴアイランド３３の上には、スイッチングパワーＭＯＳＦＥＴチップ３６が設けられている。スイッチングパワーＭＯＳＦＥＴチップ３６は、縦型パワーＭＯＳＦＥＴ１５によって構成されている。

【００５７】

制御ＩＣチップ３５の一端と制御ＩＣアイランド３２の一端との間には、チップ端－アイランド端距離３７の間隔が空けられている。同様に、スイッチングパワーＭＯＳＦＥＴチップ３６の一端とスイッチングパワーＭＯＳＦＥＴアイランド３３の一端との間には、チップ端－アイランド端距離３８の間隔が空けられている。そして、モールドパッケージ３１には、複数のリード端子３９が設けられている。

【００５８】

なお、図５（ａ）において、チップ端－アイランド端距離３７、３８は、それぞれ０．１ｍｍから０．２ｍｍの範囲内にある。さらに、チップ端－アイランド端距離３７、３８及びアイランド間距離３４は、全て同一の距離としても良いし、３つの距離を異なるように構成しても良い。

【００５９】

次に、図５（ｂ）において、出力制御装置３０ｂは、モールドパッケージ４０を備えている。モールドパッケージ４０は、長方形状をした板状の、共通アイランド４１が設けられている。

【００６０】

共通アイランド４１の上には、制御ＩＣチップ３５及びスイッチングパワーＭＯＳＦＥＴチップ４２が設けられている。スイッチングパワーＭＯＳＦＥＴチップ４２は、横型パワーＭＯＳＦＥＴ１４によって構成されている。そして、制御ＩＣチップ３５とスイッチングパワーＭＯＳＦＥＴチップ４２とは、チップ間距離４３の間隔を空けて設けられており、モールドパッケージ４０には、複数のリード端子４４が設けられている。

【００６１】

図５（ａ）に示すように、パワーＭＯＳＦＥＴと制御ＩＣとのアイランドが異なる場合、それぞれのチップ端とアイランド端との間に０．１ｍｍから０．２ｍｍの距離が必要である。

【００６２】

これに対して、図５（ｂ）に示すように、スイッチングパワーＭＯＳＦＥＴチップ４２の裏面と制御ＩＣチップ３５の裏面とが同電位であり、スイッチングパワーＭＯＳＦＥＴ

チップ４２及び制御ＩＣチップ３５を共通アイランド４１の表面に搭載可能な場合には、先に示した距離がチップ間距離４３だけで良い。従って、モールドパッケージ３１よりサイズが縮小されたモールドパッケージ４０を備えることにより、出力制御装置３０ａより小型化された出力制御装置３０ｂを提供出来る。また、アイランドが共通アイランド４１のみで良いので、チップ毎にアイランドを設ける必要が無くなる。

【００６３】

また、２パッケージ構成に比べてパッケージのサイズを縮小出来、パッケージコストを低減出来るので、出力制御装置の、小型化及び低コスト化が可能である。

【００６４】

さらに、出来るだけ微細化したプロセスで製造することが好ましい制御ＩＣチップと、デザインルールが大きいスイッチングパワーＭＯＳＦＥＴとを、それぞれ最適なプロセスを用いて作成できるため、ワンチップで作成した場合と比較してプロセスコストを低減出来る。

【００６５】

制御ＩＣチップとスイッチングトランジスタチップとを２チップ構成にすることにより、開発期間が短縮されるという効果が得られる。制御ＩＣチップとスイッチングトランジスタチップとを個別に開発できるので、仕様変更のある場合、その変更があるチップのみの対応で済み、変更のない側のチップは対応の必要がなくなるからである。

【００６６】

また、開発期間短縮による開発コスト低減の効果も得られる。またそれ以外に次のような開発コスト低減効果も得られる。１チップ構成の場合、制御ＩＣチップとスイッチングトランジスタチップとのいずれか一方で仕様変更が必要になった場合でも、例えばマスク１７枚の変更が必要となる。これに対し、２チップ構成の場合は変更が生じた側のチップのマスク変更だけで済み、例えば制御ＩＣチップであれば１３枚、スイッチングトランジスタチップであれば９枚の変更となる。プロセスコストは、マスク枚数にほぼ比例するので、マスク変更にかかる費用が、例えば、約３７％減少する。

【００６７】

また、負荷の種類に対応するラインナップの開発期間が短くなる。すなわち、２チップ構成の場合は、負荷の種類が変わった場合、ほとんどはスイッチングトランジスタの交換のみで対応できる。このため、スイッチングトランジスタのみの開発で多くの負荷の種類に対応するラインナップをそろえることができ、開発期間が短くて済むという効果を奏する。

【００６８】

なお、本実施の形態における共通アイランド１９、２５は、パッケージからはみ出す程度の広さであるが、本発明は、これに限定されない。レギュレータ及びパワーＭＯＳＦＥＴ等のパワーデバイスにおいて、アイランドの面積がパッケージの面積よりも広くなってもよく、パッケージの面積とほぼ同じ面積の放熱板を備えていてもよい。

【産業上の利用可能性】

【００６９】

本発明の出力制御装置は、パッケージサイズを縮小することができ、低コスト化が可能であり、放熱性に優れるので、ＡＣ／ＤＣ電源、ＬＥＤバックライト回路またはＬＥＤを負荷とする回路、及びスイッチング型ＤＣ／ＤＣコンバータに好適に用いることが出来る。

【図面の簡単な説明】

【００７０】

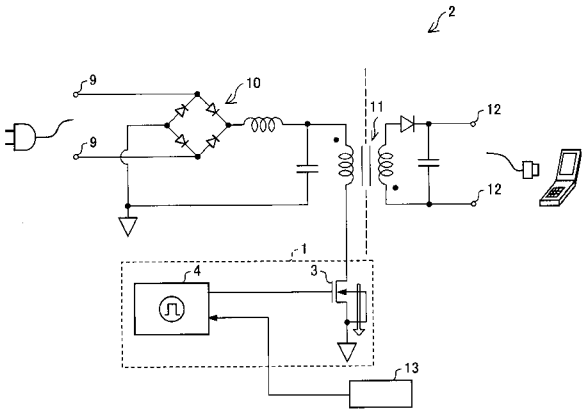
【図１】実施の形態１に係るＡＣ／ＤＣ電源の構成を示す回路図である。

【図２】（ａ）は、上記ＡＣ／ＤＣ電源の出力制御装置に設けられたスイッチングトランジスタチップを構成する横型パワーＭＯＳＦＥＴの構成を示す断面図であり、（ｂ）は、縦型パワーＭＯＳＦＥＴの構成を示す断面図である。

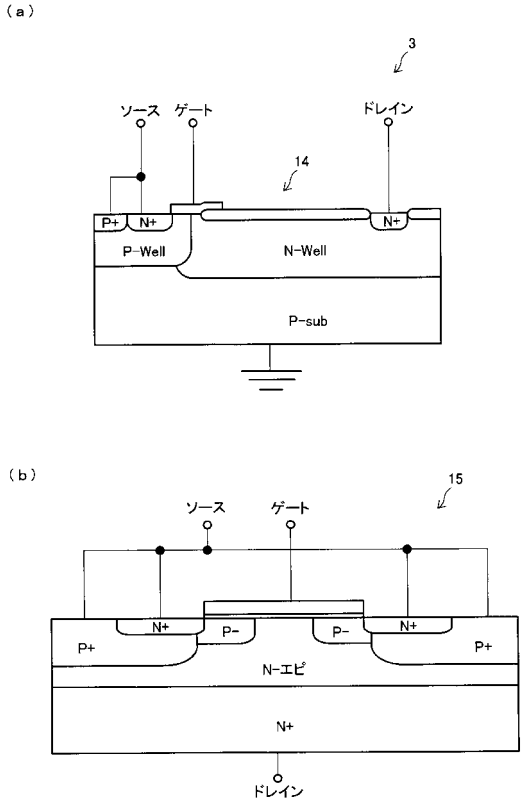
【図３】（ａ）は、図１の出力制御装置の構成を示す平面図であり、（ｂ）は、（ａ）に

示す面ＡＡに沿った断面図である。
【図４】（ａ）は、パワーＭＯＳＦＥＴと制御ＩＣとを表面に搭載したアイランドの一部をパッケージ外に露出させた出力制御装置の平面図であり、（ｂ）は、アイランドとリード端子とを一体化してパッケージ外に露出させた出力制御装置の平面図であり、（ｃ）は、アイランドの裏面をパッケージから露出させた出力制御装置の正面図である。
【図５】（ａ）は、縦型スイッチングＭＯＳＦＥＴと制御ＩＣとをそれぞれのアイランドに搭載した場合の出力制御装置の平面図であり、（ｂ）は、横型スイッチングＭＯＳＦＥＴと制御ＩＣとを共通アイランドに搭載した場合の出力制御装置の平面図である。
【符号の説明】
【００７１】
１、１ａ～１ｃ、３０ａ、３０ｂ　出力制御装置
２　ＡＣ／ＤＣ電源
３　スイッチングトランジスタチップ
４、２１、３５　制御ＩＣチップ
５　パッケージ
６　アイランド
７ａ～７ｈ　リード端子
９　ＡＣ電源入力端子
１０　ダイオードブリッジ
１１　トランス
１２　ＤＣ出力端子
１３　フィードバック回路
１４　横型パワーＭＯＳＦＥＴ
１５　縦型パワーＭＯＳＦＥＴ
１６、１７、２０、２６　アイランド露出部
１８、２８、３１、４０　モールドパッケージ
１９、２５、２７、４１　共通アイランド
２２、３６、４２　スイッチングパワーＭＯＳＦＥＴチップ
２３　チップ間距離
２４、３９、４４　リード端子
２９　裏面
３２　制御ＩＣアイランド
３３　スイッチングパワーＭＯＳＦＥＴアイランド
３４　アイランド間距離
３７、３８　チップ端－アイランド端距離
４３　チップ間距離
ｄｃ　距離

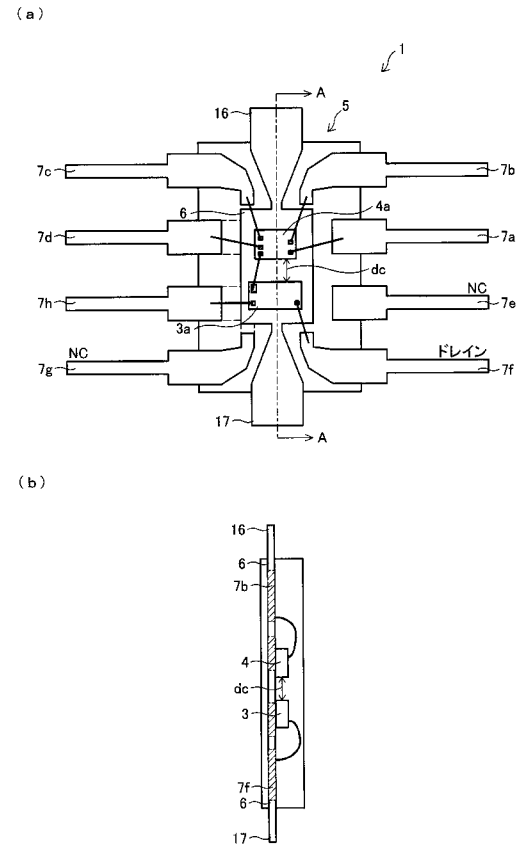
【図１】


2
9
10
11
12
9
12
1
4
3
13

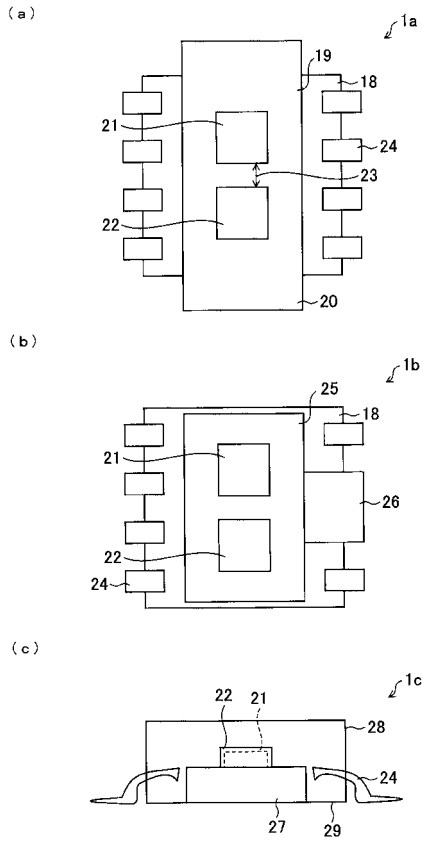
【図２】


(a)
3
ソース
ゲート
ドレイン
14
P+
N+
N+
P-Well
N-Well
P-sub
(b)
15
ソース
ゲート
N+
P-
P-
N+
P+
P+
N-エピ
N+
ドレイン

【図３】

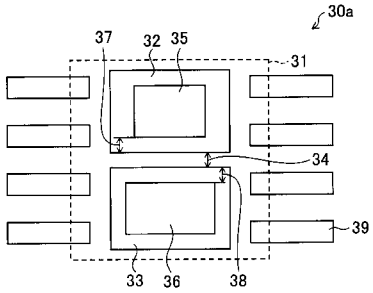

(a)
1
A
16
5
7c
7b
6
4a
7d
7a
dc
7h
NC
7e
3a
NC
ドレイン
7g
7f
17
A
(b)
16
6
7b
4
dc
3
7f
6
17

【図４】


(a)
1a
19
18
21
24
23
22
20
(b)
1b
25
18
21
26
22
24
(c)
1c
22
21
28
24
27
29

【図５】

(a)



(b)

