

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4416948号
(P4416948)

(45) 発行日 平成22年2月17日(2010.2.17)

(24) 登録日 平成21年12月4日(2009.12.4)

(51) Int.Cl.

F I

G O 1 R 19/00 (2006.01)

G O 1 R 19/00

A

請求項の数 10 (全 7 頁)

(21) 出願番号	特願2000-557154 (P2000-557154)	(73) 特許権者	508025725
(86) (22) 出願日	平成11年6月30日 (1999.6.30)		イートン エレクトリック リミテッド
(65) 公表番号	特表2002-519673 (P2002-519673A)		イギリス国 エム28 3イーティー マ
(43) 公表日	平成14年7月2日 (2002.7.2)		ンチェスター、ワースレイ、ワースレイ
(86) 国際出願番号	PCT/GB1999/002060		ロード ノース、ノルフォーク ストリー
(87) 国際公開番号	W02000/000834		ト、ピーオー ボックス 22
(87) 国際公開日	平成12年1月6日 (2000.1.6)	(74) 代理人	100105647
審査請求日	平成18年6月6日 (2006.6.6)		弁理士 小栗 昌平
(31) 優先権主張番号	9813982.7	(74) 代理人	100105474
(32) 優先日	平成10年6月30日 (1998.6.30)		弁理士 本多 弘徳
(33) 優先権主張国	英国 (GB)	(74) 代理人	100108589
			弁理士 市川 利光

最終頁に続く

(54) 【発明の名称】 残留電流検出装置

(57) 【特許請求の範囲】

【請求項 1】

位相線電流が負荷に対して流れ得るように且つ中立線電流が当該負荷から流れ得るように位相線および中立線のそれぞれに接続するための複数の抵抗性分流器を備えてなり、それぞれの検出器手段が各分流器に設けられ、前記それぞれの検出器手段の各々が各分流器用のアナログ/デジタル変換器を備え、前記アナログ/デジタル変換器からのデジタル信号を受け電流の不均衡が存在しているかどうかを判断するためのプロセッサをさらに備え、前記分流器を通して流れる電流間のあらゆる不均衡を検出することができることを特徴とする残留電流検出装置。

【請求項 2】

各分流器が、端部に導電性部およびこの導電性部を相互に接続する抵抗部を有する複合帯片の形を取っていることを特徴とする請求項 1 に記載の残留電流検出装置。

【請求項 3】

各分流器用の前記アナログ/デジタル変換器が、低い周波数でマルチビットデジタルデータストリームに除去フィルタ処理によって変換される高い周波数の単一デジタルデータストリームを発生するデルタ-シグマ変調器を有していることを特徴とする請求項 1 または 2 に記載の残留電流検出装置。

【請求項 4】

各アナログ/デジタル変換器が、前記抵抗性分流器の対応する 1 つに取り付けられた集積回路の形であることを特徴とする請求項 1 , 2 または 3 に記載の残留電流検出装置。

10

20

【請求項 5】

各集積回路が、前記抵抗性分流器の対応する 1 つに設けられた 2 つの銅端部にリード線によって接続されたアナログ入力端子を有していることを特徴とする請求項 4 に記載の残留電流検出装置。

【請求項 6】

従来の回路遮断器および / または電力消費計としての付加的機能を実行するように動作することを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の残留電流検出装置。

【請求項 7】

前記位相線と前記中立線とを結合し、残留電流検出装置に独立の基準を与える抵抗器チェーンを更に備えてなることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の残留電流検出装置。

10

【請求項 8】

前記抵抗器チェーンが、一对の外付け抵抗器および中間抵抗器を備えてなり、前記一对の外付け抵抗器が前記中間抵抗器より低いオーム値を有していることを特徴とする請求項 7 に記載の残留電流検出装置。

【請求項 9】

前記検出器手段が各分流器用のアナログ / デジタル変換器を備えてなり、
当該装置には前記アナログ / デジタル変換器からのデジタル信号を受け電流の不均衡が存在しているかどうかを判断するためのプロセッサが設けられており、

20

当該装置には前記位相線と前記中立線とを結合し当該装置に独立の基準を与える抵抗器チェーンが設けられており、前記抵抗器チェーンが一对の外付け抵抗器および中間抵抗器を備えてなり、前記一对の外付け抵抗器が前記中間抵抗器より低いオーム値を有しており、それによって前記位相線および中立線のうちの one が前記独立の基準として採用され、

前記プロセッサが前記抵抗器チェーンからの電圧信号を受けて動作し前記中立線に対して前記位相線の各々をキャリブレートするソフトウェアを備えてなることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の残留電流検出装置。

【請求項 10】

多相システムの各位相線と前記中立線とを結合するそれぞれの抵抗器チェーンを備えてなることを特徴とする請求項 7 ないし 9 のいずれか 1 項に記載の残留電流検出装置。

【発明の詳細な説明】

30

【0001】

(技術分野)

本発明は、回路遮断器において使用される残留電流補正装置に関する。

【0002】

(背景技術)

従来、残留電流は、戻り電流が電流漏洩のため外方に向かって流れている電流と異なる場合に、出力電流信号が変流器の二次巻線に誘起されるように、単相装置の場合において、負荷電流が対向方向に流れる一次巻線を有する変流器を利用して検出される。多相装置の場合には、変流器の一次巻線は、位相線および中立線のすべてに接続される。通常の状態においては、電流漏洩がないとき、二次巻線に誘起される正味の電流はゼロであり、それゆえ出力は検出されない。

40

【0003】

一次巻線に流れている電流が実質上正弦波であるときかなりの精度が得られることを可能にする、高性能の材料が変流器のコア用が開発された。しかしながら、スイッチモード電源がしばしばコンピュータおよび他の設備に使用され、かかる設備は電流の直流オフセットを発生するような傾向が増大している。このような展開は、変流器を利用している検出器の信頼性を低め、かつ疑似トリップを発生しまたは直流電流漏洩を検出し損う傾向がある。

【0004】

これは、変流器の二次巻線が実際にアクチュエータを駆動する、直接動作の電気機械的装

50

置の場合に特別な問題である。その状況は、二次巻線に接続された電子検出および増幅手段を有するとき、高周波遷移および直流オフセットによる問題が更にあるため、あまり改善されない。非常に小さな直流電流レベルがコアを飽和させる可能性があり、それにより電流漏洩を検出するための検出器の能力を大きく損う。

【 0 0 0 5 】

本発明の目的は、上述した問題が簡単かつ有効な方法で実質的に克服されるような残留電流検出装置を提供することにある。

【 0 0 0 6 】

(発明の開示)

本発明によれば、電流が負荷に対して流れ得るように複数のラインのそれぞれに接続するための複数の抵抗性分流器と、前記分流器を通して流れる電流間のあらゆる不均衡を検出するために前記分流器の各々を横切って発生された電圧を感知するための検出器手段とを備えてなる残留電流検出装置が提供される。

10

【 0 0 0 7 】

好ましくは、前記検出器手段が、各分流器用のアナログ / デジタル変換器と、前記変換器からのデジタル信号を受けかつ電流の不均衡が存在しているかどうかを判断するためのプロセッサとを有している。

【 0 0 0 8 】

各分流器は、好ましくは、端部に導電性部およびこの導電性部を相互に接続する抵抗部を有する複合帯片の形を取っている。かかる複合帯片は、これらをこの目的に極めて適したものとするような非常に高い許容誤差に対して安価に大量生産され得る。

20

【 0 0 0 9 】

各分流器用の前記アナログ / デジタル変換器は、低い周波数でマルチビットデジタルデータストリームに除去フィルタ処理によって変換される高い周波数の単一デジタルデータストリームを発生するデルタ - シグマ変調器を含むこともできる。

【 0 0 1 0 】

各分流器用の前記アナログ / デジタル変換器は、好ましくは、該変換器が使用する分流器の電圧レベルで浮動し得るように絶縁バリヤを介してプロセッサに接続される。除去 (デシメーション) フィルタ処理は変換器内で完全に行われるか、プロセッサ内で完全に行われるか、または変換器とプロセッサとの間で分割され得る。

30

【 0 0 1 1 】

(発明を実施するための最良の形態)

図 1 に示された装置において、基板 1 0 は 2 枚の複合導体帯片 1 1 , 1 2 を支持している。これらの各々は、銅からなる端部 1 3 およびマンガン等の抵抗性材料からなる中間部 1 4 を有している。前記帯片は、マンガン部分の対向する側への銅部分の電子ビーム溶接によって形成されたサンドイッチをスライスすることによって形成される。この方法によって製造された抵抗性部によって形成された分流器は、5 % 未満の許容誤差に対して 0 . 2 m Ω の公称抵抗を有している。1 つの装置に使用される 2 つの分流器 1 4 がサンドイッチ原料の隣接する部分からプレスされるならば、それらは 2 % 以内に整合される。2 つの異なる温度でのユニットに組み込まれた分流器のキャリブレーションは、実質的に分流器の誤差を除去することができる。

40

【 0 0 1 2 】

図 1 に示された例においては、分流器 1 4 の各々に取り付けられかつ関連する導体帯片の銅端部 1 3 に接続された別個の信号前処理 A S I C 1 5 がある。2 つの A S I C 1 5 は、絶縁変圧器アレー 1 6 を介してメインプロセッサ 1 7 に接続されている。A S I C 1 5 は、分流器を横切る 2 つの電圧を絶縁変圧器アレーを介してプロセッサ 1 7 に供給されるデジタル信号ストリームに変換するように動作する。メインプロセッサは、トリップアクチュエータ 1 8 に駆動信号を供給するようにプログラムされている。

【 0 0 1 3 】

センサの実際の好適な構造的構成は図 3 ないし図 5 に示されている。これらは 2 つの銅端

50

部に A S I C の 2 つのアナログ入力端子を接続するリード線 4 0 を示している。他のリード線は、A S I C 1 5 の他の端子をすべての他の外部接続をなすリードフレームに接続する。図 5 は、点線によって、カプセル材料からなるブロック 4 2 を示しており、図 4 は、A S I C が複合帯片 1 4 , 1 5 の中間部 1 4 に取り付けられる電気絶縁接着剤層 4 1 を示している。

【 0 0 1 4 】

図 2 は、3 相装置をより電氣的に詳細に示している。この場合、4 つの分流器 1 4、すなわち、各位相線の分流器および中立線の第 4 の分流器がある。図 1 の A S I C 1 5 は、4 つの別個のブロック 2 0 , 2 1 , 2 2 , および 2 3 として示されており、位相ラインから分流器 1 4 の主側に電力を引きかつプロセッサ 1 7 に制御された電圧を供給する電源ユニット 2 4 がある。電力は、アレー 1 6 を構成する絶縁バリヤ 2 5 を介して 4 つのブロック 2 0 ないし 2 3 に供給される。A S I C の各ブロックは、高周波 1 ビットデジタルデータストリームを供給するデルタ - シグマ変調器の形のアナログ / デジタル変換器を有している。マルチプレクサは、変換器がプロセッサに、それぞれの絶縁バリヤを介して、関連する分流器の電流およびその一端での電圧の両方を示す信号を供給することができるように、各変換器に含まれ得る。プロセッサは、各分流器の電流を監視しかつ不均衡が発生した場合にアクチュエータ 1 8 を動作させるのにこれらの信号を使用する。

【 0 0 1 5 】

A S I C への電圧感知接続が各位相線と中立線との間に接続された抵抗器チェーンを介してなされるということに留意されたい。かかる各抵抗器チェーンは、比較的低いオーム値の一对の精密抵抗器および比較的高いオーム値の中間抵抗器からなっている。これらの抵抗器チェーンは、R C D に独立の基準を備えさせる。中立の A D C が選択された装置基準として採用されるならば、メインプロセッサの動作ソフトウェアは、中立の基準に対して各位相をキャリブレートするように幾つかの抵抗器チェーンから引き出された多数の信号を使用することができる。

【 0 0 1 6 】

C P U は、不均衡の存在を判断するのに必要な計算を実行するようにプログラムされており、従来の装置が特に非正弦波電流波形の場合に正確に行い損うような残留電流の本当の R M S 値を決定することができる。C P U は、該 C P U が受けるデータから、特定のイベントが、事実上、従来の装置より信頼し得る許容できない漏洩であるかどうかを判断することができるようにプログラムされ得る。例えば、C P U は、漏洩電流しきい値を設定する際ユニットの履歴性能を考慮することができ、また認識可能な「サイン」を有するイベントを無視し得る。このようにして、厄介なトリッピングに対する改善された許容誤差が得られる。

【 0 0 1 7 】

高周波 1 ビットデータストリームの除去フィルタ処理は、各データストリームを所定のサンプル周波数でマルチビットデジタル信号に低減させるのに必要とされる。一例として、各電流信号は、主周波数の 6 4 倍のサンプルレートで 2 3 ビット信号であってもよいが、線形よりむしろ非線形変換が許容される際には、より低いサンプルレートでより低い解像度が採用され得る。除去フィルタ処理は代表的にはプロセッサの機能であり、4 つのデータストリームのフィルタ処理は、サンプル値が 4 つの分流器すべてに関して同時に引き出されるように同時に実行される。このような構成を採用している回路は、図 6 に示されている。

【 0 0 1 8 】

図 7 に示された代替の実施例においては、除去フィルタ処理の 1 またはそれ以上の段は、A S I C 内に含まれるハードウェアによって実行され得る。マルチビットデジタルワードは、1 ビット信号ストリームの代わりに絶縁バリヤを横切ってシリアルに伝送される。フィルタ処理段は、A S I C とプロセッサとの間で分割されてもよい。

【 0 0 1 9 】

電流および電圧を図 2 に示された装置におけるように両方とも監視しようとする場合に、

10

20

30

40

50

回路 15 は、2つの信号ストリーム用の個々の変調器およびフィルタ処理要素および共通のシリアルインターフェイスを備えた図 8 に示すように構成することができる。代替的に、個々のシリアルインターフェイスが使用されてもよい。

【0020】

上述した構成は、スイッチング遷移および直流オフセットが存在している場合であっても、電流不均衡の極めて正確な検出を行うことを可能にする。変流器コアの電位飽和から生起する問題は完全に回避される。

【0021】

CPU は、ブロック 20 ないし 23 の各々から実際のライン電流および電圧データを受け、電流制限および電力消費等の他の計算を実行するようにプログラムされ得る。かくして、上述したように構成された RCD 装置は、また、追加の感知またはアナログ/デジタル要素を必要とすることなしに、従来の回路遮断機の機能および/または電力消費計の機能を提供することができる。

【図面の簡単な説明】

【図 1】 単相装置に適用された本発明の一例を示す斜視図である。

【図 2】 3 相装置に適用された本発明の他の例を示すブロック図である。

【図 3】 電流感知装置の 1 つを示す斜視図である。

【図 4】 図 3 の電流感知装置の断面図である。

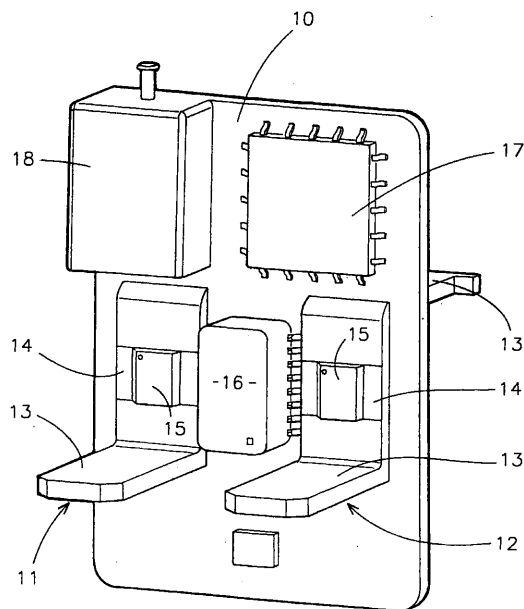
【図 5】 図 3 の装置の正面図である。

【図 6】 単一電流センサ装置の電子回路の簡単な形態を示すブロック図である。

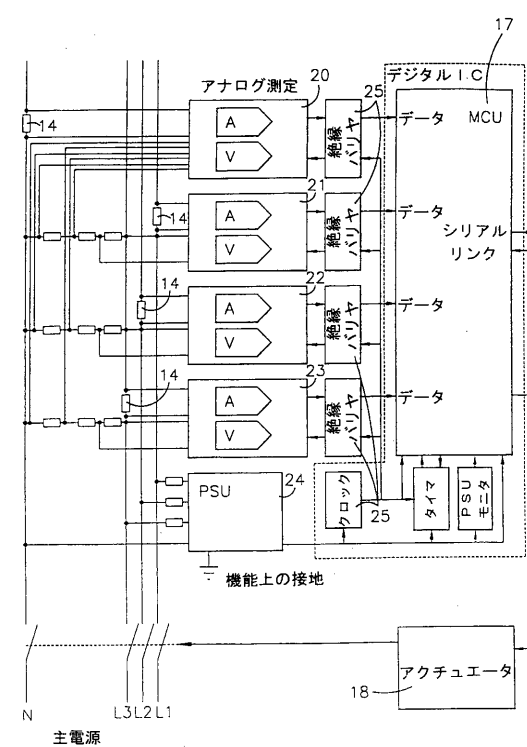
【図 7】 電子回路の代替の形態を示すブロック図である。

【図 8】 電子回路の更に他の形態を示すブロック図である。

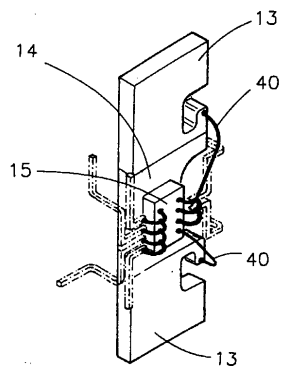
【図 1】



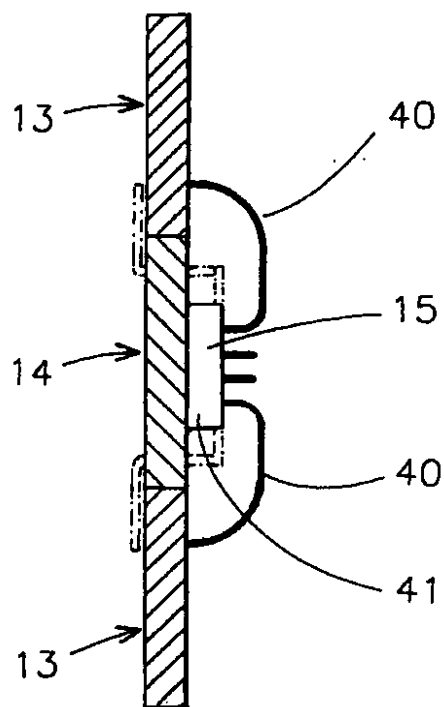
【図 2】



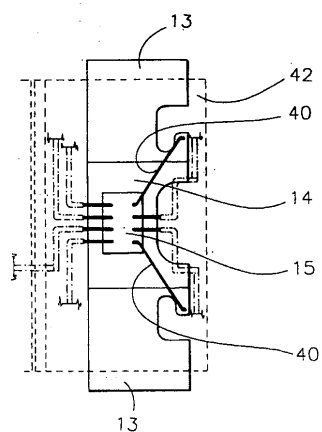
【図 3】



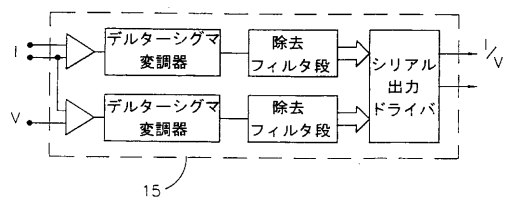
【図 4】



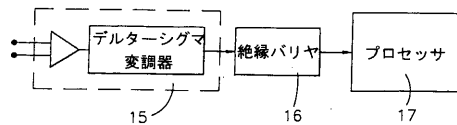
【図 5】



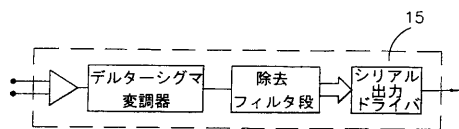
【図 8】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 スケリット、ロバート・チャールズ
イギリス国 エルエル30 3エイチエックス コンウィー、ペンリン・ベイ、チャールストン・
クローズ 2
- (72)発明者 クロジアー、マーク・デイビッド
イギリス国 エルエル65 1ピーディー アイル・オブ・アングルセイ、ホーリーヘッド、ゴー
ズ・アベニュー、サンライズ・テラス 4
- (72)発明者 ムレイ、マーチン・アンソニー
イギリス国 エルエル57 2エーエックス バンゴー、ペンロス・ロード 47
- (72)発明者 リーダー、ブライアン・マーチン
イギリス国 エルエル65 2エーゼット アイル・オブ・アングルセイ、トレアドゥア・ベイ、
ロン・クレクリスト、サモナ(番地なし)

審査官 藤原 伸二

- (56)参考文献 特開平08-050150(JP,A)
西独国特許出願公開第03815824(DE,A)
特開平09-229972(JP,A)
特開平06-294821(JP,A)
特開平06-066843(JP,A)
特開平08-129031(JP,A)
特開平09-322385(JP,A)
特開平07-183814(JP,A)
実開昭57-036734(JP,U)

(58)調査した分野(Int.Cl., DB名)

G01R 19/00-19/32

G01R 15/00-17/22