

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6758925号
(P6758925)

(45) 発行日 令和2年9月23日(2020.9.23)

(24) 登録日 令和2年9月4日(2020.9.4)

(51) Int.Cl.

F 1

H04N 5/357 (2011.01)
H04N 5/374 (2011.01)H04N 5/357
H04N 5/374

請求項の数 11 (全 16 頁)

(21) 出願番号	特願2016-110225 (P2016-110225)
(22) 出願日	平成28年6月1日 (2016.6.1)
(65) 公開番号	特開2017-216632 (P2017-216632A)
(43) 公開日	平成29年12月7日 (2017.12.7)
審査請求日	令和1年6月3日 (2019.6.3)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100076428 弁理士 大塚 康徳
(74) 代理人	100115071 弁理士 大塚 康弘
(74) 代理人	100112508 弁理士 高柳 司郎
(74) 代理人	100116894 弁理士 木村 秀二
(74) 代理人	100130409 弁理士 下山 治
(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】撮像装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数の画素からなる画素部と、
前記画素部を列方向に分割した複数の領域から並行に読み出された信号に、並行に予め決められた処理を行って出力する複数の出力手段と、
前記画素部の予め決められた行の各画素から、予め決められた電圧に対応する補正用信号を前記出力手段に読み出す第1の駆動と、前記画素部から画像信号を前記複数の出力手段に読み出す第2の駆動とを行うように制御する制御手段と、
前記複数の領域の各領域について、前記複数の出力手段を介して出力された前記補正用信号の列間の差を補正するゲインデータを生成し、当該ゲインデータにより、前記複数の出力手段を介して出力された対応する前記複数の領域それぞれの前記画像信号を補正する補正手段と、を有し、

前記予め決められた行は、前記各領域における分割境界の行を含む一部の行であることを持つとする撮像装置。

【請求項 2】

前記複数の画素はそれぞれ、光電変換素子と、該光電変換素子で発生した電荷が転送される転送ノードと、該転送ノードと電源の間に接続されたリセットトランジスタとを含み、

前記制御手段は、前記第1の駆動において、前記リセットトランジスタのゲートに、前記リセットトランジスタを遮断する第1の電圧と該第1の電圧よりも大きい第2の電圧と

の中間の、予め決められた第3の電圧を印加した状態で、前記転送ノードの電圧に応じた前記補正用信号を前記複数の出力手段に読み出すことを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記制御手段は、前記第1の駆動において、さらに、前記第1の電圧と前記第2の電圧との間の、前記第3の電圧と異なる第4の電圧を印加して、前記補正用信号を前記出力手段に読み出し、

前記補正手段は、各列毎に、前記予め決められた行の画素部から得られた前記画像信号と、前記第3の電圧に対応する補正用信号および前記第4の電圧に対応する補正用信号との差をそれぞれ求め、前記差が小さい補正用信号から生成された前記ゲインデータを選択することを特徴とする請求項2に記載の撮像装置。 10

【請求項4】

前記補正手段は、前記予め決められた行の内、前記複数の領域のいずれかに含まれる行の画素から読み出された前記補正用信号の平均値により、前記各領域の列毎の前記補正用信号をそれぞれ除することで、前記ゲインデータを生成することを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。

【請求項5】

前記制御手段は、前記第1の駆動を複数回行って前記補正用信号を読み出し、

前記補正手段は、前記複数回の前記第1の駆動で得られた複数の前記補正用信号から、前記複数の領域の各領域について、列毎に外れ値を除外して列毎に平均し、得られた平均値の内、前記複数の領域のいずれかに含まれる前記列毎の平均値を平均した平均値により、前記各領域の列毎の平均値をそれぞれ除することで、前記ゲインデータを生成することを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。 20

【請求項6】

前記制御手段は、前記複数の領域の各領域について、前記画素部の予め決められた第1の行から前記補正用信号を読み出すように制御した後、前記分割境界から離れる方向にある第2の行から前記補正用信号を読み出すように制御し、

前記補正手段は、前記複数の領域の各領域について、列毎に、前記第1の行および前記第2の行の補正用信号からそれぞれゲインデータを生成し、当該生成された前記第1の行のゲインデータの平均値と、前記第2の行のゲインデータの平均値との差が予め決められた値よりも大きい場合に、前記制御手段は、更に前記分割境界から離れる方向にある次の行の前記補正用信号を読み出すように制御することを特徴とする請求項5に記載の撮像装置。 30

【請求項7】

前記画素部は、各列に配置されると共に、前記分割境界で分割された複数の垂直信号線を含み、前記複数の領域から、前記分割された垂直信号線を介して、前記出力手段に並行に信号を読み出すことを特徴とする請求項1乃至6のいずれか1項に記載の撮像装置。

【請求項8】

前記複数の領域それぞれについて、前記ゲインデータをそれぞれ記憶する記憶手段を更に有することを特徴とする請求項1乃至7のいずれか1項に記載の撮像装置。 40

【請求項9】

前記画素部を遮光する遮光手段を更に有し、

前記制御手段は、前記遮光手段により前記画素部を遮光している間に、前記第1の駆動を行うように制御することを特徴とする請求項1乃至8のいずれか1項に記載の撮像装置。

【請求項10】

行列状に配置された複数の画素からなる画素部と、前記画素部を列方向に分割した複数の領域から並行に読み出された信号に、並行に予め決められた処理を行って出力する複数の出力手段とを有する撮像装置の制御方法であって、

制御手段による駆動制御により、前記画素部の予め決められた行の各画素から、予め決

50

められた電圧に対応する補正用信号を前記出力手段に読み出す工程と、

補正手段が、前記複数の領域の各領域について、前記複数の出力手段を介して出力された前記補正用信号の列間の差を補正するゲインデータを生成する工程と、

前記制御手段による駆動制御により、前記画素部から画像信号を前記複数の出力手段に読み出す工程と、

前記補正手段が、前記生成されたゲインデータにより、前記複数の出力手段を介して出力された対応する前記複数の領域それぞれの前記画像信号を補正する工程と、を有し、

前記予め決められた行は、前記各領域における分割境界の行を含む一部の行であることを特徴とする制御方法。

【請求項 1 1】

10

前記複数の画素はそれぞれ、光電変換素子と、該光電変換素子で発生した電荷が転送される転送ノードと、該転送ノードと電源の間に接続されたリセットトランジスタとを含み、

前記補正用信号を前記出力手段に読み出す工程において、前記リセットトランジスタのゲートに、前記リセットトランジスタを遮断する第1の電圧と該第1の電圧よりも大きい第2の電圧との中間の、予め決められた第3の電圧を印加した状態で、前記転送ノードの電圧に応じた前記補正用信号を前記複数の出力手段に読み出すことを特徴とする請求項10に記載の制御方法。

【発明の詳細な説明】

【技術分野】

20

【0 0 0 1】

本発明は、撮像装置及びその制御方法に関し、特に画素領域を複数の領域に分割して読み出し可能な撮像装置及びその制御方法に関する。

【背景技術】

【0 0 0 2】

近年、撮像素子の分野では、高画素数かつ高フレームレートへの要請から、読み出し速度を一層向上するべく種々の技術が提案されている。特許文献1には、光電変換素子と、増幅トランジスタと、選択トランジスタとを有する、二次元状に配設された複数の画素回路と、複数の垂直信号線等を具備する撮像素子が開示されている。複数の垂直信号線の各々は、複数の画素回路を列方向に分割して独立に駆動可能で、かつ、A/D変換回路が接続され、分割した画素回路同士が隣接する行から離間する向き等に、画素回路を行単位で順次駆動する。このように分割された垂直信号線であれば、非分割の垂直信号線に比べて寄生抵抗および寄生容量が半減するので、画素回路からの信号電圧の垂直信号線に伝える際の静定時間が短くなるため、アナログ信号段階での高速読み出しに寄与する。また、各種公知技術があるため詳細を割愛するが、A/D変換段階やデジタル信号段階においても、それぞれ高速読み出しに寄与する技術が提案されている。

30

【0 0 0 3】

一方、撮像素子の信号を列毎に高精度に補正する技術が従来から提案されている。特許文献2には、開口画素領域の各画素列に対応して画素ダミー増幅トランジスタが設けられた固体撮像装置が開示されている。この固体撮像装置は、垂直信号線に画素ダミー信号を出力する画素ダミー領域と、画素ダミー増幅トランジスタに印加するバイアス電圧を制御するバイアス制御回路とを有する。そして、これらを、開口画素選択時には太陽黒化補正手段として、また、開口画素非選択時には画素列毎のオフセット性およびゲイン性の縦筋検出を行い各画素列間の誤差を補正する縦筋補正手段として共用することが開示されている。

40

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献1】特開2013-243781号公報

【特許文献2】特開2008-124527号公報

50

【発明の概要】**【発明が解決しようとする課題】****【0005】**

しかしながら、上述したように分割された垂直信号線は互いに異なる列回路やA/D変換回路に接続されているため、それぞれゲイン誤差を生じることに加え、分割した垂直信号線とのカップリング容量などに起因するゲイン誤差およびその温度変化も生じる。そのため、分割した境界の画素信号に特性差が生じてしまうが、この特性差は、撮影画像の中央付近に生じること、そして、列間で切れ目なく生じることから目に付きやすく、わずかであっても鑑賞者の検知限を超える。

【0006】

10

特に、カップリング容量などに起因するゲイン誤差を、撮像素子面内の温度分布までを考慮して検出するには、A/D変換回路に近い側ではなく、分割した境界の画素近傍に画素ダミー領域を配置するのが望ましい。しかし、画素ダミー領域を分割した境界の画素近傍に配置することは非常に困難である。

【0007】

本発明は上記問題点を鑑みてなされたものであり、画素部を垂直方向に分割して読み出す撮像素子を用いる際に、画素ダミー領域を使用することなく、分割境界における画素列毎のゲイン差を高精度に補正することを目的とする。

【課題を解決するための手段】**【0008】**

20

上記目的を達成するために、本発明の撮像装置は、行列状に配置された複数の画素からなる画素部と、前記画素部を列方向に分割した複数の領域から並行に読み出された信号に、並行に予め決められた処理を行って出力する複数の出力手段と、前記画素部の予め決められた行の各画素から、予め決められた電圧に対応する補正用信号を前記出力手段に読み出す第1の駆動と、前記画素部から画像信号を前記複数の出力手段に読み出す第2の駆動とを行うように制御する制御手段と、前記複数の領域の各領域について、前記複数の出力手段を介して出力された前記補正用信号の列間の差を補正するゲインデータを生成し、当該ゲインデータにより、前記複数の出力手段を介して出力された対応する前記複数の領域それぞれの前記画像信号を補正する補正手段と、を有し、前記予め決められた行は、前記各領域における分割境界の行を含む一部の行であることを特徴とする。

30

【発明の効果】**【0009】**

本発明の撮像装置によれば、画素部を垂直方向に分割して読み出す撮像素子を用いる際に、画素ダミー領域を使用することなく、分割境界における画素列毎のゲイン差を高精度に補正することができる。

【図面の簡単な説明】**【0010】**

【図1】本発明の第1の実施形態に係る撮像装置の概略構成を示すブロック図。

【図2】第1の実施形態に係る撮像素子の構成を示すブロック図。

【図3】第1の実施形態に係る撮像素子の駆動方法を示すタイミングチャート。

40

【図4】第1の実施形態に係る撮像素子のドライバ回路の一部を示すブロック図。

【図5】第1の実施形態に係る撮像装置における補正処理を示すフローチャート。

【図6】第2の実施形態に係る撮像装置の補正値取得データの一例を示す模式図。

【図7】第2の実施形態に係る撮像装置における補正処理を示すフローチャート。

【図8】第3の実施形態に係る撮像装置における補正処理を示すフローチャート。

【発明を実施するための形態】**【0011】**

以下、添付図面を参照して本発明を実施するための形態を詳細に説明する。

【0012】

<第1の実施形態>

50

図1は、本発明の第1の実施形態に係る撮像装置1の概略構成を示すブロック図である。図1において、システム制御部14は、撮像装置1全体を制御するプログラムを実行する全体制御部である。制御プログラムの全部または一部はROM15に格納されており、制御モード毎に必要なプログラムを読み出して実行するように構成してもよい。ROM15には、更に、後述するように特定のキズアドレスを記録しておき、補正処理に用いる画素列毎のゲインデータの算出に利用する。

【0013】

撮影光学系10は、不図示の操作部によって、ユーザから絞り、ズーム、フォーカス等の指定を受け付けたシステム制御部14より光学系駆動回路18を介して、目的の制御と、不図示のメカニカルシャッター等の遮光部の開閉が行われる。

10

【0014】

撮像素子11は、制御の完了した撮影光学系10により結像した光を受光して、光電変換を行い、光電変換により得られた電圧信号をAD変換してデジタル画像信号を生成する。撮像素子11は、システム制御部14により後述するタイミング発生回路(TG)22の駆動パターンを選択して設定することにより、一連の駆動を行う。なお、第1の実施形態においては、撮像素子11の各垂直信号線は後述するように列方向に2分割されており、分割された各垂直信号線につきそれぞれ行順次に並行にAD変換が行われるので、2行分のデジタル画像信号が画像処理部13に転送される。

【0015】

撮像素子11から出力されたデジタル画像信号は、フレーム毎にまとめて画像メモリ12に一時記憶されたり、または行単位で画素列毎のゲインデータの算出のためにラインメモリ17に累積記憶される。詳細は後述するが、画素列毎のゲインデータの算出に必要な行数分の転送が完了すると、ラインメモリ17に累積記憶されたデータに対してキズ除去、平均化等の処理を行い、画像メモリ12に記憶されるべき画像データのゲイン補正を行う。そして、ゲイン補正された1フレーム分のデジタル画像信号が画像メモリ12に一時記憶された後、画像処理部13によって所定の画像処理が行われる。

20

【0016】

画像処理部13にて行われる画像処理としては、上述したゲイン補正の他、分割部合成、ホワイトバランス補正、3面同時化、ノイズリダクション、シャープネス調節等を挙げることができる。

30

【0017】

画像処理部13により画像処理が施された処理済み画像は、記録回路16においてJPEG (Joint Photographic Experts Group)等の画像規格への圧縮が行われた後、記録媒体19に記録される。

【0018】

図2は、第1の実施形態に係る撮像素子11の構成を示すブロック図である。図2において、開口画素領域20(画素部)を構成する画素として、4行4列に行列状に配列された画素21を示している。以下、例えば、画素21(00)は第0行目かつ第0列目に存在する画素を表すといったように、行を「p」、列を「q」として、画素21(pq)は第p行目の第q列目に存在する画素を表す。なお、図2では16画素のみ表しているが、実用上は数千万画素に及ぶものが多くなっている。

40

【0019】

撮影光学系10を介して各画素21に入射した光は、フォトダイオードPD(光電変換素子)によって光量に応じた電荷に変換される。転送トランジスタTXは、フォトダイオードPDで発生した電荷を、ソースフォロワを構成する増幅トランジスタSFのゲートを含む転送ノードに転送する。リセットトランジスタRESは、転送ノードを所定の電圧にリセットするために用いられる。また、リセットトランジスタRESと転送トランジスタTXとを同時にオンにすることで、フォトダイオードPDをリセットすることができる。選択トランジスタSELは、増幅トランジスタSFのドレインを含む出力ノードに接続され、該当する行が選択されたときに、出力ノードの電圧を後述する垂直信号線VLに出力

50

する。

【0020】

垂直走査回路23は、転送トランジスタTX、リセットトランジスタRES、選択トランジスタSELをそれぞれ所定のタイミングで水平方向に一斉に、また、列方向に順次制御することで、行単位で画素21の駆動制御を行う。

【0021】

垂直信号線VLは、上下に分割して配線されており、図2において下側の配線をVLaq、上側の配線をVLbqと表す。従って、分割された垂直信号線VLaq, VLbqのそれにつき、一行単位、即ち、2行ずつ同時に信号を読み出すことができる。なお、垂直信号線VLaqに出力された信号（すなわち、下半分の領域の信号）を処理する構成には、以下、「a」を付し、垂直信号線VLbqに出力された信号（すなわち、上半分の領域の信号）を処理する構成には、以下、「b」を付す。また、「a」により示される下半分の画素領域を「a領域」、「b」により示される上半分の画素領域を「b領域」と呼ぶ。図2では、2行目の画素21(1q)と3行目の画素21(2q)とを境界領域として、各列共、a領域とb領域とに分割されている。垂直信号線VLaq, VLbqを介して、フォトダイオードPDで発生した電荷に対応する電圧を、列回路COLaq, COLbqにそれぞれ伝達する。

10

【0022】

列回路COLaq, COLbqは、それぞれ、増幅回路AMPに所定の容量で負帰還を施し、不図示の基準電圧との差分電圧を増幅し、増幅した電圧を蓄積部Capに一時記憶する。また、蓄積部Capから増幅された電圧を読み出すための読み出し制御用トランジスタSHを備える。列回路COLaq, COLbqは、このようにして増幅した電圧をAD変換回路ADAq, ADbqに伝達する。

20

【0023】

AD変換回路ADAq, ADbqは、列回路COLaq, COLbqから出力される電圧と、時間に比例して増減するRAMP信号とを比較する比較器Compと、比較器Compの出力をそのEnable端子に入力するカウンタ回路Cntとを備える。カウンタ回路Cntは、RAMP信号と、列回路COLaq, COLbqから出力される電圧との比較結果に応じて、後述する所定の制御によりカウントを行うことで、フォトダイオードPDで発生した電荷に対応するデジタルカウント値を得ることができる。これにより、アナログデジタル変換を行う。

30

【0024】

2つの水平走査回路24a, 24bは、AD変換回路ADAq, ADbqから出力されたデジタルカウント値を水平方向に順次選択し、水平信号線HLa, HLeに転送することで、各々一行分のデジタル撮像信号を読み出す。

【0025】

タイミング発生回路(TG)22は、垂直走査回路23、水平走査回路24a, 24b、AD変換回路ADAq, ADbq等を順次制御するためのタイミング信号を発生する。タイミング信号の生成は、例えばROM15に記憶された、いくつかのパターンの内のいずれかをシステム制御部14により選択することで実現してもよい。

40

【0026】

図3は、第1の実施形態における分割境界における画素21の駆動タイミングを示すタイミングチャートである。第1の実施形態においては、開口画素領域20の画素21のうち、垂直信号線VLaq, VLbqの分割境界にあたる第2行目と第3行目の画素21を駆動して補正值を取得する。その後、第2行目と第3行目の画素21を含む全ての画素21から、画像信号を読み出していく。

【0027】

図3において、選択信号PSEL、転送信号PTXはそれぞれ、画素21(pq)内の選択トランジスタSEL、転送トランジスタTXのゲートに印加される信号を表しており、各信号のHi期間に各トランジスタはONとなり、Lo期間にOFFとなる。リセット

50

信号 P R E S は、リセットトランジスタ R E S のゲートに印加される電圧を表しており、 H i 期間に ON 、 L o 期間に OFF (遮断) となるが、補正値取得駆動中、ゲインを測定するために、 H i と L o の間の予め決められた中間電圧 V M を与える。

【 0 0 2 8 】

また、制御信号 P S H は、列回路 C O L a q , C O L b q 内の読み出し制御用トランジスタ S H のゲートに印加される信号を表したものであり、読み出し制御用トランジスタ S H は、 H i 期間に ON 、 L o 期間に OFF となる。 R A M P は R A M P 信号、 C O M P は比較器 C o m p の出力、 C N T はカウンタ回路 C n t のカウント値を表す。 H S R は、水平走査回路 2 4 a , 2 4 b が発生する水平走査信号である。

【 0 0 2 9 】

図 4 は、このような補正値取得駆動が可能なように構成された、撮像素子 1 1 のドライバ回路の一部、特にリセットトランジスタ R E S のゲートに印加するリセット信号 P R E S を発生するドライバ回路の一例を示すブロック図である。ドライバ回路は、ドライバ (D r) 3 0 1 と選択部 3 0 2 とを備える。ドライバ 3 0 1 は、 T G 2 2 からの制御信号を受けて、 H i 期間に対応して電源電圧 V D D を出力すると共に、 L o 期間に対応して中間電圧 V M もしくは接地電圧 G N D を出力する。選択部 3 0 2 は、補正値取得駆動を示す信号に基づいて L o 期間の電源を中間電圧 V M と接地電圧 G N D より選択して、ドライバ 3 0 1 に供給する。なお、中間電圧 V M を変更することも可能である。

【 0 0 3 0 】

図 3 に示す処理において、まず、補正値取得駆動を行う。時刻 t 0 において、リセット信号 P R E S を H i として、リセットトランジスタ R E S を ON とし、転送ノードを所定の電源電圧にリセットする。通常の信号読み出し駆動であれば、時刻 t 1 においてリセットトランジスタ R E S を OFF にして転送ノードを浮遊状態にするが、補正値取得駆動では OFF にしない。この間、選択信号 P S E L は H i となっているため、画素 2 1 (1 q) 、 2 1 (2 q) の転送ノードの電源電圧 (以下、「基準電圧 N 」と呼ぶ。) は選択トランジスタ S E L を介して垂直信号線 V L a q , V L b q に出力される。そして基準電圧 N は列回路 C O L a q , C O L b q 内の増幅回路 A m p にて増幅される。

【 0 0 3 1 】

時刻 t 2 までの間に列回路 C O L a q , C O L b q 内の蓄積部 C a p からの読み出し制御用トランジスタ S H を ON - OFF し、基準電圧 N を増幅した電圧 (基準レベル N) を A D 変換回路 A D a q , A D b q に伝達すべき電圧として確定する。そして、時刻 t 2 において R A M P 信号を発生し、基準レベル N と等しくなるまでの経過時間をカウンタ回路 C n t でカウントすることで、基準レベル N の A D 変換を行う。時刻 t 2 では、基準レベル N < R A M P であるので、比較器 C o m p の出力端子は H i となっている。カウンタ回路 C n t はこの比較器 C o m p の出力を E n a b l e 信号として動作する。

【 0 0 3 2 】

時刻 t 3 において、基準レベル N = R A M P となると、比較器 C o m p の出力は L o に変わる。これによりカウンタ回路 C n t は停止状態となり、基準レベル N の A D 変換を自動的に終了する。なお、時刻 t 2 から始まる基準レベル N の A D 変換中に、カウンタ回路 C n t ではダウンカウントしておく。

【 0 0 3 3 】

信号読み出し駆動であれば時刻 t 4 までの間に転送信号 P T X を H i として転送トランジスタ T X を ON とするが、補正値取得駆動では、転送信号 P T X は時刻 t 1 0 まで L o を維持し、フォトダイオード P D の電荷を転送しない。ただし、第 1 の実施形態では、時刻 t 2 以降 t 4 までの間に中間電圧 V M をリセットトランジスタ R E S のゲートに与える。この中間電圧 V M は接地電圧 G N D と電源電圧 V D D の間で必要に応じて任意に設定することができる。

【 0 0 3 4 】

時刻 t 5 までの間に列回路 C O L a q , C O L b q 内の蓄積部 C a p からの読み出し制御用トランジスタ S H を再度 ON - OFF する。これにより、中間電圧 V M に対応した転

10

20

30

40

50

送ノードの電圧を増幅した電圧（中間レベルVM）をA D変換回路A D a q , A D b qに補正値取得駆動のために伝達するべき電圧として確定する。そして、時刻t 5においてR A M P信号を発生し、中間レベルVM（補正用信号）と等しくなるまでの経過時間をカウントすることで、中間レベルVMのA D変換を行う。ここで、カウンタ回路C n tにより基準レベルNまでダウンカウントしているため、時刻t 5からアップカウントすることで、時刻t 6のカウント終了時には、基準レベルNと中間レベルVMとの差分S V Mが得られる。また、このカウント方法により、転送ノードのリセットノイズに加えて、増幅回路A m pの列毎のオフセット差分や蓄積部C a pの容量ばらつきや読み出し制御用トランジスタS Hの閾値ばらつきに起因するオフセット性の列間差等のノイズを除去することができる。

10

【0035】

次いで、時刻t 8からt 10において水平走査信号を発生し、A D変換により得られた差分S V Mを水平方向に順次選択する。その結果、差分S V Mが列順次に水平信号線H L a , H L bに転送され、領域a、領域bに分けて、それぞれラインメモリ17に累積される。

【0036】

なお、上述した補正値の取得駆動は、複数回行ってもよい。その際、分割境界の画素を複数回読み出してもよい。また、時刻t 2からt 5の間に分割境界の画素を構成するトランジスタの微小リーケ等の影響で基準レベルがずれてしまうこともあるので、分割境界の画素近傍で複数行を選択して複数回、補正値の取得駆動を行ってもよい。

20

【0037】

画素列毎のゲインデータを得るために何らかの予め決められた電圧を与えられる基準ノードが必要なので、従来は、駆動の簡易性を鑑みて画素ダミー領域が使用されてきた。一方、垂直信号線V Lを分割した分割境界の画素の信号レベルを詳細に補正するには、この基準ノードが分割境界の画素を含むことが望ましいが、画素ダミー領域を分割境界の画素近傍に配置することは非常に困難である。第1の実施形態では上記説明したような特殊な駆動により、分割境界の画素21(1q)および21(2q)を基準ノードとして用いることで補正値取得駆動を行う。

【0038】

上述した補正値取得駆動が終了すると、次に、選択信号P S E Lの極性を変えず分割境界の画素を選択したまま、当該画素の光信号の読み出し駆動を行う。

30

【0039】

まず、時刻t 7からt 8において、リセット信号P R E SをH iとし、リセットトランジスタR E SをONとして、転送ノードを所定の電源電圧にリセットする。時刻t 8においてリセットトランジスタR E SをOFFにすると、転送ノードは浮遊状態となる。この間、選択信号P S E LはH iとなっているため、転送ノードの電圧は選択トランジスタS E Lを介して垂直信号線V L a q , V L b qに伝達されている。また、その電圧（基準電圧N）は列回路C O L a q , C O L b q内の増幅回路A m pにて増幅される。

【0040】

時刻t 9までの間に列回路C O L a q , C O L b q内の蓄積部C a pからの読み出し制御用トランジスタS HをON-OFFし、基準電圧Nを増幅した電圧（基準レベルN）をA D変換回路A D a q , A D b qに伝達するべき電圧として確定する。そして、時刻t 9においてR A M P信号を発生し、基準レベルNと等しくなるまでの経過時間をカウンタ回路C n tでカウントすることで、基準レベルNのA D変換を行う。時刻t 9では、基準レベルN < R A M Pであるので、比較器C o m pの出力端子はH iとなっている。カウンタ回路C n tはこの比較器C o m pの出力をE n a b l e信号として動作する。

40

【0041】

時刻t 11において、基準レベルN = R A M Pとなると、比較器C o m pの出力はL oに変わる。これによりカウンタ回路C n tは停止状態となり、基準レベルNのA D変換を自動的に終了する。なお、時刻t 9から始まる基準レベルNのA D変換前に、カウンタ回

50

路 C_n t を一旦 0 に戻してからダウンカウントする。

【 0 0 4 2 】

一方、時刻 t₁₀ から t₁₂ において、転送信号 P T X を H i として転送トランジスタ TX を ON にし、転送ノードにフォトダイオード P D で発生した光電荷を転送する。この光電荷に対応して生じる転送ノードの電圧降下は、垂直信号線 V L a q , V L b q の電圧に現れる。この電圧も基準レベル N と同様に、列回路 C O L a q , C O L b q 内の増幅回路 A m p にて増幅される。

【 0 0 4 3 】

時刻 t₁₂ において R A M P 信号を発生し、増幅された信号電圧と等しくなるまでの経過時間をカウントすることで、信号レベルの A D 変換を行う。このとき、カウンタ回路 C_n t は基準レベル N のダウンカウントしたカウント値から、アップカウントする。これにより、時刻 t₁₄ のカウント終了時には、ノイズ成分を除去した光電荷に対応した光レベル S を A D 変換したカウント値が得られることになる。

【 0 0 4 4 】

次いで、時刻 t₁₆ から t₁₇ において水平走査信号を発生し、A D 変換された光レベル S のカウント値を水平方向に順次選択する。その結果、1 行分のデジタル撮像信号が列順次に水平信号線 H L a , H L b に転送される。なお、水平信号線 H L a , H L b 上のデジタル信号は、Low Voltage Differential Signal (L V D S) などの高速シリアル信号フォーマットで出力する。

【 0 0 4 5 】

なお、時刻 t₁₃ から t₁₅ までの間の任意の時間、図 3 では時刻 t₁₄ から t₁₅ において選択信号 P S E L が L o となる。これにより、選択トランジスタ S E L を O F F として、分割境界の画素の選択を終了し、次の走査行、例えば、画素 2 1 (0 q) および画素 2 1 (3 q) を選択するといったように、順次、分割境界から離れる方向に選択していく。次に選択した行の駆動方法は、上記時刻 t₇ から t₁₆ の信号読み出し駆動と同様の方法を繰り返す。

【 0 0 4 6 】

なお、第 1 の実施形態では、分割境界の画素を基準ノードとして利用することで列毎のゲイン差補正用の補正值取得データ（差分 S V M ）が得られればよい。従って、撮像装置の撮影光学系 1 0 に含まれるメカニカルシャッタによって遮光した後、もしくは露光を開始する前に、補正值取得駆動を行ってもよい。このようにメカニカルシャッタによる遮光を伴う補正值取得駆動は、常時信号電荷を発生させる動画モードよりも、静止画モードに好適である。

【 0 0 4 7 】

次に、上述したようにしてラインメモリ 1 7 に累積した補正值取得データ（差分 S V M ）を用いて行う補正動作について説明する。図 5 は、第 1 の実施形態に係る撮像装置における補正処理を示すフローチャートである。

【 0 0 4 8 】

まず S 5 0 1 にて、上記説明した補正值取得駆動により補正值取得データを取得する。ここでは、分割境界の画素に対して複数回、補正值取得駆動を行うか、または、分割境界近辺の画素に対して、補正值取得駆動を行うことで、各列毎に複数の補正值取得データを取得するものとする。そして、垂直信号線 V L a q を介して出力されたものと、垂直信号線 V L b q を介して出力されたものを分けてラインメモリ 1 7 に累積して行く。累積が完了すると、S 5 0 2 において列毎に中央値を算出する。

【 0 0 4 9 】

ところで、取得した補正值には、Random Telegraph Signal ノイズ等によるばらつきが所定の確率で発生することが知られている。そこで、これを外れ値として除外しておいた方が良好な補正効果が得られる。そこで、S 5 0 3 において、この中央値を元にして外れ値を検出する。すなわち、中央値と累積したデータとの差分が所定の閾値を超えるか否かを、列毎に、画像処理部 1 3 にて判定する。着目したある列について外れ値があった場合

10

20

30

40

50

は S 5 0 4 に進み、当該外れ値を除外して平均値を求める。またある列について外れ値がなかった場合は S 5 0 5 に進み、通常の平均値を求める。また、図 3 の時刻 t 2 から t 5 の間に、分割境界の画素を構成するトランジスタの微小リーケ等の影響で基準レベルがずれることがわかっているれば、R O M 1 5 にその列座標とずれ量を記録しておき、これを減算してもよい。

【 0 0 5 0 】

S 5 0 6において、これら列毎の平均値を統合して全列の平均値 A V E s v m で除算することにより補正用の画素列毎のゲインデータを生成する。このようにして画素列毎のゲインデータを生成する理由は以下の通りである。すなわち、補正值取得データには、全列の平均値 A V E s v m に対し、例えば增幅回路 A m p の列毎のゲイン差分や比較器 C o m p を構成するトランジスタの閾値ばらつきに起因する列毎のゲイン差が含まれている。更に、転送ノードと各分割された垂直信号線 V Lとの間のカップリング容量に起因する列毎のゲイン差等も含まれている。従って、平均値 A V E s v m で各画素列の補正值取得データを除算することで、画素列毎のゲインデータを得ることができる。特に全列の平均値 A V E s v m を、垂直信号線 V L a q , V L b q のいずれかを経由した全列の補正值取得データから求めることで、同じ中間電圧 V M が入力された場合の a 領域と b 領域の信号差を、各列毎に同一に合わせることができる。10

【 0 0 5 1 】

S 5 0 7において、上述した読み出し駆動によって得られ、画像メモリ 1 2 に一時記憶されている a 領域及び b 領域それぞれの画像信号に対して、それぞれ対応する補正用の画素列毎のゲインデータで列毎にゲイン（除算）補正する。これにより、分割境界における特性差分が目立たないようにすることができます。20

【 0 0 5 2 】

S 5 0 8において、分割された画像を合成し、1枚の画像を生成する。S 5 0 9において、画像処理部 1 3 により、キズ補正、ホワイトバランス、階調変換、3面同時化、ノイズリダクション等の画像処理を行い、記録回路 1 6 を介して所定の記録媒体 1 9 に画像を記録する。

【 0 0 5 3 】

以上説明したように第 1 の実施形態では、垂直信号線の分割境界を含む画素のリセットトランジスタ R E S に中間電圧 V M をかけて、ゲイン性の縦筋を検出する補正值取得駆動を行う。そして、得られた補正值取得データを撮像装置のラインメモリ等で補正用の画素列毎のゲインデータに変換し、分割した垂直信号線からそれぞれ出力される各分割領域の画像信号に対してゲイン補正することで、垂直信号線の分割境界を目立たなくすることができます。30

【 0 0 5 4 】

なお、複数の中間電圧 V M を印加して、異なる信号レベル毎にゲイン性の縦筋を検出してもよい。さらに、この中間電圧 V M のかけ方は、図 3 に示したタイミングに捉われることなく、次のようにしても良い。例えば時刻 t 0 から t 1 におけるリセット信号 P R E S による転送ノードリセットを停止することを前提に、転送ノードの電圧を直接中間電圧 V M に変更する簡易的な方法を採用してもよい。この場合、中間電圧 V M に相当する A D 変換結果を得るために、時刻 t 2 から t 3 で行われる転送ノード基準レベル N の A D 変換も併せて停止する必要がある。この簡易的な方法を採用する場合は、補正值取得データに、増幅回路 A m p の列毎のオフセット差分や蓄積部 C a p の容量ばらつきや読み出し制御用トランジスタ S H の閾値ばらつきに起因するオフセット性の列間差が含まれてしまう。そのため、図 5 の S 5 0 6 にて一次元ダークシェーディングデータを減算したうえで平均値 A V E s v m による除算を行い、補正用の画素列毎のゲインデータを生成するとよい。40

【 0 0 5 5 】

また、図 1 に示した撮像装置のラインメモリ 1 7 や画像処理部 1 3 の一部を撮像素子 1 1 に含めてもよく、その場合、撮像素子 1 1 から補正済のデジタル撮像信号を出力することができます。さらに、ラインメモリ 1 7 や画像処理部 1 3 の一部を、開口画素領域を含む50

基板と別個の基板に配置して、Through Silicon Via(以下、TSV)などの電気的接続部を介して2つの基板を接続してもよい。

【0056】

<第2の実施形態>

次に、本発明の第2の実施形態について説明する。第2の実施形態では、異なる複数の中間電圧VMを、垂直信号線VLaq, VLbqの分割境界の画素のリセットトランジスタRESのゲートに複数与えて、異なる中間電圧VMに相当して画素列毎のゲインデータを得る場合について説明する。

【0057】

図6において、3つのグラフは、3つの異なる中間電圧(補正用信号)VM1, VM2, VM3(VM1 < VM2 < VM3)を印加したときに、ある列から得られた補正值取得データの一例を示すグラフである。このことから、信号毎に最適なゲインは、例えば図6中、鎖線に示すように非線型な対応関係から導かれるものと推測することができる。ゲイン補正を実行する際、いずれの中間電圧VMより測定されたゲインを用いるかについて、第2の実施形態では実際に撮影された画像のうち、分割境界の画素の信号レベルに基づいて決定する。

【0058】

図7は、第2の実施形態におけるゲイン補正適用処理の一例を示すフローチャートである。なお、図7に示す処理の開始前までに、第1の実施形態で説明した図5のS506までのフローを用いて、中間電圧VM1, VM2, VM3を印加して測定された、a領域及びb領域それぞれについて、画素列毎のゲインデータが求められているものとする。

【0059】

まず、S701において、画像メモリ12に一時記憶された画像より、a領域またはb領域の分割境界の第q列目の画素の信号レベルを確認する。S702において当該信号レベルと中間電圧VM1に対応するデジタル信号レベルSVM1との差分の絶対値Diff1と、中間電圧VM2に対応するデジタル信号レベルSVM2との差分の絶対値Diff2とを比較する。差分Diff1が差分Diff2以下の場合(S702においてNo)、S706に進み、第q列目の補正值として中間電圧VM1を印加して測定したゲインを選択する。

【0060】

一方、差分Diff2の方が小さい場合(S702においてYes)、S703に進み、中間電圧VM3に対応するデジタル信号レベルSVM3との差分の絶対値Diff3と比較する。差分Diff2が差分Diff3以下の場合(S703においてNo)、S705に進み、第q列目のゲインデータとして中間電圧VM2を印加して得られたゲインデータを選択する。一方、差分Difff3の方が小さい場合(S703においてYes)、S704に進み、第q列目のゲインデータとして中間電圧VM3を印加して得られたゲインデータを選択する。S707において、S704からS706のいずれかで選択されたゲインデータを用いて、a領域及びb領域それぞれの分割境界の第q列目の画素レベルに応じた第q列目のゲインデータを生成することができる。

【0061】

S708において、最終列に至るまではS709に進み、qを1インクリメントして、S701からS707を次の列に対して繰り返す。S708において最終列であった場合はこの処理を終了してS710に進み、第1の実施形態で説明した図5のS507からS509と同様にしてゲイン(除算)補正を実行し、分割画像の合成、画像処理・記録を行う。

【0062】

上記の通り本第2の実施形態によれば、分割境界の画素のリセットトランジスタRESのゲートに複数の中間電圧VMを印加し、異なる中間電圧VMに相当する画素列毎のゲインデータを得る。そして、撮影画像の分割境界の画素レベルに最も近い中間電圧を印加して生成したゲインデータを適用することができるので、ゲイン性の縦筋に非線型な特性が

10

20

30

40

50

あっても高精度な補正を行うことができる。

【0063】

<第3の実施形態>

次に、本発明の第3の実施形態について説明する。第3の実施形態では、分割境界の画素に適用する各画素列毎の一次元的なゲインデータに捉われることなく、分割境界の画素に隣接する行以降の複数行にわたり必要なゲインを求めて適用する構成について説明する。

【0064】

転送ノードの容量の逆数に比例して、信号電荷を電圧に変換する係数が決定するが、当該容量には垂直信号線とのカップリング容量が多く含まれている。一般的な撮像素子構成であれば、垂直信号線は少なくとも開口領域で途切れることはなく、カップリング容量を与える距離範囲内ですき間なく存在している。これに対し、本発明のように垂直信号線が分割されている場合、分割境界付近の画素では、垂直信号線からのカップリング容量が急激に小さくなったり、当該画素の信号を読み出さない側の垂直信号線からカップリング容量を与えられたりすることが考えられる。こうした複雑なカップリング容量は、分割境界の画素から離れるほど小さくなって、列回路や比較器のみに起因するゲインに収束していく。そこで、分割境界の画素に隣接する行以降の複数行にわたり必要なゲインを求めることが好適である。

10

【0065】

図8は、第3の実施形態における第p行目までの補正データ取得とゲイン(除算)補正を行う処理フローの一例である。なお図8において、S501からS506までは、第1の実施形態における図5のS501からS506までと同様なので、同じステップ番号を付して説明を省略する。

20

【0066】

分割境界の画素を使って画素列毎のゲインデータを生成した後、分割境界と隣接する画素も同様のゲインデータを生成していく、S807にてp行目と前行のゲインとの誤差の最大値が所定(ここでは1%)以内にあるかどうかを確認する。分割境界の画素については前行のゲインを1.0として同様に確認する。確認の結果所定の誤差に収まらない場合はS808に進み行数pをインクリメントして分割境界の画素からさらに離れた行において、ゲインデータを生成するための補正值取得駆動を行う。

30

【0067】

S807にて誤差の最大値が所定以内に収まった場合は必要なゲインが収束したものとみなし、S809で補正処理を行う。S809では、S810で処理行が最終行であると判断されるまで、補正実行に対応して第p行目のゲインデータを順次使用して、ゲイン(除算)補正を実行する。

【0068】

S811及びS812では、第1の実施形態における図5のS508とS509と同様の処理により、分割画像の合成、及び画像処理・記録を行う。

40

【0069】

上記の通り本第3の実施形態によれば、補正処理に対応して第p行目のゲインデータを順次使用するため、転送ノードが分割された垂直信号線から与えられる複雑なカップリング容量変化に対応した補正が可能となる。

【0070】

以上、好ましい実施形態について説明したが、本発明はこれらの実施形態に限定されず適用可能である。また、その要旨の範囲内で種々の変形及び変更が可能である。

【0071】

例えば、上記第1～第3の実施形態においては、垂直信号線を上下2分割した場合について説明したが、上下方向に3分割以上した場合にも、本発明を適用することができる。

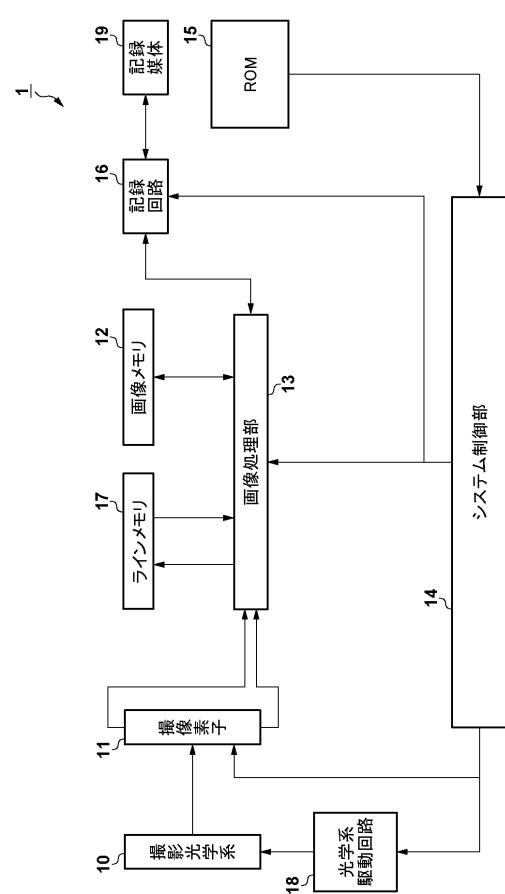
50

【符号の説明】

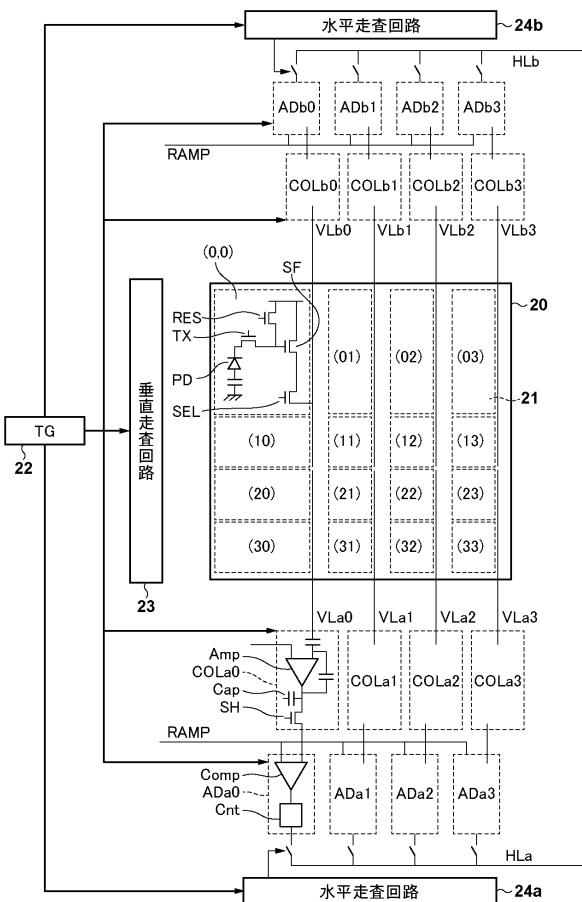
【0072】

11：撮像素子、12：画像メモリ、13：画像処理部、14：システム制御部、17：ラインメモリ、20：開口画素領域、21：画素、22：タイミング発生回路（TG）
、23：垂直走査回路、24a，24b：水平走査回路、PD：フォトダイオード、TX
：転送トランジスタ、VLaq，VLbq：垂直信号線、COLaq，COLbq：列回
路、ADaq，ADBq：AD変換回路

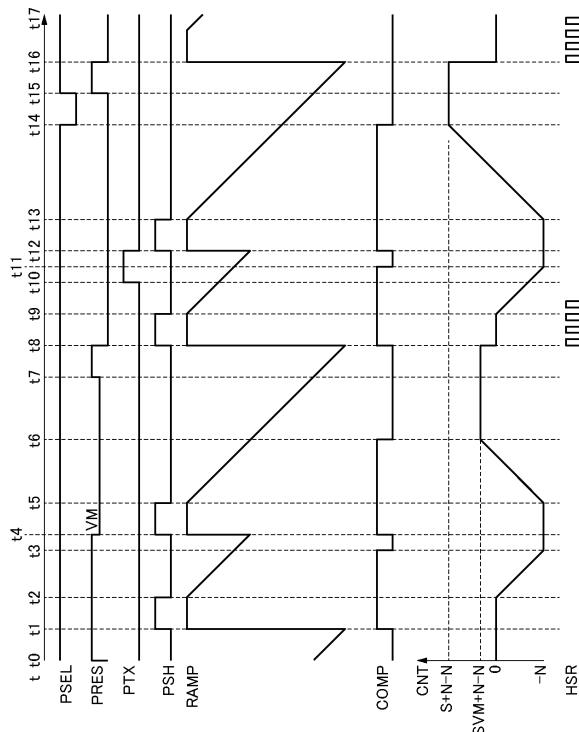
【図1】



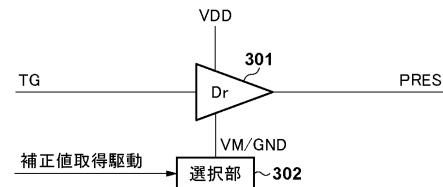
【図2】



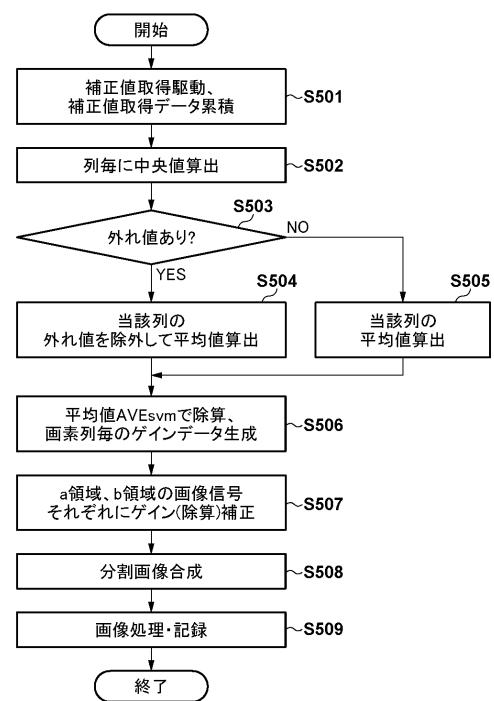
【図3】



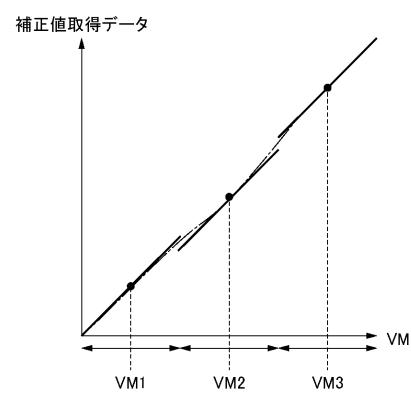
【図4】



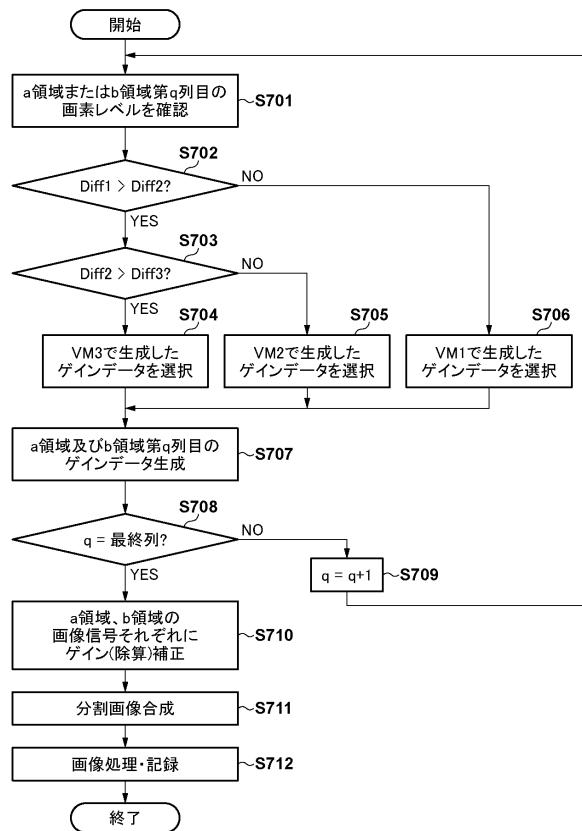
【図5】



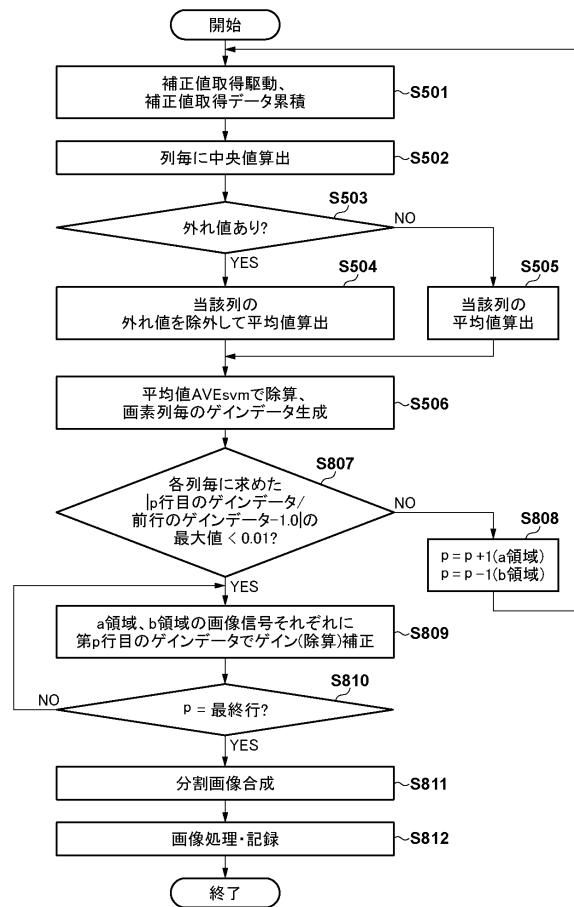
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 小林 寛和

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 竹田 伸弘

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 大室 秀明

(56)参考文献 特開2005-020039(JP,A)

特表2011-520386(JP,A)

特開2016-058771(JP,A)

特開2015-207904(JP,A)

米国特許出願公開第2011/0304751(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L21/339

H01L27/14-27/148

H01L27/30

H01L29/762

H04N 5/30-5/378