



(10) 申请公布号 CN 115668226 A

(43) 申请公布日 2023. 01. 31

(21) 申请号 202180035992.X

(22) 申请日 2021.06.08

(30) 优先权数据

102020207439.9 2020.06.16 DE

(85) PCT国际申请进入国家阶段日

2022.11.17

(86) PCT国际申请的申请数据

PCT/EP2021/065297 2021.06.08

(87) PCT国际申请的公布数据

W02021/254830 DE 2021.12.23

(71) 申请人 德国尤里希研究中心

地址 德国尤里希市52425

(72) 发明人 赵清太

(74) 专利代理机构 北京金智普华知识产权代理有限公司 11401

专利代理师 巴晓艳

(51) Int.Cl.

G06N 3/063 (2023.01)

H01L 29/51 (2006.01)

H01L 29/78 (2006.01)

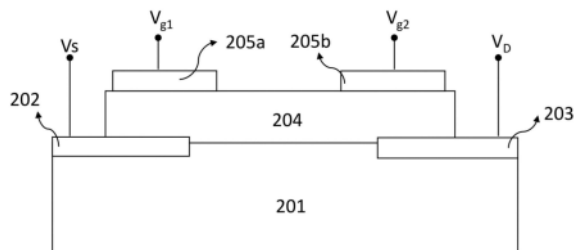
权利要求书2页 说明书7页 附图11页

(54) 发明名称

神经元和具有铁电调制金属半导体肖特基二极管的突触及方法

(57) 摘要

本发明涉及一种用于神经网络的突触组件，所述突触组件具有：半导体层(101,201)、以及连接到所述半导体层(101,201)的源电极(102,202)和连接到所述半导体层(101,201)的漏电极(103,203)，其中所述源电极(102,202)在空间上与所述漏电极(103,203)分离，其中所述源电极(102,202)和所述半导体层(101,201)形成肖特基二极管，其中所述源电极(102,202)与第一栅电极(105a,205a)由铁电材料(104a,104b,204)分离。本发明还涉及一种操作根据本发明的突触组件的方法，其中，所述第一肖特基二极管(101,102;201,202)以反方向连接，并且电压(V_{g1})以脉冲方式施加到所述第一栅电极(105a,205a)。



1. 一种用于神经网络的突触组件,所述突触组件具有:半导体层(101,201)、以及连接到所述半导体层(101,201)的源电极(102,202)和连接到所述半导体层(101,201)的漏电极(103,203),其中所述源电极(102,202)在空间上与所述漏电极(103,203)分离,其中所述源电极(102,202)和所述半导体层(101,201)形成第一肖特基二极管,其中所述源电极(102,202)与第一栅电极(105a,205a)由铁电材料(104a,104b,204)分离。

2. 根据前述权利要求所述的组件,其特征在于,所述漏电极(103,203)与所述半导体层(101,201)形成第二肖特基二极管。

3. 根据前述权利要求中任意一项所述的组件,其特征在于,所述漏电极(103,203)与第二栅电极(105b,205b)由所述铁电材料(104b,204)分离,并且其中所述第一栅电极(105a,205a)在空间上与所述第二栅电极(105b,205b)分离。

4. 根据前一项权利要求所述的组件,其特征在于,所述源电极(102,202)和所述漏电极(103,203)位于所述半导体层(101,201)的一侧上和/或所述半导体层(101,201)的相对端处。

5. 根据前述权利要求中任意一项所述的组件,其特征在于,所述半导体层(401)位于衬底上方,或者所述半导体层是衬底(601)。

6. 根据前述权利要求中任意一项所述的组件,其特征在于,所述半导体层(101,201,401)是半导体异质结构。

7. 根据前述权利要求中任意一项所述的组件,其特征在于,所述铁电材料作为层(104a,104b,204)存在,所述层至少部分位于所述半导体层(101,201)上。

8. 根据前述权利要求中任意一项所述的组件,其特征在于,所述铁电材料作为层(104a,104b,204)存在,所述层至少部分位于所述源电极(102,202)和/或所述漏电极(103,203)上。

9. 根据前述两项权利要求所述的组件,其特征在于,所述铁电材料作为单个层(204)存在,所述单个层既至少部分位于所述源电极(102,202)上,又至少部分位于所述漏电极(103,203)上。

10. 根据前述权利要求中任意一项所述的组件,其特征在于,所述铁电材料作为层(104a,104b,204)存在,并且所述第一栅电极(105a,205a)和/或所述第二栅电极(105b,205b)位于所述铁电层(104a,104b,204)的一侧上,并且所述源电极(102,202)和/或所述漏电极(103,203)位于所述铁电层(104a,104b,204)的相对侧上。

11. 根据前述权利要求中任意一项所述的组件,其特征在于,所述组件串联或并联地电连接到至少一个另外的根据前述权利要求中任意一项所述的组件,以形成交叉结构。

12. 根据前述权利要求中任意一项所述的组件,其特征在于,所述铁电材料选自:掺杂 HfO_2 的铁电、钙钛矿型铁电、有机铁电。

13. 根据前述权利要求中任意一项所述的组件,其特征在于,用于肖特基二极管的材料选自:Al、Ag、Au、Cu、Cr、Mo、Ni、Nb、Pt、Ti、Ni、TiN、TaN或金属半导体合金,诸如硅化物、锗化物、金属-硅锗锡合金。

14. 根据前述权利要求中任意一项所述的组件,其特征在于,所述半导体层(501)部分覆盖有电绝缘材料层(505,703a,703b)。

15. 一种神经网络,所述神经网络包括:根据前述权利要求中任意一项所述的突触组

件、以及电连接到所述突触组件的神经元。

16. 一种操作根据前述权利要求中任意一项所述的突触组件的方法, 其中, 所述第一肖特基二极管 (101, 102; 201, 202) 以反方向连接, 并且电压 (V_{g1}) 以脉冲方式施加到所述第一栅电极 (105a, 205a)。

神经元和具有铁电调制金属半导体肖特基二极管的突触及方法

技术领域

[0001] 本发明涉及一种用于神经网络的突触组件。突触组件意指具有生物突触属性的电子组件。因此，在下文中，电子组件也被称为突触。神经网络意指人工神经网络。

背景技术

[0002] 大脑是生物神经网络。它包括多个生物神经元，即神经细胞。生物神经元可以经由生物突触向另一生物神经元传递信息。这是借助于生物神经元的输出通道来完成的。此输出通道被称作轴突。其他生物神经元具有输入通道。该输入通道被称作树突。通过输入通道，其他生物神经元可以接收信息。生物神经元是否通过其轴突触发动作电位并因此传递信息的决定取决于传入信号的总和。源于生物突触的一个生物神经元对另一个生物神经元的影响可以随着生物突触的活动而随时间变化。此影响被称作生物神经元的“突触权重”。

[0003] 神经网络的属性和行为应该类似于生物神经网络的属性和行为。神经网络应能够借助于自适应算法来识别模式。与人类大脑相比，神经网络不必针对每个任务或问题从头开始。它具有借鉴已经获得的知识和已经取得的经验的可能性。

[0004] 从公开文献CN 208922326 U中已知一种具有忆阻器的神经网络。对于具有忆阻器的神经网络来说，缩放、稳定性和阻断能力是有问题的。

[0005] 公开文献W0 2019147859 A2公开了一种具有半导体通道的电子组件。输入电极邻近半导体通道的一端。输出电极邻近半导体通道的另外一端。在半导体通道上方，存在电介质材料层。在公开文献EP 0 529 565 B1中描述了一种半导体材料的电路，该电路用作具有带电载气的突触。从公开文献US 2019164597 A1中已知一种用于提供突触的集成电路。

[0006] 如果神经网络将用常规CMOS技术来实现，则需要多个晶体管。制造工作和能量消耗是很高的。神经网络可以包括铁电场效应晶体管(FeFET)。诸如锆钛酸铅(PZT)的传统铁电材料对环境有害，并且与既定CMOS技术不兼容。

发明内容

[0007] 本发明的任务是提供一种突触，即具有改进属性的突触组件。

[0008] 具有权利要求1的特征的突触组件(突触器件)用于解决该任务。从属权利要求涉及本发明的有利实施例。附加权利要求涉及一种用于操作突触组件的方法。

[0009] 权利要求1涉及用于神经网络的突触组件。该突触组件包括由半导体组成的层。该由半导体组成的层被称作半导体层。源电极连接到半导体层。漏电极连接到半导体层。源电极在空间上与漏电极分离。源电极和半导体层形成肖特基二极管。源电极与第一栅电极由铁电材料分离。漏电极与第二栅电极可以由铁电材料分离。两个栅电极在空间上彼此分离。

[0010] 如果一个电极与另一电极之间存在距离，则该两个电极是分离的。因此，空间上分离的电极彼此不接触。因此，两个电极之间不存在导电连接。借助于铁电材料，施加到第一栅电极的电压可以向源电极转移。这同样适用于第二栅电极与漏电极由铁电材料分离的情

况。通常,一个栅电极位于铁电材料的一侧上,并且另外一个源电极和/或漏电极位于铁电材料的相对侧上。该两个电极可以直接连接到铁电材料。本发明利用铁电材料的记忆属性来模拟生物突触的行为。

[0011] 肖特基二极管可以包括施加在诸如硅层的半导体层上的金属层。金属层是由金属组成的层。硅层是由硅组成的层。硅是一种半导体,即一种化学物质,其电导率介于电导体的电导率和电绝缘体的电导率之间。

[0012] 硅层可以是例如n硅,即n型掺杂硅层。电子从n-导电硅层迁移到金属层。因为相比于电子从金属层迁移到n-导电硅,反过来更容易,因此在硅层中形成了耗尽电子的区域。该区域被称作肖特基势垒。因此,产生了势垒层和/或空间电荷区。此外,产生了电场。电场阻碍电极的迁移。如果电场足够大,电子不再从n-导电硅层向金属层迁移。然而,硅层也可以是p硅,即p型掺杂硅层。

[0013] 如果对n-导电硅施加正电压,并且对金属层施加负电压,则空间电荷区变得更大。然后将肖特基二极管以反方向连接。

[0014] 如果对n-导电硅施加负电压,并且对金属层施加正电压,则肖特基二极管以正向连接。电子从n硅流入金属层。如果肖特基二极管以正向连接,则空间电荷区被清除。

[0015] 电极是电导体。电极通常由金属组成。

[0016] 根据本发明的层可以以直线延伸,即沿着平面延伸。然而,根据本发明的层也可以是圆形的和/或有角的。

[0017] 利用具有权利要求1的特征的组件,可以模仿生物突触的行为。该组件可以用较少技术工作来制造。该组件可以由环保材料制成。

[0018] 源电极和漏电极可以在半导体层的一侧上。此组件可以以技术上简单的方式生产。源电极和漏电极可以通过沉积生产在半导体层的表面上。

[0019] 源电极和漏电极可以在半导体层的相对端处。以这种方式,可以在源电极与漏电极之间提供合适的距离。

[0020] 为了以技术上简单的方式生产该组件,该组件可以包括衬底。然后在衬底上方施加半导体层。半导体层可以是薄层。衬底可以由硅组成。衬底与半导体之间存在电绝缘层。干扰影响可以由电绝缘层来阻止。

[0021] 该组件的铁电材料可以是层的形式。因此,可以在源电极上施加铁电材料层。因此,可以在漏电极上施加铁电材料层。铁电层可以部分位于半导体层上,以实现技术上简单的生产。铁电层可以部分位于源电极和/或漏电极上。不一定需要存在两个空间上分离的铁电材料层。铁电层可以是至少部分在源电极上并且至少部分在漏电极上的单个铁电材料层。这也可以促进生产。

[0022] 可以在此铁电层的相对侧上施加第一栅电极和/或第二栅电极。第一栅电极和/或第二栅电极可以位于铁电层的一侧上。源电极和漏电极可以位于铁电层的相对侧上。

[0023] 由金属组成的漏电极可以用作突触组件的衬底。可以首先在衬底上施加半导体材料。在半导体材料上,可以施加用于源电极的金属。可以在源电极上施加铁电材料。可以在铁电材料上施加用于栅电极的金属。因此,垂直构造是可能的。

[0024] 可以在生产过程中提供一个或多个电绝缘层,以便以技术上简单的方式生产突触组件。例如,可以在半导体层上施加具有凹槽的绝缘层。可以通过凹槽接触半导体层。例如,

凹槽可以至少部分地涂覆有金属,以生产肖特基二极管。具有凹槽的绝缘层有助于保持两个电极电分离。生产一个或多个绝缘层在垂直构造中也是有利的。电绝缘层可以覆盖半导体材料,只要半导体材料不被金属电极接触。

[0025] 多个突触组件可以以简单的方式来生产,该多个突触组件并联和/或串联地电连接。可以生产所谓的交叉结构,该交叉结构在神经网络中是有利的。

[0026] 半导体材料可以选自:Si、Ge、SiGe、SiGeSn、GeSn、SiC。半导体材料可以是III-V族化合物半导体、II-VI族化合物半导体。半导体材料可以是2D材料,由此,该2D材料仅由一层或仅几层原子和分子组成。半导体材料可以是衬底或衬底上的半导体层,诸如“绝缘体上硅(SOI)”。衬底意指自支撑层,该自支撑层因此可以用作用于其它层的载体。为了生产该组件,由此可以假设存在衬底,在该衬底上可以沉积另外的层。半导体材料可以是具有几个半导体层的半导体异质结构。

[0027] 铁电材料可以选自:HfO₂基铁电、钙钛矿型铁电和有机铁电。可以掺杂铁电材料,诸如HfO₂基铁电。掺杂质可能发生在以下元素中的一种或多种:N、Al、Si、Sc、Ge、Y、Zr、Gd、Pr、Sr、Tb、La、Lu。

[0028] 用于肖特基二极管的金属可以选自:Al、Ag、Au、Cu、Cr、Mo、Ni、Nb、Pt、Ti、Ni、TiN、Ta₂N和金属合金。用于肖特基二极管的金属可以是金属半导体合金,诸如硅化物、锗化物、金属-硅锗锡合金。

[0029] 通过本发明,可以提供基于金属/半导体肖特基势垒的人造突触元件。铁电层的极化在金属/半导体界面处产生屏蔽电荷,从而调制金属/半导体接触中肖特基势垒的有效强度。多畴系统中的极化切换引起金属/半导体界面处的多级电荷分布,从而导致二极管的多级传导。这可以被利用来模仿突触的属性。

[0030] 本发明解决了FeFET中铁电材料与半导体材料之间的界面处的界面陷阱的问题,因为铁电材料主要设置在金属上。根据本发明的铁电器件可以使用CMOS工艺在相对低的温度(<800°C)下生产。因此,可以使用几乎所有的铁电材料。

[0031] 本发明提供了一种构建人造突触的方法,该人造突触可以根据以下模式生产。人造突触可以包括两个金属/半导体肖特基二极管,该两个金属/半导体肖特基二极管在背面连接并与铁电层和栅电极接触。两个肖特基二极管上的铁电层的厚度可以相同或不同。这也适用于对用于铁电层的材料的选择。一个肖特基二极管可以充当信号输入,而第二肖特基二极管可以用来控制突触权重。通过向第二肖特基二极管施加恒定的偏置电压,突触权重也可以经由第一肖特基二极管上的控制电压来调节。金属-半导体结的存在可以代替第二肖特基二极管,其作用就像欧姆接触。

[0032] 具有金属/半导体肖特基二极管的反向偏置电压的人造突触发生附加效应,这些人造突触覆盖有铁电层。这里,漏电极可以通过半导体处的欧姆接触来实现。

[0033] 本发明还涉及一种用于操作根据本发明的突触组件的方法。第一肖特基二极管在操作期间以反方向连接(反向偏置)。电压以脉冲方式施加到第一栅电极。然后,突触组件的行为就像生物突触。

附图说明

[0034] 附图示出了:

- [0035] 图1:神经栅极的功能原理;
- [0036] 图2a:突触的构型;
- [0037] 图2b:根据图2a的突触的符号表示;
- [0038] 图3:突触的构型;
- [0039] 图4a:由正栅极电压对肖特基二极管的调制;
- [0040] 图4b:由负栅极电压对肖特基二极管的调制;
- [0041] 图5a:具有正栅极电压的肖特基二极管的能带模型;
- [0042] 图5b:具有负栅极电压的肖特基二极管的能带模型;
- [0043] 图6a:电流电压曲线;
- [0044] 图6b:突触的构型;
- [0045] 图7:脉冲电流图;
- [0046] 图8a:多个突触的构型;
- [0047] 图8b:图8a的剖视图;
- [0048] 图9a:突触的构型;
- [0049] 图9b:图9a中突触的符号表示;
- [0050] 图10:突触元件的垂直排列;
- [0051] 图11a、图11b:神经元件的符号表示;
- [0052] 图12:神经网络;
- [0053] 图13:突触的真实表示;
- [0054] 图14:与非门;
- [0055] 图15:与门。

具体实施方式

[0056] 图1示出了神经栅极的工作原理,该神经栅极由几个输入突触 x_1 至 x_n 以及神经元组成。具有权重 w_i 的突触 x_i 的输入信号以以下函数积分:

$$[0057] \quad S = \sum_{i=1}^n x_i w_i + \theta$$

[0058] 这里的S是输入信号与关联权重的积分,并且 θ 是偏移量。神经函数 $f(s)$ 充当阈值函数。一旦S达到阈值,具有函数 $f(s)$ 的神经元就被激活。

[0059] 图2示出了突触的第一构型。突触包括由半导体组成的层101。在半导体层101上,具有源电极102和漏电极103。两个电极102、103在空间上彼此分离。两个电极102、103可以邻近半导体层101的端面存在。两个电极102、103由金属组成。两个电极102、103可以是层的形式。可以向源电极102施加电势 V_s 。可以向漏电极103施加电势 V_d 。电势 V_s 不同于电势 V_d 。

[0060] 选择源电极102的金属和半导体层101的半导体材料,使得源电极102与半导体层101之间的结是肖特基接触。因此,具有由源电极102和半导体层101形成的第一肖特基二极管。

[0061] 可以选择漏电极103的金属和半导体层101的半导体材料,使得漏电极103与半导体层101之间的结是肖特基接触。因此,漏电极103和半导体层101可以形成第二肖特基二极

管。

[0062] 在等效电路中,第一肖特基二极管和第二肖特基二极管“背对背”连接。因此,电势 V_s 与电势 V_p 之间的电势差导致一个肖特基二极管以反方向连接,并且另一个肖特基二极管以正方向连接。

[0063] 由于电势 V_s 与电势 V_p 之间的电势差,电流可以从源电极102流向漏电极103。当电流从源电极102流向漏电极103时,电流以反方向经过第一肖特基二极管,并且以正方向经过第二肖特基二极管。电流以反方向的流动可以通过电子隧穿第一肖特基二极管的结来完成。如果电流以正方向流经第二肖特基二极管,则第二肖特基二极管的作用就像欧姆电阻器。

[0064] 在源电极102上方,存在第一铁电层104a。第一铁电层104a可以覆盖源电极102的一部分。第一铁电层104a与半导体层101重叠。

[0065] 在漏电极103A上方,存在第二铁电层104b。第二铁电层104b可以覆盖源电极103的一部分。第二铁电层104b与半导体层101重叠。

[0066] 第一电极105a位于第一铁电层104a上。第二电极105b位于第二铁电层104b上。电极105a和105b两者都可以由金属组成。

[0067] 突触被构型为使得电势 V_{g1} 可以被施加到第一电极105a。第一肖特基二极管的肖特基势垒可以由施加的电势 V_{g1} 来调制。突触被构型为使得电势 V_{g2} 可以被施加到第二电极105a。第二肖特基二极管的肖特基势垒可以由施加的电势 V_{g2} 来调制。

[0068] 第一电势 V_{g1} 可以被理解为神经网络内的突触输入信号。第二电势 V_{g2} 可以用来控制神经网络内的权重。

[0069] 铁电层104a和/或104b可以与施加在半导体层101上的电极102和103的区域重叠。因此可以促进生产。此外,第一肖特基二极管和第二肖特基二极管的肖特基势垒可以以更可控的方式来调制。

[0070] 图2b示出了具有源电极S和漏电极D的图2a所示的突触的电符号。

[0071] 在图3中,示出了突触的第二构型,该突触仅具有一个连续的铁电层204,而不是两个铁电层204a和204b。此外,这里所示的突触具有由半导体构成的层201。如图2a的情况一样,在半导体层201上具有源电极202和漏电极203。选择源电极202的金属和半导体层201的半导体材料,使得源电极202与半导体层201之间的结是肖特基接触。可以选择漏电极203的金属和半导体层201的半导体材料,使得漏电极203与半导体层201之间的结是肖特基接触。第一电极205a和第二电极205b位于铁电层204上。图2b的电符号也可以表示图3所示的突触。

[0072] 图4a和图4b示出了通过施加电势 V_{gi} 对肖特基势垒的调制,其中 V_{gi} 中, $i=1$ 或 $i=2$ 。图4a图示了施加到电极305的电压和/或电势为正的情况。铁电体的极化导致非易失性记忆效应,使得电子存在于半导体层301中。图4b图示了当负电压 V_{gi} 分别被施加到第一电极和/或第二电极305时的情形,其中由于极化引起的非易失性记忆效应,正电荷(空穴)存在于半导体层301中。因此,肖特基势垒的厚度可以通过施加电势 V_{gi} 来调制。这影响了隧道电流的流动。

[0073] 图5使用能带模型示出了从图中所示的金属层302到n型掺杂半导体层301的肖特基势垒的调制。当施加正电压 V_{gi} 时,如图4a所示,在金属-半导体界面处生成了更多电子。增

强了能带曲率(虚线)。结果是更小的肖特基势垒。这导致沿箭头方向的隧道电流密度更高,该隧道电流密度可以公式表示如下:

$$[0074] \quad J_t \sim \exp\left(-\frac{q\phi_{bn}}{\sqrt{N_D}}\right)$$

[0075] 这里的 ϕ_{bn} 是电子的肖特基势垒的高度。 q 是电子的电荷。 N_D 是半导体301表面处的掺杂浓度。

[0076] 如果图4b所示的电压 V_{gi} 为负,则耗尽导致更小的 N_D ,并且因此导致更宽的肖特基势垒。结果是沿箭头方向的电流密度更小。因此,通过调制铁电的多畴极化,可以调节金属-半导体界面中的掺杂浓度,并且因此调节肖特基二极管的电导率。

[0077] 对于p型掺杂半导体,极化和偏置指向相反方向。肖特基势垒为 ϕ_{bp} 。

[0078] 图6a呈现了根据从源电极402到漏电极403的 V_{g1} 对电流 I_D 的测量的示例。向漏电极施加-0.5伏的电势。实线示出了在电压 $V_{g2} = -1V$ 时确定的测量曲线。虚线示出了在电压 $V_{g2} = +1V$ 时确定的测量曲线。图6a中的电流电压特性 $I_D - V_{g1}$ 示出了逆时针方向的滞后现象。这对于铁电材料来说是典型的。因此,突触所需的记忆效应是由铁电材料来实现的。通过改变电压 V_{g2} ,初始电流也会受到影响。这证明了突触的 V_{g2} 的权重功能。

[0079] 图6a所示的测量曲线是使用图6b所示的组件来执行的。薄的p掺杂硅层与Si衬底由绝缘层分离。这被称作绝缘体上硅,并且缩写为SOI。绝缘层由“埋氧化硅”形成,埋氧化硅也被称作BOX。源电极402和漏电极403由单晶 $NiSi_2$ 形成。层402和403通过非常薄的Ni上的硅化沉积在薄的p掺杂硅层401上。层401为55nm厚并且是低p掺杂的。通过原子层沉积(ALD), $HfZrO$ 被沉积为铁电层404。铁电层404的厚度可以是3nm至30nm。第一电极405a和第二电极405b由TiN生产。第一电极405a和第二电极405b用作栅电极。

[0080] 图7示出了在第一栅极处,即在第一栅电极405a处的脉冲信号的影响下,图6的元件的测得突触特性的示例。电流 I_D 相对于脉冲数 PN 绘制。因此,电压 V_{g1} 以脉冲方式施加到第一栅电极。如图7中所指示的,长时程增强(LTP)由正脉冲信号生成。长时程抑制(LTD)将由负脉冲信号生成。

[0081] 图8a和图8b示出了几个具有交叉结构的突触。图8b示出了从图8a的A到A'的截面图。突触的两个肖特基二极管具有共同半导体层501。第一肖特基二极管的金属层502a用作源电极。金属层502b用作漏电极。为了生产,首先在半导体层上生产电绝缘层505,使得保留两个到半导体层的通路。随后,两个层502a和502b被生产为使得它们彼此电分离。然后,生产所示的具有栅电极504a和504b的铁电层502a和502b。有利的是,可以以技术上简单地生产交叉结构的方式利用常规生产技术生产多个突触。

[0082] 图9示出了包括第一肖特基二极管的突触的示例。肖特基二极管包括由金属构成的漏电极602。在半导体层601上施加由金属构成的漏电极602。第一肖特基二极管可以借助于电压 V_g 通过根据本发明的具有栅电极605的铁电层604来调制。可以存在具有半导体层601和由金属构成的漏电极603的第二肖特基二极管。这可以用在流动方向上的偏置电压 V_D 来操作。然而,不需要选择半导体层601和由金属构成的漏电极603,使得存在第二肖特基二极管。反而,半导体层601和由金属构成的漏电极603可以是欧姆接触。

[0083] 第一肖特基二极管602、601在反向偏置电压下操作。该突触元件的操作就像单栅晶体管,该单栅晶体管可以由图9b的符号来表示。

[0084] 图10示出了垂直排列的突触元件。由金属构成的层701可以用作衬底。然而,也可以在衬底上施加由金属构成的层701。由金属构成的层701用作漏电极。因此,由金属构成的层701被构型为使得其可以连接到电压 V_D 。在由金属构成的层701上施加半导体层702。由金属构成的层701和半导体层702可以是肖特基二极管。在半导体层上,已经施加绝缘体层703a、703b,使得在上侧上保留了到半导体层702的通路。也可以在绝缘层703a、703b的沉积之后,随后,诸如通过蚀刻,创建通路。随后,在上侧上沉积金属层704。金属层704通过通路接触半导体层702。金属层704用作源电极。因此,它可以连接到电压 V_S 。金属层704和半导体层702形成肖特基二极管。在金属层704上沉积铁电层705。在铁电层705上沉积金属层706。金属层706用作栅电极。因此,它可以连接到电压 V_G 。

[0085] 图10所示的结构可以旋转 180° 。图10所示的结构是C2旋转不变的。

[0086] 图11a和图11b用符号表示了具有根据本发明的突触的神经元件,其中存在晶体管和电阻器。晶体管可以是双栅晶体管801,也可以是单栅晶体管803。这些晶体管表示突触元件。电阻器802和804充当上拉/下拉电阻器。通过调节电阻器的电导,可以调节神经元的激活。

[0087] 图12示出了具有多个根据本发明的突触并且具有常规CMOS神经元的神经网络。左边示出了晶体管中表示为 $X_1, W_1, \dots, X_n, W_n$ 的突触。右边示出的是常规神经元件。突触可以是单栅元件,如图9和图10所示。突触的生产可以根据CMOS神经元方法来执行,以避免CMOS工艺期间的高温处理。根据本发明的突触可以与由图12图示的常规神经元相组合。

[0088] 图13示出了用作神经元到神经元的连接的突触。信号904在一个方向上流动,并且该方向是从突触前神经元901到突触后神经元903。还示出了神经调制物902。图13所示的结构可以由本发明来实现。由105a/205a形成的图2和图3的第一栅极(V_{g1})可以用作突触前神经元。源电极用作突触后神经元。由105b/205b形成的第二栅极(V_{g2})用作神经调制物。因此,可以同时实现处理、学习和调制功能。

[0089] 图14示出了如何可以将图11a所示的组件用作双输入与非门。

[0090] 图15示出了如何可以将根据图2b的组件用作与门,其中 I_{out} 是通过D流出的电流。

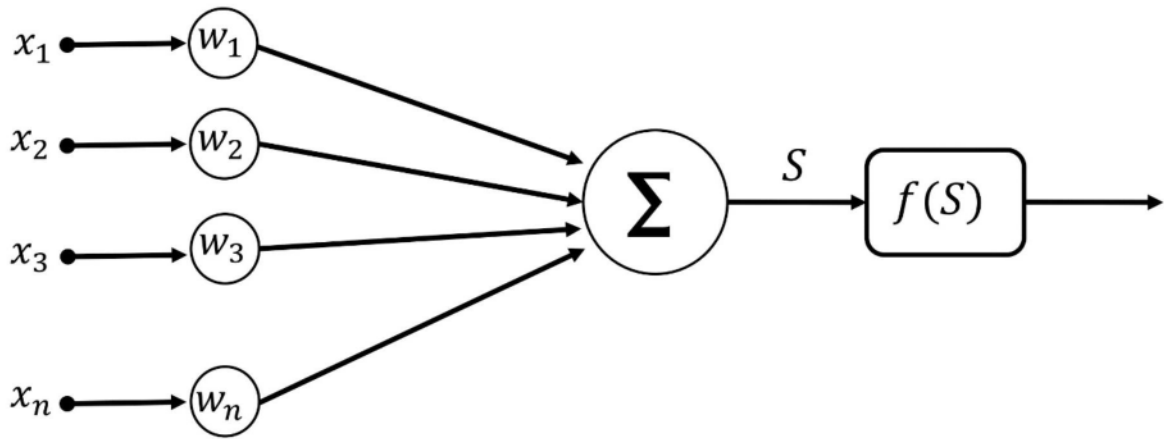


图1

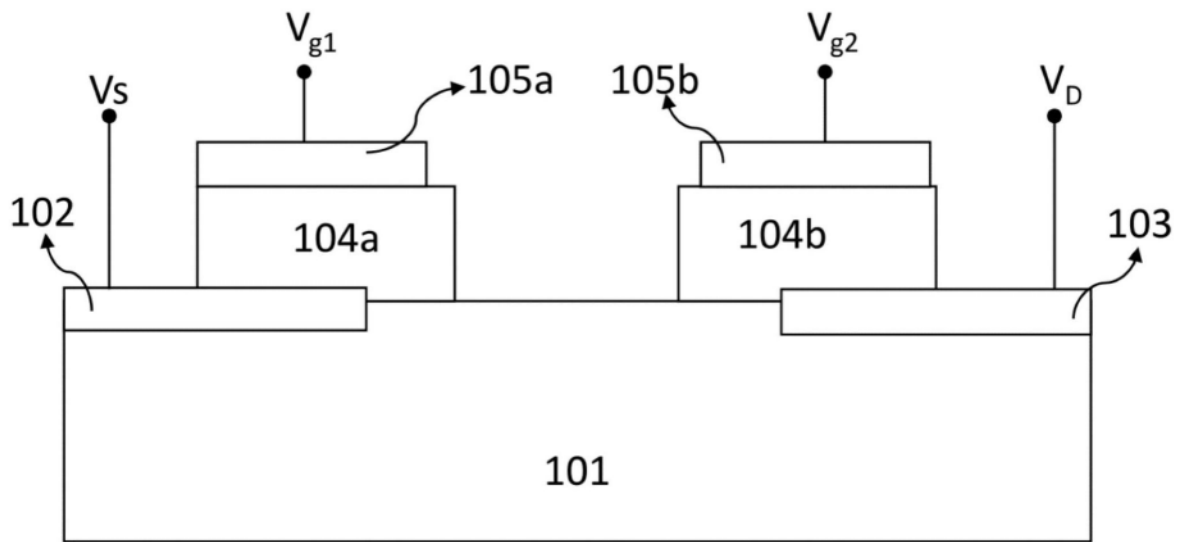


图2a

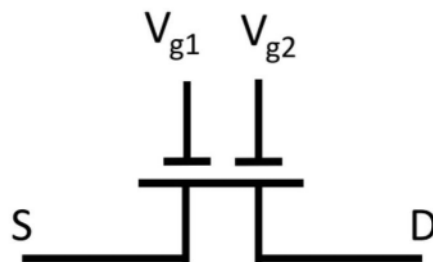


图2b

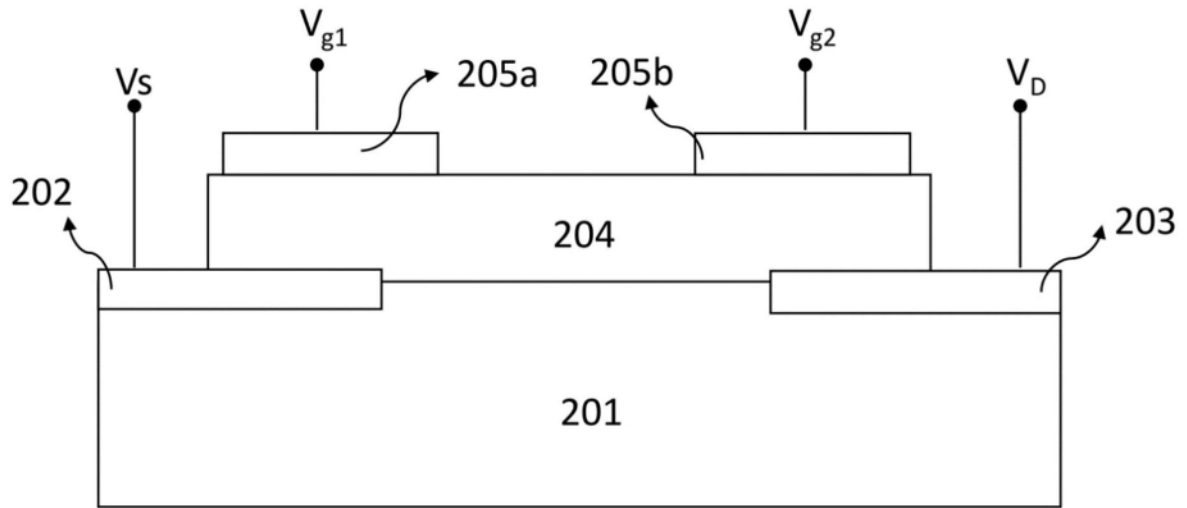


图3

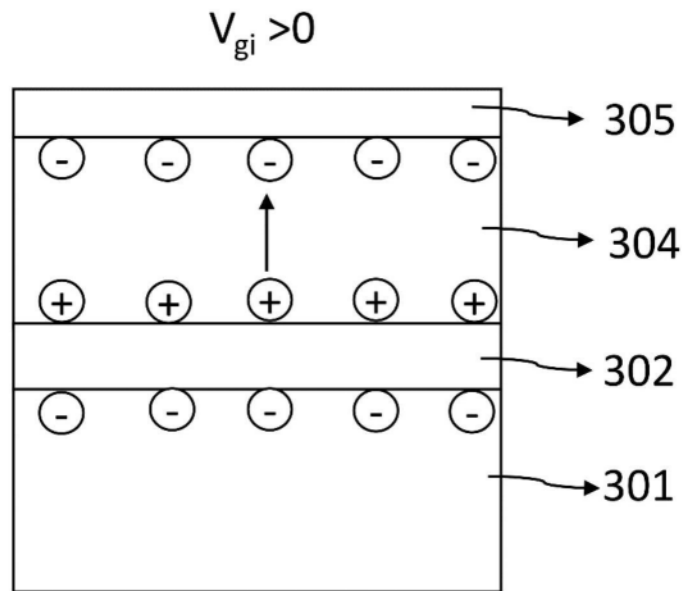


图4a

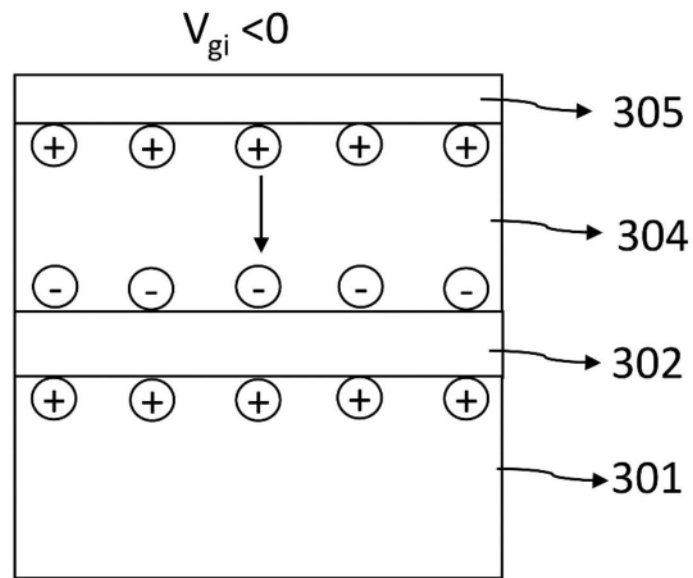


图4b

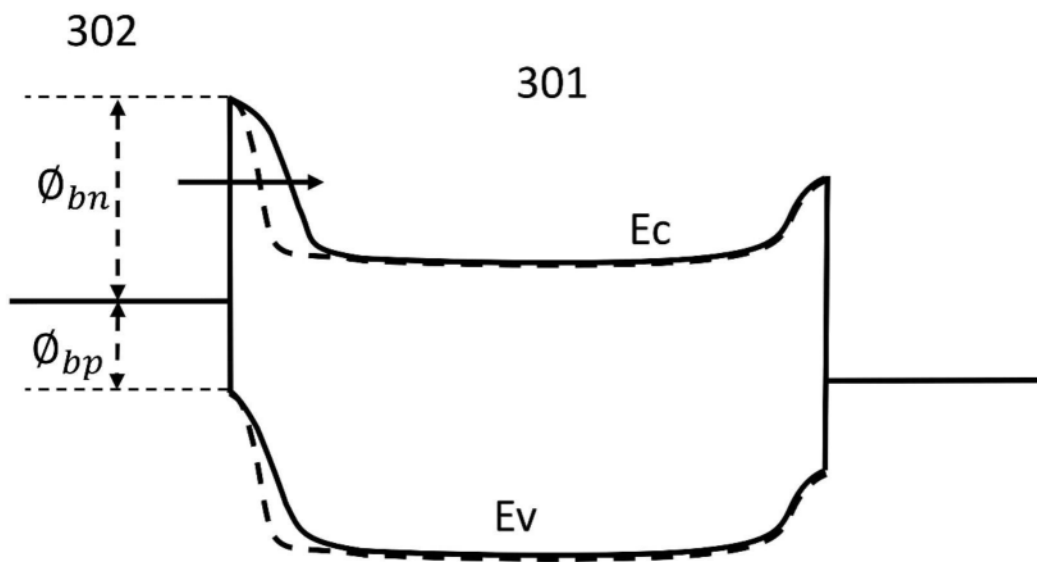


图5a

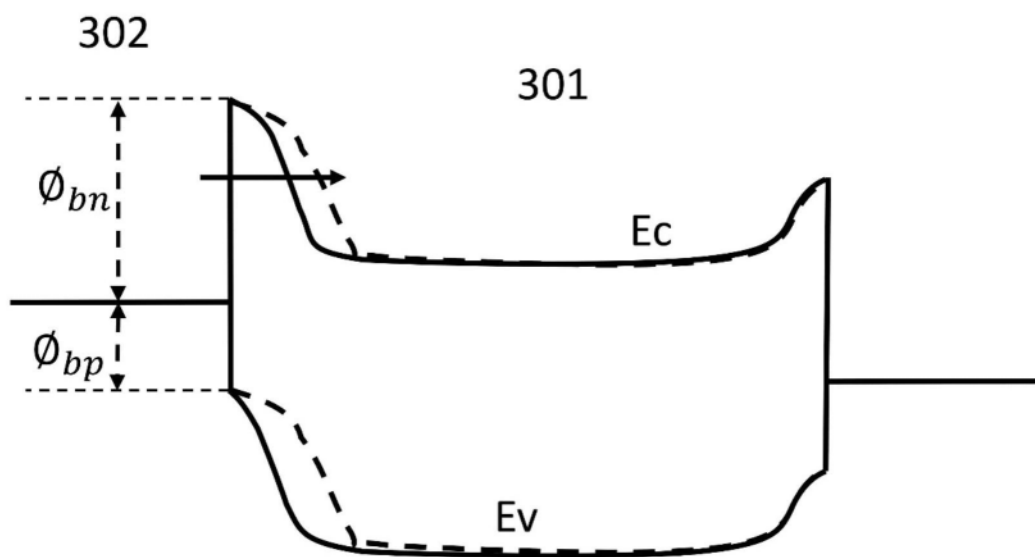


图5b

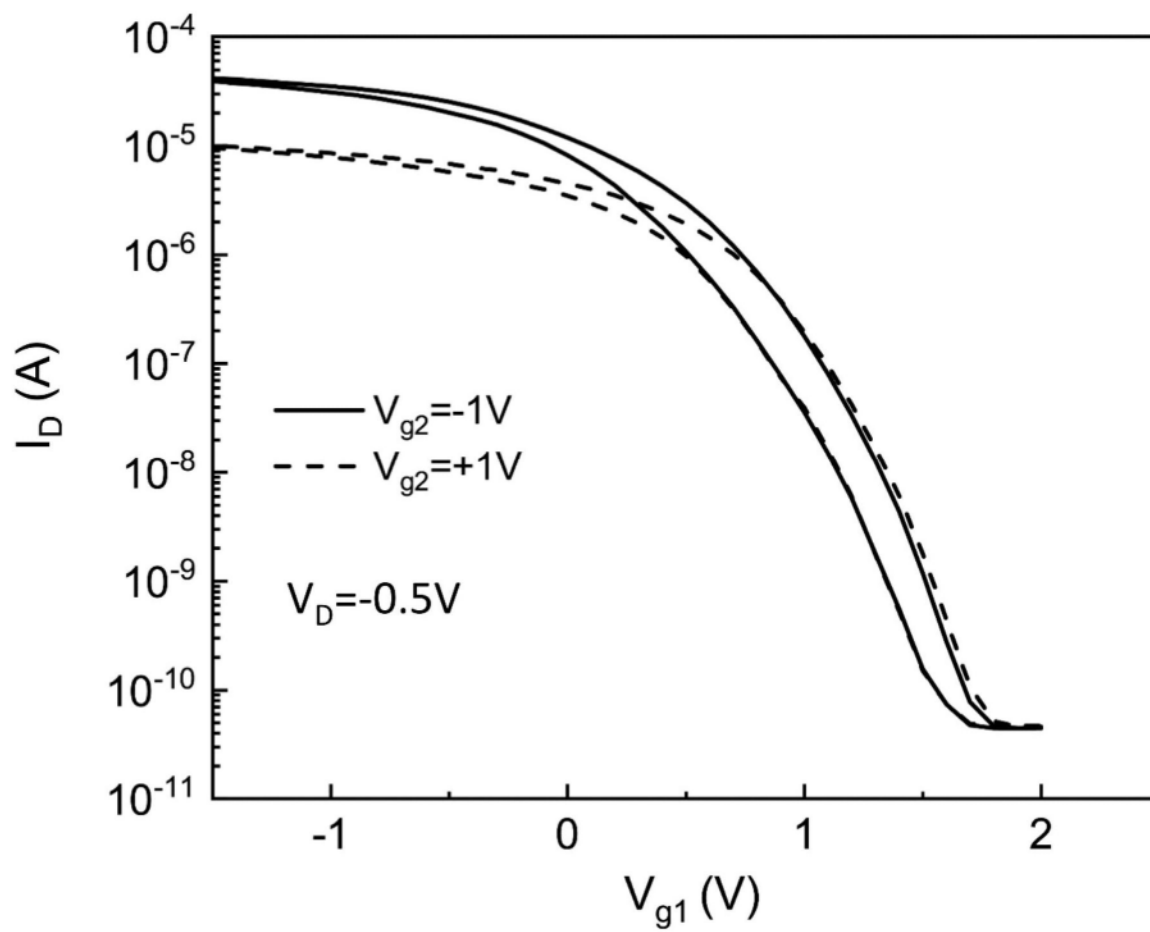


图6a

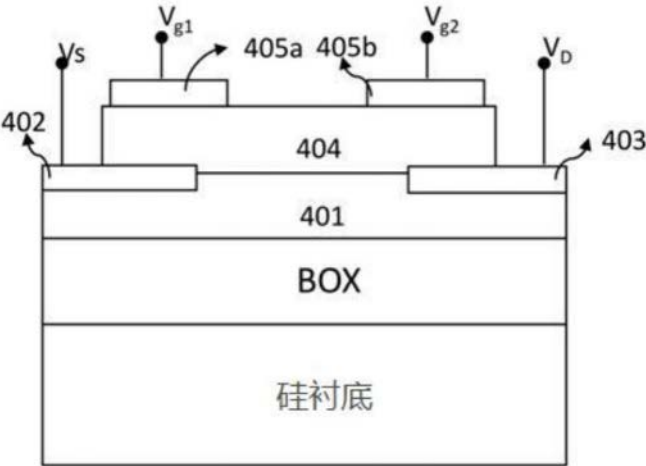


图6b

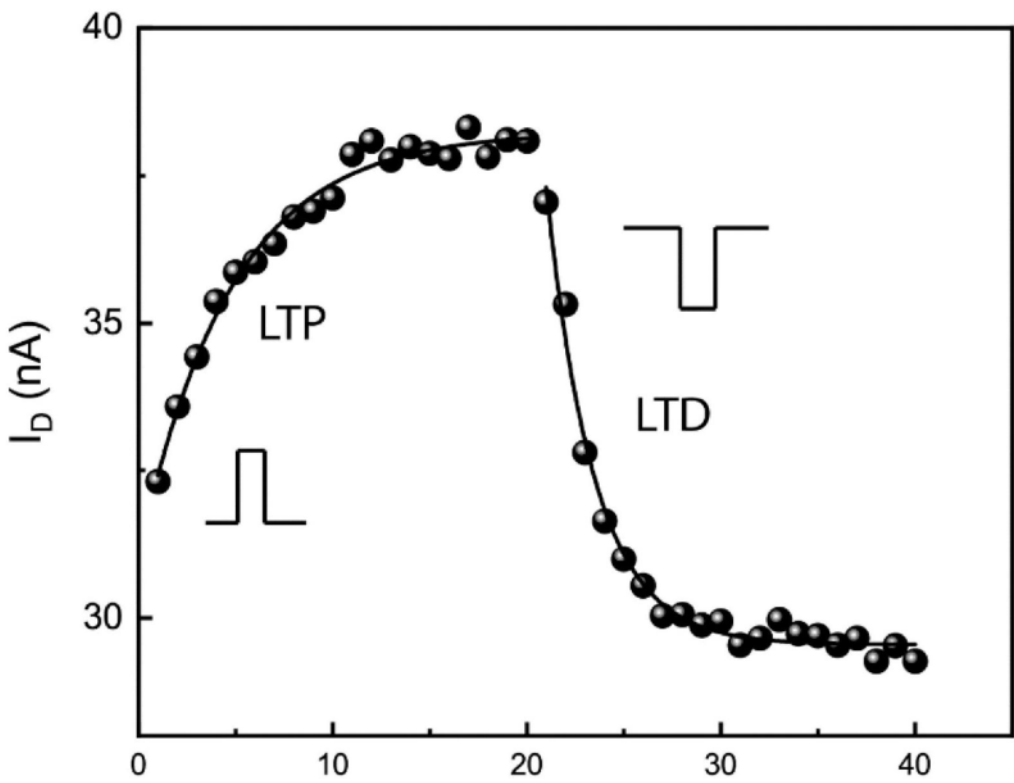


图7

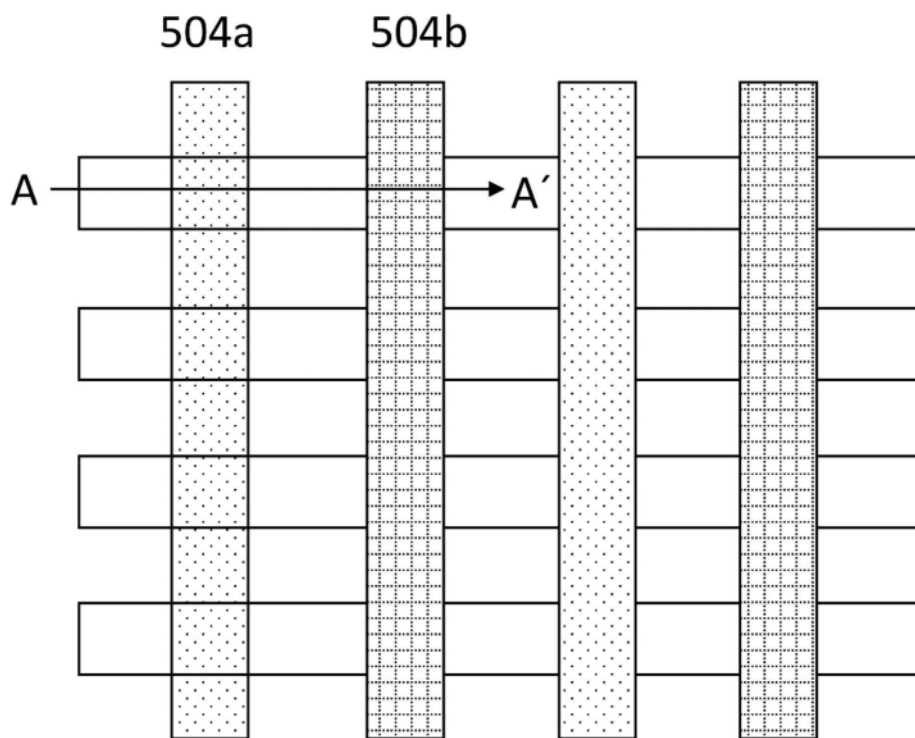


图8a

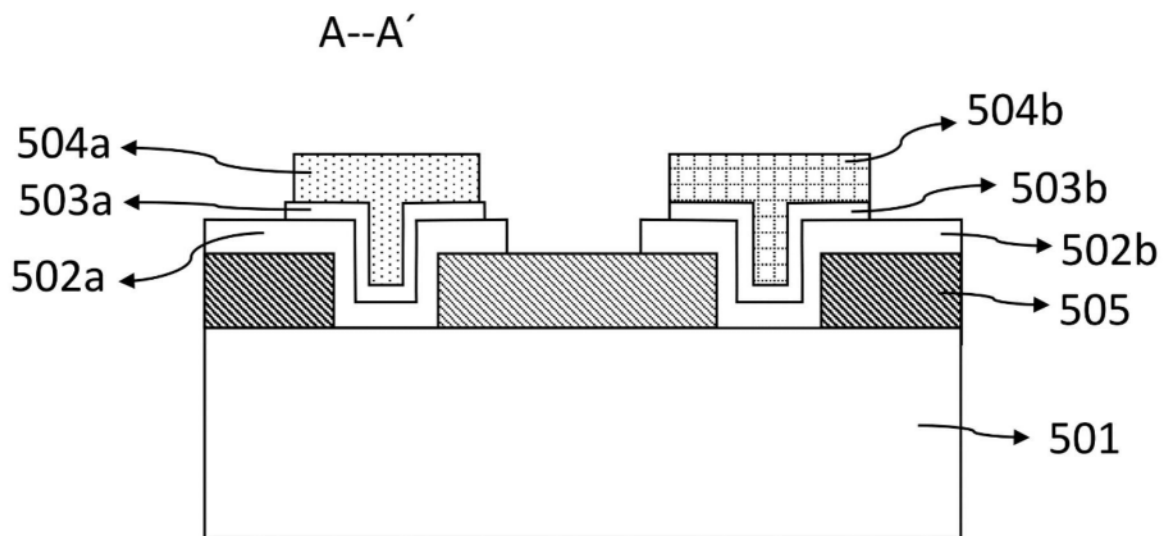


图8b

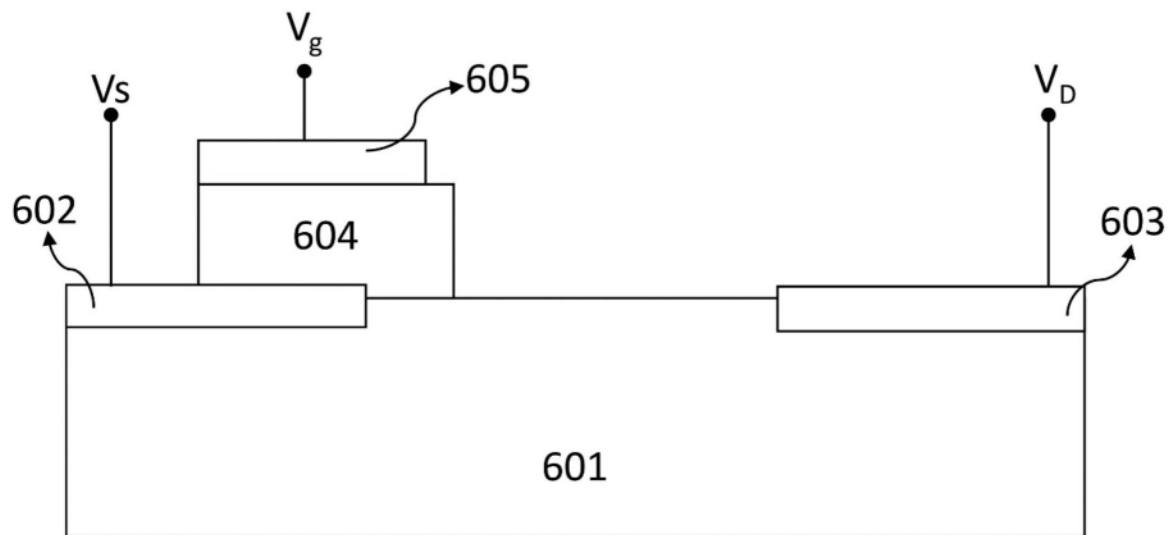


图9a

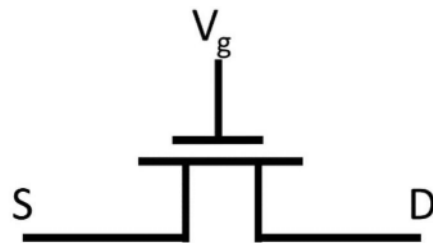


图9b

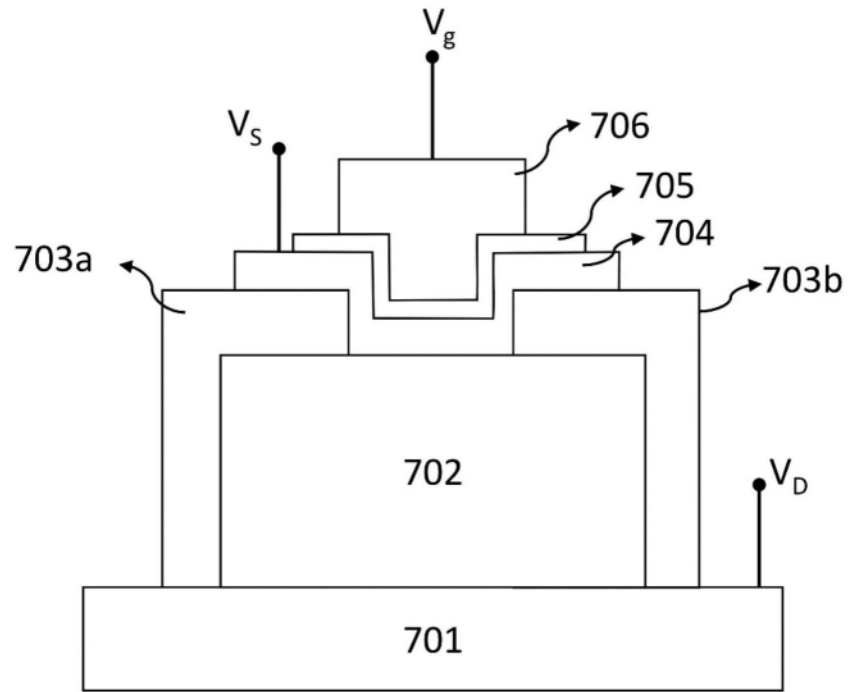


图10

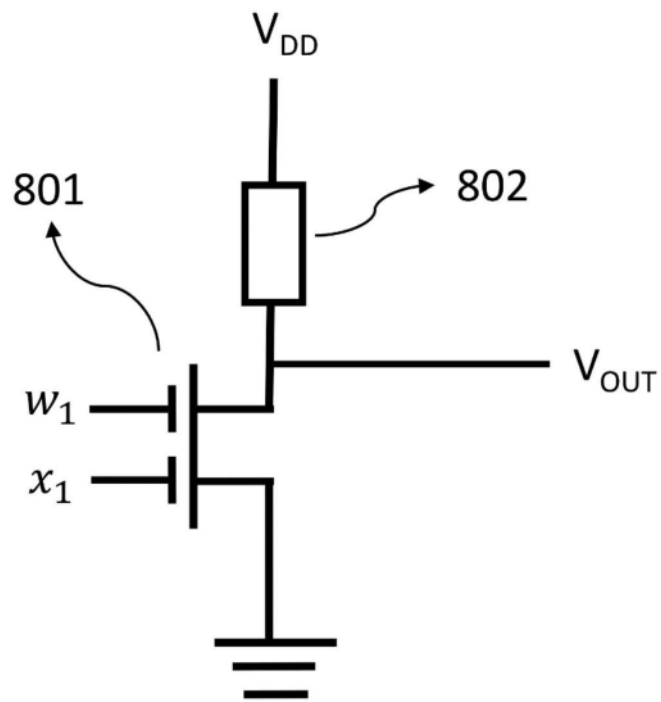


图11a

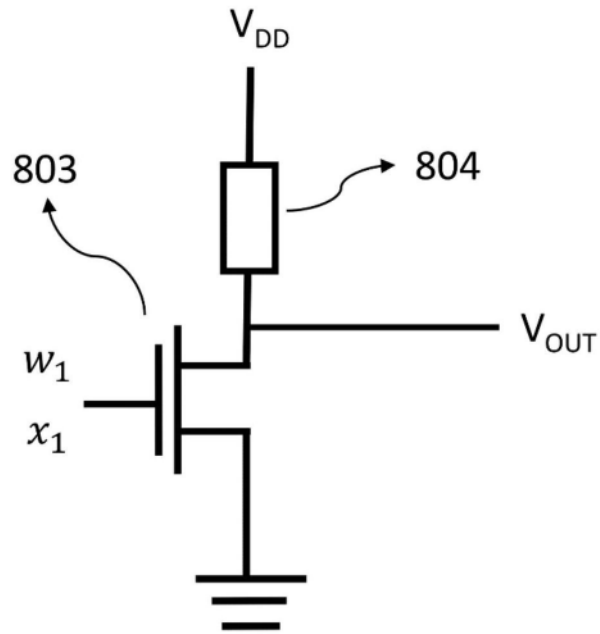


图11b

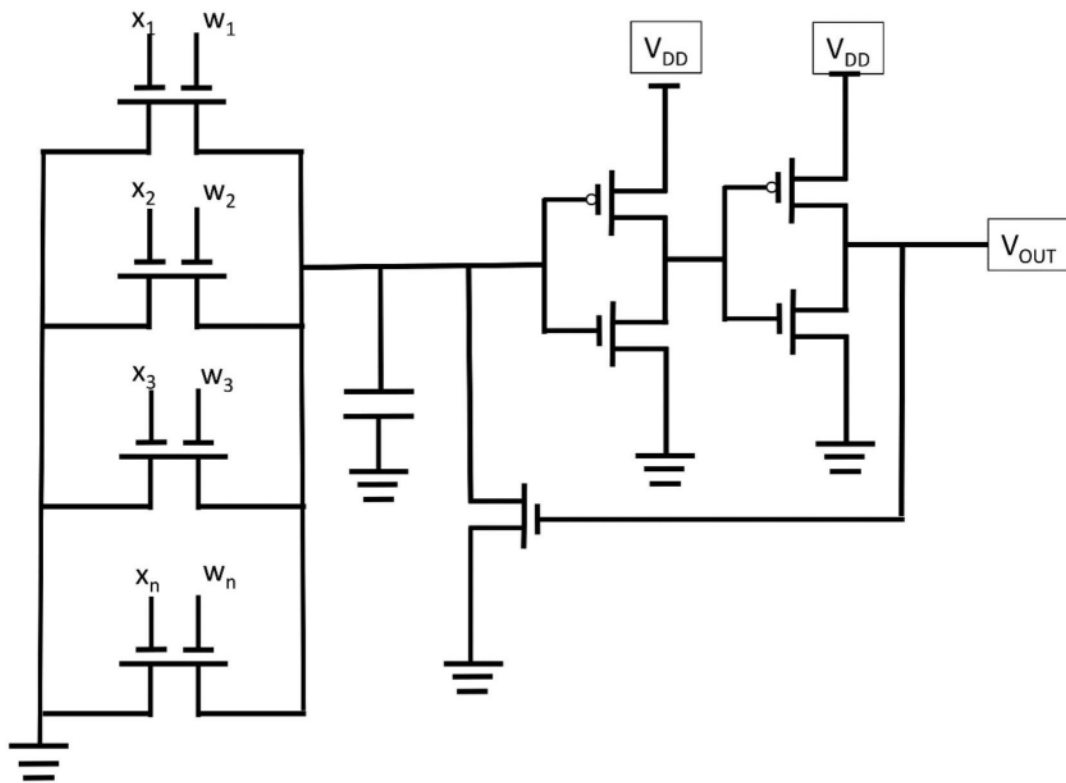


图12

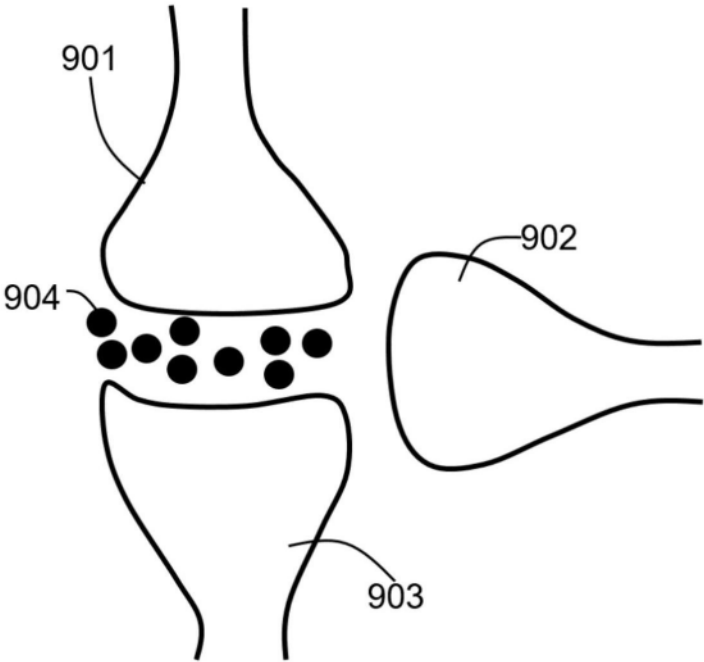


图13

w_1	x_1	V_{out}
0	0	1
0	1	0
1	0	0
1	1	0

图14

V_{G1}	V_{g2}	I_{out}
0	0	0
0	1	0
1	0	0
1	1	1

图15