



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I628798 B

(45)公告日：中華民國 107 (2018) 年 07 月 01 日

(21)申請案號：103115172

(22)申請日：中華民國 103 (2014) 年 04 月 28 日

(51)Int. Cl. : **H01L29/78 (2006.01)****H01L21/28 (2006.01)**

(30)優先權：2013/05/09 日本

2013-099534

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：花岡一哉 HANAOKA, KAZUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2012/0146713A1

US 2013/0009209A1

審查人員：林弘恩

申請專利範圍項數：11 項 圖式數：17 共 95 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

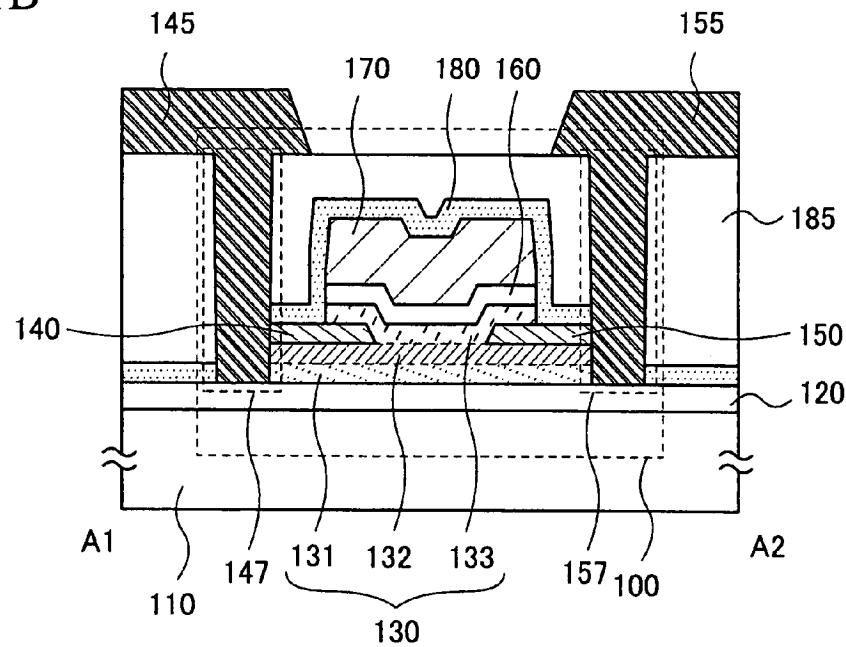
(57)摘要

本發明的一個方式的目的之一是提供一種即使進行微型化也容易製造且能夠抑制伴隨微型化的電特性下降的半導體裝置以及其製造方法。在氧化物半導體層的頂面上形成有源極電極層及汲極電極層，氧化物半導體層的側面及源極電極層的側面位於同一個面上，該氧化物半導體層的側面及該源極電極層的側面與第一佈線以側面接觸的方式電連接。此外，氧化物半導體層的側面及汲極電極層的側面位於同一個面上，該氧化物半導體層的側面及該汲極電極層的側面與第二佈線以側面接觸的方式電連接。

To provide a semiconductor device having a structure with which the device can be easily manufactured even if the size is decreased and which can suppress a decrease in electrical characteristics caused by the decrease in the size, and a manufacturing method thereof. A source electrode layer and a drain electrode layer are formed on an upper surface of an oxide semiconductor layer. A side surface of the oxide semiconductor layer and a side surface of the source electrode layer are provided on the same surface and are electrically connected to a first wiring. Further, a side surface of the oxide semiconductor layer and a side surface of the drain electrode layer are provided on the same surface and are electrically connected to a second wiring.

指定代表圖：

圖 1B



## 符號簡單說明：

- 100 ··· 電晶體
- 110 ··· 基板
- 120 ··· 基底絕緣膜
- 130 ··· 氧化物半導體層
- 131 ··· 第一氧化物半導體層
- 132 ··· 第二氧化物半導體層
- 133 ··· 第三氧化物半導體層
- 140 ··· 源極電極層
- 145 ··· 佈線
- 147 ··· 第一開口部
- 150 ··· 沖極電極層
- 155 ··· 佈線
- 157 ··· 第二開口部
- 160 ··· 閘極絕緣膜
- 170 ··· 閘極電極層
- 180 ··· 絝緣層
- 185 ··· 絝緣層

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

## 【技術領域】

[0001] 本發明係關於一種物體、方法或者製造方法。或者，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。本發明的一個方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、記憶體裝置、算術裝置、拍攝裝置、上述裝置的驅動方法或者上述裝置的製造方法。

[0002] 在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體、半導體電路為半導體裝置的一個方式。另外，記憶體裝置、顯示裝置、電子裝置有時包含半導體裝置。

## 【先前技術】

[0003] 藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體（也稱為薄膜電晶體（TFT））的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及影像顯示裝置（顯示裝置）等的電子裝置。作為

可以應用於電晶體的半導體薄膜，矽類半導體材料被周知。另外，作為其他材料，氧化物半導體受到注目。

[0004] 例如，在專利文獻 1 中，已公開了一種電晶體，該電晶體的活性層包括包含銦（In）、镓（Ga）及鋅（Zn）的非晶氧化物半導體。

[0005]

[專利文獻 1] 日本專利申請公開第 2006-165528 號公報

[0006] 當進行積體電路的高密度化時，電晶體的微型化是必不可少的技術。然而，製程的難度隨著微型化的進展而上升，因此需要開發簡單結構的電晶體或電晶體的簡單的製造方法。

[0007] 另外，已知隨著電晶體的微型化，容易發生電晶體電特性的劣化或偏差。換言之，隨著電晶體的微型化，積體電路的良率容易降低。

### 【發明內容】

[0008] 鑑於上述問題，本發明的一個方式的目的之一是提供一種能夠藉由簡單的製程製造的微型的半導體裝置。另外，本發明的一個方式的目的之一是提供一種能夠抑制伴隨微型化的良率的下降的半導體裝置。另外，本發明的一個方式的目的之一是提供一種能夠抑制隨著微型化而逐漸顯著的電特性下降的半導體裝置。另外，本發明的一個方式的目的之一是提供一種積體度高的半導體裝置。

另外，本發明的一個方式的目的之一是提供一種電特性的劣化得到抑制的半導體裝置。另外，本發明的一個方式的目的之一是提供一種電特性的偏差得到抑制的半導體裝置。另外，本發明的一個方式的目的之一是提供一種低功耗的半導體裝置。另外，本發明的一個方式的目的之一是提供一種可靠性高的半導體裝置。另外，本發明的一個方式的目的之一是提供一種在關閉電源的狀態下也能保持資料的半導體裝置。另外，本發明的一個方式的目的之一是提供一種上述半導體裝置的製造方法。

[0009] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的目的。

[0010] 本發明的一個方式係關於一種半導體裝置，其中，在氧化物半導體層的頂面上形成有源極電極層或汲極電極層。

[0011] 注意，在本說明書中，“側面接觸”是指藉由使一個構成要素的側面與另一個構成要素的一部分接觸來獲得兩者之間的電連接的狀態。

[0012] 本發明的一個方式是一種半導體裝置，該半導體裝置包括：絕緣表面上的第一氧化物半導體層；第一氧化物半導體層上的第二氧化物半導體層；第二氧化物半導體層上的具有位於與第二氧化物半導體層的側面同一個面上的側面的源極電極層及汲極電極層；第二氧化物半導

體層上的與源極電極層的一部分及汲極電極層的一部分接觸的第三氧化物半導體層；第三氧化物半導體層上的閘極絕緣膜；閘極絕緣膜上的閘極電極層；以及絕緣表面、源極電極層、汲極電極層以及閘極電極層上的絕緣層，其中，在絕緣層中形成有：使第二氧化物半導體層的一部分及源極電極層的一部分露出的第一開口部；使第二氧化物半導體層的一部分及汲極電極層的一部分露出的第二開口部；以及使閘極電極層的一部分露出的第三開口部，在第一開口部中，第二氧化物半導體層及源極電極層與第一佈線電連接，在第二開口部中，第二氧化物半導體層及汲極電極層與第二佈線電連接，並且，在第三開口部中，閘極電極層與第三佈線電連接。

[0013] 另外，在本說明書等中使用的“第一”，“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0014] 第一氧化物半導體層及第三氧化物半導體層的導帶底的能量較佳為比第二氧化物半導體層的導帶底的能量更接近真空能階 $0.05\text{eV}$ 以上且 $2\text{eV}$ 以下。

[0015] 較佳的是，第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層為 $\text{In-M-Zn}$ 氧化物（M為 $\text{Al}$ 、 $\text{Ti}$ 、 $\text{Ga}$ 、 $\text{Y}$ 、 $\text{Zr}$ 、 $\text{La}$ 、 $\text{Ce}$ 、 $\text{Nd}$ 或 $\text{Hf}$ ），並且第一氧化物半導體層及第三氧化物半導體層的M對In的原子數比大於第二氧化物半導體層。

[0016] 第一氧化物半導體層、第二氧化物半導體層

及第三氧化物半導體層較佳為包括 c 軸配向結晶。

[0017] 源極電極層及汲極電極層較佳為使用 Al、Cr、Cu、Ta、Ti、Mo 或 W 的單層、它們的疊層或者以它們為主要成分的合金材料形成。

[0018] 本發明的其他的一個方式是一種半導體裝置的製造方法，該方法包括如下步驟：在絕緣表面上形成包括第一氧化物半導體膜及第二氧化物半導體膜的疊層膜；在疊層膜上形成第一導電膜；在第一導電膜上形成第一光阻遮罩；以第一光阻遮罩為遮罩對第一導電膜選擇性地進行蝕刻來形成第一導電層；以第一導電層為遮罩對疊層膜選擇性地進行蝕刻；以分割第一導電層的方式對第一導電層的一部分選擇性地進行蝕刻，來形成包括第一氧化物半導體層和第二氧化物半導體層的疊層以及疊層上的源極電極層和汲極電極層；在絕緣表面、疊層、源極電極層以及汲極電極層上形成第三氧化物半導體膜；在第三氧化物半導體膜上形成氧化物絕緣膜；在氧化物絕緣膜上形成第二導電膜；在第二導電膜上形成第二光阻遮罩；以第二光阻遮罩為遮罩對第二導電膜選擇性地進行蝕刻來形成閘極電極層；以閘極電極層為遮罩對氧化物絕緣膜及第三氧化物半導體膜選擇性地進行蝕刻，來形成閘極絕緣膜及第三氧化物半導體層；在絕緣表面、源極電極層、汲極電極層以及閘極電極層上形成絕緣層；在絕緣層中形成使第二氧化物半導體層的一部分及源極電極層的一部分露出的第一開口部、使第二氧化物半導體層的一部分及汲極電極層的一

部分露出的第二開口部以及使閘極電極層的一部分露出的第三開口部；形成在第一開口部中與第二氧化物半導體層及源極電極層電連接的第一佈線；形成在第二開口部中與第二氧化物半導體層及汲極電極層電連接的第二佈線；以及形成在第三開口部中與閘極電極層電連接的第三佈線。

[0019] 第一氧化物半導體層及第三氧化物半導體層較佳為使用導帶底的能量比第二氧化物半導體層的導帶底的能量更接近真空能階0.05eV以上且2eV以下的材料。

[0020] 較佳的是，第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層為In-M-Zn氧化物（M為Al、Ti、Ga、Y、Zr、La、Ce、Nd或Hf），並且第一氧化物半導體層及第三氧化物半導體層使用M對In的原子數比大於第二氧化物半導體層的材料。

[0021] 第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層較佳為使用包括c軸配向結晶的材料。

[0022] 源極電極層及汲極電極層較佳為使用Al、Cr、Cu、Ta、Ti、Mo或W的單層、它們的疊層或者以它們為主要成分的合金材料形成。

[0023] 藉由使用本發明的一個方式，能夠提供一種能夠藉由簡單的製程製造的微型的半導體裝置。另外，能夠提供一種能夠抑制伴隨微型化的良率的下降的半導體裝置。另外，能夠提供一種能夠抑制隨著微型化而逐漸顯著的電特性下降的半導體裝置。另外，能夠提供一種積體度

高的半導體裝置。另外，能夠提供一種電特性的劣化得到抑制的半導體裝置。另外，能夠提供一種電特性的偏差得到抑制的半導體裝置。另外，能夠提供一種低功耗的半導體裝置。另外，能夠提供一種可靠性高的半導體裝置。另外，能夠提供一種在關閉電源的狀態下也能保持資料的半導體裝置。另外，能夠提供一種上述半導體裝置的製造方法。

[0024] 注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不需要具有所有上述效果。另外，可以從說明書、圖式、申請專利範圍等的記載得知並抽出上述以外的效果。

### 【圖式簡單說明】

[0025]

在圖式中：

圖 1A 和圖 1B 為電晶體的俯視圖及剖面圖；

圖 2A 和圖 2B 為電晶體的剖面圖；

圖 3A 至圖 3C 為電晶體的剖面圖；

圖 4A 至圖 4C 為電晶體的剖面圖；

圖 5 為電晶體的剖面圖；

圖 6A 和圖 6B 為電晶體的剖面圖；

圖 7 為電晶體的剖面圖；

圖 8A 至圖 8C 為說明電晶體的製造方法的圖；

圖 9A 至圖 9C 為說明電晶體的製造方法的圖；

圖 10A 和圖 10B 為說明電晶體的製造方法的圖；  
 圖 11A 和圖 11B 為半導體裝置的剖面圖及電路圖；  
 圖 12 為半導體裝置的電路圖；  
 圖 13A 至圖 13C 為可應用半導體裝置的電子裝置的圖；  
 圖 14A 和圖 14B 為電晶體的俯視圖及剖面圖；  
 圖 15A 和圖 15B 為電晶體的俯視圖及剖面圖；  
 圖 16A 至圖 16D 為示出用於計算的模型及計算結果的圖；  
 圖 17A 和圖 17B 為示出電晶體的  $I_d$ - $V_g$  特性的圖。

### 【實施方式】

[0026] 參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在以下說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。

[0027] 另外，在本說明書等中，當明確地記載“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。這裡，X 和 Y 為目標物（例如，裝置、元件、電路、

佈線、電極、端子、導電膜、層等）。因此，還包括圖式或文章所示的連接關係以外的連接關係，而不侷限於規定的連接關係，例如圖式或文章所示的連接關係。

[0028] 在 X 與 Y 電連接的情況下，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件、負載等）。另外，開關具有控制導通和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。

[0029] 在 X 與 Y 在功能上連接的情況下，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽馬校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，X 與 Y 也可以說是在功能上連接。

[0030] 此外，當明確地記載“X 與 Y 連接”時，包括如下情況：X 與 Y 電連接的情況（換言之，以中間夾有

其他元件或其他電路的方式連接 X 與 Y 的情況)；X 與 Y 在功能上連接的情況(換言之，以中間夾有其他電路的方式在功能上連接 X 與 Y 的情況)；以及 X 與 Y 直接連接的情況(換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y 的情況)。換言之，當明確地記載“電連接”時，與簡單地明確記載“連接”的情況相同。

[0031] 另外，即使在電路圖上獨立的構成要素互相電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”在其範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

[0032] 另外，在本說明書等中，可以使用各種基板形成電晶體。對基板的種類沒有特別的限制。作為該基板的一個例子，可以舉出半導體基板(例如，單晶基板或矽基板)、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或者基材薄膜等。作為玻璃基板的一個例子，可以舉出鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鈉鈣玻璃等。作為撓性基板的一個例子，可以舉出以聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)為代表的塑膠或丙烯酸樹脂等具有撓性的合成樹脂等。作為貼合薄膜的一個例子，可以舉出聚丙烯、聚酯、聚氟化

乙烯、聚氯乙烯等。作為基材薄膜的一個例子，可以舉出聚酯、聚醯胺、聚醯亞胺、無機蒸鍍薄膜、紙等。尤其是，藉由使用半導體基板、單晶基板或 SOI 基板等製造電晶體，可以製造特性、尺寸或形狀等的偏差小、電流能力高且尺寸小的電晶體。當利用上述電晶體構成電路時，可以實現電路的低功耗化或電路的高積體化。

[0033] 另外，也可以使用一個基板形成電晶體，然後將該電晶體轉置到另一個基板上。作為轉置電晶體的基板，除了上述可以設置電晶體的基板之外，還可以使用紙基板、玻璃紙基板、石材基板、木材基板、布基板（包括天然纖維（絲、棉、麻）、合成纖維（尼龍、聚氨酯、聚酯）或再生纖維（醋酯纖維、銅氨纖維、人造纖維、再生聚酯）等）、皮革基板、橡皮基板等。藉由使用上述基板，可以形成特性良好的電晶體或功耗低的電晶體，可以製造不容易發生故障並具有耐熱性的裝置，或者可以實現輕量化或薄型化。

[0034]

#### 實施方式 1

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置進行說明。

[0035] 圖 1A 和圖 1B 為本發明的一個方式的電晶體的俯視圖及剖面圖。圖 1A 為俯視圖，圖 1B 相當於圖 1A 所示的點劃線 A1-A2 的剖面。圖 2A 為圖 1A 所示的點劃線 A3-A4 的剖面圖，圖 2B 為圖 1A 所示的點劃線 A5-A6

的剖面圖。在圖 1A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 A1-A2 的方向稱為通道長度方向，將點劃線 A3-A4 的方向稱為通道寬度方向。

[0036] 圖 1A 至圖 2B 所示的電晶體 100 包括：形成在基板 110 上的基底絕緣膜 120；形成在該基底絕緣膜上的依次層疊的第一氧化物半導體層 131 和第二氧化物半導體層 132 而成的疊層；形成在該第二氧化物半導體層上的源極電極層 140 及汲極電極層 150；以與基底絕緣膜 120 及該疊層接觸的方式形成的與源極電極層 140 的一部分及汲極電極層 150 的一部分接觸的第三氧化物半導體層 133；形成在該第三氧化物半導體層上的閘極絕緣膜 160；形成在該閘極絕緣膜上的閘極電極層 170；形成在基底絕緣膜 120、源極電極層 140、汲極電極層 150 及閘極電極層 170 上的絕緣層 180。

[0037] 另外，電晶體的“源極”和“汲極”的功能在使用極性不同的電晶體的情況下或在電路工作中當電流方向變化時，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

[0038] 在絕緣層 180 上也可以形成由氧化物形成的絕緣層 185。該絕緣層 185 根據需要形成即可，還可以在其上形成其他的絕緣層。注意，將第一氧化物半導體層 131、第二氧化物半導體層 132 以及第三氧化物半導體層 133 總稱為氧化物半導體層 130。

[0039] 在絕緣層 180 中形成有使第二氧化物半導體層 132 的一部分及源極電極層 140 的一部分露出的第一開口部 147。此外，形成有使第二氧化物半導體層 132 的一部分及汲極電極層 150 的一部分露出的第二開口部 157。此外，形成有使閘極電極層 170 的一部分露出的第三開口部 177。

[0040] 在第一開口部 147 中，第二氧化物半導體層 132 的側面及源極電極層 140 的側面位於同一個面上，該第二氧化物半導體層 132 的側面及該源極電極層 140 的側面與第一佈線 145 電連接。在第二開口部 157 中，第二氧化物半導體層 132 的側面及汲極電極層 150 的側面位於同一個面上，該第二氧化物半導體層 132 的側面及該汲極電極層 150 的側面與第二佈線 155 電連接。在第三開口部 177 中，閘極電極層 170 以側面接觸的方式與第三佈線 175 電連接。

[0041] 在習知的電晶體中，在形成在電極層上的絕緣層等中形成開口部，並且，藉由使形成在該開口部中的佈線的一部分與電極層的頂面的一部分接觸而獲得電連接。

[0042] 另外，隨著電晶體的微型化，製程的難度上升，而導致形成在上述絕緣層等中的開口部的開口不良或開口部的深度的偏差等。因此，在元件之間容易產生電極層與佈線之間的接觸電阻的偏差。換而言之，電晶體的微型化所帶來的製程的難度上升是導致電晶體的電特性的偏

差的原因之一。

[0043] 另一方面，在本發明的一個方式中，使在開口部中露出的電極層的一部分與形成在該開口部內的佈線的一部分以側面接觸的方式電連接。因此，可以使電極層與佈線之間的接觸面積不容易產生偏差。換而言之，可以抑制元件之間的電極層與佈線之間的接觸電阻的偏差，而可以抑制由該偏差引起的電晶體的電特性的偏差。

[0044] 當在絕緣層中形成開口部並使電極層等露出時，與嚴格地控制蝕刻條件使電極層等的頂面露出的情況相比，在對電極層等進行過多蝕刻來使電極層等的側面在開口部處露出的情況下，製程的難度更低。例如，在蝕刻製程中，即使在電極層的蝕刻速度比絕緣層慢得多的情況下，藉由以容許電極層的過度蝕刻的方式形成開口部，也可以使蝕刻條件的自由度變得更高。因此，可以提高電晶體的良率。

[0045] 在本發明的一個方式中，如圖 1B 所示，較佳為採用第一開口部 147 及第二開口部 157 到達基底絕緣膜 120 的結構。由於該結構可以以自由度高的蝕刻條件形成，因此可以實現電晶體的電特性的偏差的減少和良率的提高。另外，與半導體層接觸的佈線被用作電極層的一部分，因此可以進一步降低電極層與半導體層之間的接觸電阻。

[0046] 如圖 2A 和圖 2B 所示，以側面接觸的方式連接閘極電極層 170 與第三佈線 175，可以使電極層與佈線

計算結果。圖 16C 的左圖示出模型（a）的計算結果，電流密度高的部分位於通道部下部中央附近。換而言之，不能在通道部下部中央控制電流。而圖 16C 的右圖示出模型（b）的計算結果，電流密度高的部分位於通道部上部附近。這是因為從側面充分施加閘極電場。

[0056] 如圖 16D 所示，根據使用上述模型的計算獲得的  $Id-Vg$  特性可知，假設本發明的一個方式的模型（b）的 S 值極小。

[0057] 接著，對本發明的一個方式的電晶體 100 的構成要素進行詳細的說明。

[0058] 基板 110 不侷限於僅進行支撐的基板，也可以是形成有電晶體等其他裝置的基板。此時，電晶體 100 的閘極電極層 170、源極電極層 140 和汲極電極層 150 中的一個也可以與上述裝置電連接。

[0059] 基底絕緣膜 120 除了防止雜質從基板 110 擴散的功能以外，還可以具有對氧化物半導體層 130 供應氧的功能。因此，基底絕緣膜 120 較佳為包含氧，更佳為包含比化學計量比多的氧。此外，如上所述，當基板 110 是形成有其他裝置的基板時，基底絕緣膜 120 還用作層間絕緣膜。在此情況下，較佳為利用 CMP（Chemical Mechanical Polishing：化學機械拋光）法等進行平坦化處理，以使其表面平坦。

[0060] 另外，在形成電晶體 100 的通道的區域中，氧化物半導體層 130 具有從基板 110 一側層疊有第一氧化

物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的結構。另外，由於第一氧化物半導體層 131 的不與第二氧化物半導體層 132、源極電極層 140 和汲極電極層 150 重疊的區域接觸於第三氧化物半導體層 133，因此，第二氧化物半導體層 132 具有被第一氧化物半導體層 131 及第三氧化物半導體層 133 包圍的結構。

[0061] 在此，例如，第二氧化物半導體層 132 使用其電子親和力（真空能階與導帶底之間的能量差）大於第一氧化物半導體層 131 及第三氧化物半導體層 133 的氧化物半導體。電子親和力是從真空能階與價帶頂之間的能量差（游離電位）減去導帶底與價帶頂之間的能量差（能隙）的值。

[0062] 注意，在本實施方式中，雖然詳細說明氧化物半導體層 130 為三層疊層的情況，但是氧化物半導體層 130 也可以為單層、兩層或四層以上。當氧化物半導體層 130 為單層時，如圖 4A 所示，例如可以使用相當於第二氧化物半導體層 132 的層。當氧化物半導體層 130 為兩層時，如圖 4B 所示，例如可以不設置第三氧化物半導體層 133。在該結構中，也可以調換第二氧化物半導體層 132 和第一氧化物半導體層 131 的位置。當氧化物半導體層 130 為三層時，也可以採用如圖 4C 所示的與圖 1A 和圖 1B 不同的結構。當氧化物半導體層 130 為四層以上時，例如可以採用在本實施方式所示的三層結構的疊層上層疊有其他的氧化物半導體層的結構或者該三層結構的層間夾

有其他的氧化物半導體層的結構。

[0063] 第一氧化物半導體層 131 及第三氧化物半導體層 133 較佳為包含一種以上的構成第二氧化物半導體層 132 的金屬元素。例如，第一氧化物半導體層 131 及第三氧化物半導體層 133 較佳為使用其導帶底的能量比第二氧化物半導體層 132 的導帶底的能量更接近真空能階 0.05eV、0.07eV、0.1eV 或 0.15eV 以上且 2eV、1eV、0.5eV 或 0.4eV 以下的氧化物半導體形成。

[0064] 在上述結構中，當對閘極電極層 170 施加電場時，通道形成在氧化物半導體層 130 中的導帶底的能量最低的第二氧化物半導體層 132 中。換言之，由於在第二氧化物半導體層 132 與閘極絕緣膜 160 之間形成有第三氧化物半導體層 133，所以電晶體的通道不與閘極絕緣膜 160 接觸。

[0065] 另外，第一氧化物半導體層 131 包含一種以上的構成第二氧化物半導體層 132 的金屬元素，因此，與第二氧化物半導體層 132 與基底絕緣膜 120 接觸時的兩者之間的介面相比，在第二氧化物半導體層 132 與第一氧化物半導體層 131 之間的介面不容易形成介面能階。上述介面能階有時形成通道，因此有時導致電晶體的臨界電壓的變動。所以，藉由設置第一氧化物半導體層 131，能夠抑制電晶體的臨界電壓等電特性的偏差。此外，可以提高該電晶體的可靠性。

[0066] 另外，第三氧化物半導體層 133 包含一種以

上的構成第二氧化物半導體層 132 的金屬元素，因此，與第二氧化物半導體層 132 與閘極絕緣膜 160 接觸時的兩者之間的介面相比，在第二氧化物半導體層 132 與第三氧化物半導體層 133 之間的介面不容易發生載子散射。所以，藉由設置第三氧化物半導體層 133，能夠提高電晶體的場效移動率。

[0067] 例如，第一氧化物半導體層 131 及第三氧化物半導體層 133 可以使用如下材料：包含 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 且該元素的原子數比高於第二氧化物半導體層 132 的材料。明確而言，上述元素的原子數比為第二氧化物半導體層 132 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。上述元素與氧堅固地鍵合，所以具有抑制在氧化物半導體層中產生氧缺陷的功能。由此可說，與第二氧化物半導體層 132 相比，在第一氧化物半導體層 131 及第三氧化物半導體層 133 中不容易產生氧缺陷。

[0068] 另外，在第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 為至少包含銻、鋅及 M (Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬) 的 In-M-Zn 氧化物，且第一氧化物半導體層 131 的原子數比為  $In:M:Zn=x_1:y_1:z_1$ ，第二氧化物半導體層 132 的原子數比為  $In:M:Zn=x_2:y_2:z_2$ ，第三氧化物半導體層 133 的原子數比為  $In:M:Zn=x_3:y_3:z_3$  的情況下， $y_1/x_1$  及  $y_3/x_3$  較佳為大於  $y_2/x_2$ 。 $y_1/x_1$  及  $y_3/x_3$  為  $y_2/x_2$  的 1.5 倍以

上，較佳為 2 倍以上，更佳為 3 倍以上。此時，在第二氧化物半導體層 132 中，在  $y_2$  為  $x_2$  以上的情況下，能夠使電晶體的電特性變得穩定。注意，在  $y_2$  為  $x_2$  的 3 倍以上的情況下，電晶體的場效移動率降低，因此  $y_2$  較佳為低於  $x_2$  的 3 倍。

[0069] 注意，在本說明書中，表示氧化物半導體層的組成的原子數比還意味著原材料的原子數比。在以氧化物半導體材料為靶材利用濺射法進行成膜的情況下，根據濺射氣體的種類或比例、靶材的密度以及成膜條件，成膜之後的氧化物半導體層的組成有時與原材料的靶材的組成不同。因此，在本說明書中，表示氧化物半導體層的組成的原子數比包括原材料的原子數比。例如，在利用濺射法進行成膜時，可以將“原子數比為 1:1:1 的 In-Ga-Zn 氧化物膜”解釋為“以原子數比為 1:1:1 的 In-Ga-Zn 氧化物材料為靶材形成的 In-Ga-Zn 氧化物膜”。

[0070] 第一氧化物半導體層 131 及第三氧化物半導體層 133 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比較佳為如下：In 的比率低於 50atomic%，M 的比率為 50atomic% 以上，更佳為如下：In 的比率低於 25atomic%，M 的比率為 75atomic% 以上。另外，第二氧化物半導體層 132 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比較佳為如下：In 的比率為 25atomic% 以上，M 的比率低於 75atomic%，更佳為如下：In 的比率為 34atomic% 以上，M 的比率低於 66atomic%。

[0071] 第一氧化物半導體層 131 及第三氧化物半導體層 133 的厚度為 1nm 以上且 100nm 以下，較佳為 3nm 以上且 50nm 以下。另外，第二氧化物半導體層 132 的厚度為 1nm 以上且 200nm 以下，較佳為 3nm 以上且 100nm 以下，更佳為 3nm 以上且 50nm 以下。

[0072] 第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 例如可以使用包含銦、鋅及鎵的氧化物半導體。尤其是，當第二氧化物半導體層 132 包含銦時，載子移動率得到提高，所以是較佳的。

[0073] 此外，為了對其通道形成在氧化物半導體層中的電晶體賦予穩定電特性，藉由降低氧化物半導體層中的雜質濃度，來使氧化物半導體層成為本質或實質上本質是有效的。在此，“實質上本質”是指氧化物半導體層的載子密度低於  $1 \times 10^{17}/\text{cm}^3$ ，較佳為低於  $1 \times 10^{15}/\text{cm}^3$ ，更佳為低於  $1 \times 10^{13}/\text{cm}^3$ 。

[0074] 此外，對氧化物半導體層來說，氫、氮、碳、矽以及主要成分以外的金屬元素是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽引起氧化物半導體層中的雜質能階的形成。該雜質能階成為陷阱，有可能使電晶體的電特性劣化。因此，較佳為降低第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 中或各層之間的介面的雜質濃度。

[0075] 為了使氧化物半導體層成為本質或實質上本質，例如在氧化物半導體層的某個深度或氧化物半導體層

的某個區域中較佳為包含如下部分：藉由 SIMS (Secondary Ion Mass Spectrometry：二次離子質譜) 分析測定出的矽濃度低於  $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於  $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為低於  $1 \times 10^{18} \text{ atoms/cm}^3$  的部分。此外，例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中較佳為包含如下部分：氫濃度為  $2 \times 10^{20} \text{ atoms/cm}^3$  以下，較佳為  $5 \times 10^{19} \text{ atoms/cm}^3$  以下，更佳為  $1 \times 10^{19} \text{ atoms/cm}^3$  以下，進一步較佳為  $5 \times 10^{18} \text{ atoms/cm}^3$  以下的部分。此外，例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中較佳為包含如下部分：氮濃度低於  $5 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為  $5 \times 10^{18} \text{ atoms/cm}^3$  以下，更佳為  $1 \times 10^{18} \text{ atoms/cm}^3$  以下，進一步較佳為  $5 \times 10^{17} \text{ atoms/cm}^3$  以下的部分。

[0076] 此外，當氧化物半導體層包含結晶時，如果以高濃度包含矽或碳，氧化物半導體層的結晶性則有可能降低。為了防止氧化物半導體層的結晶性的降低，例如在氧化物半導體層的某個深度或氧化物半導體層的某個區域中包含如下部分即可：矽濃度低於  $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於  $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為低於  $1 \times 10^{18} \text{ atoms/cm}^3$  的部分。此外，例如在氧化物半導體層的某個區域中包含如下部分即可：碳濃度低於  $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為低於  $5 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為低於  $1 \times 10^{18} \text{ atoms/cm}^3$  的部分。

[0077] 此外，將如上述那樣的被高度純化了的氧化

物半導體層用於通道形成區的電晶體的關態電流（off-state current）極小。例如，可以使以源極與汲極之間的電壓為 0.1V、5V 或 10V 左右時的電晶體的通道寬度歸一化的關態電流降低到幾  $\text{yA}/\mu\text{m}$  至幾  $\text{zA}/\mu\text{m}$ 。

[0078] 另外，作為電晶體的閘極絕緣膜，大多使用包含矽的絕緣膜，由於上述原因較佳為如本發明的一個方式的電晶體那樣不使氧化物半導體層的用作通道的區域與閘極絕緣膜接觸。另外，當通道形成在閘極絕緣膜與氧化物半導體層之間的介面時，有時在該介面產生載子散射而使電晶體的場效移動率降低。從上述觀點來看，可以說較佳為使氧化物半導體層的用作通道的區域與閘極絕緣膜離開。

[0079] 因此，藉由使氧化物半導體層 130 具有第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的疊層結構，能夠將通道形成在第二氧化物半導體層 132 中，由此能夠形成具有高場效移動率及穩定的電特性的電晶體。

[0080] 在第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的能帶結構中，導帶底的能量連續地變化。這是可以理解的，因為：由於第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 的組成相互相似，氧容易互相擴散。由此可以說，雖然第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 是組成互不相同的

疊層體，但是在物性上是連續的。因此，在圖式中，被層疊的各氧化物半導體層之間的介面由虛線表示。

[0081] 主要成分相同而層疊的氧化物半導體層 130 不是簡單地將各層層疊，而以形成連續結合（在此，尤其是指各層之間的導帶底的能量連續地變化的 U 型井（U-shaped well）結構）的方式形成。換言之，以在各層的介面之間不存在會形成捕獲中心或再結合中心等缺陷能階的雜質的方式形成疊層結構。如果，雜質混入被層疊的氧化物半導體層的層間，能帶則失去連續性，因此載子在介面被俘獲或者再結合而消失。

[0082] 例如，第一氧化物半導體層 131 及第三氧化物半導體層 133 可以使用  $\text{In:Ga:Zn}=1:3:2$ 、 $1:3:3$ 、 $1:3:4$ 、 $1:3:6$ 、 $1:6:4$  或  $1:9:6$ （原子數比）的 In-Ga-Zn 氧化物等，第二氧化物半導體層 132 可以使用  $\text{In:Ga:Zn}=1:1:1$ 、 $5:5:6$  或  $3:1:2$ （原子數比）的 In-Ga-Zn 氧化物等。

[0083] 氧化物半導體層 130 中的第二氧化物半導體層 132 用作井（well），而在包括氧化物半導體層 130 的電晶體中，通道形成在第二氧化物半導體層 132 中。另外，氧化物半導體層 130 的導帶底的能量連續地變化，因此，也可以將氧化物半導體層 130 稱為 U 型井。另外，也可以將具有上述結構的通道稱為埋入通道。

[0084] 另外，雖然在第一氧化物半導體層 131 與氧化矽膜等絕緣膜之間以及第三氧化物半導體層 133 與氧化矽膜等絕緣膜之間的介面附近有可能形成起因於雜質或缺

陷的陷阱能階，但是藉由設置第一氧化物半導體層 131 及第三氧化物半導體層 133，可以使第二氧化物半導體層 132 和該陷阱能階相隔。

[0085] 注意，當第一氧化物半導體層 131 及第三氧化物半導體層 133 的導帶底與第二氧化物半導體層 132 的導帶底之間的能量差小時，有時第二氧化物半導體層 132 的電子越過該能量差到達陷阱能階。當電子被陷阱能階俘獲時，在絕緣膜的介面產生固定負電荷，使得電晶體的臨界電壓向正方向漂移。

[0086] 因此，為了減少電晶體的臨界電壓的變動，需要使第一氧化物半導體層 131 的導帶底與第二氧化物半導體層 132 的導帶底之間及第三氧化物半導體層 133 的導帶底與第二氧化物半導體層 132 的導帶底之間產生一定以上的能量差。該能量差都較佳為  $0.1\text{eV}$  以上，更佳為  $0.15\text{eV}$  以上。

[0087] 較佳的是，第一氧化物半導體層 131、第二氧化物半導體層 132 及第三氧化物半導體層 133 包含結晶部。尤其是，藉由使用 c 軸配向結晶，能夠對電晶體賦予穩定的電特性。

[0088] 另外，在氧化物半導體層 130 使用 In-Ga-Zn 氧化物的情況下，為了防止 In 擴散到閘極絕緣膜，較佳為第三氧化物半導體層 133 中的 In 的含量小於第二氧化物半導體層 132。

[0089] 源極電極層 140、汲極電極層 150、第一佈線

145、第二佈線 155 以及第三佈線 175 較佳為使用容易與氧鍵合的導電材料。例如，可以使用 Al、Cr、Cu、Ta、Ti、Mo 和 W 等。在上述材料中，特別較佳為使用容易與氧鍵合的 Ti 或在後面能以較高的溫度進行處理的熔點高的 W。此外，容易與氧鍵合的導電材料包括氧容易擴散的材料。注意，第一佈線 145、第二佈線 155 以及第三佈線 175 可以為如 Ti/Al/Ti 那樣的疊層。

[0090] 另外，根據需要也可以使用不容易與氧鍵合的導電材料。例如，可以使用包含氮化鉑、氮化鈦、金、鉑、鈀或釤的材料的單層或者這些導電材料與上述容易與氧鍵合的導電材料的疊層。

[0091] 當使容易與氧鍵合的導電材料與氧化物半導體層接觸時，發生氧化物半導體層中的氧擴散到容易與氧鍵合的導電材料一側的現象。該現象隨著溫度的提高而明顯。因此，電晶體的製程中的加熱製程使氧缺陷產生在氧化物半導體層的與源極電極層或汲極電極層接觸的區域的附近，包含於膜中的微量的氫與該氧缺陷鍵合而使該區域 n 型化。因此，可以將被 n 型化了的該區域用作電晶體的源極或汲極。

[0092] 在圖 5 的電晶體的放大剖面圖（通道長度方向上的剖面的一部分，源極電極層 140 附近）中示出上述被 n 型化了的區域。第一氧化物半導體層 131 及第二氧化物半導體層 132 中的由虛線表示的界線 135 為本質半導體區域與 n 型半導體區域之間的界線。第一氧化物半導體層

131 及第二氧化物半導體層 132 中的與源極電極層 140 以及第一佈線 145 接觸的區域的附近為被 n 型化了的區域。另外，界線 135 是示意性地示出的，實際上有時該界線 135 不明確。雖然圖 5 示出界線 135 的一部分在第二氧化物半導體層 132 中在橫向方向上延伸的狀態，但是，有時第一氧化物半導體層 131 及第二氧化物半導體層 132 中的夾在源極電極層 140 與基底絕緣膜 120 之間的整個膜厚度方向的區域被 n 型化。

[0093] 在本發明的一個方式中，第一佈線 145 及第二佈線 155 與第一氧化物半導體層 131 及第二氧化物半導體層 132 以側面接觸的方式連接，因此可以擴大形成在第一氧化物半導體層 131 及第二氧化物半導體層 132 中的 n 型區域。該 n 型區域被用作電晶體的源極（或汲極），並且，藉由擴大該 n 型區域，可以降低通道形成區與源極電極（或汲極電極）之間或者通道形成區與第一佈線 145（或第二佈線 155）之間的串聯電阻成分，而可以提高電晶體的電特性。

[0094] 注意，當形成通道長度極小的電晶體時，有時因上述氧缺陷的發生而 n 型化的區域向電晶體的通道長度方向超出。此時，電晶體的電特性發生變化，例如臨界電壓漂移或難以由閘極電壓控制開關（此時電晶體處於導通狀態）。因此，當形成通道長度極小的電晶體時，不一定較佳為將容易與氧鍵合的導電材料用於源極電極層及汲極電極層。

[0095] 在此情況下，源極電極層 140 及汲極電極層 150 可以使用比上述材料更不容易與氧鍵合的導電材料。作為該導電材料，例如可以使用包含氮化鉭、氮化鈦、金、鉑、鈀或釤的材料等。另外，當該導電材料與第二氧化物半導體層 132 接觸時，源極電極層 140 及汲極電極層 150 也可以具有該導電材料與上述容易與氧鍵合的導電材料的疊層結構。

[0096] 作為閘極絕緣膜 160，可以使用包含氧化鋁、氧化鎂、氧化矽、氫氧化矽、氮氧化矽、氮化矽、氧化鎗、氧化鋒、氧化鈇、氧化鋨、氧化鑭、氧化欒、氧化銻、氧化鉿和氧化鉭中的一種以上的絕緣膜。此外，閘極絕緣膜 160 也可以是上述材料的疊層。

[0097] 作為閘極電極層 170，可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta 和 W 等的導電膜。此外，該閘極電極層也可以是上述材料的疊層。另外，該閘極電極層可以使用包含氮的導電膜。

[0098] 形成在閘極絕緣膜 160 及閘極電極層 170 上的絕緣層 180 較佳為包含氧化鋁膜。氧化鋁膜的不使氫、水分等雜質以及氧透過的阻擋效果高。因此，較佳為將氧化鋁膜用作保護膜，該保護膜具有如下功能：在電晶體的製程中以及在製造電晶體之後，防止導致電晶體的電特性的變動的原因的氫、水分等雜質混入氧化物半導體層 130 的功能、防止氧化物半導體層 130 的主要成分材料的氧從氧化物半導體層釋放出的功能以及防止氧從基底絕緣膜

120 不必要地釋放出的效果。也可以將包含於氧化鋁膜的氧擴散到氧化物半導體層中。

[0099] 在絕緣層 180 上較佳為形成有絕緣層 185。作為該絕緣層 185，可以使用包含氧化鎂、氧化矽、氮氧化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋒、氧化鈦、氧化鋯、氧化鑭、氧化釤、氧化鉻和氧化鉨中的一種以上的絕緣膜。此外，該絕緣層 185 也可以是上述材料的疊層。

[0100] 在此，絕緣層 185 較佳為包含過剩氧。包含過剩氧的絕緣層是指因加熱處理等而能夠釋放氧的絕緣層。較佳的是，藉由利用熱脫附譜分析，換算為氧原子的氧的釋放量為  $1.0 \times 10^{19} \text{ atoms/cm}^3$  以上的膜。能夠將該絕緣層釋放的氧經由閘極絕緣膜 160 擴散到氧化物半導體層 130 的通道形成區，因此能夠用氧填補形成在通道形成區中的氧缺陷。因此，能夠獲得穩定的電晶體電特性。

[0101] 為了實現半導體裝置的高積體化，必須進行電晶體的微型化。另一方面，已知伴隨著電晶體的微型化，電晶體的電特性劣化，特別是通道寬度的縮短直接導致的通態電流的減少顯著。

[0102] 另一方面，在本發明的一個方式的電晶體中，如上所述，以覆蓋其中形成通道的第二氧化物半導體層 132 的方式設置有第三氧化物半導體層 133，因此，通道形成層與閘極絕緣膜不接觸。因此，可以抑制在通道形成層與閘極絕緣膜之間的介面產生的載子散射，而可以提高電晶體的場效移動率。

[0103] 另外，如圖 6A 和圖 6B 的通道寬度方向上的剖面圖所示那樣，在本發明的一個方式的電晶體在具有通道寬度方向上的第二氧化物半導體層 132 的頂面的長度 ( $W_T$ ) 縮短到該氧化物半導體層的厚度左右或該厚度以下的結構的情況下可以特別有效地提高電特性。如圖 6A 所示，在通道寬度方向上的剖面中，第二氧化物半導體層 132 可以被形成為：側面具有錐角，且頂面具有平坦部。此外，如圖 6B 所示，也可以被形成為：側面具有錐角，且頂面具有曲率。

[0104] 例如，在圖 6A 和圖 6B 所示的電晶體中，如上所述，在  $W_T$  足夠小的情況下，從閘極電極層 170 施加到第二氧化物半導體層 132 的側面的電場涉及到整個第二氧化物半導體層 132，因此與頂面同等的通道還形成在第二氧化物半導體層 132 的側面。

[0105] 當圖 6A 和圖 6B 所示的通道區 137 形成於電晶體時，可以將通道寬度定義為  $W_T$  和通道寬度方向上的第二氧化物半導體層 132 的側面的長度 ( $W_{S1}$ 、 $W_{S2}$ ) 的總和 ( $W_T + W_{S1} + W_{S2}$ )，對應於該通道寬度的通態電流流過該電晶體。在  $W_T$  足夠小的情況下，電流流過整個第二氧化物半導體層 132。

[0106] 如上所述，由於本發明的一個方式的圖 6A 和圖 6B 所示的電晶體兼有抑制載子散射的效果和擴大實效通道寬度的效果，因此可以使通態電流比習知的電晶體更高。

[0107] 注意，當由  $W_s$  表示  $W_{s1}$  和  $W_{s2}$  時，為了高效地增加電晶體的通態電流，使  $W_s$  滿足  $0.3W_s \leq W_T \leq 3W_s$  ( $W_T$  為  $0.3W_s$  以上且  $3W_s$  以下) 的關係。另外，較佳為滿足  $W_T/W_s$  為 0.5 以上且 1.5 以下，更佳為滿足  $W_T/W_s$  為 0.7 以上且 1.3 以下的關係。當  $W_T/W_s > 3$  時，S 值（次臨界值）或關態電流有可能增高。

[0108] 如上所述，在本發明的一個方式的電晶體中，在進行電晶體的微型化的情況下也能夠獲得足夠大的通態電流。

[0109] 另外，在本發明的一個方式的電晶體中，藉由將第二氧化物半導體層 132 形成在第一氧化物半導體層 131 上，來使介面能階不容易產生。此外，藉由使第二氧化物半導體層 132 位於三層結構中的中間層，來消除從上下方混入的雜質的影響。由於第二氧化物半導體層 132 被第一氧化物半導體層 131 及第三氧化物半導體層 133 包圍，因此，除了可以增加上述電晶體的通態電流之外，還可以實現臨界電壓的穩定化或 S 值的下降。因此，可以降低  $I_{cut}$  (閘極電壓  $VG$  為  $0V$  時的電流)，而可以降低功耗。另外，由於電晶體的臨界電壓穩定，所以可以提高半導體裝置的長期可靠性。

[0110] 另外，如圖 7 所示，本發明的一個方式的電晶體也可以包括氧化物半導體層 130 與基板 110 之間的導電膜 172。藉由將該導電膜用作第二閘極電極，能夠進一步增加通態電流或控制臨界電壓。當想要增加通態電流

時，例如，對閘極電極層 170 和導電膜 172 供應相同的電位來實現雙閘極電晶體即可。另外，當想要控制臨界電壓時，對導電膜 172 供應與閘極電極層 170 不同的恆電位即可。

[0111] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0112]

### 實施方式 2

在本實施方式中，參照圖 9A 至圖 11B 對實施方式 1 所說明的圖 1A 和圖 1B 所示的電晶體 100 的製造方法進行說明。

[0113] 基板 110 可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，也可以採用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鋨等為材料的化合物半導體基板、SOI (Silicon On Insulator：絕緣體上矽晶片) 基板等，並且也可以在上述基板上設置半導體元件並將其用作基板 110。

[0114] 作為基底絕緣膜 120 可以藉由電漿 CVD (Chemical Vapor Deposition：化學氣相沉積) 法或濺射法等形成氧化鋁、氧化鎂、氧化矽、氮氧化矽、氧化鎵、氧化鋒、氧化鈦、氧化鋯、氧化鑭、氧化銻、氧化鉻和氧化鉬等的氧化物絕緣膜、氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等的氮化物絕緣膜或者混合上述材料而形成的膜。此外，基底絕緣膜 120 也可以是上述材料的疊層，其中，

較佳為與氧化物半導體層 130 接觸的上層至少使用包含過剩氧的材料形成，以對氧化物半導體層 130 供應氧。

[0115] 另外，也可以利用離子植入法、離子摻雜法、電漿浸沒離子植入法（Plasma-immersion ion implantation method）等對基底絕緣膜 120 添加氧。藉由添加氧，可以更容易地將氧從基底絕緣膜 120 供應到氧化物半導體層 130 中。

[0116] 注意，在基板 110 的表面由絕緣體構成，並且，雜質不會擴散到後面形成的氧化物半導體層 130 中的情況下，也可以不設置基底絕緣膜 120。

[0117] 接著，利用濺射法、CVD 法、MBE（Molecular Beam Epitaxy：分子束磊晶）法、ALD（Atomic Layer Deposition：原子層沉積）法或 PLD（Pulse Laser Deposition：脈衝雷射沉積）法在基底絕緣膜 120 上形成成為第一氧化物半導體層 131 的第一氧化物半導體膜 331 及成為第二氧化物半導體層 132 的第二氧化物半導體膜 332。

[0118] 第一氧化物半導體膜 331 及第二氧化物半導體膜 332 較佳為使用具備負載鎖定室的多室成膜裝置（例如，濺射裝置）將各層以不接觸大氣的方式連續地層疊。在濺射裝置中的各處理室中，較佳為使用低溫泵等吸附式真空泵進行高真空抽氣（抽空到  $5 \times 10^{-7}$  Pa 至  $1 \times 10^{-4}$  Pa 左右）且將被成膜的基板加熱到 100°C 以上，較佳為 500°C 以上，來盡可能地去除對氧化物半導體來說是雜質的水

等。或者，較佳為組合渦輪分子泵和冷阱來防止將包含碳成分或水分等的氣體從排氣系統倒流到處理室內。

[0119] 為了獲得高純度本質的氧化物半導體，不僅需要對處理室進行高真空抽氣，而且需要進行濺射氣體的高度純化。藉由作為用作濺射氣體的氧氣體或氬氣體，使用露點為 $-40^{\circ}\text{C}$ 以下，較佳為 $-80^{\circ}\text{C}$ 以下，更佳為 $-100^{\circ}\text{C}$ 以下的高純度氣體，能夠盡可能地防止水分等混入氧化物半導體層。

[0120] 第一氧化物半導體膜 331、第二氧化物半導體膜 332 及在後面的製程中形成的成為第三氧化物半導體層 133 的第三氧化物半導體膜 333 可以使用實施方式 1 所說明的材料。例如，第一氧化物半導體膜 331 可以使用原子數比為  $\text{In:Ga:Zn}=1:3:6$ 、 $1:3:4$ 、 $1:3:3$  或  $1:3:2$  的 In-Ga-Zn 氧化物，第二氧化物半導體膜 332 可以使用原子數比為  $\text{In:Ga:Zn}=1:1:1$ 、 $5:5:6$  或  $3:1:2$  的 In-Ga-Zn 氧化物，第三氧化物半導體膜 333 可以使用原子數比為  $\text{In:Ga:Zn}=1:3:6$ 、 $1:3:4$ 、 $1:3:3$  或  $1:3:2$  的 In-Ga-Zn 氧化物。

[0121] 另外，能夠用於第一氧化物半導體膜 331、第二氧化物半導體膜 332 及第三氧化物半導體膜 333 的氧化物半導體較佳為至少包含銻 (In) 或鋅 (Zn)。或者，較佳為包含 In 和 Zn 的兩者。另外，為了減少使用該氧化物半導體的電晶體的電特性偏差，除了上述元素以外，較佳為還包含穩定劑 (stabilizer)。

[0122] 作為穩定劑，可以舉出鎵（Ga）、錫（Sn）、鉻（Hf）、鋁（Al）或鎔（Zr）等。另外，作為其他穩定劑，可以舉出鑭系元素的鑭（La）、鈰（Ce）、鑑（Pr）、釤（Nd）、釤（Sm）、铕（Eu）、釔（Gd）、铽（Tb）、鏽（Dy）、钬（Ho）、铒（Er）、銩（Tm）、镱（Yb）、镥（Lu）等。

[0123] 例如，作為氧化物半導體，可以使用氧化銦、氧化錫、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

[0124] 注意，例如 In-Ga-Zn 氧化物是指作為主要成分包含 In、Ga 和 Zn 的氧化物。另外，也可以包含 In、Ga、Zn 以外的金屬元素。此外，在本說明書中，將由 In-Ga-Zn 氧化物構成的膜稱為 IGZO 膜。

[0125] 另外，也可以使用以  $InMO_3 (ZnO)_m$

( $m > 0$ , 且  $m$  不是整數) 表示的材料。注意, M 表示選自 Ga、Y、Zr、La、Ce 或 Nd 中的一種金屬元素或多種金屬元素。另外, 也可以使用以  $In_2SnO_5$  ( $ZnO$ )<sub>n</sub> ( $n > 0$ , 且  $n$  是整數) 表示的材料。

[0126] 注意, 如在實施方式 1 中詳細地說明那樣, 以使其電子親和力大於第一氧化物半導體層 131 及第三氧化物半導體層 133 的方式形成第二氧化物半導體層 132。

[0127] 另外, 當形成氧化物半導體層時, 較佳為利用濺射法。作為濺射法, 可以使用 RF 濣射法、DC 濣射法、AC 濣射法等。

[0128] 當作為第一氧化物半導體膜 331、第二氧化物半導體膜 332 及第三氧化物半導體膜 333 使用 In-Ga-Zn 氧化物時, 例如可以使用 In、Ga、Zn 的原子數比為  $In:Ga:Zn=1:1:1$  、  $In:Ga:Zn=2:2:1$  、  $In:Ga:Zn=2:2:3$  、  $In:Ga:Zn=3:1:2$  、  $In:Ga:Zn=5:5:6$  、  $In:Ga:Zn=1:3:2$  、  $In:Ga:Zn=1:3:3$  、  $In:Ga:Zn=1:3:4$  、  $In:Ga:Zn=1:3:6$  、  $In:Ga:Zn=1:4:3$  、  $In:Ga:Zn=1:5:4$  、  $In:Ga:Zn=1:6:6$  、  $In:Ga:Zn=1:6:4$  、  $In:Ga:Zn=1:9:6$  、  $In:Ga:Zn=1:1:4$  、  $In:Ga:Zn=1:1:2$  中的任一個的材料。

[0129] 另外, 例如 In、Ga、Zn 的原子數比為  $In:Ga:Zn=a:b:c$  ( $a+b+c=1$ ) 的氧化物的組成與原子數比為  $In:Ga:Zn=A:B:C$  ( $A+B+C=1$ ) 的氧化物的組成相似是指 a、b、c 滿足如下算式:  $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 。 $r$  例如可以為 0.05。其他氧化物也是同樣的。

[0130] 另外，較佳的是，第二氧化物半導體膜 332 的銻的含量多於第一氧化物半導體膜 331 及第三氧化物半導體膜 333 的銻的含量。在氧化物半導體中，重金屬的 s 軌道主要有助於載子傳導，並且藉由增加 In 的比率來增加 s 軌道的重疊，由此 In 的比率多於 Ga 的氧化物的移動率比 In 的比率等於或少於 Ga 的氧化物高。因此，藉由將銻的比率多的氧化物用於第二氧化物半導體膜 332，可以實現高移動率的電晶體。

[0131] 下面，對氧化物半導體膜的結構進行說明。

[0132] 注意，在本說明書中，“平行”是指兩條直線形成的角度為 $-10^{\circ}$ 以上且 $10^{\circ}$ 以下的狀態，因此也包括角度為 $-5^{\circ}$ 以上且 $5^{\circ}$ 以下的狀態。另外，“垂直”是指兩條直線形成的角度為 $80^{\circ}$ 以上且 $100^{\circ}$ 以下的狀態，因此也包括角度為 $85^{\circ}$ 以上且 $95^{\circ}$ 以下的狀態。

[0133] 另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0134] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括 CAAC-OS ( C-Axis Aligned Crystalline Oxide Semiconductor : c 軸配向結晶氧化物半導體 ) 膜、多晶氧化物半導體膜、微晶氧化物半導體膜、非晶氧化物半導體膜等。

[0135] 首先，對 CAAC-OS 膜進行說明。

[0136] CAAC-OS 膜是包含多個結晶部的氧化物半導

體膜之一，大部分的結晶部的尺寸為能夠容納於一邊短於 100nm 的立方體內的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部的尺寸為能夠容納於一邊短於 10nm、短於 5nm 或短於 3nm 的立方體內的尺寸。

[0137] 在 CAAC-OS 膜的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0138] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（剖面 TEM 影像）可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0139] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0140] 由剖面 TEM 影像及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

[0141] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO<sub>4</sub> 結晶的 CAAC-OS 膜時，在繞

射角 ( $2\theta$ ) 為  $31^\circ$  附近時常出現峰值。由於該峰值來源於  $\text{InGaZnO}_4$  結晶的 (009) 面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0142] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 *in-plane* 法分析 CAAC-OS 膜時，在  $2\theta$  為  $56^\circ$  附近時常出現峰值。該峰值來源於  $\text{InGaZnO}_4$  結晶的 (110) 面。在此，將  $2\theta$  固定為  $56^\circ$  附近並在以樣本面的法線向量為軸 ( $\phi$  軸) 旋轉樣本的條件下進行分析 ( $\phi$  掃描)。當該樣本是  $\text{InGaZnO}_4$  的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將  $2\theta$  固定為  $56^\circ$  附近的狀態下進行  $\phi$  掃描也不能觀察到明確的峰值。

[0143] 由上述結果可知，在具有 c 軸配向性的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0144] 注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或

頂面的法線向量。

[0145] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面近旁的結晶生長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以有時 CAAC-OS 膜中的結晶度根據區域而不同。

[0146] 注意，當利用 out-of-plane 法分析包括  $\text{InGaZnO}_4$  結晶的 CAAC-OS 膜時，除了在  $2\theta$ 為  $31^\circ$ 附近的峰值之外，有時還在  $2\theta$ 為  $36^\circ$ 附近觀察到峰值。 $2\theta$ 為  $36^\circ$ 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向性的結晶。較佳的是，在 CAAC-OS 膜中在  $2\theta$ 為  $31^\circ$ 附近時出現峰值而在  $2\theta$ 為  $36^\circ$ 附近時不出現峰值。

[0147] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分之外的元素。尤其是，與構成氧化物半導體膜的金屬元素相比，與氧的鍵合力強的元素諸如矽等從氧化物半導體膜奪取氧而擾亂氧化物半導體膜的原子排列，成為降低結晶性的主要原因。另外，因為鐵和鎳等重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內部，則擾亂氧化物半導體膜的原子排列，成為降低結晶性的主要原因。此外，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0148] 此外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0149] 將雜質濃度低且缺陷態密度低（氧缺陷少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有很少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通（normally-on）特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有很少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放為止需要的時間長，有時像固定電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0150] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0151] 接下來，對微晶氧化物半導體膜進行說明。

[0152] 在微晶氧化物半導體膜的 TEM 影像中有時觀察不到明確的結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶稱為奈米晶

( nc:nanocrystal ) 。並且，包含該奈米晶 ( nc ) 的氧化物半導體膜稱為 nc-OS ( 奈米晶氧化物半導體：nanocrystalline Oxide Semiconductor ) 膜。另外，例如在 nc-OS 膜的 TEM 影像中，有時觀察不到明確的晶界。

[0153] 在 nc-OS 膜中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，在 nc-OS 膜中的不同的結晶部之間沒有晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，在有的分析方法中，有時無法將 nc-OS 膜與非晶氧化物半導體膜區別開來。例如，當利用使用其束徑比結晶部大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在使用其束徑比結晶部大（例如，50nm 以上）的電子射線獲得的 nc-OS 膜的選區電子繞射圖案中，觀察到光暈圖案。另一方面，在使用其束徑近於或小於結晶部（例如，1nm 以上且 30nm 以下）的電子射線獲得的 nc-OS 膜的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到環狀的區域內的多個斑點。

[0154] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，在 nc-OS 膜中的不同的結晶部

之間沒有晶體配向的規律性。所以，nc-OS 膜的缺陷密度比 CAAC-OS 膜高。

[0155] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0156] CAAC-OS 膜例如可以使用多晶的氧化物半導體濺射靶材，利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域沿著 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，由於該平板狀或顆粒狀的濺射粒子帶電，所以濺射粒子不在電漿中凝集而保持結晶狀態的狀態到達基板，由此可以形成 CAAC-OS 膜。

[0157] 當第二氧化物半導體膜 332 使用 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、Ce 或 Nd）形成時，在用來形成第二氧化物半導體膜 332 的濺射靶材中的金屬元素的原子數比為  $In:M:Zn=a_1:b_1:c_1$  的情況下， $a_1/b_1$  較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下， $c_1/b_1$  較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由使  $c_1/b_1$  為 1 以上且 6 以下，可以作為第二氧化物半導體膜 332 較容易地形成 CAAC-OS 膜。靶材中的金屬元素的原子數比的典型例子為  $In:M:Zn=1:1:1$ 、 $In:M:Zn=3:1:2$ 、 $In:M:Zn=5:5:6$  等。

[0158] 當第一氧化物半導體膜 331 及第三氧化物半導體膜 333 使用 In-M-Zn 氧化物（M 是 Ga、Y、Zr、La、

Ce 或 Nd) 形成時，在用來形成第一氧化物半導體膜 331 及第三氧化物半導體膜 333 的濺射靶材中的金屬元素的原子數比為  $In:M:Zn=a_2:b_2:c_2$  的情況下，較佳的是  $a_2/b_2 < a_1/b_1$  且  $c_2/b_2$  為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。藉由使  $c_2/b_2$  為 1 以上且 6 以下，可以作為第一氧化物半導體膜 331 及第三氧化物半導體膜 333 較容易地形成 CAAC-OS 膜。靶材中的金屬元素的原子數比的典型例子為  $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:3$ 、 $In:M:Zn=1:3:4$ 、 $In:M:Zn=1:3:6$  等。

[0159] 在形成第二氧化物半導體膜 332 之後可以進行第一加熱處理。第一加熱處理在 250°C 以上且 650°C 以下，較佳為 300°C 以上且 500°C 以下的溫度下且在惰性氣體氛圍、包含 10ppm 以上的氧化氣體的氛圍或減壓狀態下進行即可。作為第一加熱處理，也可以進行惰性氣體氛圍下的加熱處理，然後為了補充脫離了的氧而進行包含 10ppm 以上的氧化氣體的氛圍下的加熱處理。藉由進行第一加熱處理，可以提高第二氧化物半導體膜 332 的結晶性，而且可以從基底絕緣膜 120、第一氧化物半導體膜 331 中去除氫或水等雜質。此外，第一加熱處理也可以在用來形成後述的第一氧化物半導體層 131 及第二氧化物半導體層 132 的蝕刻之後進行。

[0160] 接著，在第二氧化物半導體膜 332 上形成第一導電膜 340。第一導電膜 340 可以使用 Al、Cr、Cu、Ta、Ti、Mo、W 或者以它們為主要成分的合金材料。例

如，藉由濺射法或 CVD 法等形成 5nm 至 25nm 的鎢膜。

[0161] 接著，在第一導電膜 340 上形成第一光阻遮罩 400（參照圖 8A）。第一光阻遮罩 400 例如藉由利用電子束曝光、液浸曝光、EUV 曝光等的光微影製程形成。藉由利用上述方法，可以形成具有極為微細的形狀的第一光阻遮罩 400。

[0162] 接著，以第一光阻遮罩 400 為遮罩對第一導電膜 340 選擇性地進行蝕刻，來形成具有與第一光阻遮罩 400 的頂面形狀相同的頂面形狀的第一導電層 341。

[0163] 在此，將第一導電層 341 用作硬遮罩。在蝕刻製程中，光阻遮罩會變質或者減薄而改變其形狀。因此，當僅用光阻遮罩形成第二氧化物半導體層 132 及第一氧化物半導體層 131 時，反映變形了的光阻遮罩的形狀，因此不能獲得所希望的形狀。藉由將第一導電層 341 用作硬遮罩，可以將第二氧化物半導體層 132 及第一氧化物半導體層 131 形成為所希望的形狀。

[0164] 對第二氧化物半導體膜 332 及第一氧化物半導體膜 331 選擇性地進行蝕刻，來形成第二氧化物半導體層 132 及第一氧化物半導體層 131（參照圖 8B）。藉由第一氧化物半導體膜 331 的過蝕刻，基底絕緣膜 120 的一部分也可以被蝕刻。

[0165] 接著，在第一導電層 341 上用與第一光阻遮罩 400 同樣的方法形成第二光阻遮罩。並且，以該第二光阻遮罩為遮罩對第一導電層 341 選擇性地進行蝕刻，來形

成源極電極層 140 及汲極電極層 150（參照圖 8C）。藉由第一導電層 341 的過蝕刻，第二氧化物半導體層 132 的一部分也可以被蝕刻。

[0166] 接著，在第一氧化物半導體層 131、第二氧化物半導體層 132、源極電極層 140 以及汲極電極層 150 上形成成為第三氧化物半導體層 133 的第三氧化物半導體膜 333。

[0167] 在形成第三氧化物半導體膜 333 之後可以進行第二加熱處理。第二加熱處理可以在與第一加熱處理相同的條件下進行。藉由進行第二加熱處理，可以從第三氧化物半導體膜 333 中去除氫或水等雜質。此外，還可以從第一氧化物半導體層 131 及第二氧化物半導體層 132 中進一步去除氫或水等雜質。

[0168] 接著，在第三氧化物半導體膜 333 上形成成為閘極絕緣膜 160 的絕緣膜 360。絕緣膜 360 可以使用氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋒、氧化鈦、氧化鋯、氧化鑭、氧化釤、氧化鉿和氧化鉑等形成。此外，絕緣膜 360 也可以是上述材料的疊層。絕緣膜 360 可以利用濺射法、CVD 法、MBE 法、ALD 法或 PLD 法等形成。

[0169] 接著，在絕緣膜 360 上形成成為閘極電極層 170 的第二導電膜 370（參照圖 9A）。作為第二導電膜 370，可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Ta、W 或以它們為主要成分的合金材料。第二

導電膜 370 可以利用濺射法或 CVD 法等形成。另外，第二導電膜 370 可以使用包含氮的導電膜，也可以使用包含上述材料的導電膜與包含氮的導電膜的疊層。

[0170] 接著，在第二導電膜 370 上形成第三光阻遮罩，使用該光阻遮罩對第二導電膜 370 選擇性地進行蝕刻，來形成閘極電極層 170。

[0171] 接著，以閘極電極層 170 為遮罩對絕緣膜 360 選擇性地進行蝕刻，來形成閘極絕緣膜 160。

[0172] 接著，以閘極電極層 170 或者閘極絕緣膜 160 為遮罩對第三氧化物半導體膜 333 進行蝕刻，來形成第三氧化物半導體層 133（參照圖 9B）。

[0173] 上述第二導電膜 370、絕緣膜 360 以及第三氧化物半導體膜 333 的蝕刻既可以分別進行，又可以連續地進行。另外，作為蝕刻方法可以使用乾蝕刻和濕蝕刻中的任何一個，也可以對每個層分別應用適當的蝕刻方法。

[0174] 接著，在源極電極層 140、汲極電極層 150 及閘極電極層 170 上形成絕緣層 180 及絕緣層 185（參照圖 9C）。絕緣層 180 及絕緣層 185 可以與基底絕緣膜 120 同樣的材料及方法形成。另外，絕緣層 180 較佳為使用氧化鋁。

[0175] 另外，也可以利用離子植入法、離子摻雜法、電漿浸沒離子植入法等對絕緣層 180 和/或絕緣層 185 添加氧。藉由添加氧，可以更容易地將氧從絕緣層 180 和/或絕緣層 185 供應到氧化物半導體層 130 中。

[0176] 接著，也可以進行第三加熱處理。第三加熱處理可以在與第一加熱處理相同的條件下進行。藉由進行第三加熱處理，容易使基底絕緣膜 120、閘極絕緣膜 160、絕緣層 180 及絕緣層 185 釋放過剩氧，因此可以降低氧化物半導體層 130 中的氧缺陷。

[0177] 接著，在絕緣層 185 上形成第四光阻遮罩，用該光阻遮罩對絕緣層 185、絕緣層 180、源極電極層 140、汲極電極層 150、第二氧化物半導體層 132 以及第一氧化物半導體層 131 選擇性地進行蝕刻，來形成第一開口部 147 和第二開口部 157（參照圖 10A）。此時，同時形成圖 2A 所示的第三開口部 177。

[0178] 絝緣層 185、絝緣層 180、源極電極層 140、汲極電極層 150、第二氧化物半導體層 132 以及第一氧化物半導體層 131 的蝕刻既可以對每個層分別進行，又可以連續地進行。另外，作為蝕刻方法可以使用乾蝕刻和濕蝕刻中的任何一個，也可以對每個層分別應用適當的蝕刻方法。

[0179] 此時，藉由控制蝕刻條件，可以製造圖 3A、圖 3B 以及圖 3C 所示的結構的電晶體。

[0180] 並且，以覆蓋第一開口部 147 和第二開口部 157 的方式形成第一佈線 145 和第二佈線 155，來使第一佈線 145 電連接到第二氧化物半導體層 132 和源極電極層 140，並使第二佈線 155 電連接到第二氧化物半導體層 132 和汲極電極層 150（參照圖 10B）。此時，以覆蓋圖

2A 所示的第三開口部 177 的方式形成第三佈線 175，來使第三佈線 175 電連接到閘極電極層 170。

[0181] 第一佈線 145、第二佈線 155 以及第三佈線 175 可以用與源極電極層 140、汲極電極層 150 或者閘極電極層 170 同樣的材料及方法形成。

[0182] 藉由上述製程，可以製造圖 1A 和圖 1B 所示的電晶體 100。

[0183] 另外，在本實施方式中說明的金屬膜等典型地可以利用濺射法或電漿 CVD 法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，可以舉出 MOCVD ( Metal Organic Chemical Vapor Deposition : 有機金屬化學氣相沉積 ) 法或 ALD 法等。

[0184] 由於熱 CVD 法是不使用電漿的成膜方法，因此具有不產生因電漿損傷所引起的缺陷的優點。

[0185] 可以以如下方法進行利用熱 CVD 法的成膜：將原料氣體及氧化劑同時供應到處理室內，將處理室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上發生反應。

[0186] 另外，可以以如下方法進行利用 ALD 法的成膜：將處理室內的壓力設定為大氣壓或減壓，將用於反應的原料氣體依次引入處理室，並且按該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的原料氣體依次供應到處理室內。為了防止多種原料氣體混合，例如，在引入第一原料氣體的同時或之後引入

惰性氣體（氬或氮等）等，然後引入第二原料氣體。注意，當同時引入第一原料氣體及惰性氣體時，惰性氣體用作載子氣體，另外，可以在引入第二原料氣體的同時引入惰性氣體。另外，也可以利用真空抽氣將第一原料氣體排除來代替引入惰性氣體，然後引入第二原料氣體。第一原料氣體附著到基板表面形成第一層，之後引入的第二原料氣體與該第一層起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來進行調節，因此，ALD 法可以準確地調節厚度而適用於形成微型 FET。

[0187] 例如，在使用利用 ALD 法的成膜裝置形成鎢膜時，依次反復引入  $\text{WF}_6$  氣體和  $\text{B}_2\text{H}_6$  氣體形成初始鎢膜，然後同時引入  $\text{WF}_6$  氣體和  $\text{H}_2$  氣體形成鎢膜。注意，也可以使用  $\text{SiH}_4$  氣體代替  $\text{B}_2\text{H}_6$  氣體。

[0188] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0189]

### 實施方式 3

在本實施方式中，參照圖式對一種半導體裝置（記憶體裝置）的一個例子進行說明，該半導體裝置（記憶體裝置）使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有

限制。

[0190] 圖 11A 示出半導體裝置的剖面圖，並且圖 11B 示出半導體裝置的電路圖。

[0191] 在圖 11A 和圖 11B 所示的半導體裝置中，下部設置有使用第一半導體材料的電晶體 3200，上部設置有使用第二半導體材料的電晶體 3300 及電容元件 3400。此外，作為電晶體 3300，可以使用在實施方式 1 中說明的電晶體 100。

[0192] 此外，電容元件 3400 的一個電極使用與電連接到電晶體 3300 的源極電極層或汲極電極層的佈線層相同的材料形成，其另一個電極使用與電晶體 3300 的閘極電極層相同的材料形成，並且其介電質使用與電晶體 3300 的絕緣層 180 及絕緣層 185 相同的材料形成，因此可以同時形成電晶體 3300 和電容元件 3400。

[0193] 這裡，第一半導體材料和第二半導體材料較佳為具有不同能隙的材料。例如，可以將氧化物半導體以外的半導體材料（矽等）用於第一半導體材料，並且將在實施方式 1 中說明的氧化物半導體用於第二半導體材料。使用氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於具有關態電流小的電特性而可以在長時間保持電荷。

[0194] 另外，雖然對上述電晶體都為 n 通道電晶體的情況進行說明，但是當然也可以使用 p 通道電晶體。另外，為了保持資料應用使用氧化物半導體的實施方式 1 所

示那樣的電晶體以外，用於半導體裝置的材料或半導體裝置的結構等半導體裝置的具體結構不侷限於在此所示的結構。

[0195] 圖 11A 中的電晶體 3200 包括：設置在包含半導體材料（例如，結晶矽等）的基板 3000 中的通道形成區；以夾著通道形成區的方式設置的雜質區域；與雜質區域接觸的金屬間化合物區域；設置在通道形成區上的閘極絕緣膜；以及設置在閘極絕緣膜上的閘極電極層。注意，雖然有時在圖式中不明確地示出源極電極層或汲極電極層，但是為了方便起見有時將這種狀態也稱為電晶體。此時，為了對電晶體的連接關係進行說明，有時將源極區或汲極區也稱為源極電極層或汲極電極層。換言之，在本說明書中，源極電極層的記載會包括源極區。

[0196] 在基板 3000 上以包圍電晶體 3200 的方式設置有元件隔離絕緣層 3100，並且以覆蓋電晶體 3200 的方式設置有絕緣層 3150。另外，元件隔離絕緣層 3100 可以利用 LOCOS (Local Oxidation of Silicon：矽局部氧化) 或 STI (Shallow Trench Isolation：淺溝槽隔離) 等元件分離技術形成。

[0197] 例如，在使用結晶矽基板的情況下，電晶體 3200 能夠進行高速工作。因此，藉由將該電晶體用作讀出電晶體，可以高速地進行資料的讀出。

[0198] 在絕緣層 3150 上設置有電晶體 3300，與其源極電極層或汲極電極層電連接的佈線層用作電容元件

3400 的另一個電極。另外，該電極電連接到電晶體 3200 的閘極電極層。

[0199] 圖 11A 所示的電晶體 3300 是其通道形成在氧化物半導體層中的頂閘極型電晶體。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存資料。換言之，因為可以形成不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功耗。

[0200] 此外，以與電晶體 3300 重疊的方式隔著絕緣層 3150 設置有電極 3250。藉由將該電極用作第二閘極電極並對其供應適當的電位，可以控制電晶體 3300 的臨界電壓。此外，可以提高電晶體 3300 的長期可靠性。另外，藉由對該電極供應與電晶體 3300 的閘極電極相同的電位，可以增加通態電流。另外，也可以不設置電極 3250。

[0201] 如圖 11A 所示那樣，可以在其上形成電晶體 3200 的基板上形成電晶體 3300 及電容元件 3400，所以可以提高半導體裝置的積體度。

[0202] 圖 11B 示出對應於圖 11A 的電路結構的一個例子。

[0203] 在圖 11B 中，第一佈線 3001 與電晶體 3200 的源極電極層電連接，第二佈線 3002 與電晶體 3200 的汲極電極層電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極層和汲極電極層中的一個電連接，第四佈線

3004 與電晶體 3300 的閘極電極層電連接。再者，電晶體 3200 的閘極電極層及電晶體 3300 的源極電極層和汲極電極層中的另一個與電容元件 3400 的電極的一個電連接，第五佈線 3005 與電容元件 3400 的電極的另一個電連接。注意，未圖示相當於電極 3250 的構成要素。

[0204] 在圖 11B 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 3200 的閘極電極層的電位的特徵，可以如下所示那樣進行資料的寫入、保持以及讀出。

[0205] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為導通狀態的電位，使電晶體 3300 成為導通狀態。由此，第三佈線 3003 的電位施加到電晶體 3200 的閘極電極層及電容元件 3400。換言之，對電晶體 3200 的閘極電極層施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持施加到電晶體 3200 的閘極電極層的電荷（保持）。

[0206] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極層的電荷被長時間地保持。

[0207] 接著，對資料的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，根據保持在電晶體 3200 的閘極電極層中的電荷量，第二佈線 3002 具有

不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極層施加高位準電荷時的外觀上的臨界電壓  $V_{th\_H}$  低於對電晶體 3200 的閘極電極層施加低位準電荷時的外觀上的臨界電壓  $V_{th\_L}$ 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“導通狀態”所需要的第五佈線 3005 的電位。因此，藉由將第五佈線 3005 的電位設定為  $V_{th\_L}$  與  $V_{th\_H}$  之間的電位  $V_0$ ，可以辨別施加到電晶體 3200 的閘極電極層的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為  $V_0 (> V_{th\_H})$ ，電晶體 3200 則成為“導通狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為  $V_0 (< V_{th\_L})$ ，電晶體 3200 還保持“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0208] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料時，對第五佈線 3005 施加不管閘極電極層的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於  $V_{th\_H}$  的電位，即可。或者，對第五佈線 3005 施加不管閘極電極層的狀態如何都使電晶體 3200 成為“導通狀態”的電位，即大於  $V_{th\_L}$  的電位，即可。

[0209] 在本實施方式所示的半導體裝置中，藉由使用將氧化物半導體用於通道形成區的關態電流極小的電晶體，可以極長期地保持儲存資料。換言之，因為不需要進

行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下（注意，較佳為固定電位），也可以長期保持儲存資料。

[0210] 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。由於例如不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此不容易發生如閘極絕緣膜的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的導通狀態或關閉狀態而進行資料寫入，而可以容易實現高速工作。

[0211] 如上所述，能夠提供一種實現了微型化及高積體化且具有高電特性的半導體裝置。

[0212] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0213]

#### 實施方式 4

在本實施方式中，對一種具有與實施方式 3 不同結構的半導體裝置進行說明，該半導體裝置使用本發明的一個方式的電晶體，而且即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

[0214] 圖 12 為半導體裝置的電路結構的一個例子。

在該半導體裝置中，第一佈線 4500 與電晶體 4300 的源極電極層電連接，第二佈線 4600 與電晶體 4300 的閘極電極層電連接，並且電晶體 4300 的汲極電極層與電容元件 4400 的第一端子電連接。此外，作為包括在該半導體裝置中的電晶體 4300，可以使用在實施方式 1 中說明的電晶體 100。另外，第一佈線 4500 可以具有位元線的功能，第二佈線 4600 可以具有字線的功能。

[0215] 在該半導體裝置（記憶單元 4250）中，可以採用與圖 11A 和圖 11B 所示的電晶體 3300 與電容元件 3400 的連接方式相同的連接方式。因此，與在實施方式 3 中說明的電容元件 3400 同樣地，可以在製造電晶體 4300 的同時形成電容元件 4400。

[0216] 接著，說明對圖 12 所示的半導體裝置（記憶單元 4250）進行資料的寫入及保持的情況。

[0217] 首先，藉由對第二佈線 4600 供應使電晶體 4300 成為導通狀態的電位，以使電晶體 4300 成為導通狀態。由此，第一佈線 4500 的電位施加到電容元件 4400 的第一端子（寫入）。然後，藉由將第二佈線 4600 的電位設定為使電晶體 4300 成為關閉狀態的電位，來使電晶體 4300 成為關閉狀態，由此儲存電容元件 4400 的第一端子的電位（保持）。

[0218] 使用氧化物半導體的電晶體 4300 具有關態電流極小的特徵。因此，藉由使電晶體 4300 成為關閉狀態，可以在極長時間儲存電容元件 4400 的第一端子的電

位（或儲存在電容元件 4400 中的電荷）。

[0219] 接著，對資料的讀出進行說明。當電晶體 4300 成為導通狀態時，處於浮動狀態的第一佈線 4500 與電容元件 4400 導通，於是，電荷在第一佈線 4500 與電容元件 4400 之間再次分配。其結果，第一佈線 4500 的電位發生變化。第一佈線 4500 的電位的變化量根據電容元件 4400 的第一端子的電位（或儲存在電容元件 4400 中的電荷）而發生變化。

[0220] 例如，在以  $V$  為電容元件 4400 的第一端子的電位，以  $C$  為電容元件 4400 的電容，以  $CB$  為第一佈線 4500 所具有的電容成分，並且以  $VB0$  為再次分配電荷之前的第一佈線 4500 的電位的情況下，電荷再次分配之後的第一佈線 4500 的電位為  $(CB \times VB0 + C \times V) / (CB + C)$ 。由此可知，記憶單元 4250 有可能處於兩個狀態，即電容元件 4400 的第一端子的電位是  $V1$  的狀態以及  $V0$  ( $V1 > V0$ ) 的狀態，並且，保持電位  $V1$  時的第一佈線 4500 的電位 ( $= (CB \times VB0 + C \times V1) / (CB + C)$ ) 高於保持電位  $V0$  時的第一佈線 4500 的電位 ( $= (CB \times VB0 + C \times V0) / (CB + C)$ )。

[0221] 並且，藉由比較第一佈線 4500 的電位與規定的電位，可以讀出資料。

[0222] 如上所述，圖 12 所示的半導體裝置（記憶單元 4250）可以利用電晶體 4300 的關態電流極小的特徵而在長期保持儲存在電容元件 4400 中的電荷。換言之，因

為不需要進行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下，也可以長期保持儲存資料。

[0223] 較佳為層疊圖 12 所示的記憶單元 4250 與形成有用來驅動記憶單元 4250 的驅動電路的基板。藉由層疊記憶單元 4250 與驅動電路，可以實現半導體裝置的小型化。另外，對被層疊的記憶單元 4250 及驅動電路的個數沒有限制。

[0224] 包括在驅動電路中的電晶體較佳為使用與電晶體 4300 不同的半導體材料。例如，可以使用矽、鎵、矽鎵、碳化矽或砷化鎵等，更佳為使用單晶半導體。與使用氧化物半導體的電晶體相比，使用這種半導體材料的電晶體能夠進行高速工作，從而，該電晶體適用於記憶單元 4250 的驅動電路。

[0225] 如上所述，能夠提供一種實現了微型化及高積體化且具有高電特性的半導體裝置。

[0226] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

[0227]

#### 實施方式 5

實施方式 1 所示的電晶體可以應用於顯示裝置、記憶體裝置、CPU、DSP (Digital Signal Processor：數位訊號處理器)、定製 LSI、PLD (Programmable Logic Device：可程式邏輯裝置) 等的 LSI、RF-ID (Radio

Frequency Identification：射頻識別）等半導體裝置。在本實施方式中，對包含上述半導體裝置的電子裝置的例子進行說明。

[0228] 作為包括上述半導體裝置的電子裝置，可以舉出電視機、顯示器等顯示裝置、照明設備、個人電腦、文字處理機、影像再現裝置、可攜式音訊播放機、收音機、磁帶答錄機、音響、電話機、無繩電話子機、行動電話機、車載電話、步話機、無線設備、遊戲機、計算器、可攜式資訊終端、電子筆記本、電子書閱讀器、電子翻譯器、聲音輸入器、攝影機、數位靜態照相機、電動剃鬚刀、IC 晶片、微波爐等高頻加熱裝置、電鍋、洗衣機、吸塵器、空調器等空調設備、洗碗機、烘碗機、乾衣機、烘被機、電冰箱、電冷凍箱、電冷藏冷凍箱、DNA 保存用冰凍器、輻射計數器（radiation counters）、透析裝置、X 射線診斷裝置等醫療設備等。另外，也可以舉出感煙探測器、感熱探測器、氣體警報裝置、防盜警報裝置等警報裝置。再者，還可以舉出工業設備諸如引導燈、信號機、傳送帶、電梯、自動扶梯、工業機器人、蓄電系統等。另外，利用使用燃料的發動機或來自非水類二次電池的電力藉由電動機推進的移動體等也包括在電子裝置的範疇內。作為上述移動體，例如可以舉出電動汽車（EV）、兼具內燃機和電動機的混合動力汽車（HEV）、插電式混合動力汽車（PHEV）、使用履帶代替上述汽車的車輪的履帶式車輛、包括電動輔助自行車的電動自行

車、摩托車、電動輪椅、高爾夫球車、小型或大型船舶、潛水艇、直升機、飛機、火箭、人造衛星、太空探測器、行星探測器、太空船。圖 13A 至圖 13C 示出這些電子裝置的一些具體例子。

[0229] 在圖 13A 所示的電視機 8000 中，外殼 8001 組裝有顯示部 8002，利用顯示部 8002 可以顯示影像，並且從揚聲器部 8003 可以輸出聲音。包括本發明的一個方式的電晶體的記憶體裝置可以應用於用來使顯示部 8002 工作的驅動電路。

[0230] 另外，電視機 8000 也可以具備用來進行資訊通信的 CPU8004、記憶體等。作為 CPU8004 或記憶體可以使用包括本發明的一個方式的電晶體的 CPU、記憶體裝置。

[0231] 圖 13A 所示的警報裝置 8100 是住宅用火災警報器，是包括感煙或感熱檢測部 8102 和微型電腦 8101 的電子裝置的一個例子。微型電腦 8101 包括具有本發明的一個方式的電晶體的記憶體裝置或 CPU。

[0232] 另外，圖 13A 所示的包括室內機 8200 和室外機 8204 的空調器是包含在上述實施方式中示出的電晶體、記憶體裝置或 CPU 等的電子裝置的一個例子。明確而言，室內機 8200 具有外殼 8201、出風口 8202、CPU8203 等。在圖 13A 中，例示出 CPU8203 設置在室內機 8200 中的情況，但是 CPU8203 也可以設置在室外機 8204 中。或者，也可以在室內機 8200 和室外機 8204 中

都設置有 CPU8203。藉由將本發明的一個方式的電晶體用於空調器的 CPU，可以實現低功耗化。

[0233] 另外，圖 13A 所示的電冷藏冷凍箱 8300 是包括在上述實施方式中示出的電晶體、記憶體裝置或 CPU 等的電子裝置的一個例子。明確而言，電冷藏冷凍箱 8300 包括外殼 8301、冷藏室門 8302、冷凍室門 8303 及 CPU8304 等。在圖 13A 中，CPU8304 設置在外殼 8301 的內部。藉由將本發明的一個方式的電晶體用於電冷藏冷凍箱 8300 的 CPU8304，可以實現低功耗化。

[0234] 圖 13B 和圖 13C 例示出電子裝置的一個例子的電動汽車。電動汽車 9700 安裝有二次電池 9701。二次電池 9701 的電力由電路 9702 調整輸出而供應到驅動裝置 9703。電路 9702 由具有未圖示的 ROM、RAM、CPU 等的處理裝置 9704 控制。藉由將本發明的一個方式的電晶體用於電動汽車 9700 的 CPU，可以實現低功耗化。

[0235] 驅動裝置 9703 包括直流電動機或交流電動機，或者將電動機和內燃機組合而構成。處理裝置 9704 根據電動汽車 9700 的駕駛員的操作數據（加速、減速、停止等）、行車資料（爬坡、下坡等資料，或者車輪所受到的負載資料等）等的輸入資料，向電路 9702 輸出控制信號。電路 9702 根據處理裝置 9704 的控制信號而調整從二次電池 9701 供應的電能並控制驅動裝置 9703 的輸出。當安裝交流電動機時，雖然未圖示，但是還安裝有將直流轉換為交流的逆變器。

[0236] 注意，本實施方式可以與本說明書所示的其他實施方式及實施例適當地組合。

### [實施例]

[0237] 在本實施例中，對本發明的一個方式的電晶體的電特性進行說明。

[0238] 首先，對電晶體的製造方法進行說明。本實施例中的電晶體具有圖 15A 和圖 15B 所示的結構。

[0239] 作為基板使用玻璃基板，在該玻璃基板上利用電漿 CVD 法形成氧化矽膜。

[0240] 接著，在氧化矽膜上利用濺射法依次形成 10nm 厚左右的第一氧化物半導體膜和 40nm 厚左右的第二氧化物半導體膜。在此，第一氧化物半導體膜使用  $\text{In:Ga:Zn}=1:3:2$  的 IGZO 膜，第二氧化物半導體膜使用  $\text{In:Ga:Zn}=1:1:1$  或者  $\text{In:Ga:Zn}=3:1:2$  的 IGZO 膜。

[0241] 接著，在第二氧化物半導體膜上形成 15nm 厚的鎢膜及有機樹脂，並形成負性光阻劑膜，對該光阻劑膜進行電子束的掃描及曝光，進行顯影處理，這樣形成第一光阻遮罩。

[0242] 並且，用第一光阻遮罩對有機樹脂及鎢膜選擇性地進行蝕刻。蝕刻利用感應耦合電漿乾蝕刻裝置進行。

[0243] 接著，利用灰化製程去除第一光阻遮罩及有機樹脂。並且，以鎢膜為遮罩對第一氧化物半導體膜及第

二氧化物半導體膜選擇性地進行蝕刻，來形成第一氧化物半導體層、第二二氧化物半導體層以及鎢膜的疊層。

[0244] 接著，在鎢膜上形成第二光阻遮罩，用該光阻遮罩對鎢膜選擇性地進行蝕刻，來形成源極電極層及汲極電極層。

[0245] 接著，在上述氧化物半導體層、源極電極層及汲極電極層上利用濺射法形成 5nm 厚的第三氧化物半導體膜。在此，第三氧化物半導體膜使用  $In:Ga:Zn=1:3:2$  的 IGZO 膜。

[0246] 接著，在第三氧化物半導體膜上利用電漿 CVD 法形成成為閘極絕緣膜的 10nm 厚的氮化矽膜。

[0247] 接著，利用濺射法連續地形成 10nm 厚的氮化鈦膜及 10nm 厚的鎢膜。然後，在鎢膜上形成第三光阻遮罩。

[0248] 接著，用第三光阻遮罩對上述氮化鈦膜和鎢膜選擇性地進行蝕刻來形成閘極電極層。

[0249] 接著，在閘極電極層及閘極絕緣膜上形成第四光阻遮罩，用該光阻遮罩對閘極絕緣膜及第三氧化物半導體膜選擇性地進行蝕刻，來形成具有圖 15A 和圖 15B 所示的形狀的閘極絕緣膜及第三氧化物半導體層。

[0250] 接著，形成用作絕緣層的氧化鋁膜及氮化矽膜。

[0251] 藉由上述製程，製造本發明的一個方式的電晶體（相當於圖 16B 所示的模型（b））。此外，改變上

述製程的一部分來製造現有結構的電晶體（相當於圖 16A 所示的模型（a））。

[0252] 接著，對所製造的電晶體的電特性進行說明。

[0253] 圖 17A 示出現有結構的電晶體的  $Id-Vg$  特性。該電晶體的第二氧化物半導體層使用  $In:Ga:Zn=1:1:1$  的氧化物半導體。場效移動率大約為  $14\text{cm}^2/\text{Vs}$ ， $S$  值大約為  $105\text{mV/decade}$ ，示出良好的特性。

[0254] 圖 17B 示出本發明的一個方式的電晶體的  $Id-Vg$  特性。該電晶體的第二氧化物半導體層使用  $In:Ga:Zn=3:1:2$  的氧化物半導體。場效移動率大約為  $21\text{cm}^2/\text{Vs}$ ， $S$  值大約為  $90\text{mV/decade}$ ，示出比現有結構的電晶體更良好的特性。

[0255] 在此，當在現有結構的電晶體中作為第二氧化物半導體層使用  $In:Ga:Zn=3:1:2$  的氧化物半導體時，獲得  $100\text{cm}^2/\text{Vs}$  左右的場效移動率，但是不能獲得良好的特性，諸如臨界電壓大幅度地向負漂移。另外，當在本發明的一個方式的電晶體中作為第二氧化物半導體層使用  $In:Ga:Zn=1:1:1$  的氧化物半導體時，獲得比圖 17A 更低的通態電流及場效移動率。

[0256] 上述結果表示：藉由作為氧化物半導體層選擇適當的材料，本發明的一個方式的電晶體能夠獲得比現有結構的電晶體更良好的電特性。

[0257] 注意，本實施例可以與本說明書所示的其他

實施方式適當地組合。

### 【符號說明】

[0258]

100：電晶體

110：基板

120：基底絕緣膜

130：氧化物半導體層

131：第一氧化物半導體層

132：第二氧化物半導體層

133：第三氧化物半導體層

135：界線

137：通道區

140：源極電極層

145：佈線

147：第一開口部

150：汲極電極層

155：佈線

157：第二開口部

160：閘極絕緣膜

170：閘極電極層

172：導電膜

175：佈線

177：第三開口部

- 180：絕緣層  
185：絕緣層  
331：第一氧化物半導體膜  
332：第二氧化物半導體膜  
333：第三氧化物半導體膜  
340：第一導電膜  
341：第一導電層  
360：絕緣膜  
370：第二導電膜  
400：光阻遮罩  
3000：基板  
3001：佈線  
3002：佈線  
3003：佈線  
3004：佈線  
3005：佈線  
3100：元件隔離絕緣層  
3150：絕緣層  
3200：電晶體  
3250：電極  
3300：電晶體  
3400：電容元件  
4250：記憶單元  
4300：電晶體

4400 : 電容元件

4500 : 佈線

4600 : 佈線

8000 : 電視機

8001 : 外殼

8002 : 顯示部

8003 : 揚聲器部

8004 : CPU

8100 : 警報裝置

8101 : 微型電腦

8102 : 檢測部

8200 : 室內機

8201 : 外殼

8202 : 出風口

8203 : CPU

8204 : 室外機

8300 : 電冷藏冷凍箱

8301 : 外殼

8302 : 冷藏室門

8303 : 冷凍室門

8304 : CPU

9700 : 電動汽車

9701 : 二次電池

9702 : 電路

I628798

9703：驅動裝置

9704：處理裝置

# 發明摘要

※申請案號：103115172

※申請日：103 年 04 月 28 日

※IPC 分類：  
*H01L 29/78 (2006.01)*  
*H01L 21/28 (2006.01)*

## 【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

## 【中文】

本發明的一個方式的目的之一是提供一種即使進行微型化也容易製造且能夠抑制伴隨微型化的電特性下降的半導體裝置以及其製造方法。在氧化物半導體層的頂面上形成有源極電極層及汲極電極層，氧化物半導體層的側面及源極電極層的側面位於同一個面上，該氧化物半導體層的側面及該源極電極層的側面與第一佈線以側面接觸的方式電連接。此外，氧化物半導體層的側面及汲極電極層的側面位於同一個面上，該氧化物半導體層的側面及該汲極電極層的側面與第二佈線以側面接觸的方式電連接。

## 【英文】

To provide a semiconductor device having a structure with which the device can be easily manufactured even if the size is decreased and which can suppress a decrease in electrical characteristics caused by the decrease in the size, and a manufacturing method thereof. A source electrode layer and a drain electrode layer are formed on an upper surface of an oxide semiconductor layer. A side surface of the oxide semiconductor layer and a side surface of the source electrode layer are provided on the same surface and are electrically connected to a first wiring. Further, a side surface of the oxide semiconductor layer and a side surface of the drain electrode layer are provided on the same surface and are electrically connected to a second wiring.

## 圖式

圖 1A

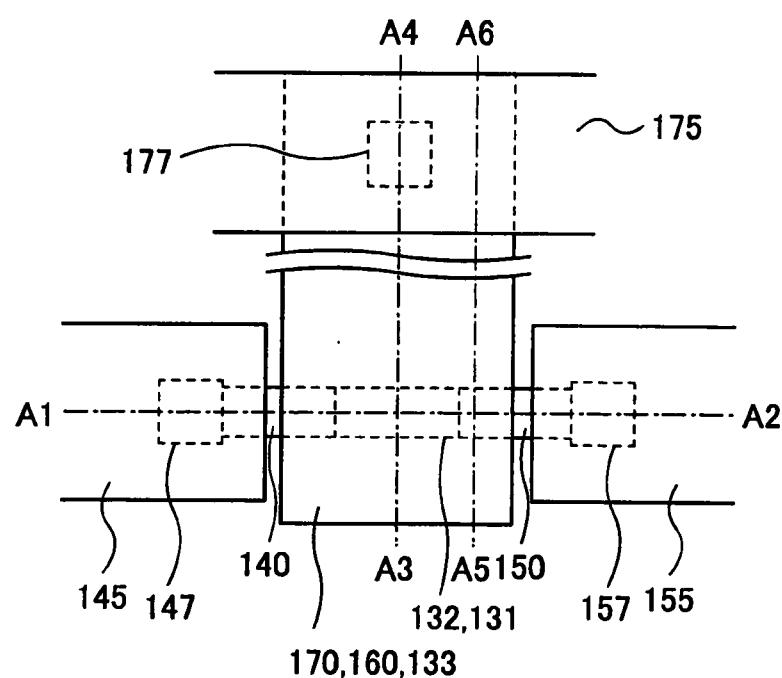


圖 1B

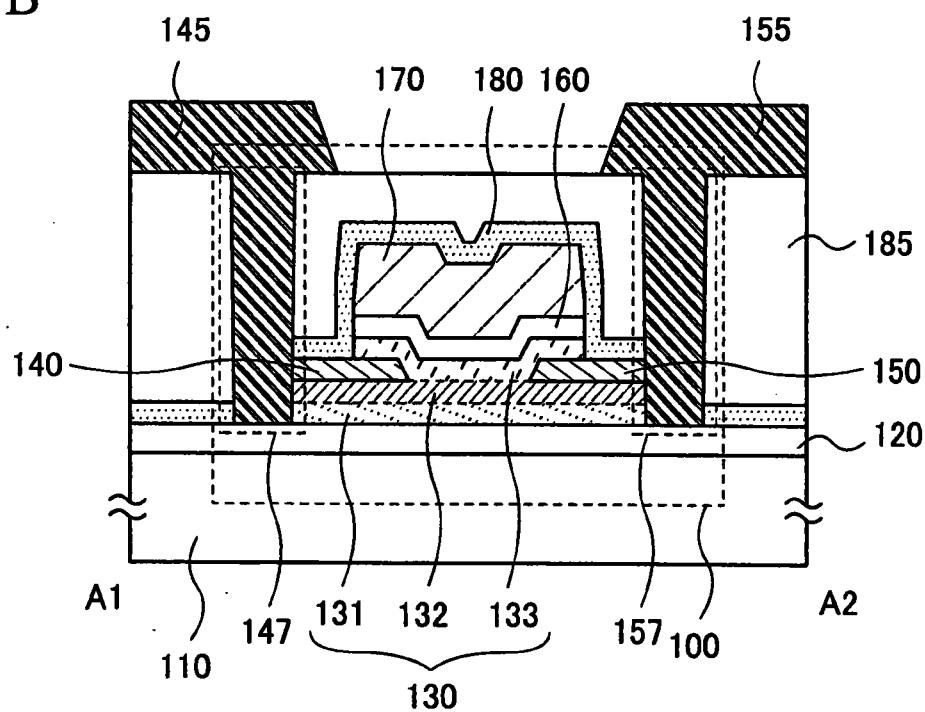


圖 2A

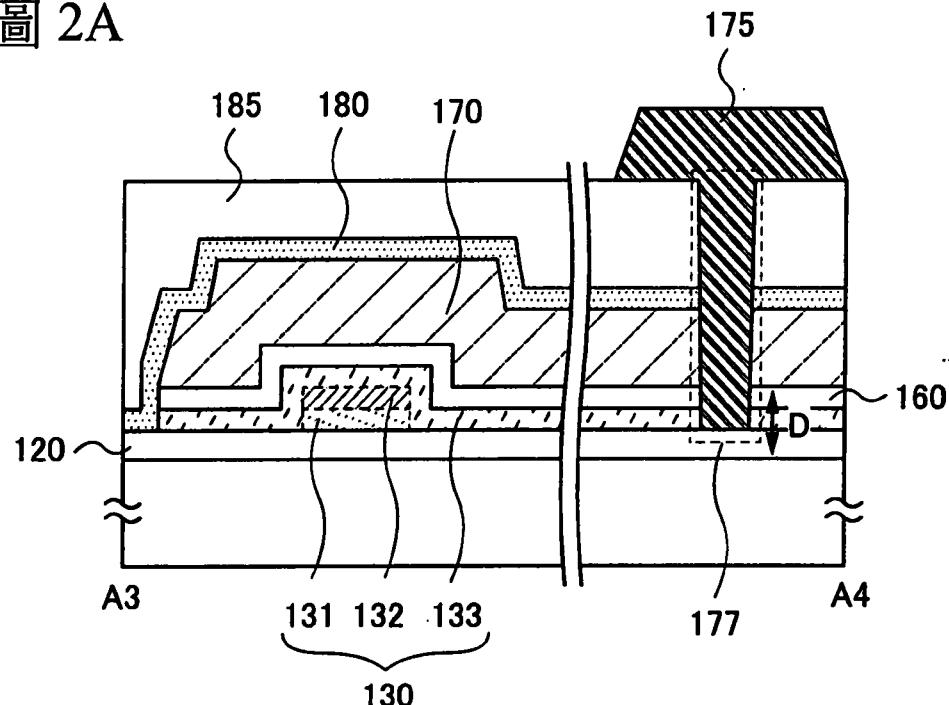


圖 2B

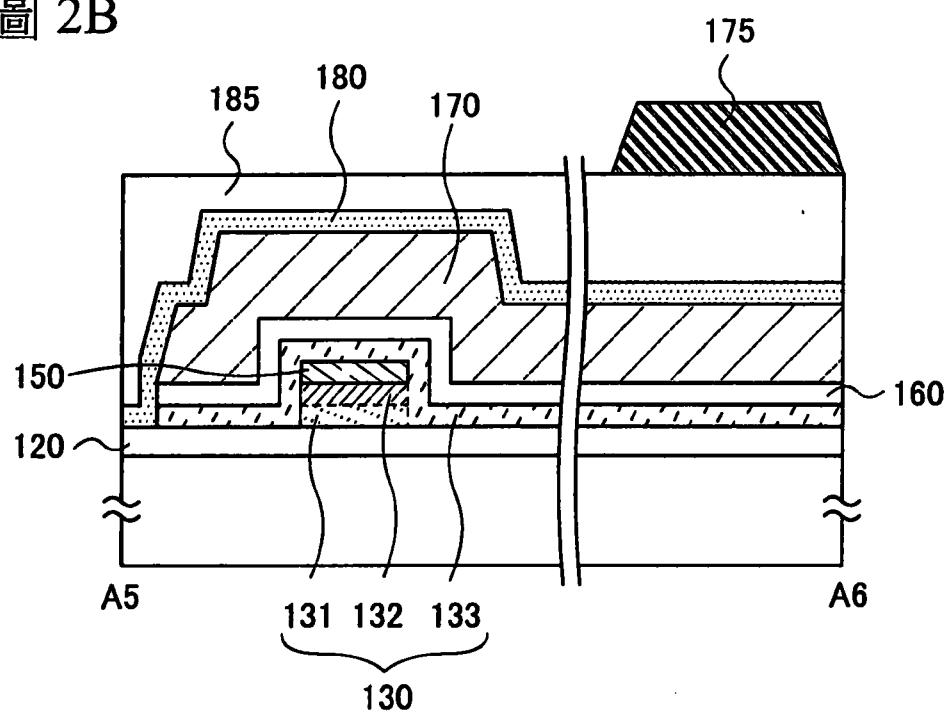


圖 3A

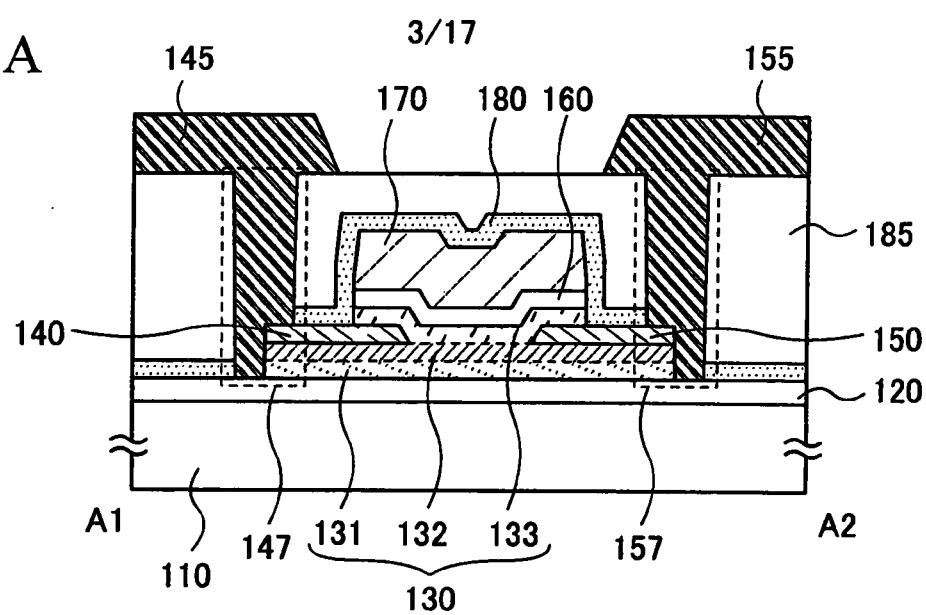


圖 3B

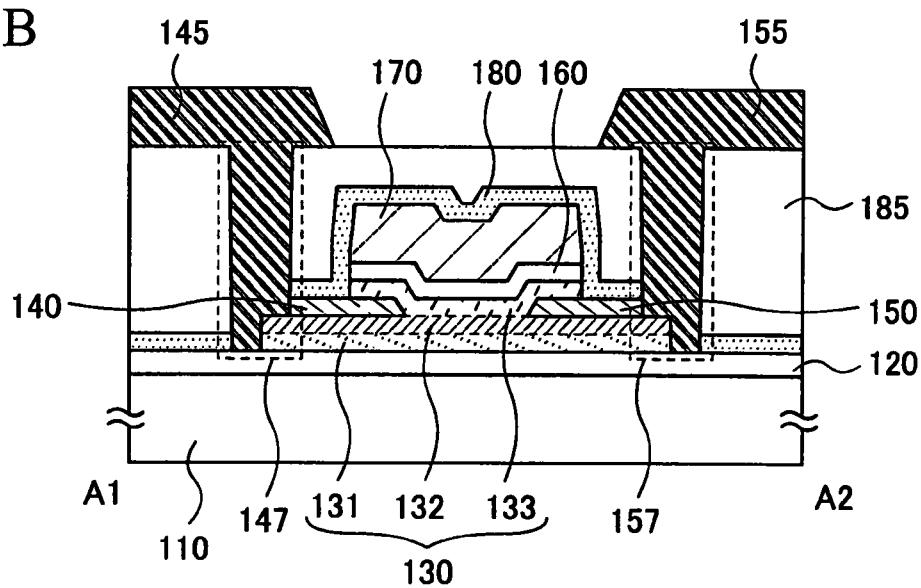


圖 3C

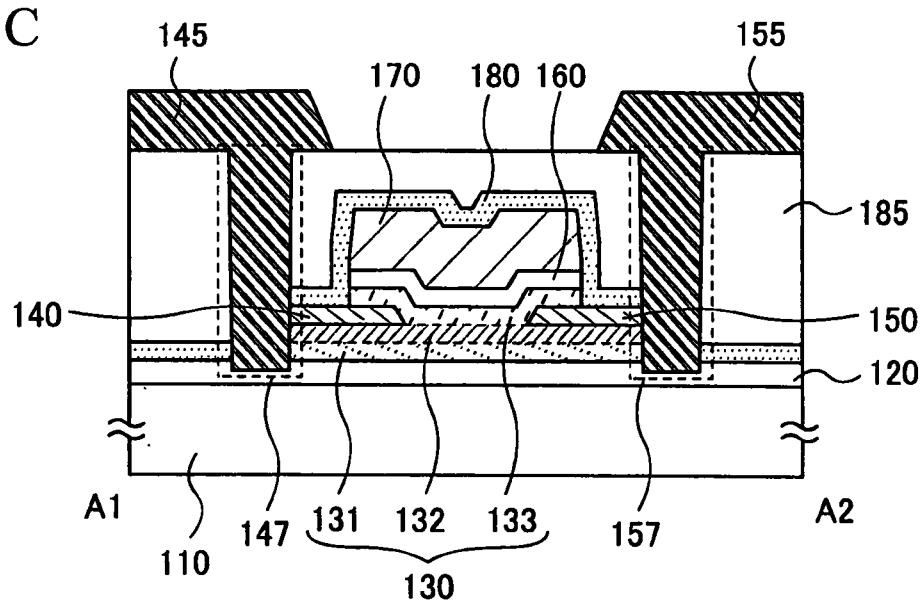


圖 4A

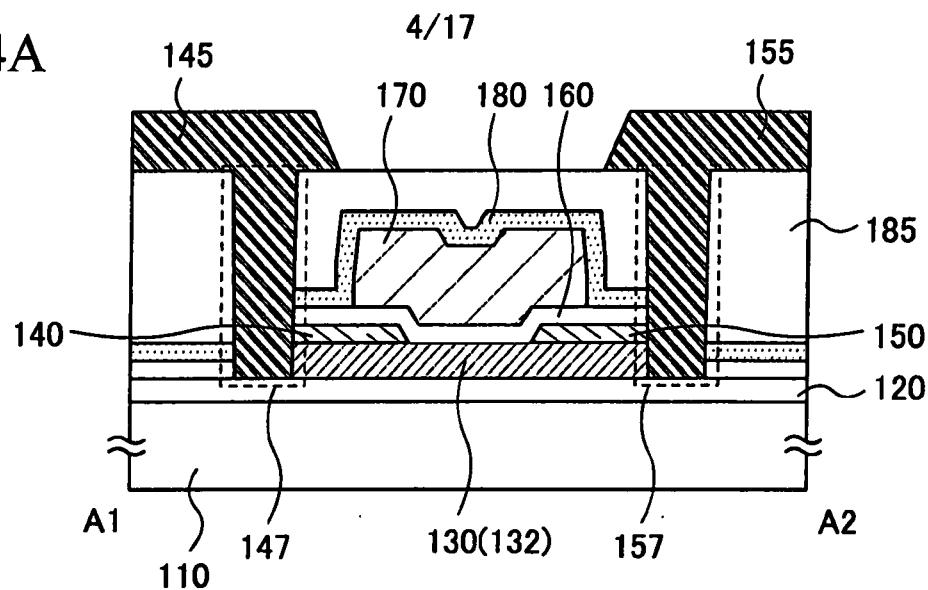


圖 4B

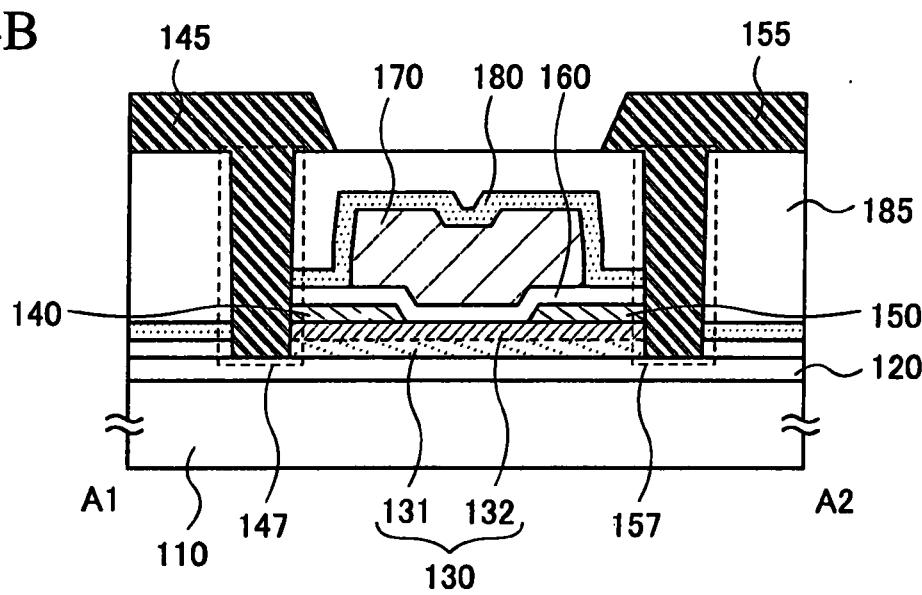


圖 4C

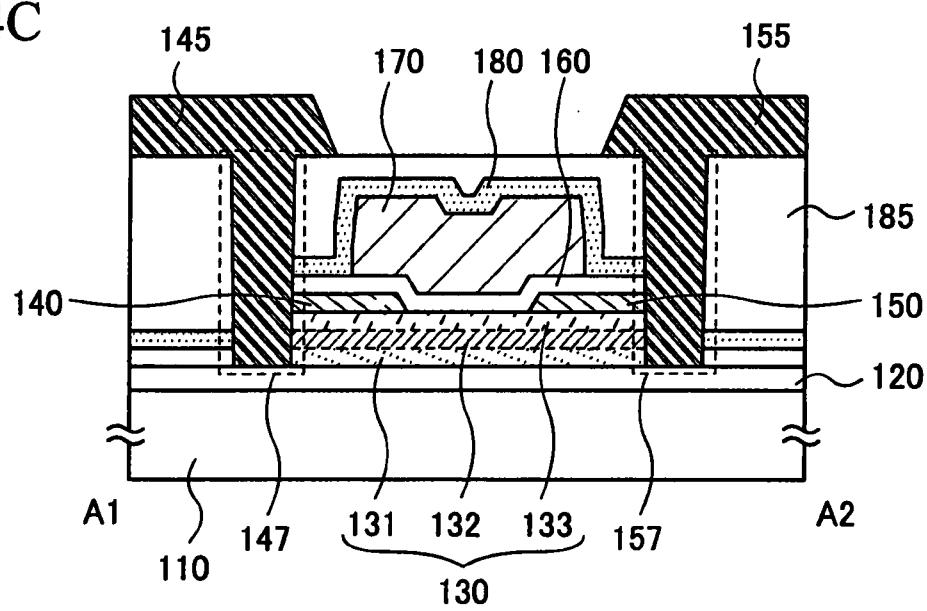


圖 5

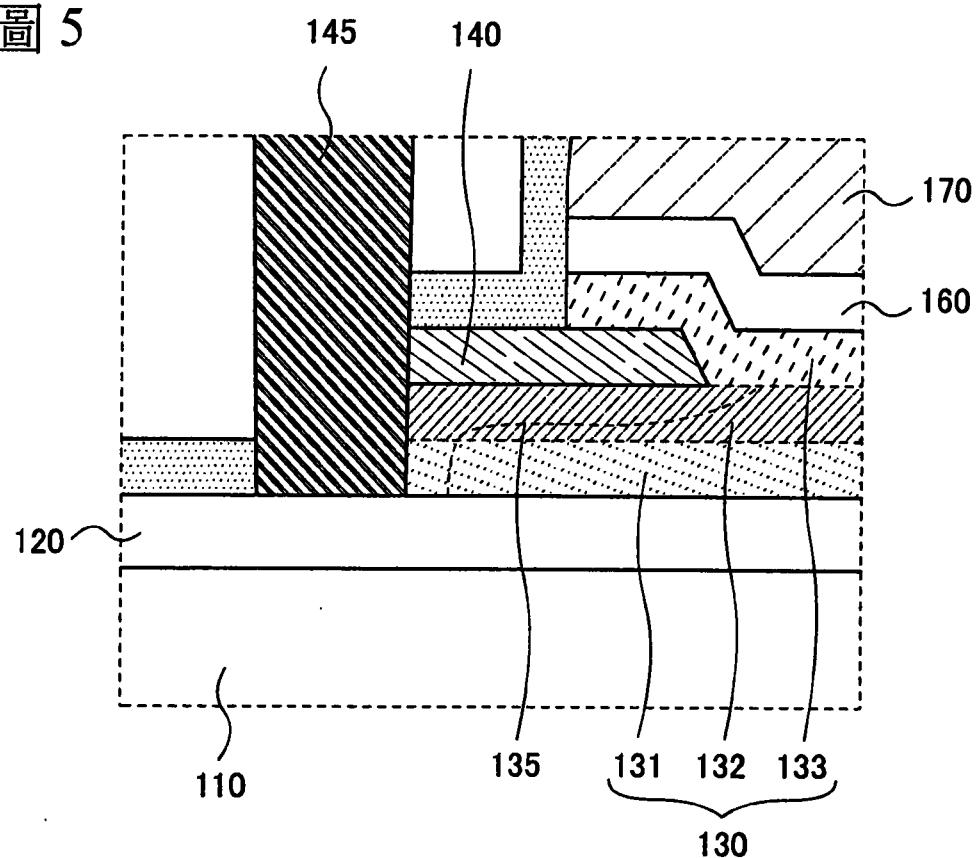


圖 6A

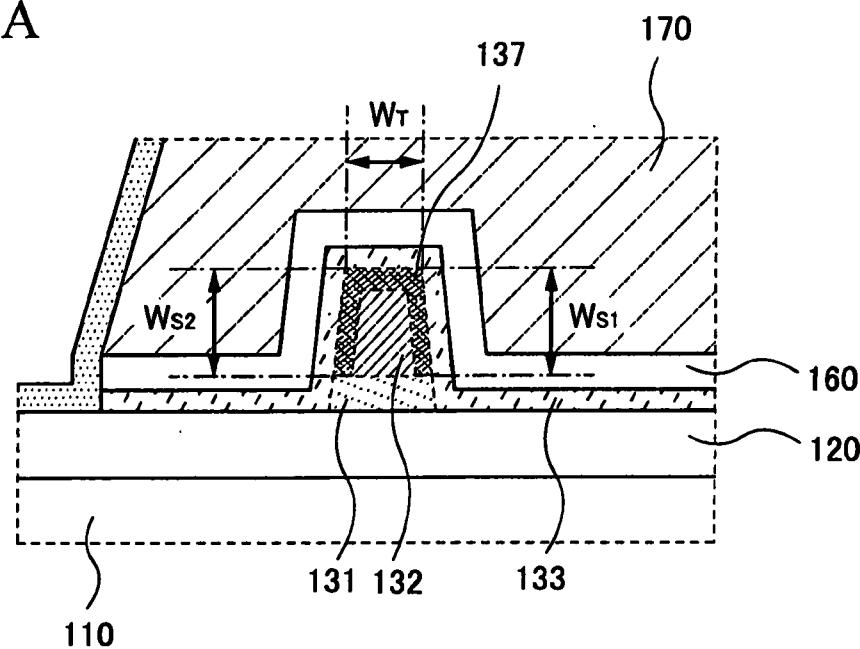


圖 6B

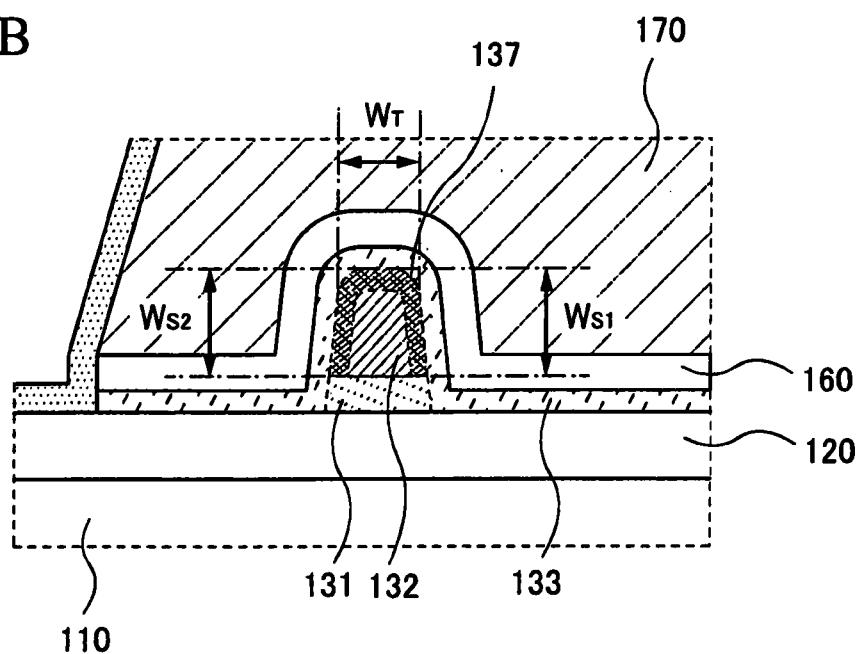
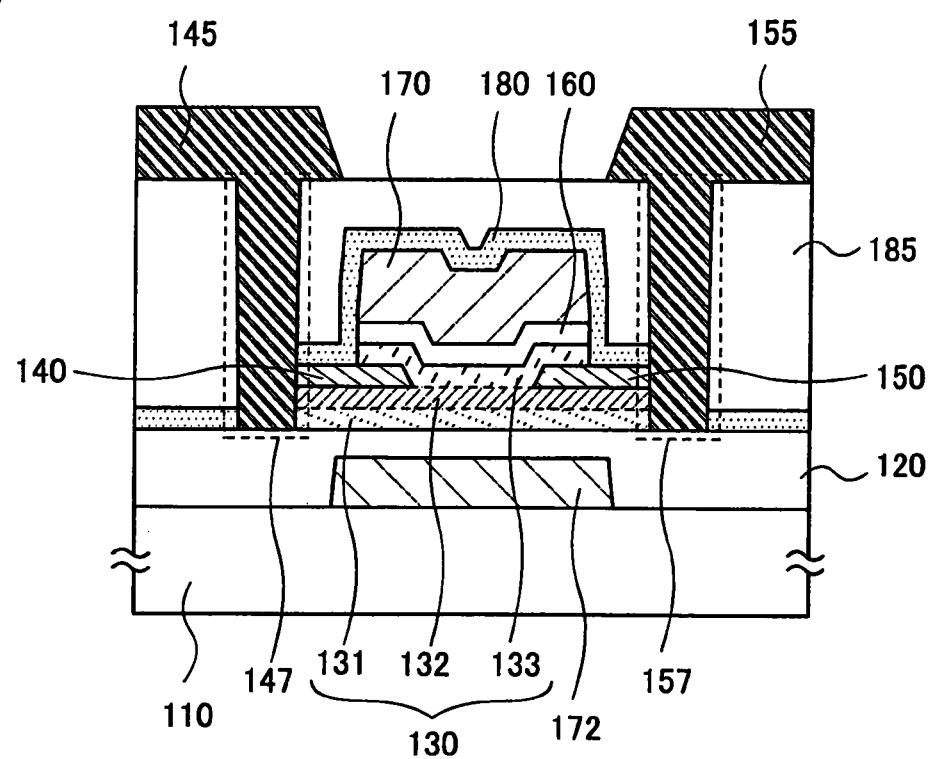


圖 7



I628798

圖 8A

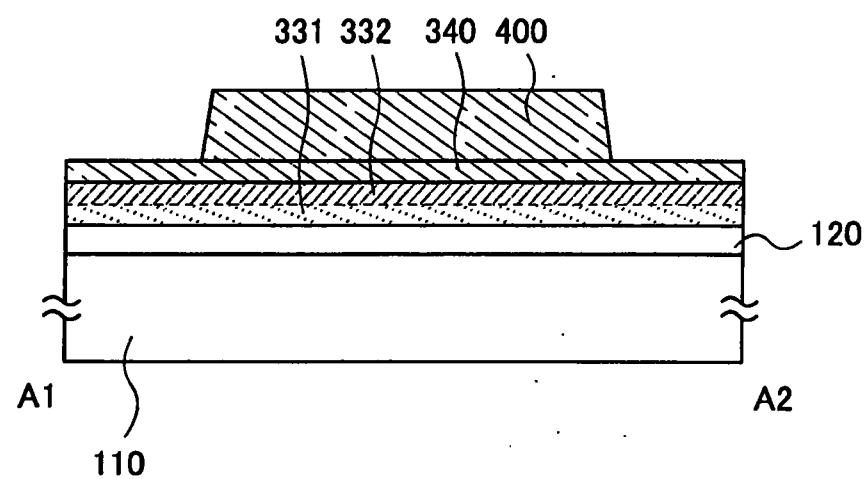


圖 8B

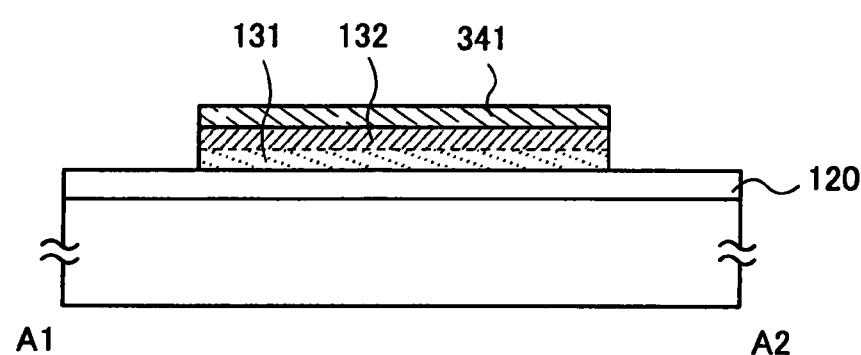
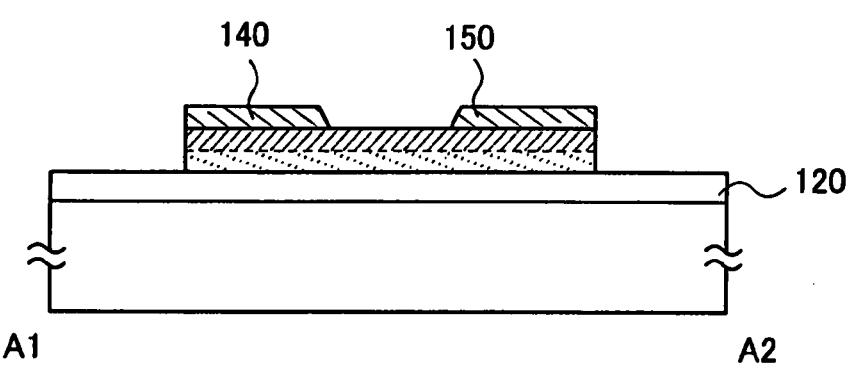


圖 8C



S

圖 9A

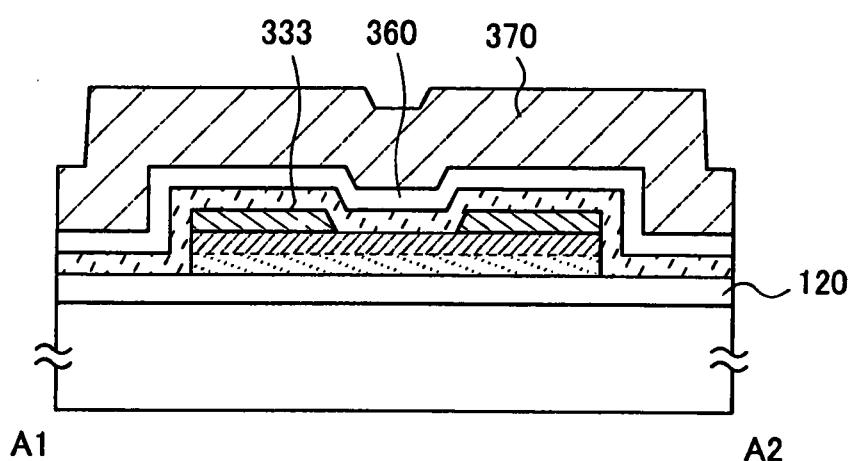


圖 9B

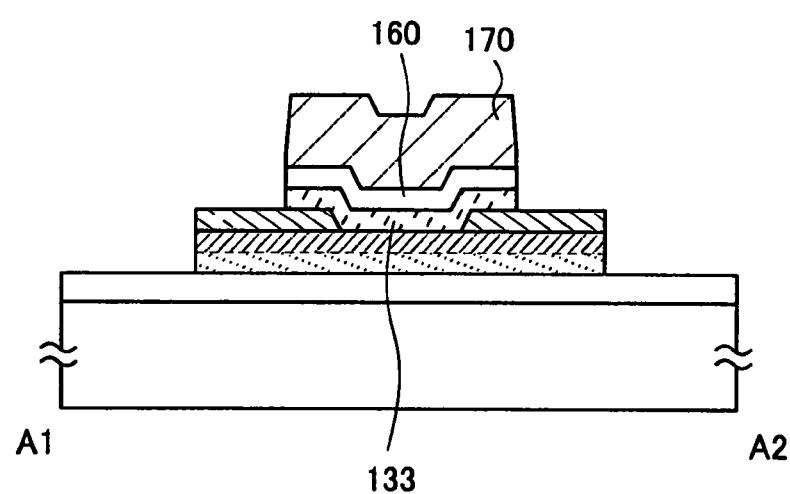


圖 9C

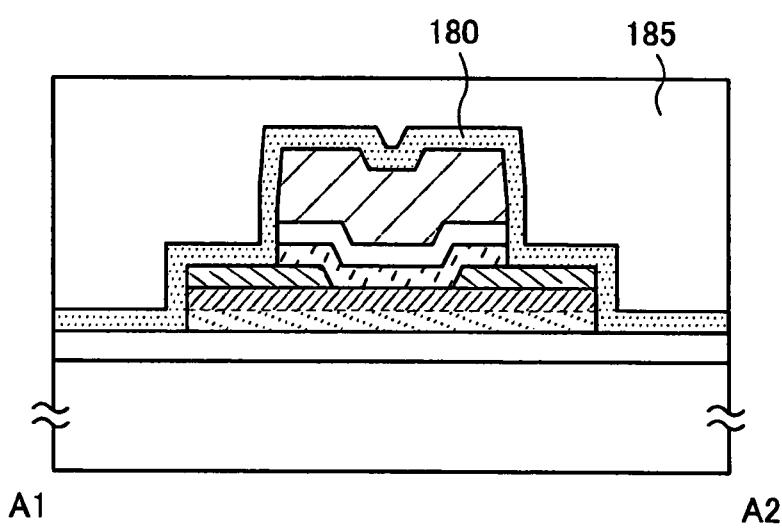


圖 10A

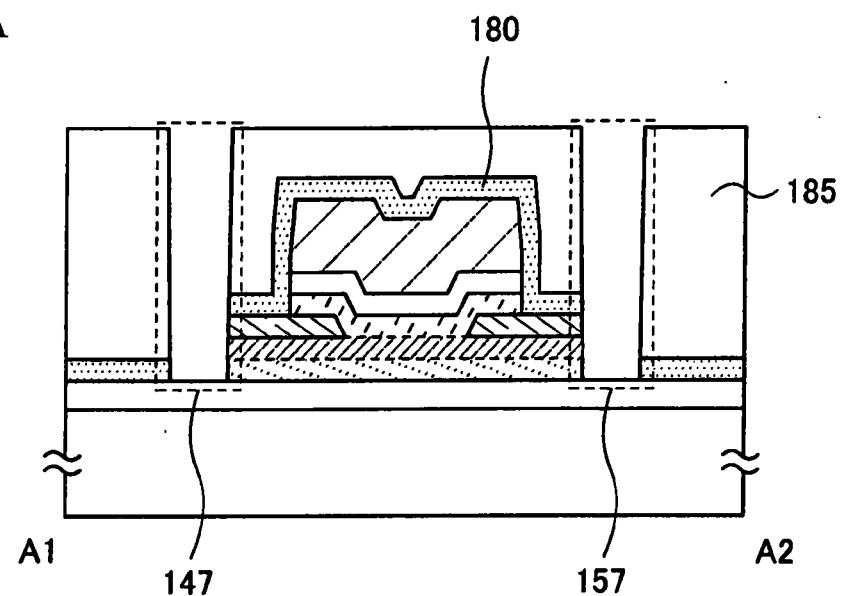
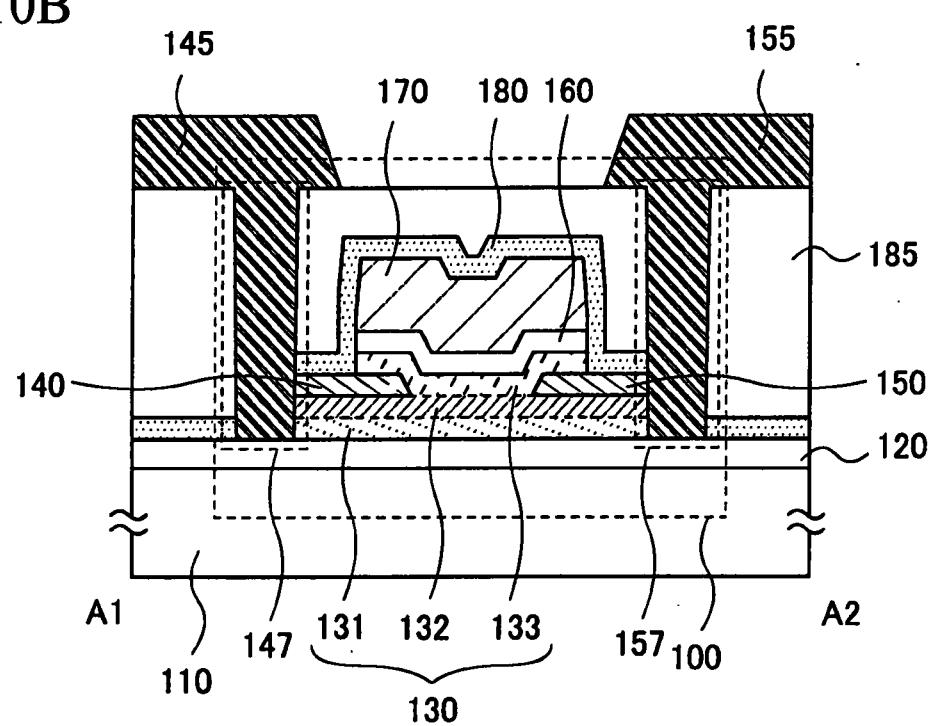


圖 10B



S

圖 11A

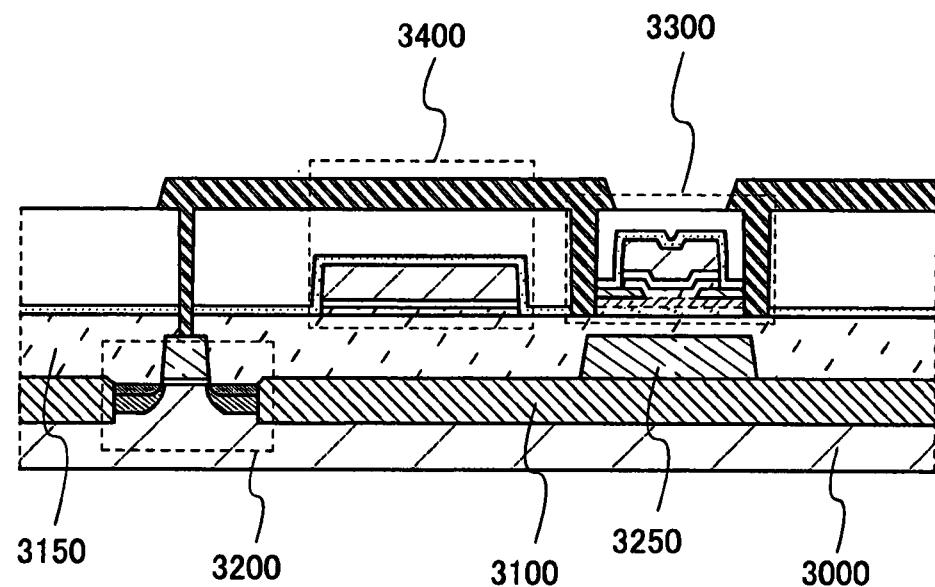
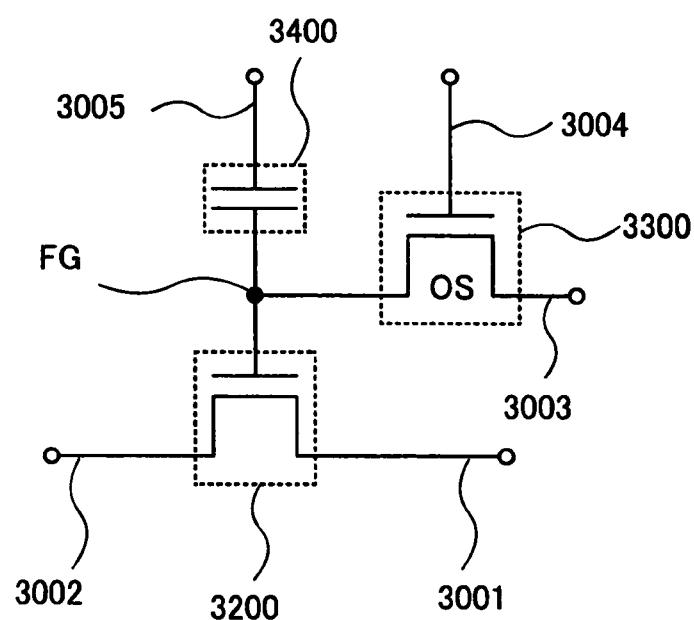
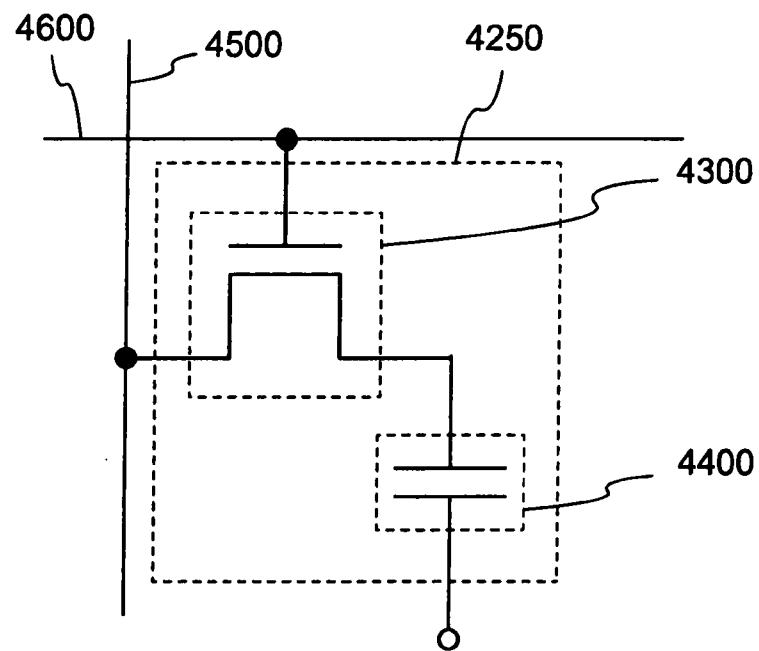


圖 11B



I628798

圖 12



S

圖 13A

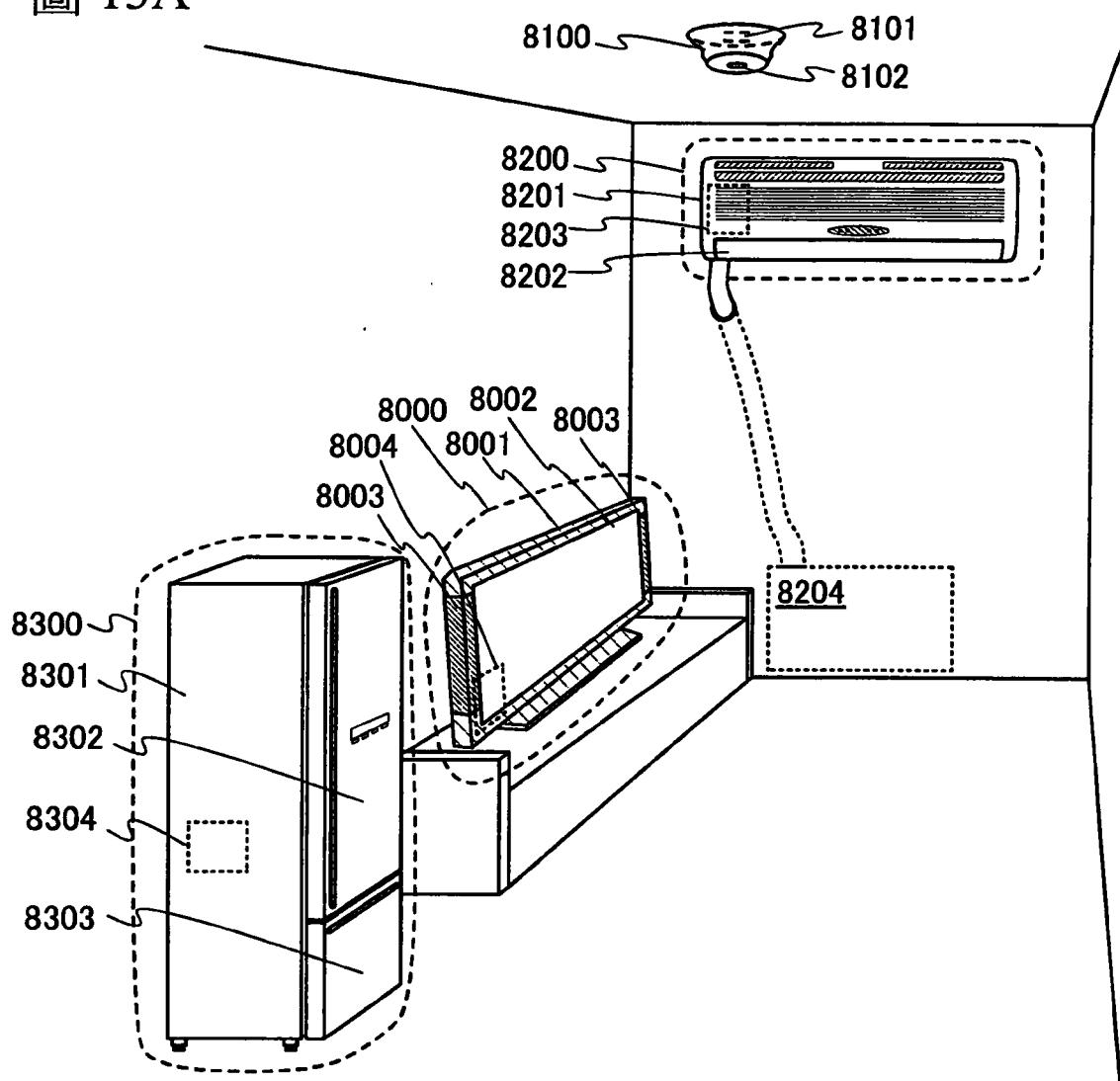


圖 13B

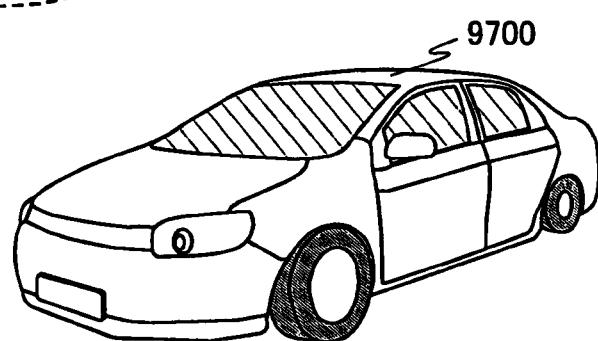
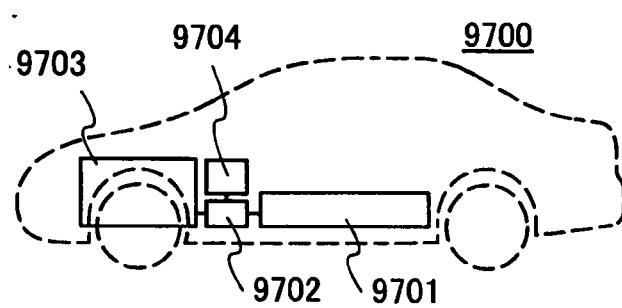


圖 13C



I628798

圖 14A

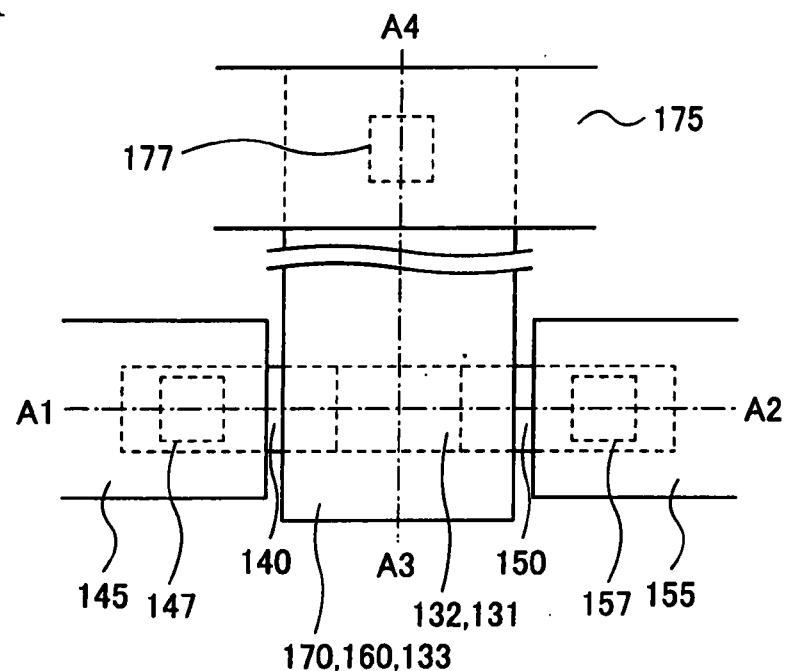
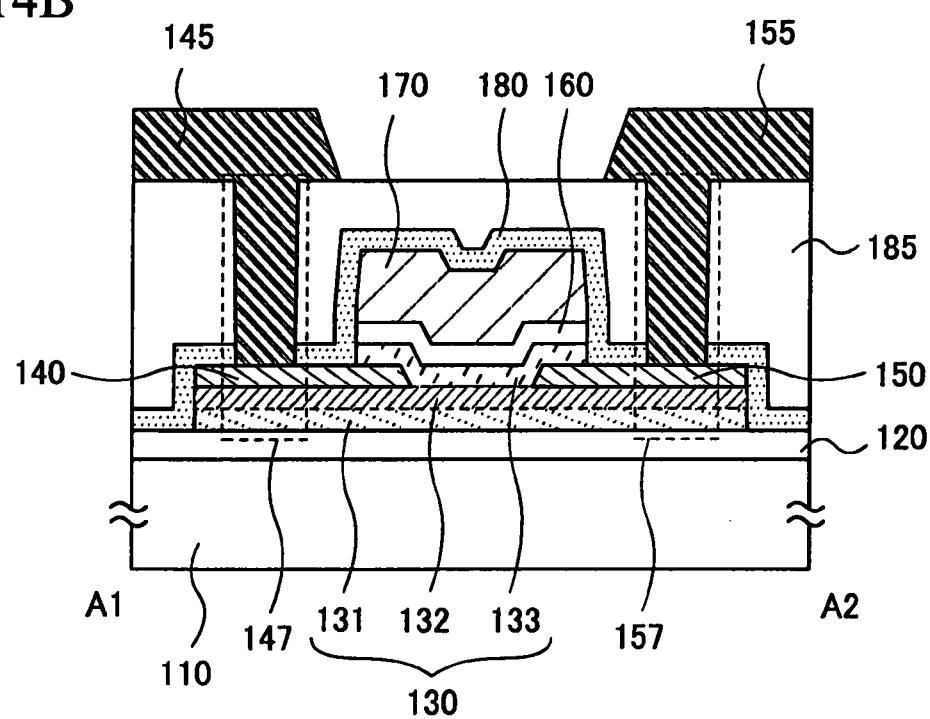


圖 14B



S

圖 15A

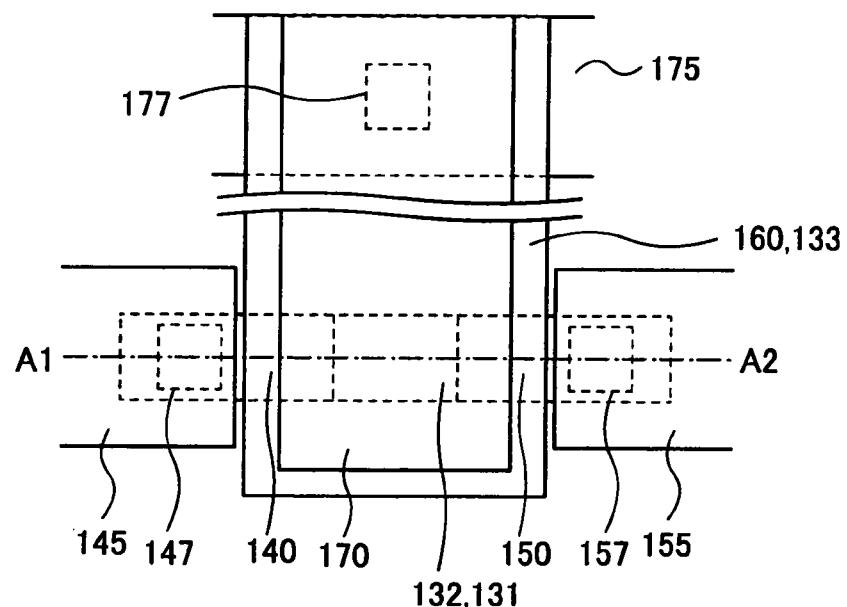


圖 15B

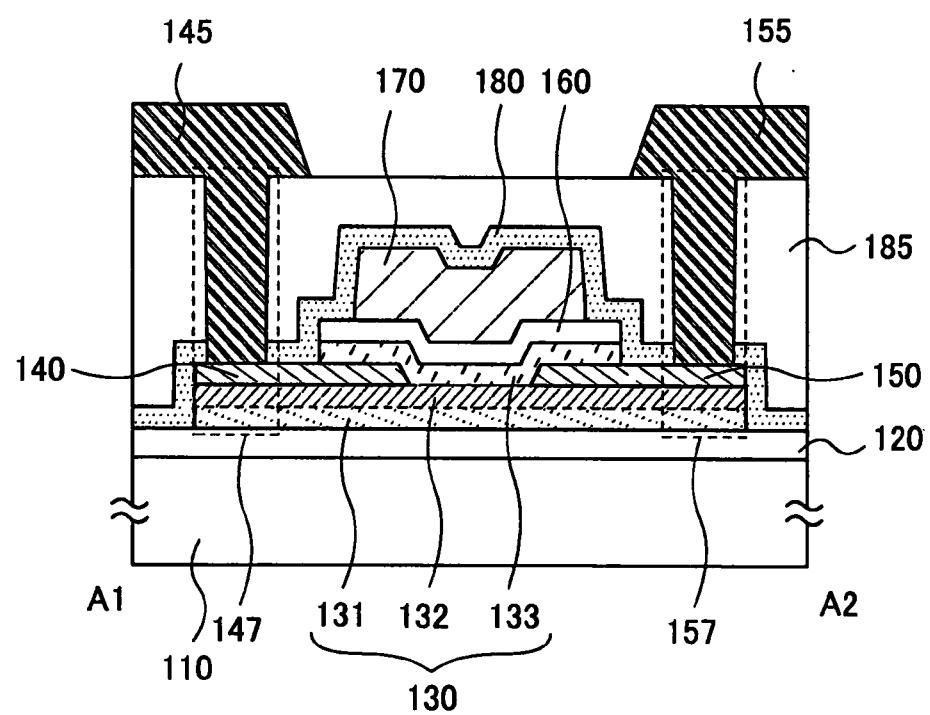


圖 16A

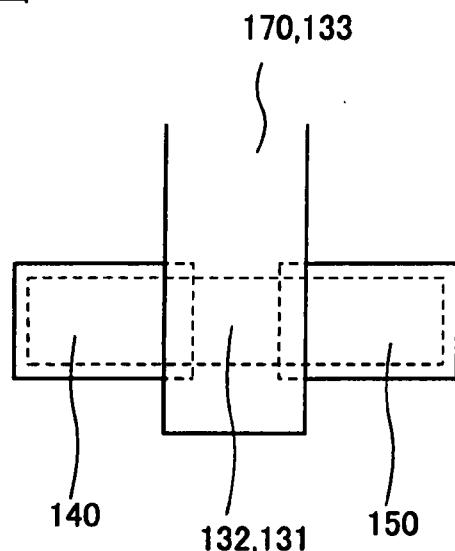


圖 16B

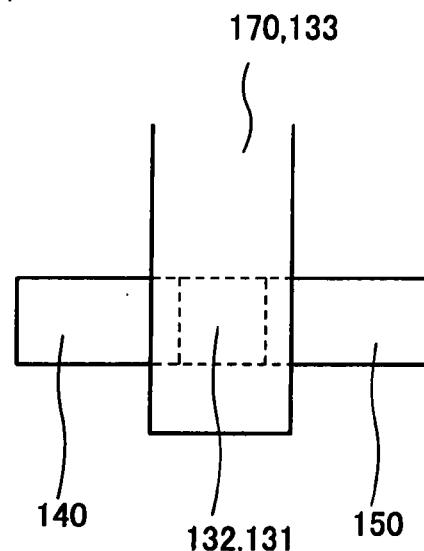


圖 16C

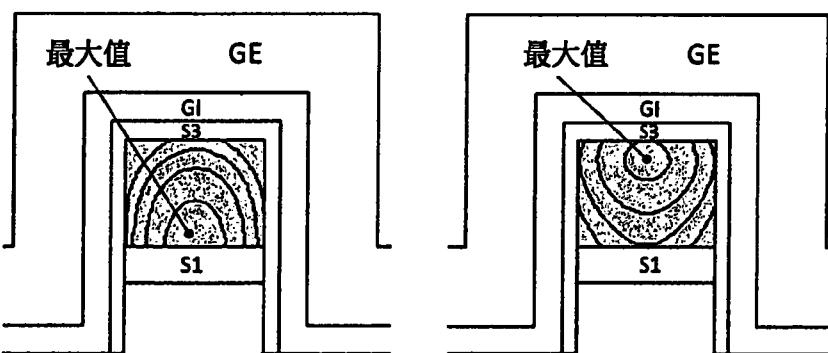


圖 16D

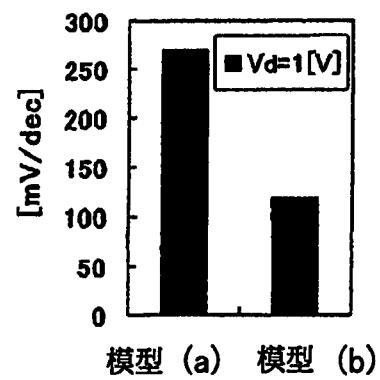


圖 17A

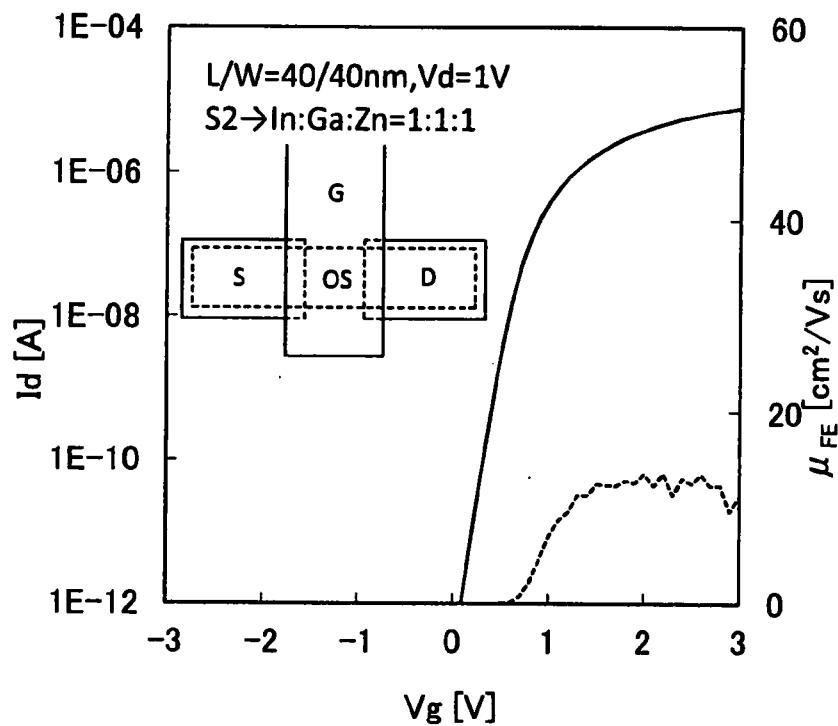
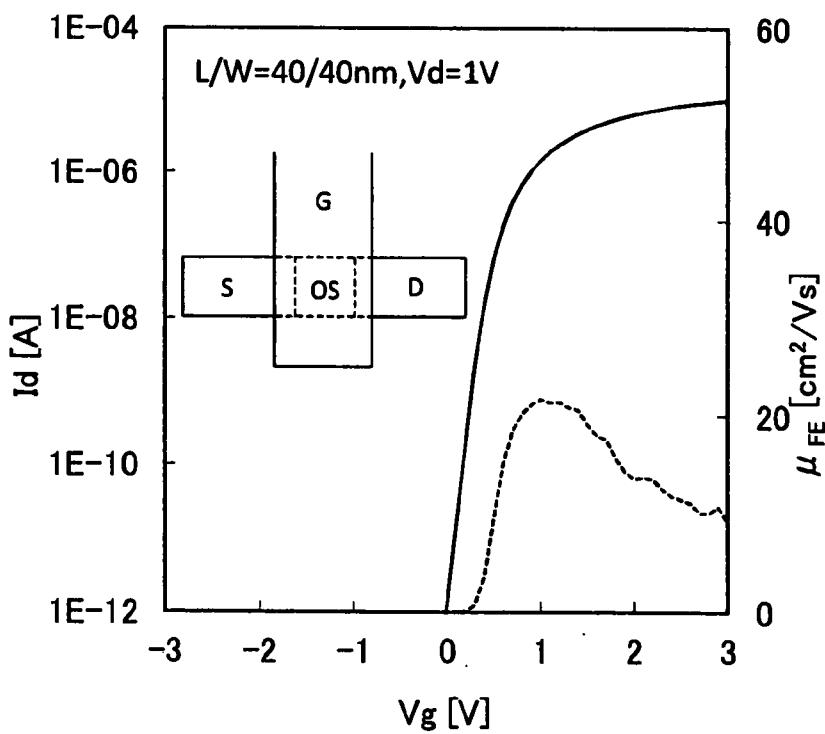


圖 17B



**【代表圖】**

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

100：電晶體

110：基板

120：基底絕緣膜

130：氧化物半導體層

131：第一氧化物半導體層

132：第二氧化物半導體層

133：第三氧化物半導體層

140：源極電極層

145：佈線

147：第一開口部

150：汲極電極層

155：佈線

157：第二開口部

160：閘極絕緣膜

170：閘極電極層

180：絕緣層

185：絕緣層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

之間的接觸面積不容易產生偏差，而可以抑制接觸電阻的偏差。另外，第三開口部 177 到達圖式所示的範圍 D（閘極絕緣膜 160 中至基底絕緣膜 120 中）即可。

[0047] 第一開口部 147 內及第二開口部 157 內的結構不侷限於圖 1B 所示的例子。例如，如圖 3A 所示，也可以採用在第一開口部 147 以及第二開口部 157 中源極電極層 140 及汲極電極層 150 的頂面的一部分露出的結構。在源極電極層 140 及汲極電極層 150 的蝕刻速度比絕緣層 180 慢得多的情況下，可以容易形成該結構。

[0048] 如圖 3B 所示，也可以採用在第一開口部 147 及第二開口部 157 中第二氧化物半導體層 132 的頂面的一部分露出的結構。另外，雖然未圖示，但是也可以採用在該開口部中第一氧化物半導體層 131 的頂面的一部分露出的結構。在第二氧化物半導體層 132 和/或第一氧化物半導體層 131 的蝕刻速度比絕緣層 180 慢得多的情況下，可以容易形成該結構。

[0049] 另外，在上述圖 3A 和圖 3B 的結構中，其頂面的一部分露出的層的一部分可以在厚度方向上被蝕刻。

[0050] 另外，如圖 3C 所示，也可以採用第一開口部 147 及第二開口部 157 到達基底絕緣膜 120 的結構。在絕緣層 180 的蝕刻速度接近源極電極層 140、汲極電極層 150、第二氧化物半導體層 132、第一氧化物半導體層 131 和基底絕緣膜 120 的蝕刻速度的情況下，可以容易形成該結構。

[0051] 當能夠嚴格地控制蝕刻條件時，如圖 14A 和圖 14B 所示，可以採用使源極電極層 140 及汲極電極層 150 的頂面的一部分露出並使該露出部與第一佈線 145 及第二佈線 155 接觸的結構。

[0052] 在本發明的一個方式的電晶體中，如圖 15A 和圖 15B 所示，也可以採用第三氧化物半導體層 133 及閘極絕緣膜 160 的頂面形狀與閘極電極層 170 的頂面形狀不同的結構。藉由採用如圖 15A 和圖 15B 所示的形狀，可以降低閘極漏電流。該結構也可以應用於本實施方式所示的其他的電晶體。

[0053] 在本發明的一個方式的電晶體中，僅在氧化物半導體層上形成有源極電極層 140 及汲極電極層 150，因此實效的通道寬度變短，而有通態電流有所減少的憂慮，但是施加到氧化物半導體層的側部的閘極電場不被遮蔽，因此閘極電場施加到整個氧化物半導體層，能夠降低 S 值（次臨界值）。藉由以下科學計算確認到上述效果。

[0054] 圖 16A 示出假設具有現有結構的電晶體的模型（a）的俯視圖，其中，源極電極層 140 及汲極電極層 150 的寬度比氧化物半導體層的寬度大。圖 16B 示出假設本發明的一個方式的模型（b）的俯視圖，其中，源極電極層 140 及汲極電極層 150 的寬度與氧化物半導體層的寬度相同。

[0055] 圖 16C 示出各模型的汲極電流為  $1E-12[A]$  左右時的通道部的通道寬度方向上的剖面的電流密度分佈的

## 申請專利範圍

1. 一種半導體裝置，包括：

絕緣表面上的第一氧化物半導體層；

該第一氧化物半導體層上的第二氧化物半導體層；

該第二氧化物半導體層上的源極電極層及汲極電極層；

該第二氧化物半導體層上的第三氧化物半導體層；

該第三氧化物半導體層上的閘極絕緣膜；

該閘極絕緣膜上的閘極電極層；以及

該絕緣表面、該源極電極層、該汲極電極層以及該閘極電極層上的絕緣層，

其中，該源極電極層的側面及該第二氧化物半導體層的第一側面與第一佈線的表面直接接觸，

其中，該汲極電極層的側面及該第二氧化物半導體層的第二側面與第二佈線的表面直接接觸，

其中，該第三氧化物半導體層的第一部分與該源極電極層直接接觸，

其中，該第三氧化物半導體層的第二部分與該汲極電極層直接接觸，

其中，到達該第二氧化物半導體層的第一部分及該源極電極層的一部分的第一開口部位於該絕緣層中，

其中，到達該第二氧化物半導體層的第二部分及該汲極電極層的一部分的第二開口部位於該絕緣層中，

其中，到達該閘極電極層的一部分的第三開口部位於

該絕緣層中，

其中，在該第一開口部中，該第二氧化物半導體層及該源極電極層與該第一佈線電連接，

其中，在該第二開口部中，該第二氧化物半導體層及該汲極電極層與該第二佈線電連接，並且

其中，在該第三開口部中，該閘極電極層與第三佈線電連接。

2.根據申請專利範圍第 1 項之半導體裝置，

其中該第一氧化物半導體層的導帶底的能量比該第二氧化物半導體層的導帶底的能量更接近真空能階  $0.05\text{eV}$  以上且  $2\text{eV}$  以下，並且

其中，該第三氧化物半導體層的導帶底的能量比該第二氧化物半導體層的導帶底的能量更接近真空能階  $0.05\text{eV}$  以上且  $2\text{eV}$  以下。

3.根據申請專利範圍第 1 項之半導體裝置，

其中，該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化物半導體層各是 In-M-Zn 氧化物，

其中，M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 和 Hf 中的一個，並且

其中，該第一氧化物半導體層及該第三氧化物半導體層之各者中的 M 對 In 的原子數比大於該第二氧化物半導體層中的 M 對 In 的原子數比。

4.根據申請專利範圍第 1 項之半導體裝置，其中該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化

物半導體層各包括 c 軸配向結晶。

5.根據申請專利範圍第 1 項之半導體裝置，其中該源極電極層及該汲極電極層各包括 Al、Cr、Cu、Ta、Ti、Mo 和 W 中的一個。

6.一種包括根據申請專利範圍第 1 項之半導體裝置的電子裝置。

7.一種半導體裝置的製造方法，包括如下步驟：

在絕緣表面上形成第一氧化物半導體膜與第二氧化物半導體膜的疊層膜；

在該疊層膜上形成導電層；

使用該導電層為遮罩對該疊層膜選擇性地蝕刻；

對該導電層選擇性地蝕刻以分割該導電層，藉以來形成第一氧化物半導體層與第二氧化物半導體層的疊層、該疊層上的源極電極層以及該疊層上的汲極電極層；

在該絕緣表面、該疊層、該源極電極層以及該汲極電極層上形成第三氧化物半導體膜；

在該第三氧化物半導體膜上形成氧化物絕緣膜；

在該氧化物絕緣膜上形成閘極電極層；

使用該閘極電極層為遮罩對該氧化物絕緣膜及該第三氧化物半導體膜選擇性地蝕刻，來形成閘極絕緣膜及第三氧化物半導體層；

在該源極電極層、該汲極電極層以及該閘極電極層上形成絕緣層；

在該絕緣層中形成使該第二氧化物半導體層的第一部

分及該源極電極層的一部分露出的第一開口部、使該第二氧化物半導體層的第二部分及該汲極電極層的一部分露出的第二開口部以及使該閘極電極層的一部分露出的第三開口部；

形成在該第一開口部中與該第二氧化物半導體層及該源極電極層電連接的第一佈線、在該第二開口部中與該第二氧化物半導體層及該汲極電極層電連接的第二佈線、以及在該第三開口部中與該閘極電極層電連接的第三佈線。

8.根據申請專利範圍第 7 項之半導體裝置的製造方法，

其中，該第一氧化物半導體層的導帶底的能量比該第二氧化物半導體層的導帶底的能量更接近真空能階  $0.05\text{eV}$  以上且  $2\text{eV}$  以下，並且

其中，該第三氧化物半導體層的導帶底的能量比該第二氧化物半導體層的導帶底的能量更接近真空能階  $0.05\text{eV}$  以上且  $2\text{eV}$  以下。

9.根據申請專利範圍第 7 項之半導體裝置的製造方法，

其中，該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化物半導體層各是 In-M-Zn 氧化物，

其中，M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 和 Hf 中的一個，

其中，將具有 M 對 In 的原子數比大於該第二氧化物半導體層中的 M 對 In 的原子數比的材料用於該第一氧化物半導體層，並且

其中，將具有 M 對 In 的原子數比大於該第二氧化物半

導體層中的 M 對 In 的原子數比的材料用於該第三氧化物半導體層。

10. 根據申請專利範圍第 7 項之半導體裝置的製造方法，其中將包括 c 軸配向結晶的材料用於該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化物半導體層之各者。

11. 根據申請專利範圍第 7 項之半導體裝置的製造方法，其中將包括 Al、Cr、Cu、Ta、Ti、Mo 和 W 中的一個的層用於該源極電極層及該汲極電極層之各者。