

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2014-96907
(P2014-96907A)

(43) 公開日 平成26年5月22日 (2014.5.22)

(51) Int.Cl.			F I			テーマコード (参考)	
HO 2 J	7/00	(2006.01)	HO 2 J	7/00	S	5 G 5 0 3	
HO 1 M	10/48	(2006.01)	HO 2 J	7/00	A	5 H 0 3 0	
HO 1 M	10/44	(2006.01)	HO 1 M	10/48	P	5 H 0 4 0	
HO 1 M	2/10	(2006.01)	HO 1 M	10/44	P		
			HO 1 M	2/10	E		
審査請求 未請求 請求項の数 20 O L (全 55 頁)							

(21) 出願番号	特願2012-246769 (P2012-246769)	(71) 出願人	302062931
(22) 出願日	平成24年11月8日 (2012.11.8)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100102864
			弁理士 工藤 実
		(72) 発明者	外村 文男
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			ルネサスエレクトロニクス株式会社内
		(72) 発明者	石井 秀雄
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			ルネサスエレクトロニクス株式会社内
		(72) 発明者	太田 毅
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			ルネサスエレクトロニクス株式会社内
最終頁に続く			

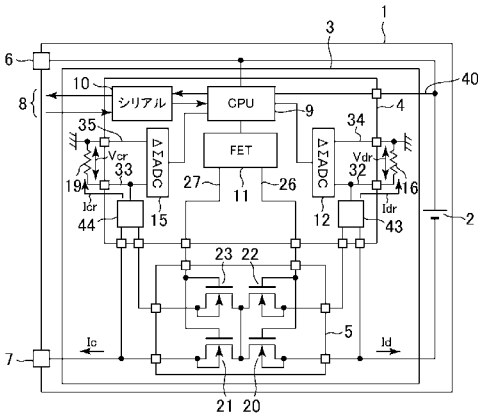
(54) 【発明の名称】 電池保護システム

(57) 【要約】

【課題】消費電力を低減し、電池の効率を向上し、連続使用時間を長くする。

【解決手段】電池保護システムは、充電制御用MOS FET 2 1、充電電流検出用MOS FET 2 3、放電制御用MOS FET 2 0、放電電流検出用MOS FET 2 2、充電電流検出用抵抗 1 9、放電電流検出用抵抗 1 6および制御回路4を具備する。MOS FET 2 3は、MOS FET 2 1とドレインおよびゲートを共通にし、MOS FET 2 1とセル比が異なる。MOS FET 2 0は、MOS FET 2 1とドレインを共通にする。MOS FET 2 2は、MOS FET 2 0とドレインおよびゲートを共通にし、MOS FET 2 0とセル比が異なる。抵抗 1 9、1 6はMOS FET 2 3、2 2に対応している。制御回路4は、抵抗 1 9の電圧をデジタル信号処理してMOS FET 2 1、2 3のゲート制御信号を生成し、抵抗 1 6の電圧をデジタル信号処理してMOS FET 2 0、2 2のゲート制御信号を生成する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

充電制御用 MOSFET と、
前記充電制御用 MOSFET とドレインおよびゲートを共通にし、前記充電制御用 MOSFET とセル比の異なる充電電流検出用 MOSFET と、
前記充電制御用 MOSFET とドレインを共通にした放電制御用 MOSFET と、
前記放電制御用 MOSFET とドレインおよびゲートを共通にし、前記放電制御用 MOSFET とセル比の異なる放電電流検出用 MOSFET と、
前記充電電流検出用 MOSFET に対応して設けられた充電電流検出用抵抗と、
前記放電電流検出用 MOSFET に対応して設けられた放電電流検出用抵抗と、
前記充電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記充電制御用 MOSFET および前記充電電流検出用 MOSFET のゲートに入力する制御信号を生成し、
前記放電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記放電制御用 MOSFET および前記放電電流検出用 MOSFET のゲートに入力する制御信号を生成する制御回路と
を具備する
電池保護システム。

【請求項 2】

請求項 1 に記載の電池保護システムにおいて、
前記制御回路は、
前記充電電流検出用 MOSFET に対応して設けられ、前記充電電流検出用抵抗に接続された充電電流検出用 ADC (Analog/Digital Converter) と、
前記放電電流検出用 MOSFET に対応して設けられ、前記放電電流検出用抵抗に接続された放電電流検出用 ADC と
を備える
電池保護システム。

【請求項 3】

請求項 2 に記載の電池保護システムにおいて、
前記制御回路は、
前記充電電流検出用 ADC および前記放電電流検出用 ADC に接続された制御部を更に備え、
前記制御部は、前記充電制御用 MOSFET、前記充電電流検出用 MOSFET、前記放電制御用 MOSFET および前記放電電流検出用 MOSFET のゲートに接続されている
電池保護システム。

【請求項 4】

請求項 1 に記載の電池保護システムにおいて、
前記充電制御用 MOSFET と前記充電電流検出用 MOSFET と前記放電制御用 MOSFET と前記放電電流検出用 MOSFET とが 1 チップに搭載されている
電池保護システム。

【請求項 5】

請求項 4 に記載の電池保護システムにおいて、
前記 1 チップが CSP (Chip Size Package) の構成である
電池保護システム。

【請求項 6】

請求項 3 に記載の電池保護システムにおいて、
前記制御部と前記充電電流検出用 ADC と前記放電電流検出用 ADC と前記充電電流検出用抵抗と前記放電電流検出用抵抗とが 1 チップに搭載されている
電池保護システム。

【請求項 7】

請求項 3 に記載の電池保護システムにおいて、

前記制御部と前記充電電流検出用 A D C と前記放電電流検出用 A D C と前記充電電流検出用抵抗と前記放電電流検出用抵抗と前記充電制御用 M O S F E T と前記充電電流検出用 M O S F E T と前記放電制御用 M O S F E T と前記放電電流検出用 M O S F E T とが 1 チップに搭載されている

電池保護システム。

【請求項 8】

請求項 1 に記載の電池保護システムにおいて、

前記充電電流検出用 M O S F E T は、前記充電制御用 M O S F E T とセル比の異なる複数の M O S F E T を備え、

前記放電電流検出用 M O S F E T は、前記放電制御用 M O S F E T とセル比の異なる複数の M O S F E T を備える

電池保護システム。

【請求項 9】

請求項 8 に記載の電池保護システムにおいて、

前記充電電流検出用抵抗は、前記充電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられ、

前記放電電流検出用抵抗は、前記放電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられている

電池保護システム。

【請求項 10】

請求項 9 に記載の電池保護システムにおいて、

前記制御回路は、

前記充電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられ、前記充電電流検出用抵抗に接続された充電電流検出用 A D C (A n a l o g / D i g i t a l C o n v e r t e r) と、

前記放電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられ、前記放電電流検出用抵抗に接続された放電電流検出用 A D C と

を更に備え、

前記充電電流検出用抵抗および前記充電電流検出用 A D C の組は 1 組であり、

前記放電電流検出用抵抗および前記放電電流検出用 A D C の組は 1 組である

電池保護システム。

【請求項 11】

請求項 8 に記載の電池保護システムにおいて、

前記充電電流検出用 M O S F E T は、第 1 M O S F E T と第 2 M O S F E T とを含み、

前記第 1 M O S F E T は、前記充電制御用 M O S F E T とドレインおよびゲートを共通にし、

前記第 2 M O S F E T は、前記充電制御用 M O S F E T とドレインを共通にし、前記第 1 M O S F E T とドレインおよびソースを共通にし、

前記放電電流検出用 M O S F E T は、第 3 M O S F E T と第 4 M O S F E T とを含み、

前記第 3 M O S F E T は、前記放電制御用 M O S F E T とドレインおよびゲートを共通にし、

前記第 4 M O S F E T は、前記放電制御用 M O S F E T とドレインを共通にし、前記第 3 M O S F E T とドレインおよびソースを共通にしている

電池保護システム。

【請求項 12】

請求項 8 に記載の電池保護システムにおいて、

前記充電電流検出用 M O S F E T は、第 1 M O S F E T と第 2 M O S F E T とを含み、

前記第 1 M O S F E T は、前記充電制御用 M O S F E T とドレインおよびゲートを共通

10

20

30

40

50

にし、

前記第2 MOSFETは、前記充電制御用MOSFETとドレインを共通にし、前記第1 MOSFETとドレインおよびソースを共通にし、

前記放電電流検出用MOSFETは、第3 MOSFETと第4 MOSFETとを含み、

前記第3 MOSFETは、前記放電制御用MOSFETとドレインおよびゲートを共通にし、

前記第4 MOSFETは、前記放電制御用MOSFETとドレインを共通にし、前記第3 MOSFETとドレインおよびソースを共通にしている

電池保護システム。

【請求項13】

10

請求項8に記載の電池保護システムにおいて、

前記充電電流検出用抵抗は、複数の抵抗を備え、

前記放電電流検出用抵抗は、複数の抵抗を備え、

前記充電電流検出用抵抗の複数の抵抗は、前記充電電流検出用MOSFETの複数のMOSFETに対応して設けられ、

前記放電電流検出用抵抗の複数の抵抗は、前記放電電流検出用MOSFETの複数のMOSFETに対応して設けられている

電池保護システム。

【請求項14】

20

請求項13に記載の電池保護システムにおいて、

前記制御回路は、

前記充電電流検出用MOSFETの複数のMOSFETに対応して設けられ、前記充電電流検出用抵抗の複数の抵抗に接続された複数の充電電流検出用ADC (Analog/Digital Converter) と、

前記放電電流検出用MOSFETの複数のMOSFETに対応して設けられ、前記放電電流検出用抵抗の複数の抵抗に接続された複数の放電電流検出用ADCと

を更に備え、

前記充電電流検出用抵抗および前記充電電流検出用ADCの組は複数組であり、

前記放電電流検出用抵抗および前記放電電流検出用ADCの組は複数組である

電池保護システム。

30

【請求項15】

請求項8に記載の電池保護システムにおいて、

前記充電電流検出用MOSFETは、第1 MOSFETと第2 MOSFETとを含み、

前記第1 MOSFETは、前記充電制御用MOSFETとドレインおよびゲートを共通にし、

前記第2 MOSFETは、前記充電制御用MOSFETとドレインおよびゲートを共通にし、前記第1 MOSFETとドレインおよびゲートを共通にし、

前記放電電流検出用MOSFETは、第3 MOSFETと第4 MOSFETとを含み、

前記第3 MOSFETは、前記放電制御用MOSFETとドレインおよびゲートを共通にし、

40

前記第4 MOSFETは、前記放電制御用MOSFETとドレインおよびゲートを共通にし、前記第3 MOSFETとドレインおよびソースを共通にしている

電池保護システム。

【請求項16】

第1端子および第2端子に配線で接続された二次電池と、

前記配線の途中に設けられた電池保護システムと

を具備し、

前記電池保護システムは、

前記第1端子にソースを接続された充電制御用MOSFETと、

前記充電制御用MOSFETとドレインおよびゲートを共通にし、前記充電制御用M

50

ＯＳＦＥＴとセル比の異なる充電電流検出用ＭＯＳＦＥＴと、

前記二次電池にソースを接続され、前記充電制御用ＭＯＳＦＥＴとドレインを共通にした放電制御用ＭＯＳＦＥＴと、

前記放電制御用ＭＯＳＦＥＴとドレインおよびゲートを共通にし、前記放電制御用ＭＯＳＦＥＴとセル比の異なる放電電流検出用ＭＯＳＦＥＴと、

前記充電電流検出用ＭＯＳＦＥＴに対応して設けられた充電電流検出用抵抗と、

前記放電電流検出用ＭＯＳＦＥＴに対応して設けられた放電電流検出用抵抗と、

前記充電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記充電制御用ＭＯＳＦＥＴおよび前記充電電流検出用ＭＯＳＦＥＴのゲートに入力する制御信号を生成し、前記放電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記放電制御用

10

ＭＯＳＦＥＴおよび前記放電電流検出用ＭＯＳＦＥＴのゲートに入力する制御信号を生成する制御回路と

を備える

電池パック。

【請求項１７】

請求項１６に記載の電池パックにおいて、

前記電池保護システムは、前記制御回路が、

前記充電電流検出用ＭＯＳＦＥＴに対応して設けられ、前記充電電流検出用抵抗に接続された充電電流検出用ＡＤＣ（Ａｎａｌｏｇ／Ｄｉｇｉｔａｌ　Ｃｏｎｖｅｒｔｅｒ）と

20

、前記放電電流検出用ＭＯＳＦＥＴに対応して設けられ、前記放電電流検出用抵抗に接続された放電電流検出用ＡＤＣと

を更に備える

電池パック。

【請求項１８】

請求項１６に記載の電池パックにおいて、

前記充電電流検出用ＭＯＳＦＥＴは、前記充電制御用ＭＯＳＦＥＴとセル比の異なる複数のＭＯＳＦＥＴを備え、

前記放電電流検出用ＭＯＳＦＥＴは、前記放電制御用ＭＯＳＦＥＴとセル比の異なる複数のＭＯＳＦＥＴを備える

30

電池パック。

【請求項１９】

請求項１８に記載の電池パックにおいて、

前記充電電流検出用抵抗は、前記充電電流検出用ＭＯＳＦＥＴの複数のＭＯＳＦＥＴに対応して設けられ、

前記放電電流検出用抵抗は、前記放電電流検出用ＭＯＳＦＥＴの複数のＭＯＳＦＥＴに対応して設けられている

電池パック。

【請求項２０】

請求項１８に記載の電池パックにおいて、

40

前記充電電流検出用抵抗は、複数の抵抗を備え、

前記放電電流検出用抵抗は、複数の抵抗を備え、

前記充電電流検出用抵抗の複数の抵抗は、前記充電電流検出用ＭＯＳＦＥＴの複数のＭＯＳＦＥＴに対応して設けられ、

前記放電電流検出用抵抗の複数の抵抗は、前記放電電流検出用ＭＯＳＦＥＴの複数のＭＯＳＦＥＴに対応して設けられている

電池パック。

【発明の詳細な説明】

【技術分野】

【０００１】

50

本発明は、電池保護システムに関し、例えば二次電池を制御する電池保護システムに好適に利用できるものである。

【背景技術】

【0002】

近年、携帯電話やノートPCやスマートフォンのような様々な電子機器に、高容量で小型である二次電池が使用されている。そのような二次電池としては、Liイオン電池が例示される。Liイオン電池のような二次電池は、高性能であるが、過充電、過放電、短絡などにより発熱や劣化を生じる場合がある。そのため、そのような二次電池をより安全に使用するためには保護回路が必要である。保護回路は、電池パックの中に配置され、過充電、過放電、過電流、異常発熱などを監視し、充放電を制御する。

10

【0003】

保護回路は、例えば、充放電用FET(Field Effect Transistor)と、抵抗(以下、「センス抵抗」ともいう。)と、温度検出素子と、制御回路とを備えている。充放電用FETは、充放電経路をON/OFFする。充放電用FETは、一般的には、ドレインを共通にした2個のMOSFET(Metal Oxide Semiconductor FET)を1チップで構成したものをを用いる。センス抵抗は、充放電経路の途中に配置され、充放電電流を検出する。温度検出素子は、MOSFETおよび保護回路の温度を検出する。サーミスタに例示される。制御回路は、これらの検出素子からの情報を処理してMOSFETを制御する。

【0004】

20

そのような保護回路を有する電池パックとして、例えば、特開2007-66748号公報にパック電池が開示されている。このパック電池は、充電機器と通信を行う。パック電池は、充電用FET素子と、制御手段とを備えている。充電用FET素子は、内蔵する電池が満充電状態となったときオフとなる。制御手段は、充電機器との通信処理および前記充電用FET素子の制御を行う。制御手段において、充電用FET素子が満充電状態となりオフ状態で、充電機器との通信がないと判定するときに、充電用FET素子をオンとする。

【0005】

具体的には、このパック電池Aは、二次電池1と、充電用FET素子91および放電用FET素子92と、検出抵抗(センス抵抗)2と、MPU(Micro Processor Unit)とを備えている。二次電池1の正極とパック電池Aの正極端子(+)とをつなぐ電源経路上に、充電用FET素子91および放電用FET素子92が直列に接続されている。すなわち、放電用FET素子92のドレインと充電用FET素子91のドレインとは共通接続されている。放電用FET素子92のソースは二次電池1の正極側に接続されている。充電用FET素子91のソースは正極端子(+)に接続されている。なお、放電用FET素子92のゲートと充電用FET素子91のゲートとはMPUに接続されている。また、二次電池1の負極とパック電池Aの負極端子(-)とをつなぐ電源経路上に、検出抵抗2(センス抵抗)が設けられている。検出抵抗(センス抵抗)2の電圧は、MPUに計測される。

30

【0006】

40

このパック電池Aの放電状態は、例えば以下のようになると考えられる。パック電池Aの正極端子(+)と負極端子(-)との間に負荷が接続される。MPUは、ゲート制御信号により充電用FET素子91および放電用FET素子92を共にONにする。それにより、二次電池1が放電状態となり、各電源経路に放電電流が流れる。MPUは、検出抵抗(センス抵抗)2の両端の電圧を読み取り、放電電流を算出する。放電電流がある値より大きい場合、MPUは、異常電流が流れていると判断し、ゲート制御信号により充電用FET素子91および放電用FET素子92を共にOFFにする。それにより、放電経路が遮断され、放電電流が停止する。電池電圧が所望の電圧に達したと判断した場合も同様である。

【0007】

50

また、このパック電池 A の充電状態は、例えば以下のようになると考えられる。パック電池 A の正極端子 (+) と負極端子 (-) との間に充電装置が接続される。MPU は、ゲート制御信号により充電用 FET 素子 91 および放電用 FET 素子 92 を共に ON にする。それにより、二次電池 1 が充電状態となり、各電源経路に充電電流が流れる。MPU は、検出抵抗 (センス抵抗) 2 の両端の電圧を読み取り、充電電流を算出する。充電電流がある値より大きい場合、MPU は、異常電流が流れていると判断し、ゲート制御信号により充電用 FET 素子 91 および放電用 FET 素子 92 を共に OFF にする。それにより、充電経路が遮断され、充電電流が停止する。電池電圧が所望の電圧に達したと判断した場合も同様である。

【0008】

関連する技術として、特開 2012-50258 号公報 (国際公開 WO 2012026537 (A1)) に電源装置が開示されている。この電源装置は、一以上の電池パックと、保護ユニットとを備えている。一以上の電池パックは、複数の二次電池セルを直列および／又は並列に接続している。保護ユニットは、電池パックと電氣的に接続可能である。外部の充電用電源から供給される電力でもって各電池パックを充電し、更に各電池パックに蓄電された電力を外部に出力可能としている。電池パックが、異常発生時に、他の電池パック又は保護ユニットに対してパック異常信号を送出するためのパック異常出力端子を備えている。保護ユニットが、パック異常出力端子と接続するための保護側入出力端子と、電池パックの電流を遮断可能な保護回路とを備えている。電池パックに異常が発生した際、電池パックのパック異常出力端子から保護ユニットの保護側入出力端子にパック異常信号が出力される。保護ユニットは、該パック異常信号を検出すると、保護回路により電流を遮断する。

【0009】

また、特許第 4756557 号公報 (国際公開 WO 2006114883 (A1)) に半導体装置が開示されている。この半導体装置は、第 1 端子と、第 2 端子と、パワー MOSFET と、電流検出手段と、抵抗手段と、比較回路と、第 1 MOSFET とを備えている。パワー MOSFET は、上記第 1 端子にドレインが接続され、上記第 2 端子にソースが接続されている。電流検出手段は、上記パワー MOSFET に流れる電流を検出する。抵抗手段は、上記パワー MOSFET のゲートと上記第 1 端子との間に設けられている。比較回路は、上記電流検出手段の出力信号と基準信号とを比較する。第 1 MOSFET は、上記比較回路の出力信号がゲートに供給され、上記パワー MOSFET のゲートとソース間にドレイン-ソース経路が接続されている。上記第 1 端子と第 2 端子とを外部第 1 端子と外部第 2 端子としてなることを特徴とする。

【0010】

また、特開 2000-299634 号公報 (米国特許 US 6392859 (B1)) に交流用スイッチングデバイスが開示されている。この交流用スイッチングデバイスは、交流用半導体ヒューズに用いるためのスイッチングデバイスである。p チャネル型の第 1 主半導体素子と、n チャネル型の第 2 主半導体素子とからなる。p チャネル型の第 1 主半導体素子は、交流電源の非接地側に接続される第 1 主電極、第 1 主電極に対向した第 2 主電極、第 1 および第 2 主電極を流れる主電流を制御する第 1 制御電極とを有する。そして、第 1 主電極にカソード領域を、第 2 主電極にアノード領域が接続される第 1 寄生ダイオードを内在する。n チャネル型の第 2 主半導体素子は、第 2 主電極に接続される第 3 主電極、第 3 主電極に対向し負荷に接続される第 4 主電極、第 3 および第 4 主電極を流れる主電流を制御する第 2 制御電極とを有する。そして、第 3 主電極にアノード領域を、第 4 主電極にカソード領域が接続される第 2 寄生ダイオードを内在する。

【先行技術文献】

【特許文献】

【0011】

【特許文献 1】特開 2007-66748 号公報

【特許文献 2】特開 2012-50258 号公報

10

20

30

40

50

【特許文献 3】特許第 4 7 5 6 5 5 7 号公報

【特許文献 4】特開 2 0 0 0 - 2 9 9 6 3 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 1 2】

上記特開 2 0 0 7 - 6 6 7 4 8 号公報のバック電池 A において、二次電池 1 の放電状態では、負荷以外に、充電用 F E T 素子 9 1 および放電用 F E T 素子 9 2 のオン抵抗と検出抵抗（センス抵抗）2 とで電力が消費される。この場合、その消費電力をできるだけ小さくすることで、二次電池 1 の効率を向上し、連続使用時間を長くすることができる。これは、充電状態の場合も同様である。

10

【0 0 1 3】

しかし、上記特開 2 0 0 7 - 6 6 7 4 8 号公報のバック電池 A では、検出抵抗（センス抵抗）2 が充電電流および放電電流の電源経路内にある。電源経路内を流れる充電電流や放電電流は大きいので、検出抵抗（センス抵抗）2 において無駄な電力を消費してしまうという問題がある。特に放電状態において、バック電池 A の連続使用時間が短くなるという問題が生じる。また、検出抵抗（センス抵抗）2 は、電力消費を抑えるべく、抵抗値の非常に小さいもの（例示：数 m Ω ～ 数十 m Ω）を使用する必要がある。そのため、計測する電圧の測定精度の向上が難しく、かつ、特殊で高価であり、低価格化を妨げる要因にもなる。

【0 0 1 4】

20

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0 0 1 5】

一実施の形態によれば、電池保護システムは、電池の充放電の経路に設けられた充電制御用 M O S F E T と放電制御用 M O S F E T に、並列に、セル比の異なる充電電流検出用 M O S F E T と放電電流検出用 M O S F E T、および、充電電流検出用抵抗と放電電流検出用抵抗を設ける。

【発明の効果】

【0 0 1 6】

30

前記一実施の形態により、消費電力を低減して、電池の効率を向上し、連続使用時間を長くすることができる。

【図面の簡単な説明】

【0 0 1 7】

【図 1】図 1 は、第 1 の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。

【図 2】図 2 は、図 1 における電池保護 F E T 回路の構成の一例を示す平面図である。

【図 3】図 3 は、図 1 における電池保護 F E T 回路の構成の一例を示す段面図である。

【図 4】図 4 は、図 1 の電池パックの構成における電流制御回路の具体例を示すブロック図である。

40

【図 5】図 5 は、第 1 の実施の形態に係る電池保護システムを保護基板に実装した一例を模式的に示す平面図および側面図である。

【図 6】図 6 は、第 1 の実施の形態に係る電池保護システムを実装した電池パックの一例を模式的に示す斜視図である。

【図 7】図 7 は、第 1 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 1 の変形例を示すブロック図である。

【図 8】図 8 は、第 1 の変形例の電池保護システムを実装した保護基板の一例を模式的に示す平面図および側面図である。

【図 9】図 9 は、第 1 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 2 の変形例を示すブロック図である。

50

【図 10】図 10 は、第 2 の変形例の電池保護システムを実装した保護基板の一例を模式的に示す平面図および側面図である。

【図 11】図 11 は、第 2 の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。

【図 12】図 12 は、図 11 における電池保護 FET 回路 5 の構成の一例を示す平面図である。

【図 13】図 13 は、第 2 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 1 の変形例を示すブロック図である。

【図 14】図 14 は、第 2 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 2 の変形例を示すブロック図である。

【図 15】図 15 は、第 3 の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。

【図 16】図 16 は、図 15 における電池保護 FET 回路 5 の構成の一例を示す平面図である。

【図 17】図 17 は、第 3 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 1 の変形例を示すブロック図である。

【図 18】図 18 は、第 3 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 2 の変形例を示すブロック図である。

【図 19】図 19 は、第 4 の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。

【図 20】図 20 は、図 19 における電池保護 FET 回路 5 の構成の一例を示す平面図である。

【図 21】図 21 は、第 4 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 1 の変形例を示すブロック図である。

【図 22】図 21 は、第 4 の実施の形態に係る電池保護システムを適用した電池パックの構成の第 2 の変形例を示すブロック図である。

【発明を実施するための形態】

【0018】

以下、実施の形態に係る電池保護システムに関して、添付図面を参照して説明する。

【0019】

(第 1 の実施の形態)

第 1 の実施の形態に係る電池保護システムを適用した電池パックの構成について説明する。図 1 は、第 1 の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。電池パック 1 は、充放電保護機能を有する二次電池システムであり、端子 6、端子 7、インターフェース入出力 8 が外部接続端子として配置されている。電池パック 1 は、二次電池 2 と、電池保護システム 3 と、端子 6 と、端子 7 とを具備している。

【0020】

二次電池 2 は、充放電可能な電池であり、例えば L i イオン電池である。正極を正極側の電源経路（充放電用の配線）を介して端子 6 に、負極を負極側の電源経路（充放電用の配線）を介して端子 7 にそれぞれ接続されている。二次電池 2 は、端子 6、端子 7 および電源経路（充放電用の配線）を介して充放電を行う。二次電池 2 は、その充放電の配線の途中に設けられた電池保護システム 3 により、その充放電を制御され、過電流などの異常から保護されている。

【0021】

電池保護システム 3 は、充電制御用 MOS FET (21) と、充電電流検出用 MOS FET (23) と、放電制御用 MOS FET (20) と、放電電流検出用 MOS FET (22) と、充電電流検出用抵抗 (19) と、放電電流検出用抵抗 (16) と、制御回路 (4) とを具備している。充電電流検出用 MOS FET (23) は、充電制御用 MOS FET (21) とドレインおよびゲートを共通にし、充電制御用 MOS FET (21) とセル比

10

20

30

40

50

が異なる。放電制御用MOSFET (20)は、充電制御用MOSFET (21)とドレインを共通にしている。放電電流検出用MOSFET (22)は、放電制御用MOSFET (20)とドレインおよびゲートを共通にし、放電制御用MOSFET (20)とセル比が異なる。充電電流検出用抵抗 (19)は、充電電流検出用MOSFET (23)に対応して設けられている (充電電流検出用MOSFET (23)のソースに電氣的に接続される)。放電電流検出用抵抗 (16)は、放電電流検出用MOSFET (22)に対応して設けられている。(放電電流検出用MOSFET (22)のソースに電氣的に接続される。)制御回路 (4)は、充電電流検出用抵抗 (19)の電圧値に基づくデジタル信号処理により、充電制御用MOSFET (21)および充電電流検出用MOSFET (23)のゲートに入力する制御信号を生成し、放電電流検出用抵抗 (16)の電圧値に基づくデジタル信号処理により、放電制御用MOSFET (20)および放電電流検出用MOSFET (22)のゲートに入力する制御信号を生成する。ただし、ゲートを共通にするとは、ドレインおよびゲートの配線が共通である場合だけでなく、配線が異なり、動作時に各ゲートに共通の電位が与えられる場合も含んでいる。

【0022】

このような電池保護システム3では、充電制御用MOSFET (21)と充電電流検出用MOSFET (23)とがカレントミラー回路を構成する。すなわち、充電制御用MOSFET (21)の充電電流 (I_c)と両MOSFETのセル比とに基づく検出電流 (I_{cr})が充電電流検出用MOSFET (23)から充電電流検出用抵抗 (19)に供給される。したがって、セル比を調整することにより、検出電流 (I_{cr})を極めて小さくすることができ、その充電電流検出用抵抗 (19)による無駄な電力消費を抑えることができ、連続使用時間を延ばすことが可能となる。同様に、このような電池保護システム3では、放電制御用MOSFET (20)と放電電流検出用MOSFET (22)とがカレントミラー回路を構成する。すなわち、放電制御用MOSFET (20)の放電電流 (I_d)と両MOSFETのセル比とに基づく検出電流 (I_{dr})が放電電流検出用MOSFET (22)から放電電流検出用抵抗 (16)に供給される。したがって、セル比を調整することにより、検出電流 (I_{dr})を極めて小さくすることができ、その放電電流検出用抵抗 (16)による無駄な電力消費を抑えることができ、連続使用時間を延ばすことが可能となる。そして、この電池保護システム3を用いた電池パック1は、充放電における無駄な電力消費を抑えることができ、連続使用時間を延ばすことが可能となる。また、デジタル信号処理により、各MOSFETのゲートを制御しているので、回路的に決定される制御だけでなく、電圧値を様々に処理して制御に用いることが可能となる。すなわち、制御の自由度を高めることができる。

【0023】

電池保護システム3は、具体的には、制御回路4と、電池保護FET回路5と、電流検出抵抗16、19とを備えている。

【0024】

電池保護FET回路5は、制御回路4の制御に基づいて、二次電池2の充放電を制御し、二次電池2を適切に保護する。電池保護FET回路5は、一つの半導体チップとして設けられていてもよい。一つの半導体チップとすることで、電氣的特性のばらつきを小さくすることができ、取り扱いが容易となる。電池保護FET回路5は、MOSFET 20、MOSFET 21、MOSFET 22、MOSFET 23を備えている。

【0025】

MOSFET 20は、放電時に放電電流 I_d が流れる電源経路のON/OFFを行う。すなわち、MOSFET 20は、放電制御用のMOSFETということができる。MOSFET 22は、放電電流 I_d に対応した検出電流 I_{dr} を出力する。MOSFET 22は、放電電流検出用のMOSFETということができる。ただし、放電電流 $I_d \gg$ 検出電流 I_{dr} である。MOSFET 20とMOSFET 22とは、ドレインとゲートが共通に接続されている。MOSFET 20とMOSFET 22とは、共通のゲートを、端子を介して外部配線と接続可能であり、それぞれのソースを、他の端子を介して他の外部配線と

接続可能である。MOSFET 20のソースは二次電池2の負極に接続される。MOSFET 22のソースは、制御回路4を介して電流検出抵抗16に接続される。MOSFET 20とMOSFET 22のゲートをFET制御部11に接続される。MOSFET 20の単位セル数とMOSFET 22の単位セル数とは、MOSFET 20の単位セル数 $\gg$ MOSFET 22の単位セル数とする。単位セル数の比でいえば、大：小、とする。MOSFET 20には放電電流 I_d を流す一方、MOSFET 22には消費電力を低く抑えるために検出電流 I_{dr} ($\ll I_d$)を流すからである。例えば、MOSFET 20の単位セル数とMOSFET 22の単位セル数との比は、20000対1とする。なお、放電電流 I_d と検出電流 I_{dr} との比は、単セル数の比に代えて、MOSFET 20とMOSFET 22のゲート幅（またはチャネル幅）の比であっても良い。

10

【0026】

MOSFET 21は、充電時に充電電流 I_c が流れる電源経路のON/OFFを行う。すなわち、MOSFET 21は、充電制御用のMOSFETということができる。MOSFET 23は、充電電流 I_c に対応した検出電流 I_{cr} を出力する。MOSFET 23は、充電電流検出用のMOSFETということができる。ただし、充電電流 $I_c \gg$ 検出電流 I_{cr} である。MOSFET 21とMOSFET 23とは、ドレインとゲートが共通に接続されている。MOSFET 20とMOSFET 22とは、ドレインとゲートが共通に接続されている。MOSFET 21とMOSFET 23とは、共通のゲートを、端子を介して外部配線と接続可能であり、それぞれのソースを、他の端子を介して他の外部配線と接続可能である。MOSFET 71のソースは端子7に接続される。MOSFET 23の

20

【0027】

制御回路4は、外部からの制御や計測結果に基づいて、主にデジタル信号処理により充電した電気量や放電した電気量を算出し、充放電の異常を判断し、それらに基づいて、電池保護FET回路5を制御する。制御回路4は、一つの半導体チップとして設けられていてもよい。制御回路4は、電流制御回路43、電流制御回路44、ADC12、ADC15、FET制御部11、シリアルIF10、CPU (Central Processing Unit) 9を備えている。

30

【0028】

電流制御回路43は、電源経路 (MOSFET 20のソース) と、MOSFET 22のソースと、電流検出抵抗16の一端にそれぞれ接続されている。MOSFET 20のソースと、MOSFET 22のソースとが等電位になるように検出電流 I_{dr} をMOSFET 22から電流検出抵抗16へ流す。電流制御回路44は、電源経路 (MOSFET 21のソース) と、MOSFET 23のソースと、電流検出抵抗19の一端にそれぞれ接続されている。MOSFET 21のソースと、MOSFET 23のソースとが等電位になるように検出電流 I_{cr} をMOSFET 23から電流検出抵抗19へ流す。

40

【0029】

ADC (Analog/Digital Converter) 12は、検出電流 I_{dr} が流れたときの電流検出抵抗16の電位 (アナログ) をデジタルへ変換し、CPU 9へ出力する。ADC 12は、放電電流の検出用ADCであり、放電電流検出用のMOSFET 22に流れる検出電流 I_{dr} を検出する電流検出抵抗16に対応して設けられている。ADC 15は、検出電流 I_{cr} が流れたときの電流検出抵抗19の電位 (アナログ) をデ

50

デジタルへ変換し、CPU 9へ出力する。ADC 15は、充電電流の検出用ADCであり、充電電流検出用のMOSFET 23に流れる検出電流 I_{cr} を検出する電流検出抵抗19に対応して設けられている。このように、ADC 12、15により、検出抵抗の電位を、CPU 9で処理可能にすることができる。

【0030】

FET制御部11は、電池保護FET回路5のMOSFET 20、MOSFET 22、MOSFET 21およびMOSFET 23のゲートに接続されている。CPU 9の制御に基づいて、電池保護FET回路5の各MOSFETのゲート電圧を制御して、それら各MOSFETをON/OFFする。シリアルIF 10は、CPU 9が外部との情報（制御信号、計測結果等）の入出力を行うインターフェースである。外部接続端子としてインターフェース入出力8を備えている。CPU 9は、ADC 12、ADC 15、FET制御部11およびシリアルIF 10を制御する。例えば、ADC 12およびADC 15の計測結果に基づいて、電池保護FET回路5を制御するための信号をFET制御部11へ出力する。また、例えば、ADC 12およびADC 15の計測結果に基づいて、計測結果や算出結果をシリアルIF 10から経由で外部へ出力する。このように、CPU 9およびFET制御部11により、電池保護FET回路5の制御を介して、二次電池2の充放電を制御することができる。

【0031】

電流検出抵抗16の一端は制御回路4の電流制御回路43を介して電池保護FET回路5のMOSFET 22のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗16の一端および他端はそれぞれADC 12に接続されている。電流検出抵抗16は、放電電流の検出用抵抗であり、放電電流検出用のMOSFET 22に対応して設けられている。電流検出抵抗19の一端は制御回路4の電流制御回路44を介して電池保護FET回路5のMOSFET 23のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗19の一端および他端はそれぞれADC 15に接続されている。電流検出抵抗19は、充電電流の検出用抵抗であり、充電電流検出用のMOSFET 23に対応して設けられている。電流検出抵抗16、19はそれぞれ単独の素子として設けられていても良い。

【0032】

図2は、図1における電池保護FET回路5の構成の一例を示す平面図である。ここで、領域165は、例えば、充電制御用のMOSFET 21および充電電流検出用のMOSFET 23に対応している。領域166は、放電制御用のMOSFET 20および放電電流検出用のMOSFET 22に対応している。領域165と領域166とは、図面の左右方向の中心線に対して線対称で、同じ構成を有しているので、以下では、領域165について主に説明する。

【0033】

領域165を囲んでいるのは、等電位リング113である。等電位リング113は、チップエッジの耐圧向上とMOSFET間の分離のため、ドレインと同電位になっている領域である。なお、等電位リング113と領域166を囲む等電位リング114とは、領域165と領域166とが接する箇所が兼用となっている。

【0034】

等電位リング113の内側に、等電位リング113に沿って、リング状のゲート配線111が設けられている。そのゲート配線111の下層の半導体基板の表面領域に、そのリング状のゲート配線111に沿ってリング状のトレンチが設けられている。そのリング状のトレンチにリング状のゲート電極が埋設されている。そのゲート電極は、その上面でコンタクトを介してゲート配線111に接続されている。そのゲート電極は、側面および底面をゲート絶縁膜に覆われている。

【0035】

また、リング状のゲート配線111で囲まれた領域の下層の半導体基板の表面領域に、長手方向に沿った縞状のトレンチ（複数のトレンチ）が設けられている。（図示されず）

10

20

30

40

50

。それら複数のトレンチに複数のゲート電極が埋設されている。それら複数のゲート電極は、それらの長手方向の両端部で、それらを囲むリング状のゲート電極と接続されている。各ゲート電極は、側面および底面をゲート絶縁膜に覆われている。各ゲート電極の側面に接するゲート絶縁膜の外側領域はソースおよびチャネルとして機能する。各ゲート電極の底面に接するゲート絶縁膜の外側領域はドレインとして機能する。すなわち、各ゲート電極を含む所定の幅の領域はMOSFETセルと見ることができる。言い換えると、リング状のゲート配線111で囲まれた領域には、複数のMOSFETセルが設けられている。それら複数のMOSFETセルのゲート電極は、リング状のゲート電極を介してゲート配線111に接続される。

一方の、リング状のゲート配線112で囲まれた領域の下層の半導体基板の表面領域にも、同様に複数のMOSFETセルが設けられている。

【0036】

これらゲート配線111で囲まれた領域の複数のMOSFETセルが、充電制御用のMOSFET21および充電電流検出用のMOSFET23を構成する。例えば、ゲート配線111で囲まれた領域内の所定の面積の部分のMOSFETセルをMOSFET23とする。そして、ゲート配線111で囲まれた領域内の残りの部分のMOSFETセルをMOSFET21とする。これらのMOSFET間の分離は、ソース電極を分離して行う。図2のように、MOSFET21のソース電極115とMOSFET23のソース電極117との間は、分離されている。各MOSFETの断面は後述される(図3)。このとき、MOSFET23の面積(単位セル数に相当)とMOSFET21の面積(単位セル数に相当)との比は、例えば1対20000とすることができる。

同様に、ゲート配線112で囲まれた領域の複数のMOSFETセルが、放電制御用のMOSFET20および放電電流検出用のMOSFET22を構成する。MOSFET20のソース電極116とMOSFET22のソース電極118とが分離されることで、各MOSFET間が分離されている。MOSFET22の面積(単位セル数に相当)とMOSFET20の面積(単位セル数に相当)との比は、例えば1対20000とすることができる。

【0037】

MOSFET23としてのMOSFETセルのソースはコンタクトを介してソース電極117に接続されている。そのソース電極117は、ソース端子105に接続されている。一方、MOSFET21としてのMOSFETセルのソースはコンタクトを介してソース電極115に接続されている。そのソース電極115は、ソース端子103に接続されている。MOSFET23としてのMOSFETセルのゲートおよびMOSFET21としてのMOSFETセルのゲートは、コンタクトを介してゲート配線111に接続されている。そのゲート配線111は、ゲート端子101に接続されている。説明を省略するが、MOSFET22およびMOSFET20についても同様の構成となっている。なお、ドレイン電極は、MOSFET21、23に共通であり、半導体チップの裏側に設けられている。

【0038】

なお、領域166は、等電位リング114で囲まれている。領域166には、放電制御用のMOSFET20および放電電流検出用のMOSFET22に共通なゲート配線112およびゲート端子102と、MOSFET22のソース電極118およびソース端子106とが設けられている。更に、MOSFET20のソース電極116およびソース端子104が設けられている。なお、ドレイン電極は、MOSFET20、22に共通であり、半導体チップの裏側に設けられている。

【0039】

図3は、図1における電池保護FET回路5の構成の一例を模式的に示す断面図である。なお、この図では、分かり易さのために構成を簡略化したため、各構成の相対的な大きさ(例示:各MOSFET間の単セル数の比(ゲートの面積比))が図2とは異なっている。また、領域165は、図2と同様に、例えば、充電制御用のMOSFET21および

10

20

30

40

50

充電電流検出用のMOSFET 23に対応している。領域166は、放電制御用のMOSFET 20および放電電流検出用のMOSFET 22に対応している。ここでも図2と同様に、領域165について主に説明する。

【0040】

N⁺型半導体基板151は、上側にN型エピタキシャル層152、下側に裏面電極150を備えている。N型エピタキシャル層152には、P層154が埋設されている。P層154には、ゲート電極155とN⁺層156とが埋設されている。ゲート電極155は、ゲートトレンチにポリシリコンを埋設した構造を備え、側面および底面をゲート絶縁膜153で覆われている。ゲート電極155は、底面部分をP層154からN型エピタキシャル層152へ突出させている。N型エピタキシャル層152は、表面を層間絶縁層157で覆われている。層間絶縁層157上には、等電位リング113、ゲート配線111、ソース電極115、117が形成されている。等電位リング113は、コンタクト158を介してP層154に接続されている。ゲート配線111は、コンタクト159を介してゲート電極155に接続されている。ソース電極115、117は、コンタクト158を介してN⁺層156に接続されている。

10

【0041】

N⁺層156は、MOSFETのソースに対応する。ゲート電極155はMOSFETのゲート電極に対応し、ゲート絶縁膜153はMOSFETのゲート絶縁膜に対応する。P層154はMOSFETのチャネルに対応する。N型エピタキシャル層152およびN⁺型半導体基板151はMOSFETのドレインおよびドレイン電極に対応する。なお、ドレインとしてのN型エピタキシャル層152、ドレイン電極としてのN⁺型半導体基板151および裏面電極150は、全てのMOSFETに共通である。なお、N⁺型半導体基板151の抵抗値が十分に小さければ、裏面電極150は必ずしも必要ではない。

20

【0042】

MOSFET 21のソース電極115は、コンタクト158を介してソースとしてのN⁺層156と接続され、ソース端子103として取り出される。MOSFET 23のソース電極117は、コンタクト158を介してソースとしてのN⁺層156と接続され、ソース端子105として取り出される。各MOSFETのゲート電極155は互いに接続され、ゲート配線111下のゲート電極155に接続されて、ゲート配線111を介してゲート端子101として取り出される。同様に、MOSFET 20は、ソース電極116およびソース端子106を備えている。MOSFET 22は、ソース電極117およびソース端子104を備えている。MOSFET 20およびMOSFET 22は、更に共通のゲート配線112およびゲート端子102を備えている。領域165と領域166との間の分離は、図3のように、中央部に、外周部の等電位リング113、114と同じ構造を形成して分離すればよい。しかし、中央部に等電位リングと同じ構造を設けず、ゲート配線111とゲート配線112がN型エピタキシャル層152を介して離れただけの構造でも良い。

30

【0043】

言い換えると、MOSFET 21の構成は以下になる。ソースおよびソース電極は、N⁺層156およびソース電極115である。ゲート絶縁膜、ゲート電極およびゲート配線は、ゲート絶縁膜153、ゲート電極155およびゲート配線111である。ドレインおよびドレイン電極は、N型エピタキシャル層152、N⁺型半導体基板151および裏面電極150である。チャネルは、P層154である。MOSFET 23の構成は以下になる。ソースおよびソース電極は、N⁺層156およびソース電極117である。ゲート絶縁膜、ゲート電極およびゲート配線は、ゲート絶縁膜153、ゲート電極155およびゲート配線111である。ドレインおよびドレイン電極は、N型エピタキシャル層152、N⁺型半導体基板151および裏面電極150である。チャネルは、P層154である。MOSFET 20の構成はMOSFET 21の構成と同様である。MOSFET 22の構成はMOSFET 23の構成と同様である。MOSFET 20～23は、同時に形成されるため、電気的特性のばらつきを小さくできる。

40

50

【0044】

一般に、携帯電話やノートPCやスマートフォンのような様々な電子機器では低消費電力、連続使用時間（1回の充電で利用できる時間）の長時間化が望まれている。具体的には、電池保護FET回路5についていうと、例えば、MOSFETの低オン抵抗化が要求される。

【0045】

本実施の形態では、図2および図3に示すように、電池保護FET回路5として、フリップチップ実装を想定し、チップ上にパッド（ゲート端子101～102、ソース端子103～106）を設けたCSP（Chip size package）タイプの構成を採用している。このため、ゲートやソースの経路が長くならず、MOSFETのオン抵抗を低く抑えることができる。更に、各MOSFETのドレインを裏面で接続しているので、表面にドレイン電極を設けて接続する必要がない。そのため、ドレインの経路が長くならず、MOSFETのオン抵抗を低く抑えることができる。また、各MOSFETのドレイン電極を表面に設ける必要がないので、有効セル面積が大きくなり、チップサイズが大きくなるなどの問題が生じない。

10

【0046】

図2は、3端子×2列の6端子のCSPタイプの半導体チップである。充電制御用MOSFET21および充電電流検出用MOSFET23に共通のゲート端子101と、充電制御用MOSFET21のソース端子103と、充電電流検出用MOSFET23のソース端子105の3端子が一行に配置されている。これに並列に配置されるように、放電制御用MOSFET20および放電電流検出用MOSFET22に共通のゲート端子102と、放電制御用MOSFET20のソース端子104と、放電電流検出用MOSFET22のソース端子106の3端子が一行に配置されている。図5（後述）の保護基板3aには、配線が形成されるが、端子配置をこのような配置にすることにより、それぞれの端子に対応する保護基板3a側の配線のレイアウトがし易くなる。

20

【0047】

次に、本実施の形態に係る電池保護システムを適用した電池パックの動作について説明する。

【0048】

電池パック1の放電状態は、少なくとも三つのステップを具備している。第1のステップは、放電制御用MOSFET20、放電電流検出用MOSFET22および充電制御用MOSFET21をオンにするステップである。これにより、放電制御用MOSFET20（電源経路）に放電電流 I_d が流れ、放電電流検出用MOSFET22に放電電流 I_d とセル比とに対応した検出電流 I_{dr} が流れる。第2のステップは、放電電流検出抵抗16の電圧を計測するステップである。それにより、検出電流 I_{dr} が得られる。第3のステップは、放電電流検出抵抗16の電圧に基づいて、二次電池2の放電電流 I_d を算出するステップである。それにより、放電電流 I_d が得られ、それを積算することにより放電した電気量などが算出される。

30

【0049】

また、電池パック1の充電状態は、少なくとも三つのステップを具備している。第1のステップは、充電制御用MOSFET21、充電電流検出用MOSFET23および放電制御用MOSFET20をオンにするステップである。これにより、充電制御用MOSFET21（電源経路）に充電電流 I_c が流れ、充電電流検出用MOSFET23に充電電流 I_c とセル比とに対応した検出電流 I_{cr} が流れる。第2のステップは、充電電流検出抵抗19の電圧を計測するステップである。それにより、検出電流 I_{cr} が得られる。第3のステップは、充電電流検出抵抗19の電圧に基づいて、二次電池2の充電電流 I_c を算出するステップである。それにより、充電電流 I_c が得られ、それを積算することにより充電した電気量などが算出される。

40

【0050】

このような電池パック1の動作方法では、放電において、放電制御用MOSFET20

50

の放電電流 I_d と両 MOSFET のセル比とに基づく検出電流 I_{dr} が放電電流検出用 MOSFET 22 から放電電流検出抵抗 16 に供給される。したがって、セル比を調整することにより、検出電流 I_{dr} を極めて小さくすることができ、その放電電流検出抵抗 16 による無駄な電力消費を抑えることができ、連続使用時間を延ばすことが可能となる。また、充電において、充電制御用 MOSFET 21 の充電電流 I_c と両 MOSFET のセル比とに基づく検出電流 I_{cr} が充電電流検出用 MOSFET 23 から充電電流検出用抵抗 (19) に供給される。したがって、セル比を調整することにより、検出電流 I_{cr} を極めて小さくすることができ、その充電電流検出用抵抗 (19) による無駄な電力消費を抑えることができ、連続使用時間を延ばすことが可能となる。

【0051】

10

以下詳細に電池パック 1 の放電状態および充電状態について説明する。

【0052】

まず、電池パック 1 の放電状態について説明する。端子 6 および端子 7 には負荷（図示されず）が接続される。CPU 9 は、FET 制御部 11 に放電経路の接続を指示する。FET 制御部 11 は、H レベルのゲート制御信号 26 およびゲート制御信号 27 を電池保護 FET 回路 5 へ出力する。H レベルのゲート制御信号 26 により MOSFET 20 および MOSFET 22 が ON となる。更に、H レベルのゲート制御信号 27 により MOSFET 21 および MOSFET 23 が ON となる。それにより、二次電池 2 と端子 7 との間の放電経路がつながり、放電電流 I_d が図 1 の矢印の方向に流れる。すなわち、二次電池 2 は放電状態となる。

20

【0053】

このとき、電流制御回路 43 は、MOSFET 20 のソース電圧と MOSFET 22 のソース電圧とが等しくなるように動作する。MOSFET 20 と MOSFET 22 とはドレインとゲートが共通であるため、カレントミラー回路として動作する。ここで、MOSFET 20 の単位セル数と MOSFET 22 の単位セル数の比とを 20000 : 1 とする。その場合、MOSFET 20 に流れる放電電流 I_d の $1/20000$ の検出電流 I_{dr} が、MOSFET 22 および電流制御回路 43 経由で電流検出抵抗 R16 に流れる。ADC 12 は、電流検出抵抗 R16 の両端の電圧 V_{dr} を読み取り（アナログ信号）、その結果をデジタル信号に変換して CPU 9 へ出力する。CPU 9 は、放電電流 I_d を算出 ($I_d = V_{dr} / R16 \times 20000$) し、その放電電流 I_d を積算することで、使用された電気量を算出する。そして、CPU 9 は、その使用された電気量を、充電時に蓄えられた電気量 (CPU 9 内または外部の記憶部に記憶) から差し引くことで二次電池 2 の残量を算出する。CPU 9 は、算出された二次電池 2 の残量の情報を、シリアル I/F 10 を介して外部機器に出力する。

30

【0054】

また、CPU 9 は、放電電流 I_d が所定の値 (CPU 9 内または外部の記憶部に記憶) 以上となった場合、過電流と判断して、FET 制御部 11 に放電経路の遮断を指示する。FET 制御部 11 は、L レベルのゲート制御信号 26 を電池保護 FET 回路 5 へ出力する。L レベルのゲート制御信号 26 により、MOSFET 20 が OFF となる。それにより、二次電池 2 と端子 7 との間の放電経路が遮断され、放電電流 I_d が流れなくなる。すなわち、二次電池 2 の放電は停止される。

40

【0055】

また、CPU 9 は、電池電圧 40 が所定の値 (CPU 9 内または外部の記憶部に記憶) 未満となった場合、二次電池 2 の残量不足と判断して、FET 制御部 11 に放電経路の遮断を指示する。FET 制御部 11 は、L レベルのゲート制御信号 26 を電池保護 FET 回路 5 へ出力する。L レベルのゲート制御信号 26 により、MOSFET 20 が OFF となる。それにより、二次電池 2 と端子 7 との間の放電経路が遮断され、放電電流 I_d が流れなくなる。すなわち、二次電池 2 の放電は停止される。

【0056】

次に、電池パック 1 の充電状態について説明する。二次電池 2 の正極側の端子 6 には充

50

電器（図示されず）の正極側が、二次電池 2 の負極側の端子 7 には充電器の負側が接続される。CPU 9 は、FET 制御部 11 に充電経路の接続を指示する。FET 制御部 11 は、H レベルのゲート制御信号 26 およびゲート制御信号 27 を電池保護 FET 回路 5 へ出力する。H レベルのゲート制御信号 26 により MOSFET 20 および MOSFET 22 が ON となる。更に、H レベルのゲート制御信号 27 により MOSFET 21 および MOSFET 23 が ON となる。それにより、二次電池 2 と端子 7 との間の充電経路がつながり、充電電流 I_c が図 1 の矢印の方向に流れる。すなわち、二次電池 2 は充電状態となる。

【0057】

このとき、電流制御回路 44 は、MOSFET 21 のソース電圧と MOSFET 23 のソース電圧とが等しくなるように動作する。MOSFET 21 と MOSFET 23 とはドレインとゲートが共通であるため、カレントミラー回路として動作する。ここで、MOSFET 21 の単位セル数と MOSFET 23 の単位セル数の比とを 20000 : 1 とする。その場合、MOSFET 21 に流れる充電電流 I_c の $1/20000$ の検出電流 I_{cr} が、MOSFET 23 および電流制御回路 44 経由で電流検出抵抗 R_{19} に流れる。ADC 15 は、電流検出抵抗 R_{19} の両端の電圧 V_{cr} を読み取り（アナログ信号）、その結果をデジタル信号に変換して CPU 9 へ出力する。CPU 9 は、充電電流 I_c を算出（ $I_c = V_{cr} / R_{19} \times 20000$ ）し、その充電電流 I_c を積算することで、二次電池 2 に蓄えられた電気量を算出する。そして、CPU 9 は、その蓄えられた電気量を、放電時に残された電気量（CPU 9 内または外部の記憶部に記憶）に加えることで二次電池 2 の残量を算出する。CPU 9 は、その算出された二次電池 2 の残量の情報を、シリアル IF 10 を介して外部機器に出力する。

【0058】

また、CPU 9 は、充電電流 I_c が所定の値（CPU 9 内または外部の記憶部に記憶）以上となった場合、過電流と判断して、FET 制御部 11 に充電経路の遮断を指示する。FET 制御部 11 は、L レベルのゲート制御信号 27 を電池保護 FET 回路 5 へ出力する。L レベルのゲート制御信号 27 により、MOSFET 21 が OFF となる。それにより、二次電池 2 と端子 7 との間の充電経路が遮断され、充電電流 I_c が流れなくなる。すなわち、二次電池 2 の充電は停止される。

【0059】

また、CPU 9 は、電池電圧 40 が所定の値（CPU 9 内または外部の記憶部に記憶）以上に達した場合、二次電池 2 の充電十分（満充電）と判断して、FET 制御部 11 に充電経路の遮断を指示する。FET 制御部 11 は、L レベルのゲート制御信号 27 を電池保護 FET 回路 5 へ出力する。L レベルのゲート制御信号 27 により、MOSFET 21 が OFF となる。それにより、二次電池 2 と端子 7 との間の充電経路が遮断され、充電電流 I_c が流れなくなる。すなわち、二次電池 2 の充電は停止される。

【0060】

以上のようにして、本実施の形態に係る電池保護システムを適用した電池パックは動作する。

【0061】

図 4 は、図 1 の電池パックの構成における電流制御回路の具体例を示すブロック図である。電流制御回路 43 は、例えば演算増幅器 43a と MOSFET 43b とで構成することができる。演算増幅器 43a は、反転入力部を MOSFET 20 のソースに、非反転入力部を MOSFET 22 のソースに、出力部を MOSFET 43b のゲートにそれぞれ接続される。MOSFET 43b は、ソースを ADC 12 および電流検出抵抗 16 に、ドレインを MOSFET 22 のソースにそれぞれ接続されている。これにより、MOSFET 20 のソースと、MOSFET 22 のソースとが等電位になるように検出電流 I_{dr} を MOSFET 22 から電流検出抵抗 16 へ流すことができる。

【0062】

電流制御回路 44 は、例えば演算増幅器 44a と MOSFET 44b とで構成すること

ができる。演算増幅器44aは、反転入力部をMOSFET21のソースに、非反転入力部をMOSFET23のソースに、出力部をMOSFET44bのゲートにそれぞれ接続される。MOSFET44bは、ソースをADC15および電流検出抵抗19に、ドレインをMOSFET23のソースにそれぞれ接続されている。これにより、MOSFET21のソースと、MOSFET23のソースとが等電位になるように検出電流 I_{cr} をMOSFET23から電流検出抵抗19へ流すことができる。

【0063】

図5は、本実施の形態に係る電池保護システムを実装した保護基板の一例を模式的に示す平面図および側面図である。図6は、本実施の形態に係る電池保護システムを実装した電池パックの一例を模式的に示す斜視図である。細長い矩形の保護基板3aには、端子6と端子7との間に、電池保護システム3として、電池保護FET回路5と、電流検出抵抗16と、制御回路4と、電流検出抵抗19とがこの順に配置されている。また、保護基板3aには、端子6および端子7が設けられている。ただし、各構成間の配線については省略されている。電池パック1は、二次電池2と、その二次電池2の側面に結合された電池保護システム3（保護基板3aに実装）とを備えている。その二次電池2の側面には、電池の正極および負極が設けられている（図示されず）。電池保護システム3は、保護基板3aを貫通する配線（図示されず）により保護基板3aの裏面において、その二次電池2の側面と接続される。すなわち、電池保護システム3の電源配線と二次電池2の正極および負極とが接続される。このように、保護基板3aは、二次電池2の側面に結合されるため、その側面の形状に対応した形状であることが好ましい。電池パック1をコンパクトに製造することができるからである。図6の例では、二次電池2の細長い矩形の側面に電池保護システム3が搭載されることから、保護基板3aは、その側面に収まるような形状（この場合、細長い矩形）に形成されている。

【0064】

前述の特開2007-66748号公報のバック電池Aは、電源経路内に電流検出用の検出抵抗を設けて過電流検出と電池残量検出を行っていた。そのため、検出抵抗による消費電力の増大や計測電圧の測定精度の低下を生じていた。しかし、本実施の形態では、電源経路内に電流検出用の検出抵抗を設けず、電源経路とは別の低電流の電流経路を設け、そこに配置した検出抵抗で過電流検出と電池残量検出を行うことができる。そのため、その検出抵抗による無駄な電力消費を抑えることができ、連続使用時間を延ばすことが可能となる。また、その検出抵抗として、比較的大きな抵抗値を有する抵抗を選択できる。そのため、計測電圧の精度を向上できる。加えて、一般的な抵抗を使用することができるので、コスト低減も可能となる。更に、電池保護FET回路5において、ドレイン、ゲートが共通のため、すべてのMOSFETを同じ構造で構成できる。そのため、MOSFET間で特性の差を生じる要因が少なく、カレントミラー特性が得やすく、正確な電流比を得ることができる。従って、精度の高い電池残量検出機能を実現することができる。

【0065】

また、携帯電話やノートPCやスマートフォンのような様々な電子機器では二次電池（例示：Liイオン電池）の残量を正確に表示する機能の需要が増加している。そのため、電池パックに電池残量情報の出力機能を搭載することが要求される。現在、一般的には過電流検出用の検出抵抗（センス抵抗）を用いて回路に流れる電流を検出し、制御回路内で積算することにより電池残量を計算し、その情報を外部機器に出力している。本実施の形態では、電源経路とは別の低電流の電流経路を設け、そこに配置した検出抵抗（センス抵抗）で回路に流れる電流を検出し、制御回路内で積算して電池残量検出を行うことができる。そのため、低消費電力で、且つより正確に残量を計測することができる。

【0066】

（第1の変形例）

本変形例では、本変形例の電池パック1は、図1の電池パック1と比較すると、電流検出抵抗が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0067】

図7は、第1の実施の形態に係る電池保護システムを適用した電池パックの構成の第1の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4aと電池保護FET回路5とを備えている。ただし、電流検出抵抗16、19はいずれも単独の素子としては実装されていない。電流検出抵抗16、19は、制御回路4aに内包されている。制御回路4aを一つの半導体チップとして設けると、電流検出抵抗16、19を内包することで、電流検出抵抗16、19のコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。

【0068】

図8は、第1の変形例の電池保護システムを実装した保護基板の一例を模式的に示す平面図および側面図である。本変形例の電池保護システム3を実装した保護基板3aは、保護基板3aに電流検出抵抗16、19がそれぞれ単独の素子としては実装されていない。すなわち、細長い矩形の保護基板3aには、端子6と端子7との間に、電池保護システム3として、電池保護FET回路5と、制御回路4aとがこの順に配置されている。部品点数を減らしているため、製造を容易にし、そのコストも下げることができる。

【0069】

この場合にも、図1～図6において説明された電池パック1の場合と同様の効果を得ることができる。

【0070】

(第2の変形例)

本変形例では、本変形例の電池パック1は、図1の電池パック1と比較すると、電流検出抵抗および電池保護FET回路が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0071】

図9は、第1の実施の形態に係る電池保護システムを適用した電池パックの構成の第2の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4bを備えている。ただし、電流検出抵抗16、19と電池保護FET回路5とはいずれも単独の素子としては実装されていない。電流検出抵抗16、19および電池保護FET回路5は、制御回路4bに内包されている。制御回路4bを一つの半導体チップとして設けると、電流検出抵抗16、19および電池保護FET回路5を内包することで、電流検出抵抗16、19および電池保護FET回路5のコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。

【0072】

図10は、第2の変形例の電池保護システムを実装した保護基板の一例を模式的に示す平面図および側面図である。本変形例の電池保護システム3を実装した保護基板3aは、保護基板3aに電流検出抵抗16、19と電池保護FET回路5とがいずれも単独の素子としては実装されていない。すなわち、細長い矩形の保護基板3aには、端子6と端子7との間に、電池保護システム3として、制御回路4bがこの順に配置されている。部品点数を減らしているため、製造を容易にし、そのコストも下げることができる。

【0073】

この場合にも、図1～図6において説明された電池パック1の場合と同様の効果を得ることができる。

【0074】

(第2の実施の形態)

第2の実施の形態に係る電池保護システムを適用した電池パックの構成について説明する。本実施の形態は、第1の実施の形態と比較して、電池保護FET回路の構成およびその制御方法が相違している。以下では、その相違点について主に説明する。

【0075】

図11は、第2の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。この電池パック1において、電池保護FET回路5aの構成

10

20

30

40

50

は、第1の実施の形態の電池保護FET回路5と相違している。

【0076】

電池保護FET回路5aは、制御回路4-1の制御に基づいて、二次電池2の充放電を制御し、二次電池2を異常から保護する。電池保護FET回路5aは、一つの半導体チップとして設けられていてもよい。電池保護FET回路5は、MOSFET20、MOSFET21、MOSFET22、MOSFET23、MOSFET24、MOSFET25を備えている。

【0077】

MOSFET20は、放電制御用のMOSFETであり、放電時に放電電流 I_d が流れる電源経路のON/OFFを行う。MOSFET22は、放電電流検出用のMOSFETであり、放電電流 I_d に対応した検出電流 I_{dr} を出力する。MOSFET24は、放電電流検出用のMOSFETであり、MOSFET22と共に放電電流 I_d に対応した検出電流 I_{dr} を出力する。ただし、放電電流 $I_d \gg \text{MOSFET24}$ とMOSFET22とによる検出電流 $I_{dr} > \text{MOSFET22}$ のみによる検出電流 I_{dr} である。MOSFET20とMOSFET22とMOSFET24とは、ドレインが共通に接続されている。MOSFET20とMOSFET22とは、更にゲートが共通に接続されている。MOSFET20とMOSFET22とは、共通のゲートを、端子を介して外部配線と接続可能である。MOSFET22とMOSFET24とは、更にソースが共通に接続されている。MOSFET22とMOSFET24とは、共通のソースを、端子を介して外部配線と接続可能である。MOSFET20は、ソースを、端子を介して外部配線と接続可能である。MOSFET24は、ゲートを、端子を介して外部配線と接続可能である。MOSFET20のソースは二次電池2の負極に接続される。MOSFET22とMOSFET24のソースは、制御回路4-1を介して電流検出抵抗16に接続される。MOSFET20とMOSFET22とMOSFET24のゲートは、FET制御部11に接続される。MOSFET20の単位セル数とMOSFET24の単位セル数とMOSFET22の単位セル数とは、MOSFET20の単位セル数 $\gg \text{MOSFET24}$ の単位セル数 $> \text{MOSFET22}$ の単位セル数とする。単位セル数の比でいえば、大：中：小、とする。それは以下の理由による。MOSFET20には放電電流 I_d を流す。一方、MOSFET22には消費電力を低く抑えるために検出電流 $I_{dr} (<< I_d)$ を流す。更に、MOSFET24には検出電流が低過ぎたときに、状況に応じてMOSFET22だけの検出電流 I_{dr} よりも大きな検出電流 $I_{dr} (<< I_d, > \text{MOSFET22}$ だけの検出電流 $I_{dr})$ を流す。これにより、検出電流を増加させて、検出精度を高精度に保つことができる。このように、検出電流 I_{dr} の電流値が状況に応じて適切な大きさになるように、複数の電流値の検出電流 I_{dr} を設けるべく、単位セル数の比を上記のように設定する。例えば、MOSFET20の単位セル数とMOSFET24の単位セル数とMOSFET22の単位セル数との比は、20000対199対1とする。なお、単セル数の比に代えて、ゲート幅（またはチャンネル幅）の比であっても良い。

【0078】

MOSFET21は、充電制御用のMOSFETであり、充電時に充電電流 I_c が流れる電源経路のON/OFFを行う。充電電流検出用のMOSFETであり、MOSFET23は、充電電流 I_c に対応した検出電流 I_{cr} を出力する。MOSFET25は、充電電流検出用のMOSFETであり、MOSFET23と共に充電電流 I_c に対応した検出電流 I_{cr} を出力する。ただし、充電電流 $I_c \gg \text{MOSFET23}$ とMOSFET25とによる検出電流 $I_{cr} > \text{MOSFET23}$ のみによる検出電流 I_{cr} である。MOSFET21とMOSFET23とMOSFET25とは、ドレインが共通に接続されている。MOSFET21とMOSFET23とは、更にゲートが共通に接続されている。MOSFET21とMOSFET23とは、共通のゲートを、端子を介して外部配線と接続可能である。MOSFET23とMOSFET25とは、更にソースが共通に接続されている。MOSFET23とMOSFET25とは、共通のソースを、端子を介して外部配線と接続可能である。MOSFET21は、ソースを、端子を介して外部配線と接続可能で

ある。MOSFET 25は、ゲートを、端子を介して外部配線と接続可能である。MOSFET 21のソースは端子7に接続される。MOSFET 23とMOSFET 25のソースは、制御回路4-1を介して電流検出抵抗19に接続される。MOSFET 21とMOSFET 23とMOSFET 25のゲートは、FET制御部11に接続される。MOSFET 21の単位セル数とMOSFET 25の単位セル数とMOSFET 23の単位セル数とは、MOSFET 21の単位セル数>>MOSFET 25の単位セル数>MOSFET 23の単位セル数とする。単位セル数の比でいえば、大：中：小、とする。それは以下の理由による。MOSFET 21には充電電流 I_c を流す。一方、MOSFET 23には消費電力を低く抑えるために検出電流 I_{cr} ($\ll I_c$)を流す。更に、MOSFET 25には検出電流が低過ぎたときに、状況に応じてMOSFET 23だけの検出電流 I_{cr} よりも大きな検出電流 I_{cr} ($\ll I_c$ 、 $>$ MOSFET 23だけの検出電流 I_{cr})を流す。これにより、検出電流を増加させて、検出精度を高精度に保つことができる。このように、検出電流 I_{cr} の電流値が状況に応じて適切な大きさになるように、複数の電流値の検出電流 I_{cr} を設けるべく、単位セル数の比を上記のように設定する。例えば、MOSFET 21の単位セル数とMOSFET 25の単位セル数とMOSFET 23の単位セル数との比は、20000対199対1とする。なお、単セル数の比に代えて、ゲート幅（またはチャネル幅）の比であっても良い。

【0079】

制御回路4-1の電流制御回路43は、電源経路（MOSFET 20のソース）と、MOSFET 22およびMOSFET 24のソースと、電流検出抵抗16の一端にそれぞれ接続されている。MOSFET 20のソースと、MOSFET 22のソースとが等電位になるように検出電流 I_{dr} をMOSFET 22から電流検出抵抗16へ流す。または、MOSFET 20のソースと、MOSFET 22およびMOSFET 24のソースとが等電位になるように検出電流 I_{dr} をMOSFET 22およびMOSFET 24から電流検出抵抗16へ流す。電流制御回路44は、電源経路（MOSFET 21のソース）と、MOSFET 23およびMOSFET 25のソースと、電流検出抵抗19の一端にそれぞれ接続されている。MOSFET 21のソースと、MOSFET 23のソースとが等電位になるように検出電流 I_{cr} をMOSFET 23から電流検出抵抗19へ流す。または、MOSFET 21のソースと、MOSFET 23およびMOSFET 25のソースとが等電位になるように検出電流 I_{cr} をMOSFET 23およびMOSFET 25から電流検出抵抗19へ流す。

【0080】

制御回路4-1のFET制御部11は、電池保護FET回路5aのMOSFET 20、MOSFET 22、MOSFET 24、MOSFET 21、MOSFET 23およびMOSFET 25のゲートに接続されている。CPU9の制御に基づいて、電池保護FET回路5aの各MOSFETのゲート電圧を制御して、それら各MOSFETをON/OFFする。

【0081】

電流検出抵抗16の一端は電流制御回路43を介して電池保護FET回路5aのMOSFET 22およびMOSFET 24のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗16の一端および他端はそれぞれADC12に接続されている。電流検出抵抗16は、放電電流の検出用抵抗であり、放電電流検出用のMOSFET 22およびMOSFET 24に対応して設けられている。電流検出抵抗19の一端は電流制御回路44を介して電池保護FET回路5aのMOSFET 23およびMOSFET 25のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗19の一端および他端はそれぞれADC15に接続されている。電流検出抵抗19は、充電電流の検出用抵抗であり、充電電流検出用のMOSFET 23およびMOSFET 25に対応して設けられている。電流検出抵抗16、19はそれぞれ単独の素子として設けられていても良い。

【0082】

その他の構成については、第1の実施の形態と同様であるのでその説明を省略する。

【0083】

図12は、図11における電池保護FET回路5aの構成の一例を示す平面図である。ここで、領域165は、例えば、充電制御用のMOSFET21および充電電流検出用のMOSFET23、25に対応している。領域166は、放電制御用のMOSFET20および放電電流検出用のMOSFET22、24に対応している。領域165と領域166とは、図面の中心に対して点対称で、同じ構成を有しているので、以下では、領域165について主に説明する。

【0084】

領域165は、等電位リング113で囲まれている。第1の実施の形態と比較して、本実施の形態では、領域165には、ゲートの異なるMOSFET25が追加されて、MOSFET21、23、25が設けられている。ゲート配線111で囲まれた領域の複数のMOSFETが、充電制御用のMOSFET21および充電電流検出用のMOSFET23、25を構成する。例えば、ゲート配線111で囲まれた領域内の所定の面積の部分のMOSFETをMOSFET23とし、ゲート配線111で囲まれた領域内におけるMOSFET23より広い所定の面積の部分のMOSFETをMOSFET25とする。そして、ゲート配線111で囲まれた領域内の残りの部分のMOSFETをMOSFET21とする。MOSFET21、23の各単位セルの断面は図3におけるMOSFET21、23の各単位セルの断面と同じである。MOSFET25の単位セルの断面は図3におけるMOSFET23の単位セルの断面と同じである。このとき、MOSFET23の面積（単位セル数に相当）と、MOSFET25の面積（単位セル数に相当）と、MOSFET21の面積（単位セル数に相当）との比は、例えば1対199対20000とすることができる。

【0085】

MOSFET23およびMOSFET25のソースはコンタクトを介してソース電極117に接続されている。そのソース電極117は、ソース端子105に接続されている。一方、MOSFET21のソースはコンタクトを介してソース電極115に接続されている。そのソース電極115は、ソース端子103に接続されている。MOSFET23のゲートおよびMOSFET21のゲートは、コンタクトを介してゲート配線111に接続されている。そのゲート配線111は、ゲート端子101に接続されている。MOSFET25のゲートはコンタクトを介してゲート配線119に接続されている。そのゲート配線119は、ゲート端子107に接続されている。なお、ドレイン電極は、MOSFET21、23、25に共通であり、半導体チップの裏側に設けられている。

【0086】

なお、領域166は、等電位リング114で囲まれている。領域166には、放電制御用のMOSFET20および放電電流検出用のMOSFET22に共通なゲート配線112およびゲート端子102と、放電電流検出用のMOSFET24のゲート配線120およびゲート端子108とが設けられている。更に、MOSFET22およびMOSFET24のソース電極118およびソース端子106と、MOSFET20のソース電極116およびソース端子104とが設けられている。なお、ドレイン電極は、MOSFET20、22、24およびMOSFET21、23、25に共通であり、半導体チップの裏側に設けられている。

図12は、8つの端子が等間隔に方形に配置されたCSPタイプの半導体チップである。領域165と領域166との境界に、ゲートの異なるMOSFET24およびMOSFET25の各ゲート端子を配置することで、8つの端子が半導体チップの4辺に沿って配置されるので、それぞれの端子に対応する保護基板3a側の配線のレイアウトがし易くなる。

【0087】

本実施の形態においても、第1の実施の形態と同様に、CSPタイプの構成を採用しているため、MOSFETのオン抵抗を低く抑えることができる。また、各MOSFETのドレイン電極を表面に設ける必要がないので、有効セル面積が大きくなり、チップサイズ

が大きくなるなどの問題が生じない。

【0088】

次に、本実施の形態に係る電池保護システムを適用した電池パックの動作について説明する。

まず、電池パックの放電状態について説明する。端子6および端子7には負荷（図示されず）が接続される。CPU9は、FET制御部11に放電経路の接続を指示する。FET制御部11は、Hレベルのゲート制御信号26およびゲート制御信号27を電池保護FET回路5へ出力する。Hレベルのゲート制御信号26によりMOSFET20およびMOSFET22がONとなる。更に、Hレベルのゲート制御信号27によりMOSFET21およびMOSFET23がONとなる。それにより、二次電池2と端子7との間の放電経路がつながり、放電電流Idが図11の矢印の方向に流れる。すなわち、二次電池2は放電状態となる。このとき、FET制御部11は、Lレベルのゲート制御信号30、31を電池保護FET回路5へ出力している。そのため、MOSFET24およびMOSFET25は共にOFFである。

【0089】

このとき、電流制御回路43は、MOSFET20のソース電圧とMOSFET22のソース電圧とが等しくなるように動作する。MOSFET20とMOSFET22とはドレインとゲートが共通であるため、カレントミラー回路として動作する。ここで、MOSFET20の単位セル数とMOSFET22の単位セル数の比とを20000:1とする。その場合、MOSFET20に流れる放電電流Idの1/20000の検出電流Idrが、MOSFET22および電流制御回路43経由で電流検出抵抗R16に流れる。ADC12は、電流検出抵抗R16の両端の電圧Vdrを読み取り（アナログ信号）、その結果をデジタル信号に変換してCPU9へ出力する。CPU9は、放電電流Idを算出（ $I_d = V_{dr} / R_{16} \times 20000$ ）し、その放電電流Idを積算することで、使用された電気量を算出する。そして、CPU9は、その使用された電気量を、充電時に蓄えられた電気量（CPU9内または外部の記憶部に記憶）から差し引くことで二次電池2の残量を算出する。CPU9は、算出された二次電池2の残量の情報を、シリアルIF10を介して外部機器に出力する。

【0090】

放電により放電電流Idが低下した場合、または、スタンバイ状態のような低消費電流モードの場合、MOSFET22に流れる検出電流Idrは非常に小さくなる。そのため、測定精度が低下するおそれがある。したがって、CPU9は、放電電流Idが所定の値（CPU9内または外部の記憶部に記憶）以下となった場合、FET制御部11に検出電流の経路の追加を指示する。FET制御部11は、Hレベルのゲート制御信号30を電池保護FET回路5aへ出力する。Hレベルのゲート制御信号30により、MOSFET24がONとなる。ただし、ゲート制御信号26とゲート制御信号30とは同電位とする。それにより、MOSFET20とMOSFET22とMOSFET24とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET20の単位セル数とMOSFET22の単位セル数とMOSFET24の単位セル数との比とを20000:1:199とする。その場合、MOSFET20に流れる放電電流Idの200/20000（ $= 1 / 20000 + 199 / 20000$ ）の検出電流Idrが、電流制御回路43経由で電流検出抵抗R16に流れる。ADC12は、電流検出抵抗R16の両端の電圧Vdrを読み取り（アナログ信号）、その結果をデジタル信号に変換してCPU9へ出力する。CPU9は、放電電流Idを算出（ $I_d = V_{dr} / R_{16} \times 20000 / 200$ ）し、その放電電流Idを積算することで、使用された電気量を算出する。そして、CPU9は、その使用された電気量を、充電時に蓄えられた電気量（CPU9内または外部の記憶部に記憶）から差し引くことで二次電池2の残量を算出する。CPU9は、算出された二次電池2の残量の情報を、シリアルIF10を介して外部機器に出力する。

【0091】

このように、本実施の形態では、放電電流検出用のMOSFET 22に加えて、放電電流検出用のMOSFET 24をMOSFET 22と並列に設けている。MOSFET 24の単位セル数とMOSFET 22と単位セル数とは異なるように設定されている。その結果、放電電流 I_d を検出するとき、放電電流 I_d が大きい場合にはMOSFET 22のみからの検出電流 I_{dr} を用いて計測し、放電電流 I_d が小さい場合にはMOSFET 22およびMOSFET 24の両方からの検出電流 I_{dr} を用いて計測することができる。すなわち、放電電流 I_d の大きさに応じて検出電流比率 (I_{dr} / I_d) を変更することにより、その放電電流 I_d を検出するための検出範囲を選択することができる。その結果、放電電流 I_d の大きさに関わらず、精度の高い検出を行うことが可能となる。

【0092】

また、過電流や残量不足の動作については、第1の実施の形態と同様であるのでその説明を省略する。

【0093】

次に、電池パックの充電状態について説明する。二次電池2の正極側の端子6には充電器（図示されず）の正極側が、二次電池2の負極側の端子7には充電器の負側が接続される。CPU9は、FET制御部11に充電経路の接続を指示する。FET制御部11は、Hレベルのゲート制御信号26およびゲート制御信号27を電池保護FET回路5へ出力する。Hレベルのゲート制御信号26によりMOSFET 20およびMOSFET 22がONとなる。更に、Hレベルのゲート制御信号27によりMOSFET 21およびMOSFET 23がONとなる。それにより、二次電池2と端子7との間の充電経路がつながり、充電電流 I_c が図11の矢印の方向に流れる。すなわち、二次電池2は充電状態となる。このとき、FET制御部11は、Lレベルのゲート制御信号30、31を電池保護FET回路5aへ出力している。そのため、MOSFET 24およびMOSFET 25は共にOFFである。

【0094】

このとき、電流制御回路44は、MOSFET 21のソース電圧とMOSFET 23のソース電圧とが等しくなるように動作する。MOSFET 21とMOSFET 23とはドレインとゲートが共通であるため、カレントミラー回路として動作する。ここで、MOSFET 21の単位セル数とMOSFET 23の単位セル数の比とを20000:1とする。その場合、MOSFET 21に流れる充電電流 I_c の $1/20000$ の検出電流 I_{cr} が、MOSFET 23および電流制御回路44経由で電流検出抵抗R19に流れる。ADC15は、電流検出抵抗R19の両端の電圧 V_{cr} を読み取り（アナログ信号）、その結果をデジタル信号に変換してCPU9へ出力する。CPU9は、充電電流 I_c を算出 ($I_c = V_{cr} / R19 \times 20000$) し、その充電電流 I_c を積算することで、二次電池2に蓄えられた電気量を算出する。そして、CPU9は、その蓄えられた電気量の情報を、シリアルIF10を介して外部機器に出力する。

【0095】

満充電に近づいて充電電流 I_c が低下した場合など、MOSFET 23に流れる検出電流 I_{cr} が非常に小さくなる。そのため、測定精度が低下するおそれがある。したがって、CPU9は、充電電流 I_c が所定の値（CPU9内または外部の記憶部に記憶）以下となった場合、FET制御部11に検出電流の経路の追加を指示する。FET制御部11は、Hレベルのゲート制御信号31を電池保護FET回路5aへ出力する。Hレベルのゲート制御信号31により、MOSFET 25がONとなる。ただし、ゲート制御信号27とゲート制御信号31とは同電位とする。これにより、MOSFET 21とMOSFET 23とMOSFET 25とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET 21の単位セル数とMOSFET 23の単位セル数とMOSFET 25の単位セル数との比とを20000:1:199とする。その場合、MOSFET 21に流れる充電電流 I_c の $200/20000$ ($= 1/20000 + 199/20000$) の検出電流 I_{cr} が、電流制御回路44経由で電流検出抵抗R19に流れる。ADC15は、電流検出抵抗R19の両端の電圧 V_{cr} を読み取り（アナログ信号）

10

20

30

40

50

、その結果をデジタル信号に変換してCPU9へ出力する。CPU9は、充電電流 I_c を算出($I_c = V_{cr} / R_{19} \times 20000 / 200$)し、その充電電流 I_c を積算することで、二次電池に蓄えられた電気量を算出する。そして、CPU9は、その蓄えられた電気量を、放電時に残された電気量(CPU9内または外部の記憶部に記憶)に加えることで二次電池2の残量を算出する。CPU9は、その算出された二次電池2の残量の情報を、シリアルIF10を介して外部機器に出力する。

【0096】

このように、本実施の形態では、充電電流検出用のMOSFET23に加えて、充電電流検出用のMOSFET25をMOSFET23と並列に設けている。MOSFET25の単位セル数とMOSFET23と単位セル数とは異なるように設定されている。その結果、充電電流 I_c を検出するとき、充電電流 I_c が大きい場合にはMOSFET23のみからの検出電流 I_{cr} を用いて計測し、充電電流 I_c が小さい場合にはMOSFET23およびMOSFET25の両方からの検出電流 I_{cr} を用いて計測することができる。すなわち、充電電流 I_c の大きさに応じて検出電流比率(I_{cr} / I_c)を変更することにより(この場合、2通り)、その充電電流 I_c を検出するための検出範囲を選択することができる。その結果、充電電流 I_c の大きさに関わらず、精度の高い検出を行うことが可能となる。

10

【0097】

また、過電流や充電十分(満充電)の動作については、第1の実施の形態と同様であるのでその説明を省略する。

20

【0098】

以上のようにして、本実施の形態に係る電池保護システムを適用した電池パックは動作する。

【0099】

なお、本実施の形態では、放電電流検出用として一つのMOSFET24を追加しているが、更に多くのMOSFETを追加しても良い。例えば、放電電流検出用にMOSFET26を更に追加する場合、そのMOSFET26は以下のような構成とする。MOSFET26は、単位セル比がMOSFET22、24と異なり、ドレインおよびソースがMOSFET22、24と共通であり、ゲートがFET制御部11に接続している。その場合、MOSFET22、24、26のうち、MOSFET22のみ、MOSFET22+MOSFET24、MOSFET22+MOSFET26、MOSFET22+MOSFET24+MOSFET26のいずれかの組み合わせが可能である。そのようにすることで、更に電流を計測するための計測レンジ(範囲)を増やすことができ、更に精度の高い計測(検出)を行うことが可能となる。

30

【0100】

同様に、本実施の形態では、充電電流検出用として一つのMOSFET25を追加しているが、更に多くのMOSFETを追加しても良い。例えば、充電電流検出用にMOSFET27を更に追加する場合、そのMOSFET27は以下のような構成とする。MOSFET27は、単位セル比がMOSFET23、25と異なり、ドレインおよびソースがMOSFET23、25と共通であり、ゲートがFET制御部11に接続している。その場合、MOSFET23、25、27のうち、MOSFET23のみ、MOSFET23+MOSFET25、MOSFET23+MOSFET27、MOSFET23+MOSFET25+MOSFET27のいずれかの組み合わせが可能である。そのようにすることで、更に電流を計測するための計測レンジ(範囲)を増やすことができ、更に精度の高い計測(検出)を行うことが可能となる。

40

【0101】

電流制御回路43や電流制御回路44の一例については、第1の実施の形態と同様(図4)であるので、その説明を省略する。また、電池保護システムを実装した保護基板の一例や電池保護システムを実装した電池パックの一例については、第1の実施の形態と同様(図5、図6)であるので、その説明を省略する。

50

【0102】

本実施の形態についても第1の実施の形態と同様の効果を得ることができる。

更に、本実施の形態では、検出（計測）する電流の大きさに応じて検出電流比率を切替えることができる。例えば、放電電流 I_d や充電電流 I_c が大電流の場合には検出電流比率を $1/20000$ とし、放電電流 I_d や充電電流 I_c が微少な電流の場合には検出電流比率を $1/100$ とする、というようにである。それにより、広い検出範囲において、放電電流 I_d や充電電流 I_c を正確に検出することが可能となる。また、図11では1組の制御用MOSFETと2組の電流検出用MOSFETで回路を構成しているが、電流検出用MOSFETを2組より多くすることで、より広い範囲の電流検出を行うことができる。

10

【0103】

（第1の変形例）

本変形例では、本変形例の電池パック1は、図11の電池パック1と比較すると、電流検出抵抗が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0104】

図13は、第2の実施の形態に係る電池保護システムを適用した電池パックの構成の第1の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4-1aと電池保護FET回路5aとを備えている。ただし、電流検出抵抗16、19はいずれも単独の素子としては実装されていない。電流検出抵抗16、19は、制御回路4-1aに内包されている。制御回路4-1aを一つの半導体チップとして設けると、電流検出抵抗16、19を内包することで、電流検出抵抗16、19のコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。なお、電池保護システム3を実装した保護基板3aの一例については、基本的に、第1の実施の形態に係る第1の変形例の電池保護システム3を実装した保護基板3aの一例（図8）と同じである。（ただし、制御回路4aと電池保護FET回路5の代わりに制御回路4-1aと電池保護FET回路5aを用いている。）したがって、その説明を省略する。

20

【0105】

この場合にも、図11～図12において説明された電池パック1の場合と同様の効果を得ることができる。

30

【0106】

（第2の変形例）

本変形例では、本変形例の電池パック1は、図11の電池パック1と比較すると、電流検出抵抗および電池保護FET回路が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0107】

図14は、第2の実施の形態に係る電池保護システムを適用した電池パックの構成の第2の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4-1bを備えている。ただし、電流検出抵抗16、19と電池保護FET回路5aとはいずれも単独の素子としては実装されていない。電流検出抵抗16、19および電池保護FET回路5aは、制御回路4-1bに内包されている。制御回路4-1bを一つの半導体チップとして設けると、電流検出抵抗16、19および電池保護FET回路5aを内包することで、電流検出抵抗16、19および電池保護FET回路5aのコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。なお、電池保護システム3を実装した保護基板3aの一例については、基本的に、第1の実施の形態に係る第2の変形例の電池保護システム3を実装した保護基板3aの一例（図10）と同じである。（ただし、制御回路4bと電池保護FET回路5の代わりに制御回路4-1bと電池保護FET回路5aを用いている。）したがって、その説明を省略する。

40

50

【0108】

この場合にも、図11～図12において説明された電池パック1の場合と同様の効果を得ることができる。

【0109】

(第3の実施の形態)

第3の実施の形態に係る電池保護システムを適用した電池パックの構成について説明する。本実施の形態は、第1の実施の形態と比較して、電池保護FET回路の構成およびその制御方法が相違している。以下では、その相違点について主に説明する。

【0110】

図15は、第3の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。この電池パック1において、電池保護FET回路5bの構成は、第1の実施の形態の電池保護FET回路5と相違している。

【0111】

電池保護FET回路5bは、制御回路4-2の制御に基づいて、二次電池2の充放電を制御し、二次電池2を異常から保護する。電池保護FET回路5cは、一つの半導体チップとして設けられていてもよい。電池保護FET回路5bは、MOSFET20、MOSFET21、MOSFET22、MOSFET23、MOSFET24、MOSFET25を備えている。

【0112】

MOSFET20は、放電制御用のMOSFETであり、放電時に放電電流 I_d が流れる電源経路のON/OFFを行う。MOSFET22は、放電電流検出用のMOSFETであり、放電電流 I_d に対応した検出電流 I_{dr} を出力する。MOSFET24は、放電電流検出用のMOSFETであり、MOSFET22と共にまたは単独で放電電流 I_d に対応した検出電流 I_{dr} を出力する。ただし、放電電流 $I_d \gg \text{MOSFET24}$ とMOSFET22とによる検出電流 $I_{dr} > \text{MOSFET24}$ のみによる検出電流 $I_{dr} > \text{MOSFET22}$ のみによる検出電流 I_{dr} である。MOSFET20とMOSFET22とMOSFET24とは、ドレインが共通に接続されている。MOSFET22とMOSFET24とは、更にソースが共通に接続されている。MOSFET22とMOSFET24とは、共通のソースを、端子を介して外部配線と接続可能である。MOSFET20は、ソースを、端子を介して外部配線と接続可能である。MOSFET20、22、24は、それぞれ、ゲートを、端子を介して外部配線と接続可能である。MOSFET20のソースは二次電池2の負極に接続される。MOSFET22とMOSFET24のソースは、制御回路4-2を介して電流検出抵抗16に接続される。MOSFET20とMOSFET22とMOSFET24のゲートは、FET制御部11に接続される。MOSFET20の単位セル数とMOSFET24の単位セル数とMOSFET22の単位セル数とは、MOSFET20の単位セル数 $\gg$ MOSFET24の単位セル数 $>$ MOSFET22の単位セル数とする。単位セル数の比でいれば、大：中：小、とする。その理由は第2の実施の形態と同様である。MOSFET20の単位セル数とMOSFET24の単位セル数とMOSFET22の単位セル数との比は、例えば、20000対200対100とする。なお、単セル数の比に代えて、ゲート幅（またはチャンネル幅）の比であっても良い。

【0113】

MOSFET21は、充電制御用のMOSFETであり、充電時に充電電流 I_c が流れる電源経路のON/OFFを行う。MOSFET23は、充電電流検出用のMOSFETであり、充電電流 I_c に対応した検出電流 I_{cr} を出力する。MOSFET25は、充電電流検出用のMOSFETであり、MOSFET23と共にまたは単独で充電電流 I_c に対応した検出電流 I_{cr} を出力する。ただし、充電電流 $I_c \gg \text{MOSFET23}$ とMOSFET25とによる検出電流 $I_{cr} > \text{MOSFET25}$ のみによる検出電流 $I_{cr} > \text{MOSFET23}$ のみによる検出電流 I_{cr} である。MOSFET21とMOSFET23とMOSFET25とは、ドレインが共通に接続されている。MOSFET23とMOS

FET 25とは、更にソースが共通に接続されている。MOSFET 23とMOSFET 25とは、共通のソースを、端子を介して外部配線と接続可能である。MOSFET 21は、ソースを、端子を介して外部配線と接続可能である。MOSFET 21、23、25は、それぞれ、ゲートを、端子を介して外部配線と接続可能である。MOSFET 21のソースは端子7に接続される。MOSFET 23とMOSFET 25のソースは、制御回路4-2を介して電流検出抵抗19に接続される。MOSFET 21とMOSFET 23とMOSFET 25のゲートは、FET制御部11に接続される。MOSFET 21の単位セル数とMOSFET 25の単位セル数とMOSFET 23の単位セル数とは、MOSFET 21の単位セル数>>MOSFET 25の単位セル数>MOSFET 23の単位セル数とする。単位セル数の比であれば、大：中：小、とする。その理由は第2の実施の形態と同様である。MOSFET 21の単位セル数とMOSFET 25の単位セル数とMOSFET 23の単位セル数との比は、例えば、20000対200対100とする。なお、単セル数の比に代えて、ゲート幅（またはチャンネル幅）の比であっても良い。

10

【0114】

制御回路4-2の電流制御回路43は、電源経路（MOSFET 20のソース）と、MOSFET 22およびMOSFET 24のソースと、電流検出抵抗16の一端にそれぞれ接続されている。MOSFET 20のソースと、MOSFET 22および／またはMOSFET 24のソースとが等電位になるように、検出電流 I_{dr} をMOSFET 22および／またはMOSFET 24から電流検出抵抗16へ流す。電流制御回路44は、電源経路（MOSFET 21のソース）と、MOSFET 23およびMOSFET 25のソースと、電流検出抵抗19の一端にそれぞれ接続されている。MOSFET 21のソースと、MOSFET 23および／またはMOSFET 25のソースとが等電位になるように、検出電流 I_{cr} をMOSFET 23および／またはMOSFET 25から電流検出抵抗19へ流す。

20

【0115】

制御回路4-2のFET制御部11は、電池保護FET回路5bのMOSFET 20、MOSFET 22、MOSFET 24、MOSFET 21、MOSFET 23およびMOSFET 25のゲートに接続されている。CPU9の制御に基づいて、電池保護FET回路5bの各MOSFETのゲート電圧を制御して、それら各MOSFETをON/OFFする。

30

【0116】

電流検出抵抗16の一端は電流制御回路43を介して電池保護FET回路5bのMOSFET 22およびMOSFET 24のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗16の一端および他端はそれぞれADC12に接続されている。電流検出抵抗16は、放電電流の検出用抵抗であり、放電電流検出用のMOSFET 22およびMOSFET 24に対応して設けられている。電流検出抵抗19の一端は電流制御回路44を介して電池保護FET回路5bのMOSFET 23およびMOSFET 25のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗19の一端および他端はそれぞれADC15に接続されている。電流検出抵抗19は、充電電流の検出用抵抗であり、充電電流検出用のMOSFET 23およびMOSFET 25に対応して設けられている。電流検出抵抗16、19はそれぞれ単独の素子として設けられていても良い。

40

【0117】

その他の構成については、第1の実施の形態と同様であるのでその説明を省略する。

【0118】

図16は、図15における電池保護FET回路5bの構成の一例を示す平面図である。ここで、領域165は、例えば、充電制御用のMOSFET 21および充電電流検出用のMOSFET 23、25に対応している。領域166は、放電制御用のMOSFET 20および放電電流検出用のMOSFET 22、24に対応している。領域165と領域166とは、図面の中心に対して点対称で、同じ構成を有しているので、以下では、領域165について主に説明する。

50

【0119】

領域165は、等電位リング113で囲まれている。第1の実施の形態と比較して、本実施の形態では、領域165には、ゲートの異なるMOSFET25が追加され、MOSFET23のゲートがMOSFET21のゲートと分離されて、MOSFET21、23、25が設けられている。ゲート配線111で囲まれた領域の複数のMOSFETが、充電制御用のMOSFET21および充電電流検出用のMOSFET23、25を構成する。例えば、ゲート配線111で囲まれた領域内の所定の面積の部分のMOSFETをMOSFET23とし、ゲート配線111で囲まれた領域内におけるMOSFET23より広い所定の面積の部分のMOSFETをMOSFET25とする。そして、ゲート配線111で囲まれた領域内の残りの部分のMOSFETをMOSFET21とする。MOSFET21、23の各単位セルの断面は図3におけるMOSFET21、23の各単位セルの断面と同じである。MOSFET25の単位セルの断面は図3におけるMOSFET23の単位セルの断面と同じである。このとき、MOSFET23の面積（単位セル数に相当）と、MOSFET25の面積（単位セル数に相当）と、MOSFET21の面積（単位セル数に相当）との比が、例えば100対200対20000とすることができる。

10

【0120】

MOSFET23およびMOSFET25のソースはコンタクトを介してソース電極117に接続されている。そのソース電極117は、ソース端子105に接続されている。一方、MOSFET21のソースはコンタクトを介してソース電極115に接続されている。そのソース電極115は、ソース端子103に接続されている。MOSFET21のゲートは、コンタクトを介してゲート配線111に接続されている。そのゲート配線111は、ゲート端子101に接続されている。MOSFET23のゲートは、コンタクトを介してゲート配線119aに接続されている。そのゲート配線119aは、ゲート端子107aに接続されている。MOSFET25のゲートは、コンタクトを介してゲート配線119bに接続されている。そのゲート配線119bは、ゲート端子107bに接続されている。なお、ドレイン電極は、MOSFET21、23、25に共通であり、半導体チップの裏側に設けられている。

20

【0121】

なお、領域166は、等電位リング114で囲まれている。領域166には、放電制御用MOSFET20のゲート配線112およびゲート端子102と、放電電流検出用MOSFET22のゲート配線120aおよびゲート端子108aと、放電電流検出用MOSFET24のゲート配線120bおよびゲート端子108bとが設けられている。更に、MOSFET22およびMOSFET24のソース電極118およびソース端子106と、MOSFET20のソース電極116およびソース端子104とが設けられている。なお、ドレイン電極は、MOSFET20、22、24およびMOSFET21、23、25に共通であり、半導体チップの裏側に設けられている。

30

【0122】

本実施の形態においても、第1の実施の形態と同様に、CSPタイプの構成を採用しているため、MOSFETのオン抵抗を低く抑えることができる。また、各MOSFETのドレイン電極を表面に設ける必要がないので、有効セル面積が大きくなり、チップサイズが大きくなるなどの問題が生じない。

40

また、本実施の形態は、10端子が等間隔に方形に配置されたCSPタイプの半導体チップとなっている。図12との端子配置の違いは、2つのゲート端子が増加したので、2列の4端子の列になっている点である。この配置においても、10端子が半導体チップの4辺に沿って配置されるので、それぞれの端子に対応する保護基板3a側の配線のレイアウトがし易くなる。

【0123】

次に、本実施の形態に係る電池保護システムを適用した電池パックの動作について説明する。

まず、電池パックの放電状態について説明する。端子6および端子7には負荷（図示さ

50

れず)が接続される。CPU9は、FET制御部11に放電経路の接続を指示する。FET制御部11は、Hレベルのゲート制御信号26およびゲート制御信号27を電池保護FET回路5bへ出力する。Hレベルのゲート制御信号26によりMOSFET20がONとなる。更に、Hレベルのゲート制御信号27によりMOSFET21がONとなる。それにより、二次電池2と端子7との間の放電経路がつながり、放電電流Idが図15の矢印の方向に流れる。すなわち、二次電池2は放電状態となる。また、FET制御部11は、Hレベルのゲート制御信号28およびゲート制御信号29を電池保護FET回路5bへ出力する。Hレベルのゲート制御信号28によりMOSFET22がONとなる。更に、Hレベルのゲート制御信号29によりMOSFET23がONとなる。ただし、ゲート制御信号26、27とゲート制御信号28、29とは同電位とする。このとき、FET制御部11は、Lレベルのゲート制御信号30、31を電池保護FET回路5bへ出力している。そのため、MOSFET24およびMOSFET25は共にOFFである。

10

【0124】

このとき、電流制御回路43は、MOSFET20のソース電圧とMOSFET22のソース電圧とが等しくなるように動作する。MOSFET20とMOSFET22とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET20の単位セル数とMOSFET22の単位セル数の比とを20000:100とする。その場合、MOSFET20に流れる放電電流Idの100/20000の検出電流Idrが、MOSFET22および電流制御回路43経由で電流検出抵抗R16に流れる。ADC12は、電流検出抵抗R16の両端の電圧Vdrを読み取り(アナログ信号)、その結果をデジタル信号に変換してCPU9へ出力する。CPU9は、放電電流Idを算出($I_d = V_{dr} / R_{16} \times 20000 / 100$)し、その放電電流Idを積算することで、使用された電気量を算出する。そして、CPU9は、その使用された電気量を、充電時に蓄えられた電気量(CPU9内または外部の記憶部に記憶)から差し引くことで二次電池2の残量を算出する。CPU9は、算出された二次電池2の残量の情報を、シリアルIF10を介して外部機器に出力する。

20

【0125】

放電により放電電流Idが低下した場合、または、スタンバイ状態のような低消費電流モードの場合、MOSFET22に流れる検出電流Idrは非常に小さくなる。そのため、測定精度が低下するおそれがある。したがって、CPU9は、放電電流Idが所定の値(CPU9内または外部の記憶部に記憶)以下となった場合、FET制御部11に検出電流の経路の変更を指示する。FET制御部11は、Hレベルのゲート制御信号30とLレベルのゲート制御信号28を電池保護FET回路5bへ出力する。Hレベルのゲート制御信号30により、MOSFET24がONとなる。Lレベルのゲート制御信号28により、MOSFET22がOFFとなる。ただし、ゲート制御信号26とゲート制御信号30とは同電位とする。それにより、MOSFET20とMOSFET24とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET20の単位セル数とMOSFET24の単位セル数との比とを20000:200とする。その場合、MOSFET20に流れる放電電流Idの200/20000の検出電流Idrが、電流制御回路43経由で電流検出抵抗R16に流れる。ADC12は、電流検出抵抗R16の両端の電圧Vdrを読み取り(アナログ信号)、その結果をデジタル信号に変換してCPU9へ出力する。CPU9は、放電電流Idを算出($I_d = V_{dr} / R_{16} \times 20000 / 200$)し、その放電電流Idを積算することで、使用された電気量を算出する。そして、CPU9は、その使用された電気量を、充電時に蓄えられた電気量(CPU9内または外部の記憶部に記憶)から差し引くことで二次電池2の残量を算出する。CPU9は、算出された二次電池2の残量の情報を、シリアルIF10を介して外部機器に出力する。

30

40

【0126】

放電電流Idが更に低下して他の所定の値(CPU9内または外部の記憶部に記憶)以下となった場合、CPU9は、FET制御部11に検出電流の経路の追加を指示する。F

50

ＥＴ制御部１１は、Ｈレベルのゲート制御信号２８およびゲート制御信号３０を電池保護ＦＥＴ回路５ｂへ出力する。Ｈレベルのゲート制御信号２８により、ＭＯＳＦＥＴ２２がＯＮとなる。Ｈレベルのゲート制御信号３０により、ＭＯＳＦＥＴ２４がＯＮとなる。ただし、ゲート制御信号２６とゲート制御信号２８とゲート制御信号３０とは同電位とする。それにより、ＭＯＳＦＥＴ２０とＭＯＳＦＥＴ２２とＭＯＳＦＥＴ２４とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、ＭＯＳＦＥＴ２０の単位セル数とＭＯＳＦＥＴ２２の単位セル数とＭＯＳＦＥＴ２４の単位セル数との比は、２００００：１００：２００である。その場合、ＭＯＳＦＥＴ２０に流れる放電電流 I_d の $300/20000$ の検出電流 I_{dr} が、電流制御回路４３経由で電流検出抵抗 R_{16} に流れる。ＡＤＣ１２は、電流検出抵抗 R_{16} の両端の電圧 V_{dr} を読み取り（アナログ信号）、その結果をデジタル信号に変換してＣＰＵ９へ出力する。ＣＰＵ９は、放電電流 I_d を算出（ $I_d = V_{dr} / R_{16} \times 20000 / (100 + 200)$ ）し、その放電電流 I_d を積算することで、使用された電気量を算出する。そして、ＣＰＵ９は、その使用された電気量を、充電時に蓄えられた電気量（ＣＰＵ９内または外部の記憶部に記憶）から差し引くことで二次電池２の残量を算出する。ＣＰＵ９は、算出された二次電池２の残量の情報を、シリアルＩＦ１０を介して外部機器に出力する。

10

【０１２７】

このように、本実施の形態では、放電電流検出用のＭＯＳＦＥＴ２２に加えて、放電電流検出用のＭＯＳＦＥＴ２４をＭＯＳＦＥＴ２２と並列に設けている。ＭＯＳＦＥＴ２４の単位セル数とＭＯＳＦＥＴ２２と単位セル数とは異なるように設定されている。その結果、放電電流 I_d を検出するとき、放電電流 I_d が大きい場合にはＭＯＳＦＥＴ２２のみからの検出電流 I_{dr} を用いて計測し、放電電流 I_d が小さい場合にはＭＯＳＦＥＴ２２および／またはＭＯＳＦＥＴ２４からの検出電流 I_{dr} を用いて計測することができる。すなわち、放電電流 I_d の大きさに応じて検出電流比率（ I_{dr} / I_d ）を変更することにより（この場合、 $2^2 - 1 = 3$ 通り）、その放電電流 I_d を検出するための検出範囲を選択することができる。その結果、放電電流 I_d の大きさに関わらず、精度の高い検出を行うことが可能となる。

20

【０１２８】

また、過電流や残量不足の動作については、第１の実施の形態と同様であるのでその説明を省略する。

30

【０１２９】

次に、電池パックの充電状態について説明する。二次電池２の正極側の端子６には充電器（図示されず）の正極側が、二次電池２の負極側の端子７には充電器の負側が接続される。ＣＰＵ９は、ＦＥＴ制御部１１に充電経路の接続を指示する。ＦＥＴ制御部１１は、Ｈレベルのゲート制御信号２６およびゲート制御信号２７を電池保護ＦＥＴ回路５ｂへ出力する。Ｈレベルのゲート制御信号２６によりＭＯＳＦＥＴ２０がＯＮとなる。更に、Ｈレベルのゲート制御信号２７によりＭＯＳＦＥＴ２１がＯＮとなる。それにより、二次電池２と端子７との間の充電経路がつながり、充電電流 I_c が図１５の矢印の方向に流れる。すなわち、二次電池２は充電状態となる。また、ＦＥＴ制御部１１は、Ｈレベルのゲート制御信号２８およびゲート制御信号２９を電池保護ＦＥＴ回路５ｂへ出力する。Ｈレベルのゲート制御信号２８によりＭＯＳＦＥＴ２２がＯＮとなる。更に、Ｈレベルのゲート制御信号２９によりＭＯＳＦＥＴ２３がＯＮとなる。ただし、ゲート制御信号２６、２７とゲート制御信号２８、２９とは同電位とする。このとき、ＦＥＴ制御部１１は、Ｌレベルのゲート制御信号３０、３１を電池保護ＦＥＴ回路５ｂへ出力している。そのため、ＭＯＳＦＥＴ２４およびＭＯＳＦＥＴ２５は共にＯＦＦである。

40

【０１３０】

このとき、電流制御回路４４は、ＭＯＳＦＥＴ２１のソース電圧とＭＯＳＦＥＴ２３のソース電圧とが等しくなるように動作する。ＭＯＳＦＥＴ２１とＭＯＳＦＥＴ２３とはドレインとゲートが共通であるため、カレントミラー回路として動作する。ここで、ＭＯＳＦＥＴ２１の単位セル数とＭＯＳＦＥＴ２３の単位セル数の比とを２００００：１００と

50

する。その場合、MOSFET 21に流れる充電電流 I_c の $100/20000$ の検出電流 I_{cr} が、MOSFET 23および電流制御回路 44経由で電流検出抵抗 R_{19} に流れる。ADC 15は、電流検出抵抗 R_{19} の両端の電圧 V_{cr} を読み取り（アナログ信号）、その結果をデジタル信号に変換してCPU 9へ出力する。CPU 9は、充電電流 I_c を算出（ $I_c = V_{cr} / R_{19} \times 20000 / 100$ ）し、その充電電流 I_c を積算することで、二次電池 2に蓄えられた電気量を算出する。そして、CPU 9は、その蓄えられた電気量の情報を、シリアル I/F 10を介して外部機器に出力する。

【0131】

満充電に近づいて充電電流 I_c が低下した場合など、MOSFET 23に流れる検出電流 I_{cr} が非常に小さくなる。そのため、測定精度が低下するおそれがある。したがって、CPU 9は、充電電流 I_c が所定の値（CPU 9内または外部の記憶部に記憶）以下となった場合、FET制御部 11に検出電流の経路の変更を指示する。FET制御部 11は、Hレベルのゲート制御信号 31とLレベルのゲート制御信号 29を電池保護FET回路 5bへ出力する。Hレベルのゲート制御信号 31により、MOSFET 25がONとなる。Lレベルのゲート制御信号 29により、MOSFET 23がOFFとなる。ただし、ゲート制御信号 27とゲート制御信号 31とは同電位とする。これにより、MOSFET 21とMOSFET 25とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET 21の単位セル数とMOSFET 25の単位セル数との比を $20000:200$ とする。その場合、MOSFET 21に流れる充電電流 I_c の $200/20000$ の検出電流 I_{cr} が、電流制御回路 44経由で電流検出抵抗 R_{19} に流れる。ADC 15は、電流検出抵抗 R_{19} の両端の電圧 V_{cr} を読み取り（アナログ信号）、その結果をデジタル信号に変換してCPU 9へ出力する。CPU 9は、充電電流 I_c を算出（ $I_c = V_{cr} / R_{19} \times 20000 / 200$ ）し、その充電電流 I_c を積算することで、二次電池に蓄えられた電気量を算出する。そして、CPU 9は、その蓄えられた電気量を、放電時に残された電気量（CPU 9内または外部の記憶部に記憶）に加えることで二次電池 2の残量を算出する。CPU 9は、その算出された二次電池 2の残量の情報を、シリアル I/F 10を介して外部機器に出力する。

【0132】

充電電流 I_c が更に低下して他の所定の値（CPU 9内または外部の記憶部に記憶）以下となった場合、CPU 9は、FET制御部 11に検出電流の経路の追加を指示する。FET制御部 11は、Hレベルのゲート制御信号 29およびゲート制御信号 31を電池保護FET回路 5bへ出力する。Hレベルのゲート制御信号 29により、MOSFET 23がONとなる。Hレベルのゲート制御信号 31により、MOSFET 25がONとなる。ただし、ゲート制御信号 27とゲート制御信号 28とゲート制御信号 31とは同電位とする。これにより、MOSFET 21とMOSFET 23とMOSFET 25とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET 21の単位セル数とMOSFET 23の単位セル数とMOSFET 25の単位セル数との比は $20000:100:200$ である。その場合、MOSFET 21に流れる充電電流 I_c の $300/20000$ の検出電流 I_{cr} が、電流制御回路 44経由で電流検出抵抗 R_{19} に流れる。ADC 15は、電流検出抵抗 R_{19} の両端の電圧 V_{cr} を読み取り（アナログ信号）、その結果をデジタル信号に変換してCPU 9へ出力する。CPU 9は、充電電流 I_c を算出（ $I_c = V_{cr} / R_{19} \times 20000 / (200 + 100)$ ）し、その充電電流 I_c を積算することで、二次電池に蓄えられた電気量を算出する。そして、CPU 9は、その蓄えられた電気量を、放電時に残された電気量（CPU 9内または外部の記憶部に記憶）に加えることで二次電池 2の残量を算出する。CPU 9は、その算出された二次電池 2の残量の情報を、シリアル I/F 10を介して外部機器に出力する。

【0133】

このように、本実施の形態では、充電電流検出用のMOSFET 23に加えて、充電電流検出用のMOSFET 25をMOSFET 23と並列に設けている。MOSFET 25の単位セル数とMOSFET 23と単位セル数とは異なるように設定されている。その結

果、充電電流 I_c を検出するとき、充電電流 I_c が大きい場合には MOSFET 23 のみからの検出電流 I_{cr} を用いて計測し、充電電流 I_c が小さい場合には MOSFET 23 および／または MOSFET 25 からの検出電流 I_{cr} を用いて計測することができる。すなわち、充電電流 I_c の大きさに応じて検出電流比率 (I_{cr} / I_c) を変更することにより（この場合、 $2^2 - 1 = 3$ 通り）、その充電電流 I_c を検出するための検出範囲を選択することができる。その結果、充電電流 I_c の大きさに関わらず、精度の高い検出を行うことが可能となる。

【0134】

また、過電流や充電十分（満充電）の動作については、第1の実施の形態と同様であるのでその説明を省略する。

【0135】

以上のようにして、本実施の形態に係る電池保護システムを適用した電池パックは動作する。

【0136】

なお、本実施の形態では、放電電流検出用として一つの MOSFET 24 を追加しているが、更に多くの MOSFET を追加しても良い。例えば、放電電流検出用に MOSFET 26 を更に追加する場合、その MOSFET 26 は以下のような構成とする。MOSFET 26 は、単位セル比が MOSFET 22、24 と異なり、ドレインは MOSFET 22、24 と共通であり、ソースは電流制御回路 43 に接続し、ゲートが FET 制御部 11 に接続している。その場合、MOSFET 22、24、26 のうち、MOSFET 22 のみ、MOSFET 24 のみ、MOSFET 26 のみのいずれかを用いることができる。更に、MOSFET 22 + MOSFET 24、MOSFET 22 + MOSFET 26、MOSFET 24 + MOSFET 26、MOSFET 22 + MOSFET 24 + MOSFET 26 のいずれかの組み合わせを用いることもできる。合計すると ($2^3 - 1 =$) 7 通りである。すなわち、($2^m - 1$) 通り (m は放電電流検出用の MOSFET の個数) の組み合わせが可能となる。そのようにすることで、更に電流を計測するための計測レンジ（範囲）を増やすことができ、更に精度の高い計測（検出）を行うことが可能となる。

【0137】

同様に、本実施の形態では、充電電流検出用として一つの MOSFET 25 を追加しているが、更に多くの MOSFET を追加しても良い。例えば、充電電流検出用に MOSFET 27 を更に追加する場合、その MOSFET 27 は以下のような構成とする。MOSFET 27 は、単位セル比が MOSFET 23、25 と異なり、ドレインは MOSFET 23、25 と共通であり、ソースは電流制御回路 44 に接続し、ゲートが FET 制御部 11 に接続している。その場合、MOSFET 23、25、27 のうち、MOSFET 23 のみ、MOSFET 25 のみ、MOSFET 27 のみのいずれかを用いることができる。更に、MOSFET 23 + MOSFET 25、MOSFET 23 + MOSFET 27、MOSFET 25 + MOSFET 27、MOSFET 23 + MOSFET 25 + MOSFET 27 のいずれかの組み合わせを用いることもできる。合計すると ($2^3 - 1 =$) 7 通りである。すなわち、($2^n - 1$) 通り (n は充電電流検出用の MOSFET の個数) の組み合わせが可能となる。そのようにすることで、更に電流を計測するための計測レンジ（範囲）を増やすことができ、更に精度の高い計測（検出）を行うことが可能となる。

【0138】

電流制御回路 43 や電流制御回路 44 の一例については、第1の実施の形態と同様（図4）であるので、その説明を省略する。また、電池保護システムを実装した保護基板の一例や電池保護システムを実装した電池パックの一例については、第1の実施の形態と同様（図5、図6）であるので、その説明を省略する。

【0139】

本実施の形態についても第1の実施の形態と同様の効果を得ることができる。

更に、本実施の形態では、検出（計測）する電流の大きさに応じて検出電流比率を切替えることができる。例えば、放電電流 I_d や充電電流 I_c が大電流の場合には検出電流比

10

20

30

40

50

率を $1/200$ とする。放電電流 I_d や充電電流 I_c が微少な電流の場合には検出電流比率を $2/200$ とする。放電電流 I_d や充電電流 I_c が更に微少な電流の場合には検出電流比率を $3/200$ とする。それにより、広い検出範囲において、放電電流 I_d や充電電流 I_c を正確に検出することが可能となる。また、図15では1組の制御用MOSFETと2組の電流検出用MOSFETで回路を構成しているが、電流検出用MOSFETを2組より多い N 組用いることで、 $(2^N - 1)$ 通りの電流比率が可能となり、より広い範囲の電流検出を行うことができる。この場合、第2の実施の形態と比較して、より狭い範囲を細かく切り替えて検出したい場合に有効である。

【0140】

(第1の変形例)

本変形例では、本変形例の電池パック1は、図15の電池パック1と比較すると、電流検出抵抗が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0141】

図17は、第3の実施の形態に係る電池保護システムを適用した電池パックの構成の第1の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4-2aと電池保護FET回路5bとを備えている。ただし、電流検出抵抗16、19はいずれも単独の素子としては実装されていない。電流検出抵抗16、19は、制御回路4-2aに内包されている。制御回路4-2aを一つの半導体チップとして設けると、電流検出抵抗16、19を内包することで、電流検出抵抗16、19のコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。なお、電池保護システム3を実装した保護基板3aの一例については、基本的に、第1の実施の形態に係る第1の変形例の電池保護システム3を実装した保護基板3aの一例(図8)と同じである。(ただし、制御回路4aと電池保護FET回路5の代わりに制御回路4-2aと電池保護FET回路5bを用いている)。したがって、その説明を省略する。

【0142】

この場合にも、図15～図16において説明された電池パック1の場合と同様の効果を得ることができる。

【0143】

(第2の変形例)

本変形例では、本変形例の電池パック1は、図15の電池パック1と比較すると、電流検出抵抗および電池保護FET回路が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0144】

図18は、第3の実施の形態に係る電池保護システムを適用した電池パックの構成の第2の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4-2bを備えている。ただし、電流検出抵抗16、19と電池保護FET回路5bとはいずれも単独の素子としては実装されていない。電流検出抵抗16、19および電池保護FET回路5bは、制御回路4-2bに内包されている。制御回路4-2bを一つの半導体チップとして設けると、電流検出抵抗16、19および電池保護FET回路5bを内包することで、電流検出抵抗16、19および電池保護FET回路5bのコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。なお、電池保護システム3を実装した保護基板3aの一例については、基本的に、第1の実施の形態に係る第2の変形例の電池保護システム3を実装した保護基板3aの一例(図10)と同じである。(ただし、制御回路4bと電池保護FET回路5の代わりに制御回路4-2bと電池保護FET回路5bを用いている。)したがって、その説明を省略する。

【0145】

この場合にも、図15～図16において説明された電池パック1の場合と同様の効果を

10

20

30

40

50

得ることができる。

【0146】

(第4の実施の形態)

第4の実施の形態に係る電池保護システムを適用した電池パックの構成について説明する。本実施の形態は、第1の実施の形態と比較して、電池保護FET回路、電流制限回路、ADCの構成およびその制御方法が相違している。以下では、その相違点について主に説明する。

【0147】

図19は、第4の実施の形態に係る電池保護システムを適用した電池パックの構成の一例を示すブロック図である。この電池パック1において、電池保護FET回路5cの構成は、第1の実施の形態の電池保護FET回路5と相違している。

10

【0148】

電池保護FET回路5cは、制御回路4-3の制御に基づいて、二次電池2の充放電を制御し、二次電池2を異常から保護する。電池保護FET回路5cは、一つの半導体チップとして設けられていてもよい。電池保護FET回路5cは、MOSFET20、MOSFET21、MOSFET22、MOSFET23、MOSFET24、MOSFET25を備えている。

【0149】

MOSFET20は、放電制御用のMOSFETであり、放電時に放電電流Idが流れる電源経路のON/OFFを行う。MOSFET22は、放電電流検出用のMOSFETであり、放電電流Idに対応した検出電流Idr1を出力する。MOSFET24は、放電電流検出用のMOSFETであり、放電電流Idに対応した検出電流Idr2を出力する。ただし、放電電流Id>>MOSFET24による検出電流Idr2>MOSFET22による検出電流Idr1である。MOSFET20とMOSFET22とMOSFET24とは、ドレインおよびゲートが共通に接続されている。MOSFET20、22、24は、それぞれ、ソースを、端子を介して外部配線と接続可能である。MOSFET20のソースは二次電池2の負極に接続される。MOSFET22のソースは、制御回路4-3を介して電流検出抵抗16に接続される。MOSFET24のソースは、制御回路4-3を介して電流検出抵抗17に接続される。MOSFET20とMOSFET22とMOSFET24のゲートは、FET制御部11に接続される。MOSFET20の単位セル数とMOSFET24の単位セル数とMOSFET22の単位セル数とは、MOSFET20の単位セル数>>MOSFET24の単位セル数>MOSFET22の単位セル数とする。単位セル数の比でいれば、大：中：小、とする。その理由は第2の実施の形態と同様である。MOSFET20の単位セル数とMOSFET24の単位セル数とMOSFET22の単位セル数との比は、例えば、20000対200対1とする。なお、単セル数の比に代えて、ゲート幅（またはチャンネル幅）の比であっても良い。

20

30

【0150】

MOSFET21は、充電制御用のMOSFETであり、充電時に充電電流Icが流れる電源経路のON/OFFを行う。MOSFET23は、充電電流検出用のMOSFETであり、充電電流Icに対応した検出電流Icr1を出力する。MOSFET25は、充電電流検出用のMOSFETであり、充電電流Icに対応した検出電流Icr2を出力する。ただし、充電電流Ic>>MOSFET25による検出電流Icr2>MOSFET23による検出電流Icr1である。MOSFET21とMOSFET23とMOSFET25とは、ドレインおよびゲートが共通に接続されている。MOSFET21、23、25は、それぞれ、ソースを、端子を介して外部配線と接続可能である。MOSFET21のソースは端子7に接続される。MOSFET23のソースは、制御回路4-3を介して電流検出抵抗19に接続される。MOSFET25のソースは、制御回路4-3を介して電流検出抵抗18に接続される。MOSFET21とMOSFET23とMOSFET

40

50

25のゲートは、FET制御部11に接続される。MOSFET21の単位セル数とMOSFET25の単位セル数とMOSFET23の単位セル数とは、MOSFET21の単位セル数>>MOSFET25の単位セル数>MOSFET23の単位セル数とする。単位セル数の比でいけば、大：中：小、とする。その理由は第2の実施の形態と同様である。MOSFET21の単位セル数とMOSFET25の単位セル数とMOSFET23の単位セル数との比は、例えば、20000対200対1とする。なお、単セル数の比に代えて、ゲート幅（またはチャンネル幅）の比であっても良い。

【0151】

制御回路4-3は、電流制御回路43-1および電流制御回路43-2と、電流制御回路44-1および電流制御回路44-2と、ADC12、13、14、15を備えている。

10

【0152】

電流制御回路43-1は、電源経路（MOSFET20のソース）と、MOSFET22のソースと、電流検出抵抗16の一端にそれぞれ接続されている。MOSFET20のソースと、MOSFET22のソースとが等電位になるように、検出電流 I_{dr1} をMOSFET22から電流検出抵抗16へ流す。電流制御回路43-2は、電源経路（MOSFET20のソース）と、MOSFET24のソースと、電流検出抵抗17の一端にそれぞれ接続されている。MOSFET20のソースと、MOSFET24のソースとが等電位になるように、検出電流 I_{dr2} をMOSFET24から電流検出抵抗17へ流す。

【0153】

20

電流制御回路44-1は、電源経路（MOSFET21のソース）と、MOSFET23のソースと、電流検出抵抗19の一端にそれぞれ接続されている。MOSFET21のソースと、MOSFET23のソースとが等電位になるように、検出電流 I_{cr1} をMOSFET23から電流検出抵抗19へ流す。電流制御回路44-2は、電源経路（MOSFET21のソース）と、MOSFET25のソースと、電流検出抵抗18の一端にそれぞれ接続されている。MOSFET21のソースと、MOSFET25のソースとが等電位になるように、検出電流 I_{cr2} をMOSFET25から電流検出抵抗18へ流す。

【0154】

ADC12は、検出電流 I_{dr1} が流れたときの電流検出抵抗16の電位（アナログ）をデジタルへ変換し、CPU9へ出力する。ADC12は、放電電流の検出用ADCであり、放電電流検出用のMOSFET22に対応して設けられている。電流検出抵抗16に対応して設けられている。ADC13は、検出電流 I_{dr2} が流れたときの電流検出抵抗17の電位（アナログ）をデジタルへ変換し、CPU9へ出力する。ADC13は、放電電流の検出用ADCであり、放電電流検出用のMOSFET24に対応して設けられている。電流検出抵抗17に対応して設けられている。

30

【0155】

ADC15は、検出電流 I_{cr1} が流れたときの電流検出抵抗19の電位（アナログ）をデジタルへ変換し、CPU9へ出力する。ADC15は、充電電流の検出用ADCであり、充電電流検出用のMOSFET23に対応して設けられている。電流検出抵抗19に対応して設けられている。ADC14は、検出電流 I_{cr2} が流れたときの電流検出抵抗18の電位（アナログ）をデジタルへ変換し、CPU9へ出力する。ADC14は、充電電流の検出用ADCであり、充電電流検出用のMOSFET25に対応して設けられている。電流検出抵抗18に対応して設けられている。

40

【0156】

制御回路4-3のFET制御部11は、電池保護FET回路5cのMOSFET20、MOSFET22、MOSFET24、MOSFET21、MOSFET23およびMOSFET25のゲートに接続されている。CPU9の制御に基づいて、電池保護FET回路5cの各MOSFETのゲート電圧を制御して、それら各MOSFETをON/OFFする。

【0157】

50

電流検出抵抗16の一端は、電流制御回路43-1を介して電池保護FET回路5cのMOSFET22のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗16の一端および他端はそれぞれADC12に接続されている。電流検出抵抗16は、放電電流の検出用抵抗であり、放電電流検出用のMOSFET22に対応して設けられている。電流検出抵抗17の一端は、電流制御回路43-2を介して電池保護FET回路5cのMOSFET24のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗17の一端および他端はそれぞれADC13に接続されている。電流検出抵抗17は、放電電流の検出用抵抗であり、放電電流検出用のMOSFET24に対応して設けられている。

【0158】

電流検出抵抗19の一端は制御回路4-3の電流制御回路44-1を介して電池保護FET回路5cのMOSFET23のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗19の一端および他端はそれぞれADC15に接続されている。電流検出抵抗19は、充電電流の検出用抵抗であり、充電電流検出用のMOSFET23に対応して設けられている。電流検出抵抗18の一端は制御回路4-3の電流制御回路44-2を介して電池保護FET回路5cのMOSFET25のソースに、他端はGNDにそれぞれ接続されている。更に、電流検出抵抗18の一端および他端はそれぞれADC14に接続されている。電流検出抵抗18は、充電電流の検出用抵抗であり、充電電流検出用のMOSFET25に対応して設けられている。

【0159】

電流検出抵抗16～19はそれぞれ単独の素子として設けられていても良い。

【0160】

その他の構成については、第1の実施の形態と同様であるのでその説明を省略する。

【0161】

図20は、図19における電池保護FET回路5cの構成の一例を示す平面図である。ここで、領域165は、例えば、充電制御用のMOSFET21および充電電流検出用のMOSFET23、25に対応している。領域166は、放電制御用のMOSFET20および放電電流検出用のMOSFET22、24に対応している。領域165と領域166とは、図面の中心に対して点対称で、同じ構成を有しているので、以下では、領域165について主に説明する。

【0162】

領域165は、等電位リング113で囲まれている。第1の実施の形態と比較して、本実施の形態では、領域165には、ゲートの共通なMOSFET25が追加されて、MOSFET21、23、25が設けられている。ゲート配線111で囲まれた領域の複数のMOSFETが、充電制御用のMOSFET21および充電電流検出用のMOSFET23、25を構成する。例えば、ゲート配線111で囲まれた領域内の所定の面積の部分のMOSFETをMOSFET23とし、ゲート配線111で囲まれた領域内におけるMOSFET23より広い所定の面積の部分のMOSFETをMOSFET25とする。そして、ゲート配線111で囲まれた領域内の残りの部分のMOSFETをMOSFET21とする。MOSFET21、23の各単位セルの断面は図3におけるMOSFET21、23の各単位セルの断面と同じである。MOSFET25の単位セルの断面は図3におけるMOSFET23の単位セルの断面と同じである。このとき、MOSFET23の面積（単位セル数に相当）と、MOSFET25の面積（単位セル数に相当）と、MOSFET21の面積（単位セル数に相当）との比が、例えば100対200対20000とすることができる。

【0163】

MOSFET23のソースはコンタクトを介してソース電極117aに接続されている。そのソース電極117aは、ソース端子105aに接続されている。MOSFET25のソースはコンタクトを介してソース電極117bに接続されている。そのソース電極117bは、ソース端子105bに接続されている。一方、MOSFET21のソースはコ

10

20

30

40

50

ンタクトを介してソース電極 115 に接続されている。そのソース電極 115 は、ソース端子 103 に接続されている。MOSFET 21、MOSFET 23 および MOSFET 25 のゲートは、コンタクトを介してゲート配線 111 に接続されている。そのゲート配線 111 は、ゲート端子 101 に接続されている。なお、ドレイン電極は、MOSFET 21、23、25 に共通であり、半導体チップの裏側に設けられている。

【0164】

なお、領域 166 は、等電位リング 114 で囲まれている。領域 166 には、放電制御用の MOSFET 20 および放電電流検出用の MOSFET 22、24 のゲート配線 112 およびゲート端子 102 が設けられている。更に、MOSFET 20 のソース電極 116 およびソース端子 104 と、MOSFET 22 のソース電極 118a およびソース端子 106a と、MOSFET 24 のソース電極 118b およびソース端子 106b とが設けられている。なお、ドレイン電極は、MOSFET 20、22、24 および MOSFET 21、23、25 に共通であり、半導体チップの裏側に設けられている。

【0165】

本実施の形態においても、第 1 の実施の形態と同様に、CSP タイプの構成を採用しているため、MOSFET のオン抵抗を低く抑えることができる。また、各 MOSFET のドレイン電極を表面に設ける必要がないので、有効セル面積が大きくなり、チップサイズが大きくなるなどの問題が生じない。

また、本実施の形態は、8 端子が等間隔に方形に配置された CSP タイプの半導体チップとなっている。図 12 と同様、8 端子が半導体チップの 4 辺に沿って配置されるので、それぞれの端子に対応する保護基板 3a 側の配線のレイアウトがし易くなる。

【0166】

次に、本実施の形態に係る電池保護システムを適用した電池パックの動作について説明する。

まず、電池パックの放電状態について説明する。端子 6 および端子 7 には負荷（図示されず）が接続される。CPU 9 は、FET 制御部 11 に放電経路の接続を指示する。FET 制御部 11 は、H レベルのゲート制御信号 26 を電池保護 FET 回路 5c へ出力する。H レベルのゲート制御信号 26 により MOSFET 20、22、24 が ON となる。更に、H レベルのゲート制御信号 27 により MOSFET 21、23、25 が ON となる。それにより、二次電池 2 と端子 7 との間の放電経路がつながり、放電電流 I_d が図 19 の矢印の方向に流れる。すなわち、二次電池 2 は放電状態となる。

【0167】

このとき、電流制御回路 43-1 は、MOSFET 20 のソース電圧と MOSFET 22 のソース電圧とが等しくなるように動作する。MOSFET 20 と MOSFET 22 とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET 20 の単位セル数と MOSFET 22 の単位セル数の比とを 20000 : 1 とする。その場合、MOSFET 20 に流れる放電電流 I_d の $1/20000$ の検出電流 I_{dr1} が、MOSFET 22 および電流制御回路 43-1 経由で電流検出抵抗 R_{16} に流れる。ADC 12 は、電流検出抵抗 R_{16} の両端の電圧 V_{dr1} を読み取り（アナログ信号）、その結果をデジタル信号に変換して CPU 9 へ出力する。CPU 9 は、放電電流 I_d を算出（ $I_d = V_{dr1} / R_{16} \times 20000$ ）する。一方、電流制御回路 43-2 は、MOSFET 20 のソース電圧と MOSFET 24 のソース電圧とが等しくなるように動作する。MOSFET 20 と MOSFET 24 とはドレインとゲートが共通となるため、カレントミラー回路として動作する。ここで、MOSFET 20 の単位セル数と MOSFET 24 の単位セル数の比とを 20000 : 200 とする。その場合、MOSFET 20 に流れる放電電流 I_d の $1/100$ の検出電流 I_{dr2} が、MOSFET 24 および電流制御回路 43-2 経由で電流検出抵抗 R_{17} に流れる。ADC 13 は、電流検出抵抗 R_{17} の両端の電圧 V_{dr2} を読み取り（アナログ信号）、その結果をデジタル信号に変換して CPU 9 へ出力する。CPU 9 は、放電電流 I_d を算出（ $I_d = V_{dr2} / R_{17} \times 20000 / 200$ ）する。ADC 12 の値に基づく放電電流 I_d と ADC 13 の値に基

づく放電電流 I_d とは、誤差の大小はあるが概ね同じ値となる。CPU 9 は、それら放電電流 I_d に基づいて、放電電流 I_d が大電流の場合（所定の値（CPU 9 内または外部の記憶部に記憶）よりも大きい場合）、ADC 12 の値に基づく放電電流 I_d を採用する。一方、放電電流 I_d が小電流の場合（その所定の値よりも小さい場合）、ADC 13 の値に基づく放電電流 I_d を採用する。CPU 9 は、その放電電流 I_d を積算することで、使用された電気量を算出する。そして、CPU 9 は、その使用された電気量を、充電時に蓄えられた電気量（CPU 9 内または外部の記憶部に記憶）から差し引くことで二次電池 2 の残量を算出する。CPU 9 は、算出された二次電池 2 の残量の情報を、シリアル I F 10 を介して外部機器に出力する。

【0168】

このように、本実施の形態では、放電電流検出用の MOSFET 22 に加えて、放電電流検出用の MOSFET 24 を MOSFET 22 と並列に設けている。MOSFET 24 の単位セル数と MOSFET 22 と単位セル数とは異なるように設定されている。その結果、放電電流 I_d を検出するとき、放電電流 I_d が大きい場合には MOSFET 22 からの検出電流 I_{dr1} を用いて計測し、放電電流 I_d が小さい場合には MOSFET 24 からの検出電流 I_{dr2} を用いて計測することができる。すなわち、放電電流 I_d の大きさに応じて検出電流比率（ I_{dr} / I_d ）を変更することにより、その放電電流 I_d を検出するための検出範囲を選択することができる。その結果、放電電流 I_d の大きさに関わらず、精度の高い検出を行うことが可能となる。

【0169】

また、過電流や残量不足の動作については、第 1 の実施の形態と同様であるのでその説明を省略する。

【0170】

次に、電池パックの充電状態について説明する。二次電池 2 の正極側の端子 6 には充電器（図示されず）の正極側が、二次電池 2 の負極側の端子 7 には充電器の負側が接続される。CPU 9 は、FET 制御部 11 に充電経路の接続を指示する。FET 制御部 11 は、H レベルのゲート制御信号 26 およびゲート制御信号 27 を電池保護 FET 回路 5c へ出力する。H レベルのゲート制御信号 26 により MOSFET 20、22、24 が ON となる。更に、H レベルのゲート制御信号 27 により MOSFET 21、23、25 が ON となる。それにより、二次電池 2 と端子 7 との間の充電経路がつながり、充電電流 I_c が図 19 の矢印の方向に流れる。すなわち、二次電池 2 は充電状態となる。

【0171】

このとき、電流制御回路 44-1 は、MOSFET 21 のソース電圧と MOSFET 23 のソース電圧とが等しくなるように動作する。MOSFET 21 と MOSFET 23 とはドレインとゲートが共通であるため、カレントミラー回路として動作する。ここで、MOSFET 21 の単位セル数と MOSFET 23 の単位セル数の比とを 20000 : 1 とする。その場合、MOSFET 21 に流れる充電電流 I_c の $1 / 20000$ の検出電流 I_{cr1} が、MOSFET 23 および電流制御回路 44-1 経由で電流検出抵抗 R19 に流れる。ADC 15 は、電流検出抵抗 R19 の両端の電圧 V_{cr1} を読み取り（アナログ信号）、その結果をデジタル信号に変換して CPU 9 へ出力する。CPU 9 は、充電電流 I_c を算出（ $I_c = V_{cr1} / R19 \times 20000$ ）する。一方、電流制御回路 44-2 は、MOSFET 21 のソース電圧と MOSFET 25 のソース電圧とが等しくなるように動作する。MOSFET 21 と MOSFET 25 とはドレインとゲートが共通であるため、カレントミラー回路として動作する。ここで、MOSFET 21 の単位セル数と MOSFET 25 の単位セル数の比とを 20000 : 200 とする。その場合、MOSFET 21 に流れる充電電流 I_c の $1 / 100$ の検出電流 I_{cr2} が、MOSFET 25 および電流制御回路 44-2 経由で電流検出抵抗 R18 に流れる。ADC 14 は、電流検出抵抗 R18 の両端の電圧 V_{cr2} を読み取り（アナログ信号）、その結果をデジタル信号に変換して CPU 9 へ出力する。CPU 9 は、充電電流 I_c を算出（ $I_c = V_{cr2} / R18 \times 20000 / 200$ ）する。ADC 15 の値に基づく充電電流 I_c と ADC 14 の値に基

づく充電電流 I_c とは、誤差の大小はあるが概ね同じ値となる。CPU 9 は、それら充電電流 I_c に基づいて、充電電流 I_c が大電流の場合（所定の値（CPU 9 内または外部の記憶部に記憶）よりも大きい場合）、ADC 15 の値に基づく充電電流 I_c を採用する。一方、充電電流 I_c が小電流の場合（その所定の値よりも小さい場合）、ADC 14 の値に基づく充電電流 I_c を採用する。CPU 9 は、その充電電流 I_c を積算することで、蓄えられた電気量を算出する。そして、CPU 9 は、その蓄えられた電気量を、放電時に残された電気量（CPU 9 内または外部の記憶部に記憶）に加えることで二次電池 2 の残量を算出する。CPU 9 は、その算出された二次電池 2 の残量の情報を、シリアル I F 10 を介して外部機器に出力する。

【0172】

このように、本実施の形態では、充電電流検出用の MOSFET 23 に加えて、充電電流検出用の MOSFET 25 を MOSFET 23 と並列に設けている。MOSFET 25 の単位セル数と MOSFET 23 と単位セル数とは異なるように設定されている。その結果、充電電流 I_c を検出するとき、充電電流 I_c が大きい場合には MOSFET 23 からの検出電流 I_{cr1} を用いて計測し、充電電流 I_c が小さい場合には MOSFET 25 からの検出電流 I_{cr2} を用いて計測することができる。すなわち、充電電流 I_c の大きさに応じて検出電流比率（ I_{cr}/I_c ）を変更することにより、その充電電流 I_c を検出するための検出範囲を選択することができる。その結果、充電電流 I_c の大きさに関わらず、精度の高い検出を行うことが可能となる。

【0173】

また、過電流や充電十分（満充電）の動作については、第 1 の実施の形態と同様であるのでその説明を省略する。

【0174】

以上のようにして、本実施の形態に係る電池保護システムを適用した電池パックは動作する。

【0175】

なお、本実施の形態では、放電電流検出用として一つの MOSFET 24 を追加しているが、更に多くの MOSFET を追加しても良い。例えば、放電電流検出用に MOSFET 26 を更に追加する場合、その MOSFET 26 は以下のような構成とする。MOSFET 26 は、単位セル比が MOSFET 22、24 と異なり、ドレインおよびゲートは MOSFET 22、24 と共通であり、ソースは新規に追加の電流制御回路 43-3 経由で新規に追加の電流検出抵抗 R に接続している。その場合、MOSFET 22、24、26 のうち、MOSFET 22 のみ、MOSFET 24 のみ、MOSFET 26 のみのいずれかを用いることができる。そのようにすることで、放電電流 I_d の大きさに応じて検出電流比率（ I_{dr}/I_d ）を変更することができ、更に電流を計測するための計測レンジ（範囲）を増やすことができ、更に精度の高い計測（検出）を行うことが可能となる。

【0176】

同様に、本実施の形態では、充電電流検出用として一つの MOSFET 25 を追加しているが、更に多くの MOSFET を追加しても良い。例えば、充電電流検出用に MOSFET 27 を更に追加する場合、その MOSFET 27 は以下のような構成とする。MOSFET 27 は、単位セル比が MOSFET 23、25 と異なり、ドレインおよびゲートは MOSFET 23、25 と共通であり、ソースは新規に追加の電流制御回路 44-3 経由で新規に追加の電流検出抵抗 R に接続している。その場合、MOSFET 23、25、27 のうち、MOSFET 23 のみ、MOSFET 25 のみ、MOSFET 27 のみのいずれかを用いることができる。そのようにすることで、充電電流 I_c の大きさに応じて検出電流比率（ I_{cr}/I_c ）を変更することができ、更に電流を計測するための計測レンジ（範囲）を増やすことができ、更に精度の高い計測（検出）を行うことが可能となる。

【0177】

電流制御回路 43 や電流制御回路 44 の一例については、第 1 の実施の形態と同様（図 4）であるので、その説明を省略する。また、電池保護システムを実装した保護基板の一

10

20

30

40

50

例や電池保護システムを実装した電池パックの一例については、第1の実施の形態と同様（図5、図6）であるので、その説明を省略する。

【0178】

本実施の形態についても第1の実施の形態と同様の効果を得ることができる。

更に、本実施の形態では、第2の実施の形態と同様の効果を得ることができる。特に、第2の実施の形態において、電流比率を切り替える際に電流検出用MOSFETのON/OFF動作による電流積算量の誤差の影響が考えられる場合、本実施の形態を用いることが好ましい。本実施の形態では、電流検出用のMOSFET 22、24、23、25が常にONしているので、電流比率を切り替える際にそれら電流検出用MOSFETのON/OFF動作がなく、電流積算量の誤差が生じないからである。

10

【0179】

（第1の変形例）

本変形例では、本変形例の電池パック1は、図19の電池パック1と比較すると、電流検出抵抗が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0180】

図21は、第4の実施の形態に係る電池保護システムを適用した電池パックの構成の第1の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4-3aと電池保護FET回路5cとを備えている。ただし、電流検出抵抗16~19はいずれも単独の素子としては実装されていない。電流検出抵抗16~19は、制御回路4-3aに内包されている。制御回路4-3aを一つの半導体チップとして設けると、電流検出抵抗16~19を内包することで、電流検出抵抗16~19のコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。なお、電池保護システム3を実装した保護基板3aの一例については、基本的に、第1の実施の形態に係る第1の変形例の電池保護システム3を実装した保護基板3aの一例（図8）と同じである。（ただし、制御回路4aと電池保護FET回路5の代わりに制御回路4-3aと電池保護FET回路5cを用いている）。したがって、その説明を省略する。

20

【0181】

この場合にも、図19~図20において説明された電池パック1の場合と同様の効果を得ることができる。

30

【0182】

（第2の変形例）

本変形例では、本変形例の電池パック1は、図19の電池パック1と比較すると、電流検出抵抗および電池保護FET回路が制御回路に内包されている点で相違している。以下では、相違点について主に説明する。

【0183】

図22は、第4の実施の形態に係る電池保護システムを適用した電池パックの構成の第2の変形例を示すブロック図である。本変形例の電池保護システム3は制御回路4-3bを備えている。ただし、電流検出抵抗16~19と電池保護FET回路5cとはいずれも単独の素子としては実装されていない。電流検出抵抗16~19および電池保護FET回路5cは、制御回路4-3bに内包されている。制御回路4-3bを一つの半導体チップとして設けると、電流検出抵抗16~19および電池保護FET回路5cを内包することで、電流検出抵抗16~19および電池保護FET回路5cのコストを削減することができる。加えて、電池保護システム3の構成を簡便にすることができ、その製造を容易にすることができる。なお、電池保護システム3を実装した保護基板3aの一例については、基本的に、第1の実施の形態に係る第2の変形例の電池保護システム3を実装した保護基板3aの一例（図10）と同じである。（ただし、制御回路4bと電池保護FET回路5の代わりに制御回路4-3bと電池保護FET回路5cを用いている。）したがって、その説明を省略する。

40

50

【0184】

この場合にも、図19～図20において説明された電池パック1の場合と同様の効果を得ることができる。

【0185】

上記の実施の形態や実施例の一部または全部は、以下の付記のようにも記載され得るが、以下には限定されない。

(付記1)

充電制御用MOSFETと、

前記充電制御用MOSFETとドレインおよびゲートを共通にし、前記充電制御用MOSFETとセル比の異なる充電電流検出用MOSFETと、

10

前記充電制御用MOSFETとドレインを共通にした放電制御用MOSFETと、

前記放電制御用MOSFETとドレインおよびゲートを共通にし、前記放電制御用MOSFETとセル比の異なる放電電流検出用MOSFETと、

前記充電電流検出用MOSFETに対応して設けられた充電電流検出用抵抗と、

前記放電電流検出用MOSFETに対応して設けられた放電電流検出用抵抗と、

前記充電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記充電制御用MOSFETおよび前記充電電流検出用MOSFETのゲートに入力する制御信号を生成し、前記放電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記放電制御用MOSFETおよび前記放電電流検出用MOSFETのゲートに入力する制御信号を生成する制御回路と

20

を具備する

電池保護システム。

(付記2)

付記1に記載の電池保護システムにおいて、

前記制御回路は、

前記充電電流検出用MOSFETに対応して設けられ、前記充電電流検出用抵抗に接続された充電電流検出用ADC(Analog/Digital Converter)と

、前記放電電流検出用MOSFETに対応して設けられ、前記放電電流検出用抵抗に接続された放電電流検出用ADCと

30

を備える

電池保護システム。

(付記3)

付記2に記載の電池保護システムにおいて、

前記制御回路は、

前記充電電流検出用ADCおよび前記放電電流検出用ADCに接続された制御部を更に備え、

前記制御部は、前記充電制御用MOSFET、前記充電電流検出用MOSFET、前記放電制御用MOSFETおよび前記放電電流検出用MOSFETのゲートに接続されている

40

電池保護システム。

(付記4)

付記1に記載の電池保護システムにおいて、

前記充電制御用MOSFETと前記充電電流検出用MOSFETと前記放電制御用MOSFETと前記放電電流検出用MOSFETとが1チップに搭載されている

電池保護システム。

(付記5)

付記4に記載の電池保護システムにおいて、

前記1チップがCSP(Chip Size Package)の構成である

電池保護システム。

50

(付記 6)

付記 3 に記載の電池保護システムにおいて、
前記制御部と前記充電電流検出用 A D C と前記放電電流検出用 A D C と前記充電電流検出用抵抗と前記放電電流検出用抵抗とが 1 チップに搭載されている
電池保護システム。

(付記 7)

付記 3 に記載の電池保護システムにおいて、
前記制御部と前記充電電流検出用 A D C と前記放電電流検出用 A D C と前記充電電流検出用抵抗と前記放電電流検出用抵抗と前記充電制御用 M O S F E T と前記充電電流検出用 M O S F E T と前記放電制御用 M O S F E T と前記放電電流検出用 M O S F E T とが 1 チップに搭載されている
電池保護システム。

10

(付記 8)

付記 1 に記載の電池保護システムにおいて、
前記充電電流検出用 M O S F E T は、前記充電制御用 M O S F E T とセル比の異なる複数の M O S F E T を備え、
前記放電電流検出用 M O S F E T は、前記放電制御用 M O S F E T とセル比の異なる複数の M O S F E T を備える
電池保護システム。

20

(付記 9)

付記 8 に記載の電池保護システムにおいて、
前記充電電流検出用抵抗は、前記充電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられ、
前記放電電流検出用抵抗は、前記放電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられている
電池保護システム。

(付記 10)

付記 9 に記載の電池保護システムにおいて、
前記制御回路は、
前記充電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられ、前記充電電流検出用抵抗に接続された充電電流検出用 A D C (A n a l o g / D i g i t a l C o n v e r t e r) と、
前記放電電流検出用 M O S F E T の複数の M O S F E T に対応して設けられ、前記放電電流検出用抵抗に接続された放電電流検出用 A D C と
を更に備え、
前記充電電流検出用抵抗および前記充電電流検出用 A D C の組は 1 組であり、
前記放電電流検出用抵抗および前記放電電流検出用 A D C の組は 1 組である
電池保護システム。

30

(付記 11)

付記 8 に記載の電池保護システムにおいて、
前記充電電流検出用 M O S F E T は、第 1 M O S F E T と第 2 M O S F E T とを含み、
前記第 1 M O S F E T は、前記充電制御用 M O S F E T とドレインおよびゲートを共通にし、
前記第 2 M O S F E T は、前記充電制御用 M O S F E T とドレインを共通にし、前記第 1 M O S F E T とドレインおよびソースを共通にし、
前記放電電流検出用 M O S F E T は、第 3 M O S F E T と第 4 M O S F E T とを含み、
前記第 3 M O S F E T は、前記放電制御用 M O S F E T とドレインおよびゲートを共通にし、
前記第 4 M O S F E T は、前記放電制御用 M O S F E T とドレインを共通にし、前記第 3 M O S F E T とドレインおよびソースを共通にしている

40

50

電池保護システム。

(付記 1 2)

付記 8 に記載の電池保護システムにおいて、

前記充電電流検出用 MOS F E T は、第 1 MOS F E T と第 2 MOS F E T とを含み、
前記第 1 MOS F E T は、前記充電制御用 MOS F E T とドレインおよびゲートを共通にし、

前記第 2 MOS F E T は、前記充電制御用 MOS F E T とドレインを共通にし、前記第 1 MOS F E T とドレインおよびソースを共通にし、

前記放電電流検出用 MOS F E T は、第 3 MOS F E T と第 4 MOS F E T とを含み、
前記第 3 MOS F E T は、前記放電制御用 MOS F E T とドレインおよびゲートを共通にし、

前記第 4 MOS F E T は、前記放電制御用 MOS F E T とドレインを共通にし、前記第 3 MOS F E T とドレインおよびソースを共通にしている

電池保護システム。

(付記 1 3)

付記 8 に記載の電池保護システムにおいて、

前記充電電流検出用抵抗は、複数の抵抗を備え、

前記放電電流検出用抵抗は、複数の抵抗を備え、

前記充電電流検出用抵抗の複数の抵抗は、前記充電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられ、

前記放電電流検出用抵抗の複数の抵抗は、前記放電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられている

電池保護システム。

(付記 1 4)

付記 1 3 に記載の電池保護システムにおいて、

前記制御回路は、

前記充電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられ、前記充電電流検出用抵抗の複数の抵抗に接続された複数の充電電流検出用 A D C (A n a l o g / D i g i t a l C o n v e r t e r) と、

前記放電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられ、前記放電電流検出用抵抗の複数の抵抗に接続された複数の放電電流検出用 A D C と

を更に備え、

前記充電電流検出用抵抗および前記充電電流検出用 A D C の組は複数組であり、

前記放電電流検出用抵抗および前記放電電流検出用 A D C の組は複数組である

電池保護システム。

(付記 1 5)

付記 8 に記載の電池保護システムにおいて、

前記充電電流検出用 MOS F E T は、第 1 MOS F E T と第 2 MOS F E T とを含み、
前記第 1 MOS F E T は、前記充電制御用 MOS F E T とドレインおよびゲートを共通にし、

前記第 2 MOS F E T は、前記充電制御用 MOS F E T とドレインおよびゲートを共通にし、前記第 1 MOS F E T とドレインおよびゲートを共通にし、

前記放電電流検出用 MOS F E T は、第 3 MOS F E T と第 4 MOS F E T とを含み、
前記第 3 MOS F E T は、前記放電制御用 MOS F E T とドレインおよびゲートを共通にし、

前記第 4 MOS F E T は、前記放電制御用 MOS F E T とドレインおよびゲートを共通にし、前記第 3 MOS F E T とドレインおよびソースを共通にしている

電池保護システム。

(付記 1 6)

第 1 端子および第 2 端子に配線で接続された二次電池と、

10

20

30

40

50

前記配線の途中に設けられた電池保護システムとを具備し、

前記電池保護システムは、

前記第1端子にソースを接続された充電制御用MOSFETと、

前記充電制御用MOSFETとドレインおよびゲートを共通にし、前記充電制御用MOSFETとセル比の異なる充電電流検出用MOSFETと、

前記二次電池にソースを接続され、前記充電制御用MOSFETとドレインを共通にした放電制御用MOSFETと、

前記放電制御用MOSFETとドレインおよびゲートを共通にし、前記放電制御用MOSFETとセル比の異なる放電電流検出用MOSFETと、

10

前記充電電流検出用MOSFETに対応して設けられた充電電流検出用抵抗と、

前記放電電流検出用MOSFETに対応して設けられた放電電流検出用抵抗と

前記充電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記充電制御用MOSFETおよび前記充電電流検出用MOSFETのゲートに入力する制御信号を生成し、前記放電電流検出用抵抗の電圧値に基づくデジタル信号処理により、前記放電制御用MOSFETおよび前記放電電流検出用MOSFETのゲートに入力する制御信号を生成する制御回路と

を備える

電池パック。

(付記17)

20

付記16に記載の電池パックにおいて、

前記電池保護システムは、前記制御回路が、

前記充電電流検出用MOSFETに対応して設けられ、前記充電電流検出用抵抗に接続された充電電流検出用ADC(Analog/Digital Converter)と、

前記放電電流検出用MOSFETに対応して設けられ、前記放電電流検出用抵抗に接続された放電電流検出用ADCと

を更に備える

電池パック。

(付記18)

30

付記17に記載の電池パックにおいて、

前記電池保護システムは、

前記充電電流検出用ADCおよび前記放電電流検出用ADCに接続された制御部を更に備え、

前記制御部は、前記充電制御用MOSFET、前記充電電流検出用MOSFET、前記放電制御用MOSFETおよび前記放電電流検出用MOSFETのゲートに接続されている

電池パック。

(付記19)

付記16に記載の電池パックにおいて、

40

前記充電電流検出用MOSFETは、前記充電制御用MOSFETとセル比の異なる複数のMOSFETを備え、

前記放電電流検出用MOSFETは、前記放電制御用MOSFETとセル比の異なる複数のMOSFETを備える

電池パック。

(付記20)

付記19に記載の電池パックにおいて、

前記充電電流検出用抵抗は、前記充電電流検出用MOSFETの複数のMOSFETに対応して設けられ、

前記放電電流検出用抵抗は、前記放電電流検出用MOSFETの複数のMOSFETに

50

対応して設けられている

電池パック。

(付記 2 1)

付記 2 0 に記載の電池パックにおいて、

前記電池保護システムは、前記制御回路が、

前記充電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられ、前記充電電流検出用抵抗に接続された充電電流検出用 A D C (A n a l o g / D i g i t a l C o n v e r t e r) と、

前記放電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられ、前記放電電流検出用抵抗に接続された放電電流検出用 A D C と

10

を更に備え、

前記充電電流検出用抵抗および前記充電電流検出用 A D C の組は 1 組であり、

前記放電電流検出用抵抗および前記放電電流検出用 A D C の組は 1 組である

電池パック。

(付記 2 2)

付記 1 9 に記載の電池パックにおいて、

前記充電電流検出用 MOS F E T は、第 1 MOS F E T と第 2 MOS F E T とを含み、

前記第 1 MOS F E T は、前記充電制御用 MOS F E T とドレインおよびゲートを共通にし、

20

前記第 2 MOS F E T は、前記充電制御用 MOS F E T とドレインを共通にし、前記第 1 MOS F E T とドレインおよびソースを共通にし、

前記放電電流検出用 MOS F E T は、第 3 MOS F E T と第 4 MOS F E T とを含み、

前記第 3 MOS F E T は、前記放電制御用 MOS F E T とドレインおよびゲートを共通にし、

前記第 4 MOS F E T は、前記放電制御用 MOS F E T とドレインを共通にし、前記第 3 MOS F E T とドレインおよびソースを共通にしている

電池パック。

(付記 2 3)

付記 1 9 に記載の電池パックにおいて、

前記充電電流検出用 MOS F E T は、第 1 MOS F E T と第 2 MOS F E T とを含み、

30

前記第 1 MOS F E T は、前記充電制御用 MOS F E T とドレインおよびゲートを共通にし、

前記第 2 MOS F E T は、前記充電制御用 MOS F E T とドレインを共通にし、前記第 1 MOS F E T とドレインおよびソースを共通にし、

前記放電電流検出用 MOS F E T は、第 3 MOS F E T と第 4 MOS F E T とを含み、

前記第 3 MOS F E T は、前記放電制御用 MOS F E T とドレインおよびゲートを共通にし、

前記第 4 MOS F E T は、前記放電制御用 MOS F E T とドレインを共通にし、前記第 3 MOS F E T とドレインおよびソースを共通にしている

電池パック。

40

(付記 2 4)

付記 1 9 に記載の電池パックにおいて、

前記充電電流検出用抵抗は、複数の抵抗を備え、

前記放電電流検出用抵抗は、複数の抵抗を備え、

前記充電電流検出用抵抗の複数の抵抗は、前記充電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられ、

前記放電電流検出用抵抗の複数の抵抗は、前記放電電流検出用 MOS F E T の複数の MOS F E T に対応して設けられたている

電池パック。

(付記 2 5)

50

付記 24 に記載の電池パックにおいて、
前記電池保護システムは、前記制御回路が、
前記充電電流検出用 MOSFET の複数の MOSFET に対応して設けられ、前記充電電流検出用抵抗の複数の抵抗に接続された複数の充電電流検出用 ADC (Analog/Digital Converter) と、

前記放電電流検出用 MOSFET の複数の MOSFET に対応して設けられ、前記放電電流検出用抵抗の複数の抵抗に接続された複数の放電電流検出用 ADC と

を更に備え、

前記充電電流検出用抵抗および前記充電電流検出用 ADC の組は複数組であり、

前記放電電流検出用抵抗および前記放電電流検出用 ADC の組は複数組である

10

電池パック。

(付記 26)

付記 19 に記載の電池パックにおいて、

前記充電電流検出用 MOSFET は、第 1 MOSFET と第 2 MOSFET とを含み、

前記第 1 MOSFET は、前記充電制御用 MOSFET とドレインおよびゲートを共通にし、

前記第 2 MOSFET は、前記充電制御用 MOSFET とドレインおよびゲートを共通にし、前記第 1 MOSFET とドレインおよびゲートを共通にし、

前記放電電流検出用 MOSFET は、第 3 MOSFET と第 4 MOSFET とを含み、

前記第 3 MOSFET は、前記放電制御用 MOSFET とドレインおよびゲートを共通にし、

20

前記第 4 MOSFET は、前記放電制御用 MOSFET とドレインおよびゲートを共通にし、前記第 3 MOSFET とドレインおよびソースを共通にしている

電池パック。

(付記 27)

電池パックを準備するステップと、

前記電池パックは、

第 1 端子および第 2 端子に配線で接続された二次電池と、

前記配線の途中に設けられた電池保護システムと

を備え、

30

前記電池保護システムは、

前記第 1 端子にソースを接続された充電制御用 MOSFET と、

前記充電制御用 MOSFET とドレインおよびゲートを共通にし、前記充電制御用 MOSFET とセル比の異なる充電電流検出用 MOSFET と、

前記二次電池にソースを接続され、前記充電制御用 MOSFET とドレインを共通にした放電制御用 MOSFET と、

前記放電制御用 MOSFET とドレインおよびゲートを共通にし、前記放電制御用 MOSFET とセル比の異なる放電電流検出用 MOSFET と、

前記充電電流検出用 MOSFET して設けられた充電電流検出用抵抗と、

前記放電電流検出用 MOSFET して設けられた放電電流検出用抵抗と

40

を含み、

前記充電制御用 MOSFET、前記充電電流検出用 MOSFET および前記放電制御用 MOSFET をオンにするステップと、

前記充電電流検出用抵抗の第 1 電圧を計測するステップと、

前記第 1 電圧に基づいて、前記二次電池の充電電流を算出するステップと、

前記充電電流に基づいて、前記充電制御用 MOSFET および前記充電電流検出用 MOSFET のゲートに入力する制御信号を生成するステップと

を具備する

電池パックの動作方法。

(付記 28)

50

付記 27 に記載の電池パックの動作方法において、
 前記放電制御用 MOSFET、前記放電電流検出用 MOSFET および前記充電制御用 MOSFET をオンにするステップと、
 前記放電電流検出用抵抗の第 2 電圧を計測するステップと、
 前記第 2 電圧に基づいて、前記二次電池の放電電流を算出するステップと、
 前記放電電流に基づいて、前記放電制御用 MOSFET および前記放電電流検出用 MOSFET のゲートに入力する制御信号を生成するステップと
 を更に具備する
 電池パックの動作方法。

【0186】

10

以上、本発明者によってなされた発明を実施の形態および変形例に基づき具体的に説明したが、本発明は前記実施の形態および変形例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。また、各実施の形態および変形例の技術は、矛盾の発生しない限り他の実施の形態および変形例に適用可能である。

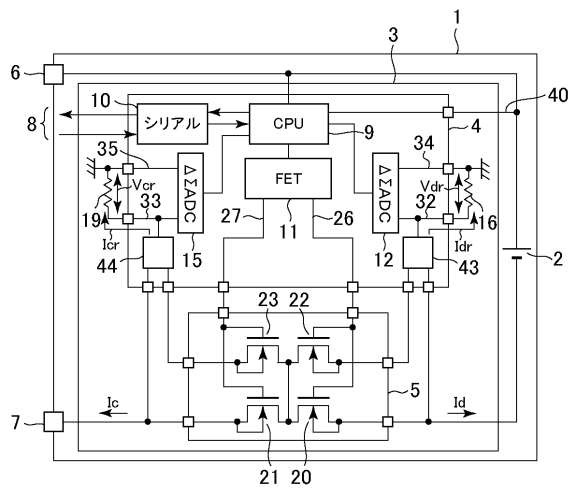
【符号の説明】

【0187】

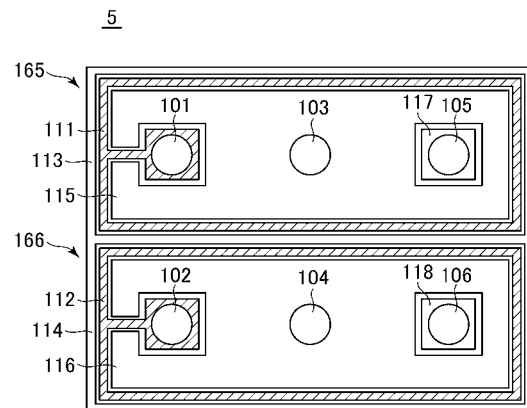
1 : 電池パック
 2 : 電池
 3 : 電池保護システム
 3a : 保護基板 20
 4、4a、4b、4-1、4-1a、4-1b、4-2、4-2a、4-2b、4-3
 : 制御回路
 5、5a、5b、5c : 電池保護 FET 回路
 6 : 端子
 7 : 端子
 8 : インターフェース入出力
 9 : CPU
 11 : FET 制御部
 12、13、14、15 : ADC
 16、17、18、19 : 電流検出抵抗 30
 20、21、22、23、24、25 : MOSFET
 26、27、28、29、30、31 : ゲート制御信号
 40 : 電池電圧
 43、43-1、43-2 : 電流制御回路
 43a : 演算増幅器
 43b : MOSFET
 44、44-1、44-2 : 電流制御回路
 44a : 演算増幅器
 44b : MOSFET
 101、102、107、107a、107b、108、108a、108b : ゲート 40
 端子
 103、104、105、105a、105b、106、106a、106b : ソース
 端子
 111、112、119、119a、119b、120、120a、120b : ゲート
 配線
 113、114 : 等電位リング
 115、116、117、117a、117b、118、118a、118b : ソース
 電極
 150 : 裏面電極
 151 : N⁺型半導体基板 50

- 152 : N型エピタキシャル層
- 153 : ゲート絶縁膜
- 154 : P層
- 155 : ゲート電極
- 156 : N⁺層
- 157 : 層間絶縁層
- 158 : コンタクト
- 159 : コンタクト
- 165 : 領域
- 166 : 領域

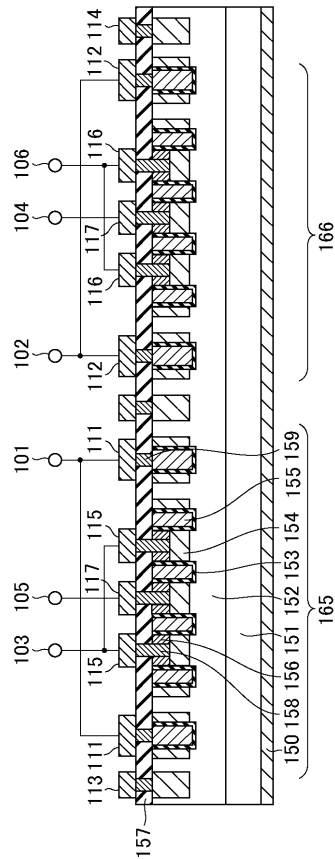
【図 1】



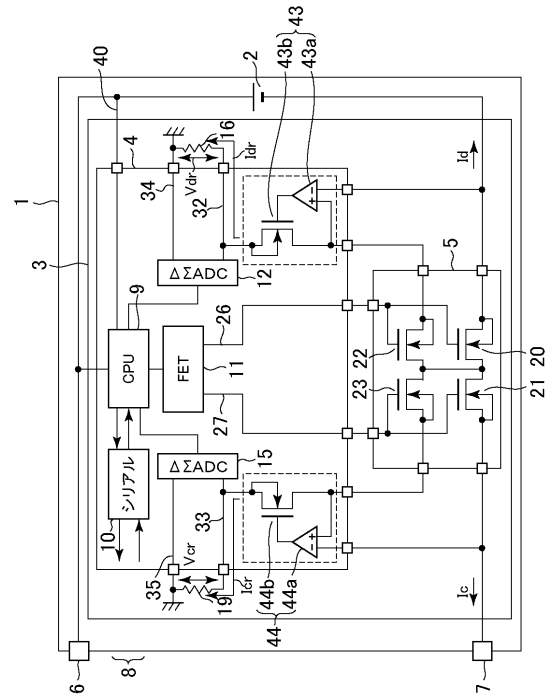
【図 2】



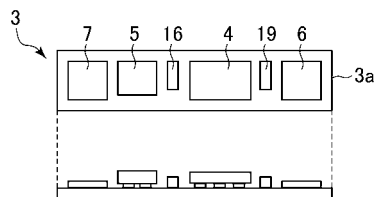
【図 3】



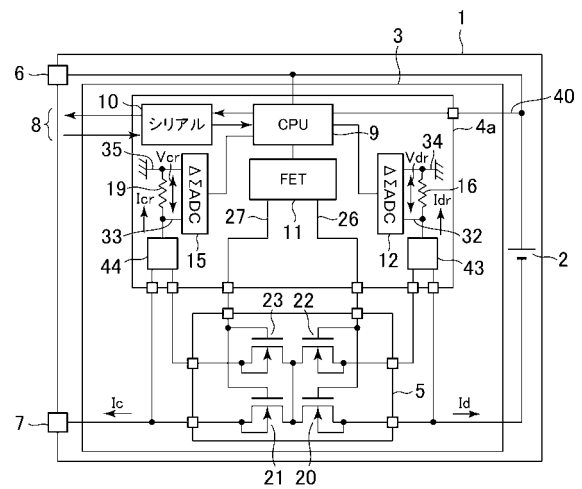
【図 4】



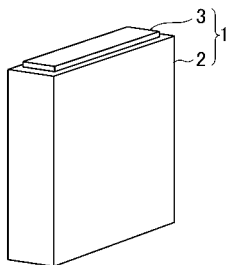
【図 5】



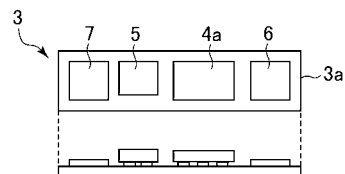
【図 7】



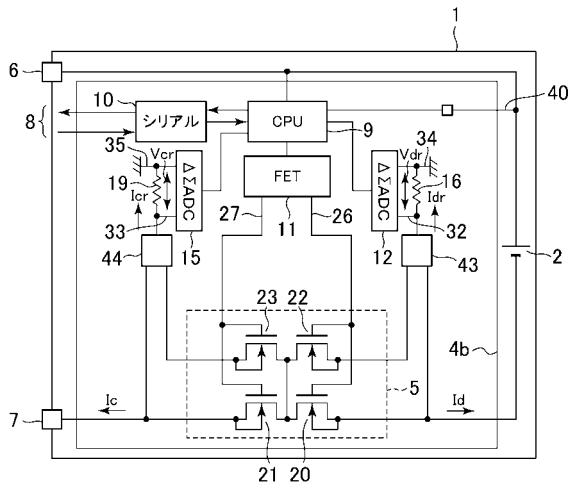
【図 6】



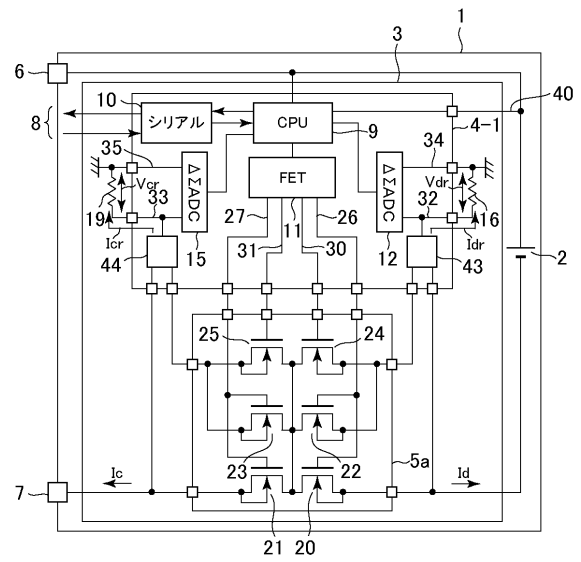
【図 8】



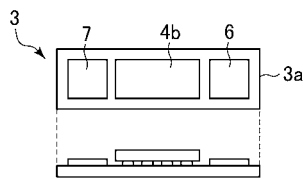
【図 9】



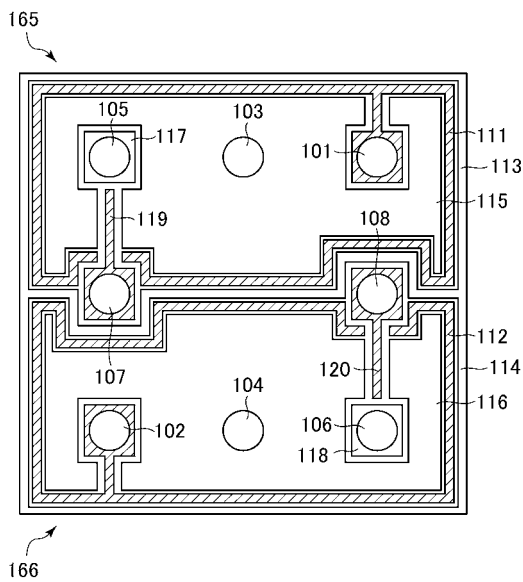
【図 11】



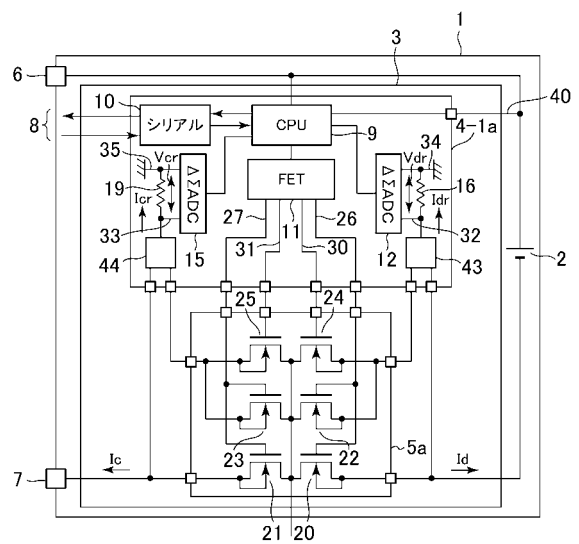
【図 10】



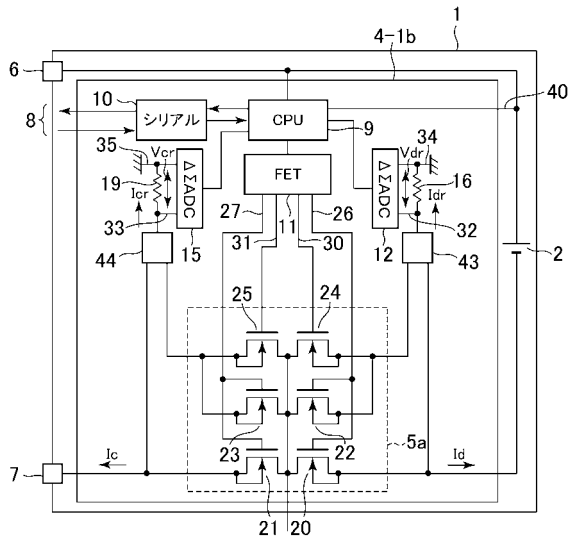
【図 12】



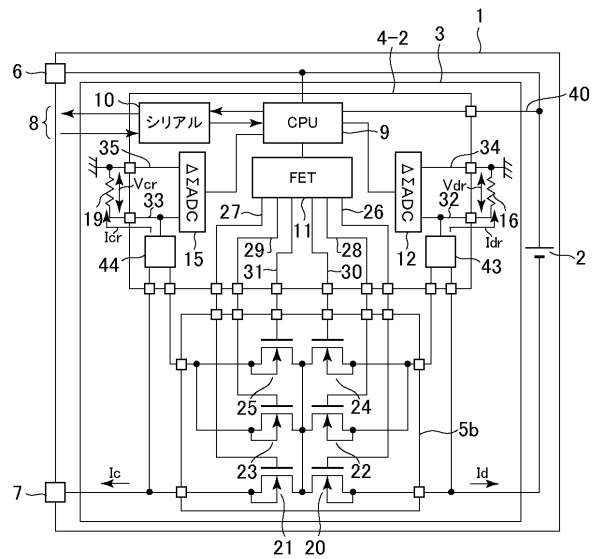
【図 13】



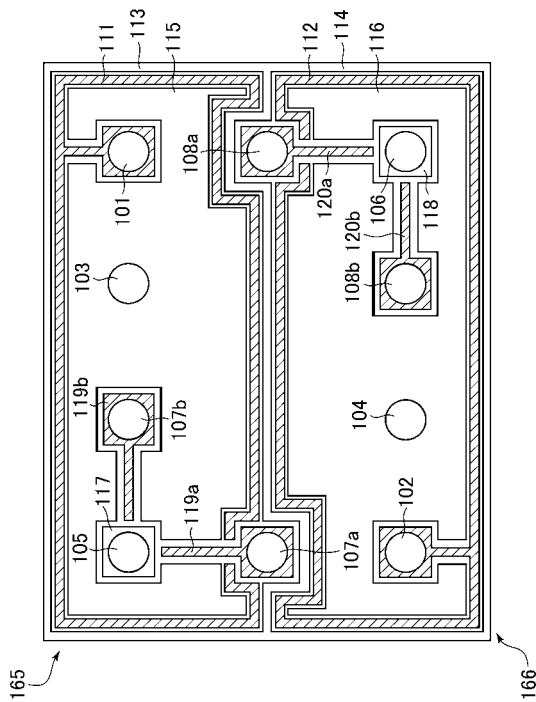
【図 14】



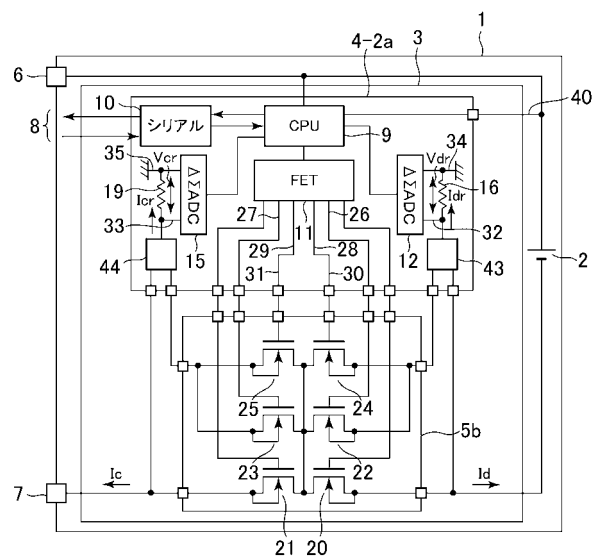
【図 15】



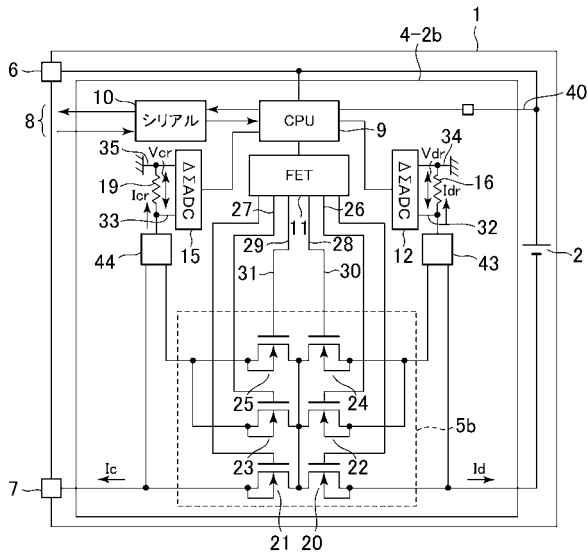
【図 16】



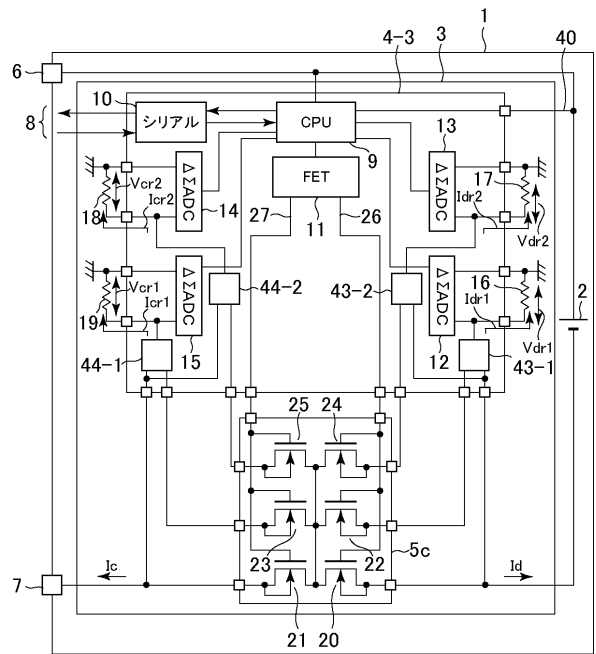
【図 17】



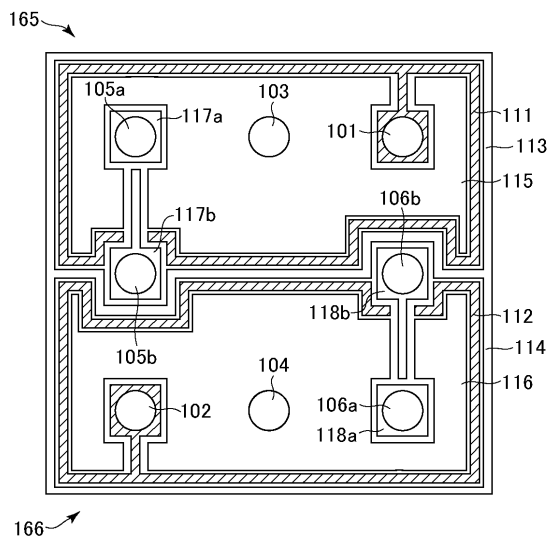
【図 18】



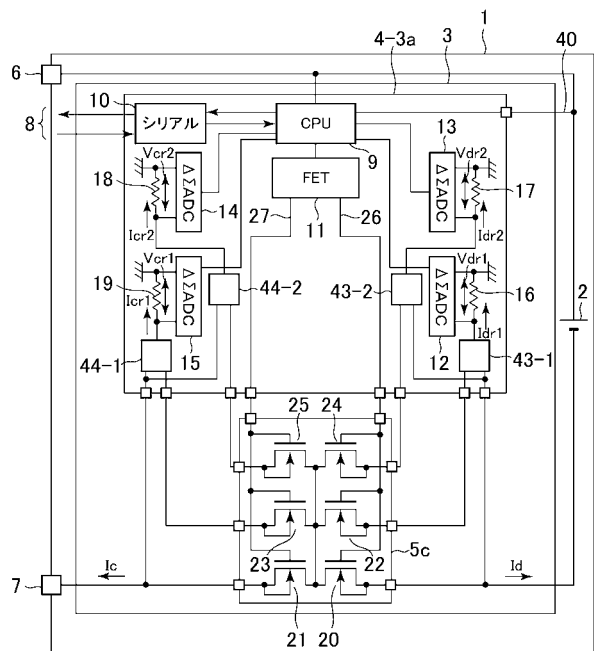
【図 19】



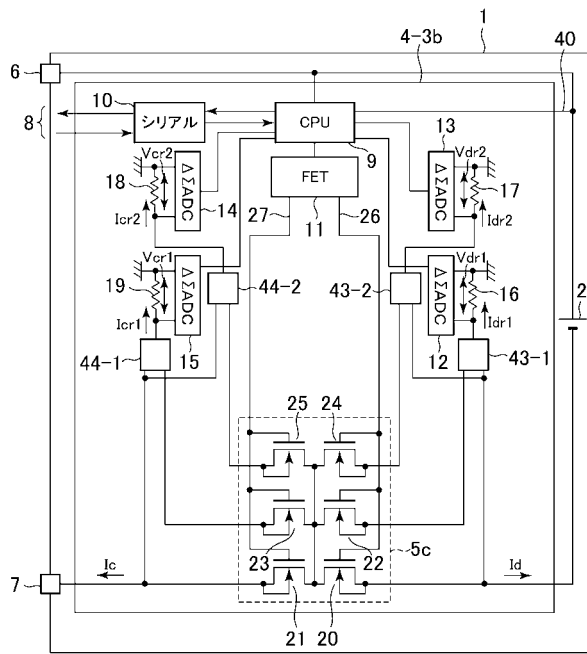
【図 20】



【図 21】



【図 22】



フロントページの続き

Fターム(参考) 5G503 AA01 BA01 BB01 GA01 GA11 GA12 GD02
5H030 AA03 AA04 AA06 BB01 BB21 FF42
5H040 AS13 AS14 AY08