

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4853028号
(P4853028)

(45) 発行日 平成24年1月11日 (2012. 1. 11)

(24) 登録日 平成23年11月4日 (2011. 11. 4)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)
 G 0 9 G 3/20 (2006. 01)
 G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/36
 G 0 9 G 3/20 6 2 3 A
 G 0 9 G 3/20 6 1 2 T
 G 0 9 G 3/20 6 2 1 A
 G 0 9 G 3/20 6 3 3 G

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2006-9709 (P2006-9709)
 (22) 出願日 平成18年1月18日 (2006. 1. 18)
 (65) 公開番号 特開2007-192982 (P2007-192982A)
 (43) 公開日 平成19年8月2日 (2007. 8. 2)
 審査請求日 平成20年11月5日 (2008. 11. 5)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100113077
 弁理士 高橋 省吾
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100128060
 弁理士 中鶴 一隆
 (72) 発明者 南 昭宏
 熊本県菊池郡西合志町御代志997番地
 メルコ・ディスプレイ・テクノロジー株式
 会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置、およびそのタイミング制御用半導体装置

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素と、該画素の各列に配置された複数の画像信号線と、前記画素の各行に配置された複数の走査信号線と、該走査信号線を駆動する走査信号線駆動手段と、前記画像信号線に前記画素を駆動するための画像信号を供給する画像信号線駆動手段と、前記走査信号線駆動手段と前記画像信号線駆動手段とを駆動制御するタイミング制御回路と、を具備するアクティブマトリクス表示装置であって、

前記タイミング制御回路は、該タイミング制御回路から前記画像信号線駆動手段に出力される画像表示制御信号が、前記画素の表示輝度に対応する画像表示データと、該画像表示データの入出力タイミングを制御する駆動制御信号とに分別され、垂直ブランキング期間中においても所定の周期で前記駆動制御信号を前記画像信号線駆動手段に出力するよう構成され、

前記タイミング制御回路は、前記垂直ブランキング期間内の少なくとも後半の第一の期間に対応して前記画像信号線駆動手段に対して、前記画像表示データの読み込みを休止するよう前記駆動制御信号を出力し、

前記タイミング制御回路は、前記第一の期間中の所定の第一の時点と、前記垂直ブランキング期間が終了した後の最初の水平表示期間に対応する前記画像表示データの読み込み開始時点とを第二の時点とし、前記第一の時点と前記第二の時点の間は、前記画像信号線駆動手段の前記画像信号の更新を停止するよう前記駆動制御信号を前記画像信号線駆動手段に出力し、

10

20

前記第一の時点と前記第二の時点期間は、垂直走査期間中の一水平周期より短いことを特徴とするアクティブマトリクス表示装置。

【請求項 2】

前記タイミング制御回路は、前記第一の期間に対応して前記画像信号線駆動手段への水平スタートパルスを消去することを特徴とする請求項 1 に記載のアクティブマトリクス表示装置。

【請求項 3】

前記タイミング制御回路は、前記画像信号線駆動手段へのラッチパルスを消去することにより、前記第一の時点と前記第二の時点期間は、前記画像信号線駆動手段の前記画像信号の更新を停止するよう制御することを特徴とする請求項 1 または 2に記載のアクティブマトリクス表示装置。

10

【請求項 4】

前記タイミング制御回路は、前記第一の時点と前記第二の時点期間が、前記画像信号線駆動手段の構成に基づいて予め定められたラッチパルスの入力禁止期間を包含するよう前記画像信号線駆動手段を制御することを特徴とする請求項 1 乃至 3のいずれか一項に記載のアクティブマトリクス表示装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の前記タイミング制御回路を内蔵したアクティブマトリクス表示装置のタイミング制御用半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

この発明は、垂直ブランキング期間においても、アクティブマトリクス表示デバイスの画像信号線駆動手段に対して、前記デバイスを駆動するための制御信号を供給し続けるアクティブマトリクス表示装置に関するものである。

【背景技術】

【0002】

アクティブマトリクス表示装置、例えば液晶表示装置などの画像表示装置の駆動回路において、垂直走査の有効表示期間と同様に、垂直ブランキング期間においても、画像信号線駆動手段に対して制御信号を送り続けることによって、前記表示デバイスの画像信号線（ソース線）を駆動状態と同様にしておくことは、表示画面上の横方向ラインごとの表示にムラが生じるのを防ぐために有効な手段である。

30

【0003】

通常、上記のように垂直ブランキング期間に画像信号線駆動手段に対して制御信号を送り続けるためには、それぞれの制御信号を垂直走査期間中と同じタイミング（周期）、もしくはそれに近いタイミングで送る必要がある。また、垂直ブランキング期間中に発生する水平同期信号が、垂直走査の有効表示期間に発生するそれと同じ、もしくはそれに近いタイミングである必要がある。このため垂直ブランキング期間に擬似的な水平基準信号を生成する水平基準信号生成回路を備えた画像表示装置が周知である。（例えば特許文献 1、図 6 参照）

40

【0004】

【特許文献 1】特開 2003 - 91266 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、外部信号源（例えば、コンピュータ本体側など）から入力される同期信号が変動して、この垂直ブランキング期間長が変動すると、垂直ブランキング期間内に表示制御手段から画像信号線駆動手段に送出する制御信号と、垂直ブランキング期間終了後の次フレームの表示期間内にタイミング制御手段から画像信号線駆動手段に送出する制御信号とが競合し、画像信号線駆動手段が誤動作を起こす可能性がある。

50

【 0 0 0 6 】

そこで、垂直ブランキング期間の最後の部分だけ（凡そ 1 から 2 水平周期相当分）駆動制御信号を送らない手法が周知である。（特許文献 1、図 9 参照）

【 0 0 0 7 】

しかし、元来前記表示デバイスの画像信号線を駆動状態と同様にしておく目的で生成した信号を削るのは、その目的達成に対し阻害要因であり、可能な限り短い期間とし必要以上に削る必要はない。特に、垂直ブランキング期間の終了間際の期間で画像信号線の駆動を長期間休止すると、その後の次フレームの垂直走査期間に及ぼす影響が大きい。

【 0 0 0 8 】

また、この手法では、垂直ブランキング期間中の水平周期をカウントするためのカウンタが必要となり、さらに垂直ブランキング期間長は液晶表示装置に信号を入力するシステムによって様々である。そのため、前記カウンタは液晶表示装置に対する様々な入力信号を見積もって、考えられる最大カウント数に対応する必要がある、比較的大規模の回路が必要になる。（特許文献 1、図 17）。

10

【 0 0 0 9 】

また、前記カウンタのカウント値は、次のフレームで用いられることになるため一フレームごとに垂直ブランキング期間長が変動するような外部入力信号に対して、対応できなくなる。

【 0 0 1 0 】

この発明は、上述のような課題を解決するためになされたものである。

20

【課題を解決するための手段】

【 0 0 1 1 】

この発明に係るアクティブマトリクス表示装置は、タイミング制御回路が、このタイミング制御回路から画像信号線駆動手段に出力される画像表示制御信号が、画素の表示輝度に対応する画像表示データと、この画像表示データの入出力タイミングを制御する駆動制御信号とに分別され、垂直ブランキング期間中においても所定の周期で前記駆動制御信号を前記画像信号線駆動手段に出力するよう構成され、さらに前記タイミング制御回路は、前記垂直ブランキング期間内の少なくとも後半の第一の期間に対応して前記画像信号線駆動手段に対して、前記画像表示データの読み込みを休止するよう前記駆動制御信号を出力し、前記タイミング制御回路は、前記第一の期間中の所定の第一の時点と、前記垂直ブランキング期間が終了した後の最初の水平表示期間に対応する前記画像表示データの読み込み開始時点を第二の時点とし、前記第一の時点と前記第二の時点期間は、前記画像信号線駆動手段の前記画像信号の更新を停止するよう前記駆動制御信号を前記画像信号線駆動手段に出力し、前記第一の時点と前記第二の時点期間は、垂直走査期間中の一水平周期より短いこと特徴とする。

30

【 0 0 1 2 】

さらに、この発明に係る半導体装置は、前記タイミング制御回路を内蔵しており、前記アクティブマトリクス表示装置のタイミング制御用である。

【発明の効果】

【 0 0 1 3 】

垂直ブランキング期間において、画像信号線駆動手段に駆動制御信号を送り続けるアクティブマトリクス表示装置において、垂直ブランキング期間の最後の駆動制御信号が次フレームの表示期間の信号に対して、真に誤動作の原因となる可能性がある場合にのみ、前記画像表示データの読み込みを休止することが可能となり、さらに前記休止する期間を最小にすることが可能なタイミング制御手段を提供する。

40

【 0 0 1 4 】

また、上記タイミング制御手段には垂直ブランキング期間中の水平周期をカウントするためのカウンタが不要であり、その結果、上記機能を実現するためにタイミング制御手段に内蔵する回路規模も大規模にはならず、コストアップも少ない。

【発明を実施するための最良の形態】

50

【 0 0 1 5 】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図における同一または相当する機能を有する要素には同一の記号を付してある。

【 0 0 1 6 】

実施の形態 1 .

図 1 は、本実施の形態における液晶表示装置 1 の回路構成を示しており、前記アクティブマトリクス表示デバイスの一例として液晶パネル 2 を駆動するための周辺回路の構成を示したブロック図である。同図において液晶表示装置 1 は、液晶パネル 2、画像信号線駆動手段であるソースドライバ IC (6 ~ 1 3)、走査信号線駆動手段であるゲートドライバ IC (3 ~ 5) およびタイミング制御回路 1 8、(以後タイミング制御回路を T C O N と称す) から構成されている。

10

【 0 0 1 7 】

ここで、前記画像信号線駆動手段は、一実施例として符号 6、7、8、9、10、11、12 及び 13 で示した 8 個のソースドライバ IC (6 ~ 1 3 : シリコン半導体集積回路を採用) で構成されている。同様に前記走査信号線駆動手段は、一実施例として符号 3、4 及び 5 で示した 3 個のゲートドライバ IC (3 ~ 5 : シリコン半導体集積回路を採用) で構成されている。また、前記 T C O N 1 8 もシリコン半導体集積回路で実現する。

【 0 0 1 8 】

前記液晶表示装置 1 に画像を表示させるために、外部信号源から前記 T C O N 1 8 に入力される表示制御信号は、画像データ入力 (V - D a t a) 及び、前記 T C O N 1 8 の制御基準となる信号として液晶パネルの水平方向の同期を取るための基準信号として用いられる水平同期信号 (H D)、液晶パネルの垂直方向の同期を取るための基準信号として用いられる垂直同期信号 (V D)、画像データが有効である期間を示すデータイネーブル信号 (D E N A) および上記制御信号の読み込みの基準となるドットクロック D C L K などが含まれている。(以後水平同期信号を H D、垂直同期信号を V D と称す、また以後データイネーブル信号を D E N A と称す。D E N A は H i g h レベル入力で前記画像データ入力 (V - D a t a) の有効を表し、L o w で無効を表す。) これらの表示制御信号の入力タイミングや構成については周知であり、ここでは説明を省略する。

20

【 0 0 1 9 】

次にソースドライバ IC (6 ~ 1 3) を制御するため前記 T C O N 1 8 から出力されるソースドライバ制御信号は、表示画素の表示輝度に対応する画像表示データ (R G B - D a t a) と、該画像表示データ (R G B - D a t a) 等の入出力タイミングを制御する駆動制御信号とに分別される。さらに該駆動制御信号は、シフトクロック (S C L K)、水平スタートパルス (S T H)、ラッチパルス (L P) および極性反転信号 (P O L) で構成される。また、前記 T C O N 1 8 はゲートドライバ IC (3 ~ 5) を制御するためのゲートドライバ制御信号としてクロック V (C L K V) と垂直スタートパルス (S T V) を出力している。(以後、水平スタートパルスを S T H、極性反転信号を P O L、ラッチパルスを L P と称す)

30

【 0 0 2 0 】

なお、ソースドライバ IC (6 ~ 1 3) は複数の画像信号線 1 4 (簡略化のため最左端のみ図示) を駆動するための駆動回路をそれぞれ集積しており、ゲートドライバ IC (3 ~ 5) は複数の走査信号線 1 5 (ゲート線、簡略化のため最上端のみ図示) を駆動するための駆動回路をそれぞれ集積している。さらに、これらのシリコン半導体集積回路を複数個使うことによって液晶パネル 2 の画像信号線数および走査信号線数に対応している。

40

【 0 0 2 1 】

次に、詳細に T C O N 1 8 から出力されるソースドライバ IC (6 ~ 1 3) を制御するための信号について詳細に説明する。画像表示データ (R G B - D a t a) はそれぞれ赤、緑、青のデジタル信号で構成されており、それぞれは、所定のビット数幅を持つデータバスを構成している。前記画像表示データ (R G B - D a t a) は、ソースドライバ IC

50

(6 ~ 13)において前記データの入力処理を行うための基準となるシフトクロック (SCLK)、前記表示データの始まりを表しデータシフトの開始を示すSTH、液晶駆動の極性を反転するためのPOL、前記表示データ (RGB - Data)を前記ソースドライバIC (6 ~ 13)の信号出力端子側に伝えるためのLPなどで構成される駆動制御信号と共にソースドライバIC (6 ~ 13)に出力される。

【0022】

また、TCON18から出力されるゲートドライバIC (3 ~ 5)を制御するための信号には、主に、ゲートドライバICで信号処理を行うためのクロックV (CLKV)、垂直走査の始まりを示す垂直スタートパルス (STV)などが含まれる。

【0023】

なお、通常、前記ソースドライバIC (6 ~ 13)は、前記ゲートドライバIC (3 ~ 5)によってアクティブになった走査信号線に対応する各画素部16 (代表して最上・最左端画素部のみ図示)に対して、それぞれ所望の画像信号を書き込んで行く。通常は前記書込み制御を各走査信号線15 (図示は最上端のみ)に対して上部から順に一行毎に水平走査に同期して行うことで、画面全体の画像表示を行っている。これらの信号の基本的な動作タイミングについては、周知でありここでは説明を省略する。

【0024】

図1の前記TCON18は、外部信号源から入力されるHD、VDおよびDENAを基準にドットクロック (DCLK)に同期してソースドライバIC (6 ~ 13)およびゲートドライバIC (3 ~ 5)に対する制御信号を作っている。また垂直ブランキング期間に擬似的な水平基準信号を生成する図示しない前記水平基準信号生成回路も前記TCON18に内蔵している。

【0025】

次に、図2は本実施の形態における前記TCON18からソースドライバIC (6 ~ 13)に対して送出する前記駆動制御信号の波形を示したものである。ただし、同図において、符号21は、VDの入力波形を示しており、この垂直同期信号は通常TCON18に入力される信号であるが、図中の垂直走査期間 (Tv1)とブランキング期間 (Tv2)を明確化するために参考として図示した。

【0026】

先ず図2中のTCON18への入力信号について説明する。符号22は前記TCON18に入力される画像データ入力 (V - Data)波形を示す。符号21で示したVDの周期Tvは、 $Tv = Tv1 + Tv2$ である。ここで、Tv1は垂直走査期間、Tv2は垂直ブランキング期間である。垂直走査期間 (Tv1)には、所定数の水平周期Thが含まれる。この水平周期Thは、 $Th = Th1 + Th2$ である。ここで、Th1は水平走査期間、Th2は水平ブランキング期間である。前記画素データ信号 (V - Data)波形22の斜線部分は非有効表示期間、すなわち有効表示期間でない期間における画像データ信号波形を示し、不定を表す。垂直ブランキング期間 (Tv2)および水平ブランキング期間 (Th2)では、画像データ入力 (V - Data)は無効データ (Dinv)となる。

【0027】

次にTCON18の出力信号について説明する。符号23はPOL出力波形、符号24はSTH出力波形、符号25はLP出力波形を示す。これらの駆動制御信号は、ソースドライバIC (6 ~ 13)に供給され、前記駆動制御信号に基づき、液晶パネルの各画像信号線14は、それぞれ画像信号に応じた電圧で交流駆動される。具体的には、POL波形23が液晶パネルの液晶に印加される画素電圧を交流化するための基準信号であり、符号24は、ソースドライバIC (6 ~ 13)に対して画素データの取り込みを開始させるSTH波形であり、またLP波形25は、前記ソースドライバIC (6 ~ 13)に取り込んだ画像データおよび前記POL信号23をラッチすると共にD/A変換した駆動電圧を画像信号線14へ印加して出力に反映させるタイミングを表すパルス信号波形である。

【0028】

本実施の形態では図2にて図示した通り垂直ブランキング期間 (Tv2)であっても後

10

20

30

40

50

述する一部期間を除いてソースドライバIC(6~13)に対してPOL波形23、STH波形24、LP波形25を送出し、液晶パネル2の駆動を継続している。

【0029】

ここで本実施の形態においては、前述のようにTCON18に外部信号源から入力される表示制御信号中の同期信号が変動して、垂直ブランキング期間(Tv2)の期間長が変動し、次の垂直走査期間(Tv1)の制御に誤動作を及ぼす場合や、垂直ブランキング期間(Tv2)に、一水平周期またはその周期以下の半端な期間の変動が発生し、前記誤動作が発生する場合の対策として、DENAにHigh入力(図示せず)後、前記ソースドライバIC(6~13)の回路仕様で一義的に決まる所定の期間とLPやPOLの出力タイミングが重なった場合、この期間内の前記LPやPOL出力を消去するよう構成している。

10

【0030】

前記出力消去のタイミングについて、図2を用いて概略を説明する。図2に示した波形例では、符号23で示したPOL波形中に一点鎖線で囲まれた範囲28a、28bの部分でPOLの極性反転が消去される(破線で記載された波形部分)。また符号25にて示したLP信号波形中に一点鎖線で囲まれた範囲27a、27bの部分でLP出力が消去される(破線で記載された波形部分)。

【0031】

前述のように前記一点鎖線で囲まれた範囲は、前記ソースドライバIC(6~13)において、その回路仕様で一義的に決まり、LPの入力に前もって例えば数シフトクロック(SCLK)期間STHおよびPOLが無効になる。垂直ブランキング(Tv2)後の最初の水平走査期間(Th1)(DENAのHigh期間)に対応するSTHが無効になった場合、前記水平走査期間(Th1)に対応する画像データの読み込みがドライバIC(6~13)にて正しく行われず、表示欠陥となる。このように所定の期間内に送出されるLPやPOLなどの前記駆動制御信号が、次フレームの表示に対して誤動作の原因となる可能性があると予見されるとき、すなわち図2の符号27a、27b、28a、28bで示された一点鎖線に囲まれた期間の駆動制御信号の各変化若しくは発生を消去する。この結果、前記期間は前記ソースドライバICの出力電圧の更新が休止する。ここで「更新が休止する」とは、前記駆動制御信号(特にLP信号)の変化を消去して、その信号を受けた前記画像信号線駆動手段の主要部であるソースドライバICの出力が、新たな電圧を出力する制御状態に移らないようにすることを意味している。

20

30

【0032】

また、図2にて符号25波形中の一点鎖線で囲まれた符号26a、26bで示した第一の期間においては、STH出力(図2の例では破線で示した6パルス分)を消去しておき、前記DENAにHighが入力(図示せず)後、該入力(立上り)に基づくタイミングでSTH出力を再開している。従って前記第一の期間はSTHが入力しないためソースドライバIC(6~13)において画像表示データの読み込みが休止する。ここで「読み込みが休止する」とは、前記STH出力を消去してソースドライバIC(6~13)が新たな画像表示データの入力が受け付け可能な制御状態にないこと意味している。これは、通常ソースドライバICはLPを入力して出力電圧の更新を実行した後は、次のSTH信号が入力するまで画像表示データの入力を受け付ける状態にならないことから実現可能となる。

40

【0033】

本実施の形態では、前記第一の期間に対応してSTH24を消去するため、まず、垂直ブランキング期間(Tv2)の途中でSTH24を休止する。前記STH24が休止するのは、垂直ブランキング期間(Tv2)の前半部分であればどこでも良い。従って、垂直ブランキング期間(Tv2)の後半部分は、ソースドライバIC(6~13)に対して少なくともPOL23とLP25を送出して、垂直ブランキング期間(Tv2)であっても液晶パネル2を水平周期Thまたはそれに近似する周期で周期的に交流駆動している。

【0034】

50

これは、一般に広く普及しているソースドライバICは、図3に示す構成となっており、STHの休止期間（第一の期間）中は、シフトレジスタ60若しくは、該シフトレジスタ60からデータを転送されたレジスタ61に蓄積されている画像データを使用して、LPが所定のタイミングで入力すれば、その入力タイミングに対応して、デジタル・アナログ変換回路DAC62が動作して前記画像データをD/A変換し、液晶パネル2を駆動するための電圧を前記画像信号線14に印加することが可能である。（勿論、POLは、ソースドライバICの入力タイミング制約に触れないタイミングで反転しているものとする。）

【0035】

次に、本実施の形態を実現する最小の構成である、前述した垂直ブランキング期間（Tv2）におけるSTHおよびLPのタイミングを生成するソースドライバ制御信号生成回路36の構成について図4を使用して詳細に説明する。ここで図中に示す信号は、本実施の形態を実現するための主要な信号を示しており、図示しないある周波数のシフトクロック（SCLK）に対して同期している信号であるとする。ここで、本実施の形態では図1に示したように前記ソースドライバ制御信号生成回路36が前記TCON18中に内蔵されているものとして説明するがTCONへの内蔵が必須ではない。

【0036】

図4において、水平スタートパルストリガ源信号（STHtr0）はSTHの生成タイミングを示すトリガ信号で、外部信号源から前記TCON18へ入力されたドットクロックDCLK、HD、VD、DENAを含む同期信号等から図示しない前記水平基準信号生成回路にて生成される。また、ラッチパルストリガ源信号（LPtr0）は、LPの生成タイミングを示すトリガ信号で、同様に前記同期信号他から図示しない前記水平基準信号生成回路にて生成される。また、多くの前記外部信号源は、垂直ブランキング期間（Tv2）中においてDENAやHD、VDを前記TCON18へ出力しないが、前述したようにこの間も液晶パネル2を駆動するため、前記TCON18内で擬似的なDENAやHD、VDが生成される。この擬似的なDENAやHD、VDを使用して垂直ブランキング期間（Tv2）中に前記水平スタートパルストリガ源信号（STHtr0）やラッチパルストリガ源信号（LPtr0）が生成される。

【0037】

ここで前記水平スタートパルストリガ源信号（STHtr0）は、AND回路30の一方の端子およびマスク信号生成回路33にそれぞれ入力される。前記ラッチパルストリガ源信号（LPtr0）は、AND回路35の一方の端子に入力される。マスク信号生成回路32はHD及びDENAを入力し、第一のマスク信号として水平スタートパルストリガ有効信号（STHvld）を前記AND回路30の他方の端子に出力する。前記マスク信号生成回路33は前記水平スタートパルストリガ源信号（STHtr0）とDENAを入力し第二のマスク信号としてラッチパルストリガ有効信号（LPvld）を前記AND回路35の他方の端子に出力する。

【0038】

前記AND回路30は、前記水平スタートパルストリガ源信号（STHtr0）と前記水平スタートパルストリガ有効信号（STHvld）との論理積をとって水平スタートパルストリガ信号（STHtr）を出力する。前記AND回路35は、前記ラッチパルストリガ源信号（LPtr0）と前記ラッチパルストリガ有効信号（LPvld）との論理積をとってラッチパルストリガ信号（LPtr）を出力する。

【0039】

スタートパルス生成回路31は前記水平スタートパルストリガ信号（STHtr）を入力してSTH信号を出力する。また、ラッチパルス生成回路34は前記ラッチパルストリガ信号（LPtr）を入力してLP信号を出力する。

【0040】

次に、前記ソースドライバ制御信号生成回路36内の各信号の詳細な動作およびタイミングについて、図5を用いて説明する。（以後、説明の簡略化のために、前記各信号即ち

10

20

30

40

50

水平スタートパルストリガ源信号をS T H t r 0、ラッチパルストリガ源信号をL P t r 0、水平スタートパルストリガ有効信号をS T H v l d、ラッチパルストリガ有効信号をL P v l d、水平スタートパルストリガ信号をS T H t r、ラッチパルストリガ信号をL P t rと称す。)

【0041】

先ず、図5の符号40、41はそれぞれD E N AおよびH D波形を表し、外部信号源からT C O N 18に入力される信号の一例であり、本実施の形態では説明の簡略化のために垂直ブランキング期間(T v 2)長は水平周期T hの約3倍相当の期間長としたが、通常は水平周期T hの数十倍相当の期間長が標準である。符号42の波形で示した第一内部信号(H D c 1)はマスク信号生成回路32内の内部信号で、垂直ブランキング期間(T v 2)中のH Dの立下りによってH i g hとなり、D E N Aが入力されると、次のフレームの表示期間が始まったものと判断してL o wとなる信号である。

10

【0042】

また、符号43の波形で示された第二内部信号(H D c 2)もマスク信号生成回路32内の内部信号で、垂直ブランキング期間(T v 2)中のH Dの立下りタイミングで前記第一内部信号(H D c 1)の値がH i g hの場合、この第一内部信号(H D c 1)の値をシフトするが、D E N Aが入力されると、次のフレームの表示期間が始まったものと判断してL o wとなる信号である。また、前記第二内部信号(H D c 2)の論理を反転した信号が前記S T H v l dであり、概略タイミング信号波形を符号45で示す。

20

【0043】

即ち、前記第一内部信号(H D c 1)および第二内部信号(H D c 2)は、マスク信号生成回路32内の内部信号であり、前記マスク信号生成回路32の出力信号が前記S T H v l dとなる。

【0044】

次に、符号48は、前記L P v l d波形であり、あるフレームの表示期間始めのD E N Aが立ち上がりから符号44の波形で示された前記S T H t r 0までの期間をL o wとして、それ以外の期間は、H i g hとなるパルス信号である。この信号は前述のようにD E N Aと前記S T H t r 0から前記マスク信号生成回路33において生成される。

【0045】

前記S T H v l dは、前記S T H t r 0と一緒にA N D回路30を通過しているので、前記S T H t r 0のうち不必要な部分をカットした前記S T H t rを、スタートパルス生成回路31に入力している。従って、図5の符号46の波形で示すとおり、前記S T H t rは符号44で示した前記S T H t r 0に対して、垂直ブランキング期間(T v 2)の後半の前記第一の期間に対応してL o wに固定され消去されている。前述のようにこの期間はソースドライバI C(6~13)での画像表示データの読み込みが休止する。

30

【0046】

符号48で示した前記L P v l dは、符号47の波形で示した前記L P t r 0と一緒にA N D回路35を通過しているので、前記L P t r 0のうち不必要な部分をカットした前記L P t rを、ラッチパルス生成回路34に入力している。即ち、前記L P v l dによって前記L P t r 0の不必要な部分がマスクされる。従って、符号49の波形で示すとおり、前記L P t rは前記L P t r 0のうち、該L P t r 0が前記L P v l dのL o w期間に対応した場合にのみ、垂直ブランキング期間(T v 2)の最後の部分だけが、L o wに固定され消去されている。

40

【0047】

更に詳細なタイミングを説明するため、図5の破線で示した“A”の部分の拡大図として図6を用いる。

【0048】

図6中で、符号Cで示された信号群はD E N AとH Dから構成され、T C O N 18への入力信号の一部であり、符号Dで示された信号群はT C O N 18内の前記ソースドライバ制御信号生成回路36で生成されている内部信号の一部であり、H D c 1~L P t rで構

50

成される。符号Eで示された信号群はSTHとLPでありTC ON 18からの出力信号の一部を表している。

【0049】

図6において、符号40、41、42、43波形で示されたように、次フレームの最初ラインの有効期間開始即ち垂直ブランキング期間(Tv2)終了後の最初のDENAの立上りを受けて、前記第一内部信号(HDc1)および第二内部信号(HDc2)は、Lowとなる(符号42、43の波形)。前述したように符号45で示されたSTHvld波形は、前記第二内部信号(HDc2)の論理反転信号となっている。

【0050】

ここで、図6の符号44で示されたSTHtr0波形例においては、垂直ブランキング期間(Tv2)中に前記水平基準信号生成回路によって生成されたパルス信号Jと、次フレームの最初のラインの有効期間開始後(DENA立上り後)に発生したパルス信号Kが記載されているが、前記AND回路30を通過したSTHtrは、前記STHvldとの論理積信号であるから、符号46で示したようにパルス信号Lのみの波形となる。ここで、STHtr0における前記パルス信号Jは前記水平基準信号生成回路にて擬似的に生成された信号であり、一方、前記パルス信号Kは外部信号源から入力したDENAの立上りタイミングに基づいて生成される。このため、前記垂直ブランキング期間長が変動すると前記パルス信号Jの位置はDENAの立上りに対して相対的に変動する可能性があるが、前記パルス信号Kの位置および前記STHtrのパルス信号Lの位置は変動しない。

【0051】

前述したように符号47の波形で示したLPtr0は、前記ソースドライバ制御信号生成回路36に入力される信号であり、TC ON 18内で前記水平基準信号生成回路にて生成される。前述したように、符号48波形で示したLPvldは次フレームの最初ラインの有効期間開始後(DENAの立ち上がり時点、これを第一の時点Mとする)から前記STHtr0(立下り時点、これを第二の時点Nとする)までの期間DLYに対応する期間(即ち前記第一の時点Mと第二の時点N間)をLowとして、それ以外の期間はHighとなるパルス信号であり、前記Low期間内に対応するLPtr0のHigh信号は、前記AND回路35を経由することにより消去され、符号49波形で示したごとくLowのままとなる。従って符号51で示したLP信号波形もLowとなる。この結果、前述したように前記期間DLYに対応する期間は、前記ソースドライバICの出力電圧の更新が休止する。また、符号50波形で示したSTH信号は、前記STHtrが前記スタートパルス生成回路31を通過した信号であり、所定の遅延を伴いスタートパルス生成回路31から出力される。

【0052】

ここで、前述した様に予め垂直ブランキング期間の前半にSTHを休止することによって、それ以降のソースドライバICへ入力される信号において、垂直ブランキング期間中の制御信号と次のフレームの始めの表示期間中の制御信号との間で制約違反を起こす可能性を持っているのは、垂直ブランキング期間の最後に出力されようとしている、LP(立ち上がり)からSTHの立ち上がりまでの期間に絞られてくる。

【0053】

該期間即ち期間DLYに対応する期間がソースドライバICの仕様で定められた所定値よりも小さいと、垂直ブランキング期間や前記擬似的なHDの長さによっては、次のフレームの垂直走査期間(Tv1)でのソースドライバICの誤動作につながり、その結果、表示画像に異常をきたす原因となる。ただし、前記所定値は、TC ON 18からソースドライバIC(6~13)へ出力されるシフトクロックSCLKの周期に換算して、数クロック相当分となり、実使用上十分短くすることが可能であり、表示画面上への影響を軽微にすることができる。これらのことを考慮すると、その制約に該当する可能性を考慮した前記数クロック相当期間内に立ち上がりそうなLPtr0信号のみ削除すればよいことになる。

【0054】

前記の概念は、図 7 に示すように、通常、TCON18 の入力信号 (DENA、HD、VD など) よりも数クロック遅れたタイミングに同期して前記 STHtr0 および LPtr0 は生成される。特に、前記 TCON18 内にいろいろな付加機能回路 70 を盛り込んでいけば、入力タイミングに対して、生成される前記 STHtr0 および LPtr0 の生成タイミングは、入力信号の同期タイミングより、ますます遅延 (遅延値が DLY に相当) する。

【0055】

これに対して、マスク信号生成回路 33 へ入力される DENA は、TCON18 への入力信号そのもの、もしくは、前記の遅延 (DLY) と比較して、わずかにしか遅れていない信号を用いる。これによって、前記 LPtr0 が生成されるよりも数シフトクロック (SCLK) 分先に次のフレームの最初のライン走査期間が始まることを予見できて、かつ、これ以降で STHtr0 が発生するまでの間に発生する LPtr0 を LPvld によって消去することが出来る。

10

【0056】

また、ソースドライバ IC の前記所定値の制約に応じて、LPtr0 の生成タイミングもしくは、DENA のマスク信号生成回路 33 への取り込みタイミングまたは前記遅延 (DLY) の値を調節することで、容易に前記所定値の制約を割り込む範囲の LP だけを削ることができる。

【0057】

ここで、本実施の形態では、垂直ブランキング期間が開始した後、一水平周期経過後に STH の出力を休止しているが、垂直ブランキング期間の最後の数水平周期分の STH さえ駆動を確実に休止すれば、本実施の形態の要件は、十分に満たす。

20

【0058】

さらに、本実施の形態では、図 2 で示した POL 波形 (符号 23) に対しての特定期間 (符号 28a、28b) における信号反転禁止方法については言及していないが、表示品位上の必要があれば前述した LP 信号と同様の方法および構成を採ることにより容易に信号反転禁止を実現することができることは明白である。

【0059】

また、図 8 に示したように、外部信号源の同期信号 (VD、HD、DENA) のタイミングによっては、垂直ブランキング期間 (Tv2) の前記擬似 HD を垂直走査期間 (Tv1) 中の正規 HD と同一周期でかつ連続的に生成が可能となる。この場合 LPvld の Low 期間には LPtr0 が発生しないので、LPtr が消去されることはなく、STHvld が Low 期間の STHtr のみ消去される。

30

【0060】

また、TCON の構成によっては、前記 TCON 内で垂直ブランキング期間 (Tv2) 中に擬似 DENA を発生して画像信号線駆動手段を制御の場合がある。この場合垂直ブランキング期間 (Tv2) 中は前記擬似的 HD の代わりに前記擬似 DENA を用いて、STHvld の立下りタイミングを生成しても良いが、前記 STHvld の立上げタイミングのトリガとしては、入力画像データに対応する外部入力 DENA の立上りを使用する必要がある。

40

【0061】

実施の形態 2 .

本実施の形態における液晶表示装置の構成は前述の実施の形態 1 における図 1 の構成と同様であり、詳しい説明は省略し異なる部分について主に説明する。タイミング制御回路 (TCON) 18 の構成を図 9 に示す。本実施の形態における TCON18 の入出力信号は前述の実施の形態 1 と同一であり、ここでは詳細な説明を省略する。図 9 において符号 84 はソースドライバ制御信号生成回路であり、前述の実施の形態 1 におけるソースドライバ制御信号生成回路 34 に相当し、その内部構成は異なるが同様の機能を奏する。

【0062】

次に、前記 TCON18 からの入出力信号各々のタイミングについて図 2 を使って説明

50

する。本実施の形態も、実施の形態 1 と同様に先ず S T H を垂直ブランキング期間 (T v 2) の途中で出力休止する (L o w とする)。本実施の形態においてもこの期間はソースドライバ I C (6 ~ 1 3) での画像表示データの読み込みが休止する。

【 0 0 6 3 】

前記 S T H が休止するのは、垂直ブランキング期間 (T v 2) の前半部分であればどこでも良い。従って、垂直ブランキング期間 (T v 2) の後半部分は、ソースドライバ I C (6 ~ 1 3) に対して少なくとも P O L 2 3 と L P 2 5 を送出して、垂直ブランキング期間 (T v 2) であっても液晶パネル 2 を水平周期 T h またはそれに近似する周期で周期的に交流駆動している。

【 0 0 6 4 】

その上で、次のフレームの最初の水平走査期間 (T h 1) に対して垂直ブランキング期間中 (T v 2) の P O L または L P が誤動作の原因となる可能性があるとして予見されるときのみ、垂直ブランキング期間 (T v 2) の最後に出力しようとしている L P または P O L を休止している。

【 0 0 6 5 】

上記の動作については、実施の形態 1 と同じである。従って垂直ブランキング期間 (T v 2) の T C O N 1 8 に対する入出力波形を示した図も同様であり、ここではこれ以上の説明を省略する。

【 0 0 6 6 】

次に、本実施の形態を実現する最小の構成である、前述した垂直ブランキング期間 (T v 2) における S T H および L P のタイミングを生成するソースドライバ制御信号生成回路 8 4 の構成について図 1 0 を使用して詳細に説明する。ここで図中に示す信号は、本実施の形態を実現するための主要な信号を示しており、図示しないある周波数のシフトクロック (S C L K) に対して同期している信号であるとする。ここで、本実施の形態では図 9 に示したように、本実施の形態では、ソースドライバ制御信号生成回路 8 4 は前述の実施の形態 1 と同様に前記 T C O N 1 8 の中に内蔵されているものとして説明するが T C O N への内蔵が必須ではない。

【 0 0 6 7 】

図 1 0 において、 S T H t r 0 は S T H の生成タイミングを示すトリガ信号で、外部信号源から前記 T C O N 1 8 へ入力されたドットクロック D C L K、H D、V D、D E N A を含む同期信号等から図示しない前記水平基準信号生成回路にて生成される。また、 L P t r 0 は、L P の生成タイミングを示すトリガ信号で、同様に前記同期信号他から図示しない前記水平基準信号生成回路にて生成される。また、多くの外部信号源は、垂直ブランキング期間 (T v 2) 中において D E N A や H D、V D を前記 T C O N 1 8 へ出力しないが、前述したようにこの間も液晶パネル 2 を駆動するため、前記 T C O N 1 8 内で擬似的な D E N A や H D、V D が生成される。この擬似的な D E N A や H D、V D を使用して垂直ブランキング期間 (T v 2) 中に前記 S T H t r 0 や L P t r 0 が生成される。

【 0 0 6 8 】

ここで、前記 S T H t r 0 は、A N D 回路 3 0 の一方の端子入力され、前記 L P t r 0 は、A N D 回路 3 5 の一方の端子に入力される。ブランキングカウンタ 8 0 は、H D と D E N A を入力して、垂直ブランキング期間中の H D 数をカウントし、カウント値 (H D c n t) を記憶回路 8 1、第一比較回路 8 2 および第二比較回路 8 3 に出力する。記憶回路 8 1 は前記カウント値 (H D c n t) を入力し同値を記憶する記憶回路で、D E N A の立上り信号入力で前記カウント値 (H D c n t) 記憶し、その値を記憶値 (c n t k p) として第二比較回路 8 3 へ出力する。前記第一比較回路 8 2 は、前記カウント値 (H D c n t) の値と常数 k (ここでは k = 1 とする) とを比較して k < 前記カウント値 (H D c n t) のとき L o w を、それ以外は、H i g h を前記 A N D 回路 3 0 の他方の端子へ S T H v l d として出力する。前記第二比較回路 8 3 は、前記カウント値 (H D c n t) と前記記憶値 (c n t k p) とを比較して、カウント値 (H D c n t) 記憶値 (c n t k p) のとき L o w を、それ以外は H i g h を前記 A N D 回路 3 5 の他方の端子へ L P v l d と

10

20

30

40

50

して出力する。

【 0 0 6 9 】

前記AND回路30は、前記STHtr0と前記STHvldとの論理積をとってSTHtrを出力する。前記AND回路35は、前記LPtr0と前記LPvldとの論理積をとってLPtrを出力する。

【 0 0 7 0 】

スタートパルス生成回路31は前記STHtrを入力してSTH信号を出力する。また、ラッチパルス生成回路34は前記LPtrを入力してLP信号を出力する。

【 0 0 7 1 】

前記ブランキングカウンタ80は、垂直ブランキング期間(Tv2)中のHDの立下りをカウントしており、DENAが入力されると、その出力である前記カウント値(HDcnt)は次フレームの垂直走査期間(Tv1)が始まったものと判断して0にリセットされる。

10

【 0 0 7 2 】

また、前記カウント値(HDcnt)は、前記次のフレームの表示期間が始まるタイミングで記憶回路81にカウント記憶値(cntkp)として記憶される。

【 0 0 7 3 】

次に、前記ソースドライバ制御信号生成回路84内の各信号の詳細な動作およびタイミングについて、図11を用いて説明する。図11において、符号90、91はそれぞれDENAおよびHD波形を表し、外部信号源からTCON18に入力される信号の一例であり、本実施の形態では記載上の簡略化のために垂直ブランキング期間(Tv2)長は水平周期Thの3倍相当の期間長としたが、通常は水平周期Thの数十倍相当の期間長が標準である。

20

【 0 0 7 4 】

前記カウント値(HDcnt)は、図11の符号92で示した通り、垂直ブランキング期間(Tv2)中のHDの立下りをカウントしており、HDの立下り毎に1から順に2, 3, 4とカウントUPしている。前記STHvldは、前記の第一比較回路82の出力であり、k<前記カウント値(HDcnt)のときLowを、それ以外は、Highとなるため(本実施の形態ではk=1とした)、符号95で示したように前記カウント値(HDcnt)が2以上の時、Lowとなる波形を呈する。

30

【 0 0 7 5 】

前記STHvldは、符号94波形で示した前記STHtr0と一緒にAND回路30を通過しているので、AND回路30出力であるSTHtrは、符号96の波形で示すとおり、前記STHtr0に対して、垂直ブランキング期間(Tv2)の後半の第一の期間に対応してLowに固定され消去されている。前述のようにこの期間はソースドライバIC(6~13)での画像表示データの読み込みが休止する。

【 0 0 7 6 】

一方、符号93で示した記憶値(cntkp)は、DENAの立上り信号入力時点での前記カウント値(HDcnt)であるので、記憶値として“4”が保持されている。前記第二比較回路83は、前記カウント値(HDcnt)と前記記憶値(cntkp)とを比較して、前記カウント値(HDcnt) 前記記憶値(cntkp)のときLowを出力し、それ以外はHighを出力するので、その出力であるLPvldは符号98で示したように前記カウント値(HDcnt)が“4”の時Lowとなる波形を呈する。

40

【 0 0 7 7 】

前記LPvldは、符号97波形で示した前記LPtr0と一緒にAND回路35を通過しているので、前記LPtr0のうち不必要な部分をカットした前記LPtrを、ラッチパルス生成回路34に入力している。即ち、前記LPvldによって前記LPtr0の不必要な部分がマスクされる。従って、図11の符号99波形に示すとおり、前記LPtrは前記LPtr0のうち、該LPtr0が次フレームの水平走査期間(Th1)直前のHDの立下りタイミングよりも後に発生した場合のみ、垂直ブランキング期間(Tv2)

50

の最後の部分だけが、Lowに固定されている。

【0078】

更に詳細なタイミングを説明するため、図11の破線で示した”B”の部分の拡大図として図12を用いる。同図中で、符号Fで示された信号群はDENAとHDから構成され、TCON18への入力信号の一部であり、符号Gで示された信号群はTCON18内の前記ソースドライバ制御信号生成回路84で生成されている内部信号の一部であり、HDcnt~LPtr0で構成される。符号Hで示された信号群はSTHとLPでありTCON18からの出力信号の一部を表している。図12において、符号92で示した数値変化タイミングは図11で示した前記カウント値(HDcnt)のそれと同一であり、また図12において、符号93で示した数値変化タイミングは図11で示した前記記憶値(cntk p)のそれと同一である。しかし、図12は図11の拡大図であるため、DENAとHDに対するカウント値(HDcnt)と前記記憶値(cntk p)の変化タイミングは、各々の信号処理時間を加味して所定の遅延を考慮して記載されている。

10

【0079】

本実施の形態においても、図3に示した構成のソースドライバICを採用しているので、図11の符号96で示したように実施の形態1同様、あらかじめ垂直ブランキング期間の途中でSTHtrを休止している。その結果、STHも休止する。STHの休止期間中は、シフトレジスタ60若しくは、該シフトレジスタ60からデータを転送されたレジスタ61に蓄積されている画像データを使用して、LPが所定のタイミングで入力すれば、その入力タイミングに対応して、デジタル・アナログ変換回路DAC62が動作して前記画像データをD/A変換し、液晶パネル2を駆動するための電圧を前記画像信号線14に印加することが可能である。

20

【0080】

ここで、前述したように垂直ブランキング期間の前半にSTHを休止することによって、それ以降のソースドライバICへ入力される信号において、垂直ブランキング期間(Tv2)中の制御信号と次のフレームの始めの表示期間中の制御信号との間で制約違反を起こす可能性を持っているのは、垂直ブランキング期間Tv2の最後に出力されようとしている、LP(立ち上がり)からSTHの立ち上がりまでの期間に絞られてくる。

【0081】

該期間がソースドライバICの仕様で定められた所定値よりも小さいと、垂直ブランキング期間や前記擬似的なHDの長さによっては、次のフレームの垂直走査期間(Tv1)でのソースドライバICの誤動作につながり、その結果、表示画像に異常をきたす原因となる。ただし、前記所定値は、TCON18からソースドライバIC(6~13)へ出力されるシフトクロック(SCLK)の周期に換算して、数クロック相当分となり、実使用上十分短かすることが可能であり、表示画面上への影響を軽微にすることができる。これらのことを考慮すると、その制約に該当する可能性を考慮した前記数クロック相当期間内に立ち上がりそうなLPtr0信号のみ削除すればよいことになる。

30

【0082】

そこで、本実施の形態では、図12に示したように垂直ブランキング期間(Tv2)の最後の部分であって、次フレームの水平走査期間(Th1)直前のHDの立下りタイミングよりも後に発生しようとするLPを出力させないために、LPvld(符号98波形)をLowに落としている(第一の時点M)。その結果、LPtr(符号99波形)は図12中に記載のように前記LPvldがLowの期間でマスクされ消去されている(Highにならない)。従って、符号101で示したLP波形も前記期間はLowとなる。その後、次フレーム最初のラインの水平走査期間(Th1)が開始されてDENA(符号90波形)が立上がるとLPvldがHighとなり(第二の時点N)、その後の垂直走査期間(Tv1)中はLPtrからLPtrとなる。この結果、前述したように前記LPvldがLowの期間に対応する期間即ち第一の時点Mと第二の時点N間は、LPが出力されないため前記ソースドライバICの出力電圧の更新が休止する。

40

【0083】

50

また、AND回路30は、STHvld（符号95波形）がHigh期間のみSTHtr0（符号94波形）をそのまま出力するので、図12の符号94で示された前記STHtr0の波形は、前記STHtr（符号96波形）と同一波形となる。しかし、前記STHvld（符号95波形）がLow期間（垂直ブランキング期間の後半部、前記第一の期間）は前記STHtr0のHighパルスが発生しても前記STHtrはLowとなり、消去される。従って、符号100で示したSTH波形は、前記STHtrが前記スタートパルス生成回路31を通過した信号であり、所定の遅延を伴いスタートパルス生成回路31から出力される。

【0084】

ここで、前記HDの立下りからDENA（符号90波形）の立ち上がりまでの期間が非常に短い場合、本実施の形態の性質上、前記HDの立下りよりも前に現れるLPについては、削ることができない。しかし、前述の実施の形態1と同様に通常TCON18の入力信号（DENA、HD、VDなど）よりも数クロック遅れたタイミングに同期してSTHtr0（符号94波形）およびLPtr0（符号97波形）が生成される。

【0085】

このSTHtr0およびLPtr0の生成タイミングをさらに遅延（DLY）させてやることで、前記削ることの出来ない部分は、最小限化することができる。

【0086】

なお、本実施の形態では、垂直ブランキング期間（Tv2）に入った直後にSTHの出力を休止しているが、垂直ブランキング期間の最後の数水平周期分のSTHさえ駆動を確実に休止すれば、本実施の形態の要件は、十分に満たす。

【0087】

さらに、本実施の形態では、図2で示したPOL波形（符号23）に対しての特定期間（符号28a、28b）における信号反転禁止方法については言及していないが、表示品位上の必要があれば前述したLP信号と同様の方法および構成を採ることにより容易に信号反転禁止を実現することができることは明白である。

【0088】

本実施の形態も、前述の目的を簡単、且つ、次のフレーム表示に対して垂直ブランキング期間中の交流化信号が誤動作の原因となる可能性があるとして予見される部分のみ交流化信号を休止するために、先ずデータシフト用スタートパルスを垂直ブランキング期間の途中で出力休止する。前記データシフト用スタートパルスが休止するのは、垂直ブランキング期間の前半部分であればどこでも良い。従って、垂直ブランキング期間の後半部分（前記第一の期間）は、ソースドライバICに対して、少なくともPOLとLP信号を送って垂直ブランキング期間（Tv2）における液晶パネルの連続駆動を可能にしている。

【0089】

その上で、次のフレーム表示に対して垂直ブランキング期間Tv2中にドライバICに入力される制御信号、特にLP信号が誤動作の原因となる可能性があるとして予見される時のみ、垂直ブランキング期間最後に出しようとしているLPを休止している。

【0090】

また、TCONの構成によっては、前記TCON内で垂直ブランキング期間（Tv2）中に擬似DENAを発生して画像信号線駆動手段を制御の場合がある。この場合垂直ブランキング期間（Tv2）中はHDの代わりに前記擬似DENAを用いて、カウント値（HDcnt）を加算しても良いが、前記カウント値（HDcnt）のリセットおよびカウント記憶値（cntkp）の記憶タイミングとしては、入力画像データに対応する外部入力DENAの立上りを使用する必要がある。

【0091】

本実施の形態1および2においては、垂直ブランキング期間中は、外部信号源からHDがTCONに入力しないとして、TCON内部の水平基準信号生成回路にて擬似的なHDを生成し、該HDを用いて垂直ブランキング期間中に画像信号線駆動手段に対して制御信号を送り続けるとしたが、外部信号源の構成によっては、垂直ブランキング期間中であっ

10

20

30

40

50

てもH Dを連続的に送出する場合がある。この場合は、前記擬似的なH Dではなく、外部信号源から送出されるH Dを使用することにより、前記画像信号線駆動手段に対する制御が本実施の形態1および2と同様に特に制限なく実現可能である。また、垂直ブランキング期間中に前記H Dの周期が乱れた場合や、奇数フレームと偶数フレーム時の垂直ブランキング期間中のH D数が異なる場合においても、前記第一の期間に対応して前記画像信号線駆動手段にて画像表示データの読み込みを休止することができ、更に垂直ブランキング期間最後に出しようとしているL Pを削除することもできる。

【0092】

ところで、本実施の形態1および2においては、前記画像信号線駆動手段および走査信号線駆動手段の一例としてシリコン半導体集積回路を採用したソースドライバICおよびゲートドライバICを採用したが、能動素子として低温ポリシリコンTFTを採用し、ガラス基板上に同回路を形成した構成でも良い。更には低温ポリシリコンTFTを採用すれば前述の図4や図10の構成を内蔵したタイミング制御回路TC ON 18も同様にガラス基板上に形成することができる。

【0093】

また、本実施の形態1および2においては、アクティブマトリクス駆動回路が駆動する対象物として液晶パネルを例に採って説明したが、例えば有機EL表示装置等アクティブマトリクスを有する画像表示装置であれば本駆動回路を採用することができる。

【図面の簡単な説明】

【0094】

【図1】この発明を実施するための実施の形態1における液晶表示装置の回路構成図である。

【図2】この発明を実施するための実施の形態1および2における、タイミング制御回路からソースドライバICへの送出信号波形図である。

【図3】この発明を実施するための実施の形態1および2におけるソースドライバICの構成図である。

【図4】この発明を実施するための実施の形態1におけるソースドライバ制御信号生成回路の構成図である。

【図5】この発明を実施するための実施の形態1におけるソースドライバ制御信号生成回路内各信号の動作タイミング波形図である。

【図6】この発明を実施するための実施の形態1におけるソースドライバ制御信号生成回路内各信号の詳細な動作タイミング波形図である。

【図7】この発明を実施するための実施の形態1および2におけるタイミング制御回路内の付加機能回路を示す構成図である。

【図8】この発明を実施するための実施の形態1におけるソースドライバ制御信号生成回路内各信号の動作タイミング波形図である。

【図9】この発明を実施するための実施の形態2におけるタイミング制御回路の構成図である。

【図10】この発明を実施するための実施の形態2におけるソースドライバ制御信号生成回路の構成図である。

【図11】この発明を実施するための実施の形態2におけるソースドライバ制御信号生成回路内各信号の動作タイミング波形図である。

【図12】この発明を実施するための実施の形態2におけるソースドライバ制御信号生成回路内各信号の詳細な動作タイミング波形図である。

【符号の説明】

【0095】

1 液晶表示装置

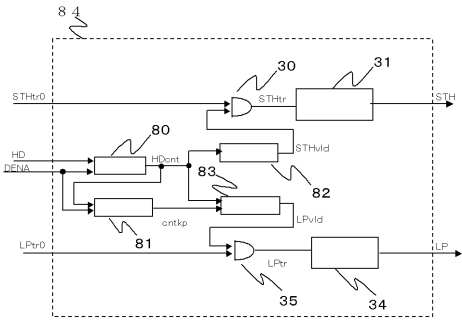
2 液晶パネル

3、4、5 ゲートドライバIC

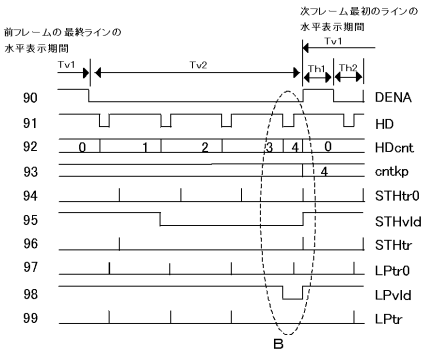
6、7、8、9、10、11、12、13 ソースドライバIC

1 4	画像信号線	
1 5	走査信号線	
1 6	画素部	
1 8	タイミング制御回路	
2 3	P O L 出力波形	
2 4、5 0、1 0 0	S T H 出力波形	
2 5、5 1、1 0 1	L P 出力波形	
3 0、3 5	A N D 回路	
3 1	スタートパルス生成回路	
3 2、3 3	マスク信号生成回路	10
3 4	ラッチパルス生成回路	
3 6、8 4	ソースドライバ制御信号生成回路	
4 4、9 4	水平スタートパルストリガ源信号波形	
4 5、9 5	水平スタートパルストリガ有効信号波形	
4 6、9 6	水平スタートパルストリガ信号波形	
4 7、9 7	ラッチパルストリガ源信号波形	
4 8、9 8	ラッチパルストリガ有効信号波形	
4 9、9 9	ラッチパルストリガ信号波形	
8 0	ブランキングカウンタ	
8 1	記憶回路	20
8 2、8 3	比較回路	
M	第一の時点	
N	第二の時点	
T v 1	垂直走査期間	
T v 2	垂直ブランキング期間	
T h	水平周期	
R G B - D a t a	画像表示データ	

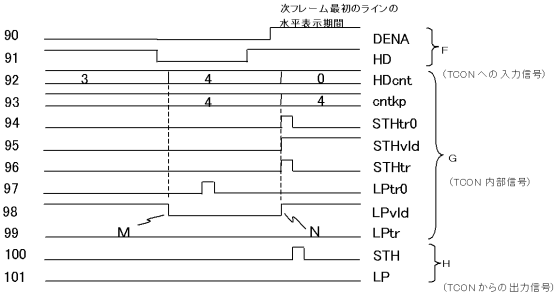
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 2 J
G 0 9 G 3/20 6 7 0 E
G 0 2 F 1/133 5 5 0

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 3 - 1 6 2 2 5 7 (J P , A)
特開平 0 9 - 2 1 2 1 3 8 (J P , A)
特開 2 0 0 3 - 0 9 1 2 6 6 (J P , A)
特開 2 0 0 0 - 0 3 5 5 5 9 (J P , A)
特開 2 0 0 0 - 3 3 8 9 3 6 (J P , A)
特開 2 0 0 1 - 2 8 2 1 6 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0