



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0044640
(43) 공개일자 2014년04월15일

(51) 국제특허분류(Int. Cl.)
G11C 16/06 (2006.01) G11C 16/26 (2006.01)
G11C 16/10 (2006.01) G11C 16/34 (2006.01)
(21) 출원번호 10-2012-0110859
(22) 출원일자 2012년10월05일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
정용우
경기 오산시 양산로 422, 103동 1802호 (양산동,
오산세마효성백년가약)
김환충
전북 남원시 동헌길 124, (죽향동)
(뒷면에 계속)
(74) 대리인
권혁수, 송윤호, 오세준

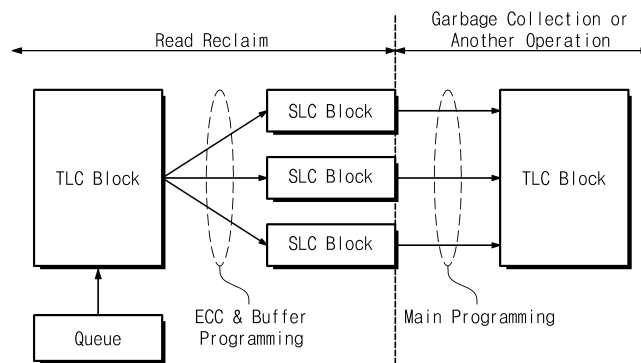
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 메모리 시스템 및 그것의 읽기 교정 방법

(57) 요약

본 발명은 셀 당 m-비트 데이터가 저장되는 메모리 블록들로 구성된 제 n 메모리 영역과 셀 당 멀티-비트 데이터가 저장되는 메모리 블록들로 구성된 제 2 메모리 영역을 포함하는 불 휘발성 메모리 장치와; 그리고 상기 불 휘발성 메모리 장치를 제어하도록 구성된 메모리 제어기를 포함하는 메모리 시스템을 제공한다. 읽기 동작시 선택된 상기 제 2 메모리 영역의 메모리 블록이 읽기 교정 동작의 대상으로 결정된 경우, 상기 메모리 제어기는 상기 읽기 교정 동작의 대상이 되는 제 2 메모리 영역의 메모리 블록의 유효 데이터가 모두 상기 제 1 메모리 영역의 메모리 블록들 중 적어도 하나 이상의 메모리 블록들에 프로그램될 때 상기 제 2 메모리 영역의 메모리 블록에 대한 읽기 교정 동작을 완료된 것으로 처리한다.

대표도 - 도12



(72) 발명자

박경규

서울 강서구 공항대로45길 24, 101동 1407호 (등촌동, 현대아파트)

박은주

경기 용인시 기흥구 덕영대로 1871, 103동 603호 (하갈동, 청명호수마을신안인스빌1단지)

설봉관

서울 강동구 천호대로162길 71, 301호 (성내동)

특허청구의 범위

청구항 1

셀 당 m-비트 데이터가 저장되는 메모리 블록들로 구성된 제 1 메모리 영역과 셀 당 n-비트 데이터가 저장되는 메모리 블록들로 구성된 제 2 메모리 영역을 포함하는 불 휘발성 메모리 장치와; 그리고

상기 불 휘발성 메모리 장치를 제어하도록 구성된 메모리 제어기를 포함하며,

읽기 동작시 선택된 상기 제 2 메모리 영역의 메모리 블록이 읽기 교정 동작의 대상으로 결정된 경우, 상기 메모리 제어기는 상기 읽기 교정 동작의 대상이 되는 제 2 메모리 영역의 메모리 블록의 유효 데이터가 모두 상기 제 1 메모리 영역의 메모리 블록들 중 적어도 하나 이상의 메모리 블록들로 프로그램될 때 상기 제 2 메모리 영역의 메모리 블록에 대한 읽기 교정 동작을 완료된 것으로 처리하는 메모리 시스템.

청구항 2

제 1 항에 있어서,

상기 메모리 제어기는 호스트의 쓰기 요청시 상기 읽기 교정 동작의 적어도 일부를 수행하는 메모리 시스템.

청구항 3

제 1 항에 있어서,

쓰기 동작이 요청될 때, 상기 읽기 교정 동작의 대상이 되는 상기 제 2 메모리 영역의 메모리 블록의 유효 데이터 중 상기 제 1 메모리 영역의 하나의 메모리 블록의 저장 용량에 대응하는 데이터는 상기 제 1 메모리 영역의 메모리 블록으로 이동되는 메모리 시스템.

청구항 4

제 1 항에 있어서,

상기 적어도 하나 이상의 메모리 블록들에 저장된 데이터는 상기 메모리 제어기의 배경 동작시 상기 제 2 메모리 블록의 메모리 블록들 중 하나의 메모리 블록으로 이동되는 메모리 시스템.

청구항 5

제 1 항에 있어서,

상기 메모리 제어기는 읽기 동작시 읽기 교정 동작의 대상으로 결정된 상기 제 2 메모리 영역의 메모리 블록을 나타내는 큐 정보를 저장하는 버퍼 메모리를 포함하며, 쓰기 동작이 요청될 때마다, 상기 메모리 제어기는 호스트의 타임아웃 조건을 회피하도록 상기 버퍼 메모리의 큐 정보에 대응하는 상기 제 2 메모리 영역의 메모리 블록에 대한 상기 읽기 교정 동작을 시분할 방식으로 수행하는 메모리 시스템.

청구항 6

셀 당 m-비트 데이터가 저장되는 제 1 메모리 블록들과 셀 당 n-비트 데이터가 저장되는 제 2 메모리 블록들을 포함하는 불 휘발성 메모리 장치를 제어하는 메모리 제어기의 읽기 교정 방법에 있어서:

읽기 교정 동작의 대상이 되는 제 2 메모리 블록이 존재하는지의 여부를 판별하고,

읽기 교정 동작의 대상이 되는 제 2 메모리 블록이 존재할 때, 상기 제 2 메모리 블록의 유효한 데이터를 상기 제 1 메모리 블록들 중 적어도 하나 이상의 메모리 블록들에 프로그램함으로써 상기 읽기 교정 동작을 완료된 것으로 처리하는 것을 포함하는 읽기 교정 방법.

청구항 7

제 6 항에 있어서,

읽기 교정 동작의 대상이 되는 제 2 메모리 블록에 대한 읽기 교정 동작은 호스트의 타임아웃 조건을 회피하도

록 시분할 방식으로 수행되는 읽기 교정 방법.

청구항 8

제 7 항에 있어서,

상기 읽기 교정 동작의 적어도 일부는 쓰기 동작이 요청될 때 수행되는 읽기 교정 방법.

청구항 9

제 8 항에 있어서,

상기 적어도 하나 이상의 메모리 블록들에 저장된 데이터는 상기 메모리 제어기의 가비지 콜렉션 동작시 상기 제 2 메모리 블록들 중 하나의 메모리 블록으로 이동되는 읽기 교정 방법.

청구항 10

제 6 항에 있어서,

상기 적어도 하나 이상의 메모리 블록들 중 빈 저장 공간을 갖는 메모리 블록을 제외한 나머지 메모리 블록들에 저장된 데이터는 상기 메모리 제어기의 가비지 콜렉션 동작시 상기 제 1 메모리 블록들 중 데이터로 완전히 채워진 메모리 블록의 데이터와 함께 상기 제 2 메모리 블록들 중 선택된 메모리 블록으로 이동되며, 선택된 상기 제 2 메모리 블록은 오픈 워드 라인을 포함하지 않는 읽기 교정 방법.

명세서

기술분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 불 휘발성 메모리 장치를 포함하는 메모리 시스템에 관한 것이다.

배경기술

[0002] 반도체 메모리는, 일반적으로, 위성에서 소비자 전자 기술까지의 범위에 속하는 마이크로프로세서를 기반으로 한 응용 및 컴퓨터와 같은 디지털 로직 설계의 가장 필수적인 마이크로 전자 소자이다. 그러므로, 높은 집적도 및 빠른 속도를 위한 축소(scaling)를 통해 얻어지는 프로세스 향상 및 기술 개발을 포함한 반도체 메모리의 제조 기술의 진보는 다른 디지털 로직 계열의 성능 기준을 확립하는 데 도움이 된다.

[0003] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치와 불 휘발성 반도체 메모리 장치로 나뉘어진다. 휘발성 반도체 메모리 장치에 있어서, 로직 정보는 스테틱 랜덤 액세스 메모리의 경우 쌍안정 플립-플롭의 로직 상태를 설정함으로써 또는 다이내믹 랜덤 액세스 메모리의 경우 커패시터의 충전을 통해 저장된다. 휘발성 반도체 메모리 장치의 경우, 전원이 인가되는 동안 데이터가 저장되고 읽히지며, 전원이 차단될 때 데이터는 소실된다.

[0004] MROM, PROM, EPROM, EEPROM, PRAM, 등과 같은 불 휘발성 반도체 메모리 장치는 전원이 차단되어도 데이터를 저장할 수 있다. 불 휘발성 메모리 데이터 저장 상태는 사용되는 제조 기술에 따라 영구적이거나 재프로그래밍 가능하다. 불 휘발성 반도체 메모리 장치는 컴퓨터, 항공 전자 공학, 통신, 그리고 소비자 전자 기술 산업과 같은 넓은 범위의 응용에서 프로그램 및 마이크로코드의 저장을 위해서 사용된다. 단일 칩에서 휘발성 및 불 휘발성 메모리 저장 모드들의 조합이 빠르고 재프로그래밍 가능한 불 휘발성 메모리를 요구하는 시스템에서 불 휘발성 RAM (nvRAM)과 같은 장치들에서 또한 사용 가능하다. 게다가, 응용 지향 업무를 위한 성능을 최적화시키기 위해 몇몇 추가적인 로직 회로를 포함하는 특정 메모리 구조가 개발되어 오고 있다.

[0005] 불 휘발성 반도체 메모리 장치에 있어서, MROM, PROM 및 EPROM은 시스템 자체적으로 소거 및 쓰기가 자유롭지 않아서 일반 사용자들이 기억 내용을 새롭게 하기가 용이하지 않다. 이에 반해, EEPROM, PRAM, 등과 같은 불 휘발성 반도체 메모리 장치들은 전기적으로 소거 및 쓰기가 가능하므로 지속적인 갱신이 필요한 시스템 프로그래밍(system programming)이나 보조 기억 장치로의 응용이 확대되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 호스트의 타임아웃을 방지할 수 있는 메모리 시스템을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 특징은 셀 당 m-비트 데이터가 저장되는 메모리 블록들로 구성된 제 1 메모리 영역과 셀 당 n-비트 데이터가 저장되는 메모리 블록들로 구성된 제 2 메모리 영역을 포함하는 불 휘발성 메모리 장치와; 그리고 상기 불 휘발성 메모리 장치를 제어하도록 구성된 메모리 제어기를 포함하며, 읽기 동작시 선택된 상기 제 2 메모리 영역의 메모리 블록이 읽기 교정 동작의 대상으로 결정된 경우, 상기 메모리 제어기는 상기 읽기 교정 동작의 대상이 되는 제 2 메모리 영역의 메모리 블록의 유효 데이터가 모두 상기 제 1 메모리 영역의 메모리 블록들 중 적어도 하나 이상의 메모리 블록들로 프로그램될 때 상기 제 2 메모리 영역의 메모리 블록에 대한 읽기 교정 동작을 완료된 것으로 처리하는 메모리 시스템을 제공하는 것이다.

[0008] 본 발명의 다른 특징은 셀 당 m-비트 데이터가 저장되는 제 1 메모리 블록들과 셀 당 n-비트 데이터가 저장되는 제 2 메모리 블록들을 포함하는 불 휘발성 메모리 장치를 제어하는 메모리 제어기의 읽기 교정 방법을 제공한다. 읽기 교정 방법은 읽기 교정 동작의 대상이 되는 제 2 메모리 블록이 존재하는지의 여부를 판별하고, 읽기 교정 동작의 대상이 되는 제 2 메모리 블록이 존재할 때, 상기 제 2 메모리 블록의 유효한 데이터를 상기 제 1 메모리 블록들 중 적어도 하나 이상의 메모리 블록들에 프로그램함으로써 상기 읽기 교정 동작을 완료된 것으로 처리하는 것을 포함한다.

발명의 효과

[0009] 본 발명에 따르면, 호스트의 타임아웃을 방지함과 아울러 TLC 블록에서 오픈 워드 라인이 발생하는 것을 방지할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명에 따른 재프로그래밍 방식으로 수행되는 메인 프로그램 동작을 보여주는 도면이다.
- 도 2는 본 발명의 예시적인 실시예에 따른 메모리 시스템을 개략적으로 보여주는 블록도이다.
- 도 3은 도 2에 도시된 메모리 제어기를 개략적으로 보여주는 블록도이다.
- 도 4는 도 2에 도시된 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.
- 도 5는 도 4에 도시된 메모리 셀 어레이를 개략적으로 보여주는 블록도이다.
- 도 6a 내지 도 6d는 본 발명의 예시적인 실시예에 따른 멀티-비트 메모리 장치의 제 1 및 제 2 메모리 영역들에 대한 다양한 조합들을 설명하기 위한 도면들이다.
- 도 7은 본 발명의 예시적인 실시예에 따른 메모리 시스템의 읽기 방법을 보여주는 순서도이다.
- 도 8a 및 도 8b는 본 발명의 예시적인 실시예에 따른 읽기 교정 동작을 보여주는 도면들이다.
- 도 9는 읽기 교정 동작을 통해 생성된 SLC 블록들의 데이터가 TLC 블록에 저장되는 예를 보여주는 도면이다.
- 도 10은 본 발명의 다른 예시적인 실시예에 따른 메모리 시스템의 읽기 방법을 보여주는 순서도이다.
- 도 11은 본 발명의 또 다른 예시적인 실시예에 따른 메모리 시스템의 읽기 방법을 보여주는 순서도이다.
- 도 12는 본 발명의 예시적인 실시예에 따른 메모리 시스템의 읽기 교정 방식을 보여주는 블록도이다.
- 도 13은 본 발명의 실시예에 따른 컴퓨팅 시스템을 개략적으로 보여주는 블록도이다.
- 도 14는 본 발명의 실시예에 따른 반도체 드라이브를 개략적으로 보여주는 블록도이다.
- 도 15는 도 14에 도시된 반도체 드라이브를 이용한 스토리지를 개략적으로 보여주는 블록도이다.
- 도 16은 도 14에 도시된 반도체 드라이브를 이용한 스트리지 서버를 개략적으로 보여주는 블록도이다.
- 도 17은 본 발명에 따른 모비낸드를 개략적으로 보여주는 블록도이다.
- 도 18은 본 발명에 따른 통신장치를 개략적으로 보여주는 블록도이다.
- 도 19는 본 발명의 실시예에 따른 반도체 드라이브가 적용되는 시스템을 개략적으로 보여주는 도면이다.

도 20은 본 발명의 실시예에 따른 메모리 카드(memory card)를 개략적으로 보여주는 블록도이다.

도 21은 본 발명의 실시예에 따른 디지털 스틸 카메라(digital still camera)를 개략적으로 보여주는 블록도이다.

도 22는 도 21의 메모리 카드가 사용되는 다양한 응용 분야들을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.
- [0012] 도면들에 있어서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니며 명확성을 기하기 위하여 과장된 것이다. 또한 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소를 나타낸다.
- [0013] 본 명세서에서 ‘및/또는’이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 또한, ‘연결되는/결합되는’이란 표현은 다른 구성요소와 직접적으로 연결되거나 다른 구성요소를 통해 간접적으로 연결되는 것을 포함하는 의미로 사용된다. 본 명세서에서 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 또한, 명세서에서 사용되는 ‘포함한다’ 또는 ‘포함하는’으로 언급된 구성요소, 단계, 동작 및 소자는 하나 이상의 다른 구성요소, 단계, 동작, 소자 및 장치의 존재 또는 추가를 의미한다.
- [0014] 각 메모리 셀에 저장되는 데이터 비트들의 수가 증가함에 따라(또는, 하나의 워드 라인에 대응하는 페이지들(또는, 페이지 데이터)의 수가 증가함에 따라), 다양한 프로그래밍 기술들이 제안되어 오고 있다. 예를 들면, 온-칩 버퍼 프로그램 방법이 멀티-비트 메모리 장치를 포함하는 메모리 시스템에 적용되고 있다. 온-칩 버퍼 프로그램 방법이 사용됨에 따라, 메모리 시스템의 메모리 제어기 내에 구비된 버퍼 메모리의 크기를 줄이는 것이 가능하다. 온-칩 버퍼 프로그램 방법은 메모리 제어기의 버퍼 메모리에 임시 저장된 데이터를 멀티-비트 메모리 장치의 제 1 메모리 영역에 프로그래밍하는 것과 멀티-비트 메모리 장치의 제 1 메모리 영역에 저장된 데이터를 멀티-비트 메모리 장치의 제 2 메모리 영역에 프로그래밍하는 것을 포함한다. 버퍼 메모리에 임시 저장된 데이터를 멀티-비트 메모리 장치의 제 1 메모리 영역에 프로그래밍하는 동작을 "버퍼 프로그램 동작"이라 칭하고, 멀티-비트 메모리 장치의 제 1 메모리 영역에 저장된 데이터를 멀티-비트 메모리 장치의 제 2 메모리 영역에 프로그래밍하는 동작을 "메인 프로그램 동작"이라 칭한다. 즉, 온-칩 버퍼 프로그램 방법은 버퍼 프로그램 동작과 메인 프로그램 동작을 포함할 것이다. 멀티-비트 메모리 장치는 제 1 및 제 2 메모리 영역들 이외에 다른 메모리 영역(들)을 더 포함할 수 있다.
- [0015] 예를 들면, 버퍼 프로그램 동작은 제 1 메모리 영역에 대한 최소 프로그램 단위에 대응하는 데이터가 메모리 제어기의 버퍼 메모리에 모아질 때 행해지고, 메인 프로그램 동작은 제 2 메모리 영역에 대한 최소 프로그램 단위에 대응하는 데이터가 멀티-비트 메모리 장치의 제 1 메모리 영역에 모아질 때 또는 제 1 메모리 영역의 사용 가능한 저장 공간이 부족할 때 행해진다. 여기서, 제 1 메모리 영역에 대한 최소 프로그램 단위에 대응하는 데이터는 한 페이지의 데이터이고, 제 2 메모리 영역에 대한 최소 프로그램 단위에 대응하는 데이터는 복수의 페이지들의 데이터일 것이다. 복수의 페이지들의 수는 셀 당 비트 수에 따라 결정될 것이다. 예를 들면, 셀 당 비트 수가 3일 경우, 제 2 메모리 영역에 대한 최소 프로그램 단위에 대응하는 데이터는 3-페이지 데이터일 것이다. 제 1 및 제 2 메모리 영역들 각각에 대한 최소 프로그램 단위가 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다. 앞서의 설명에 따르면, 제 1 메모리 영역에 대한 최소 프로그램 단위에 대응하는 데이터가 버퍼 메모리에 모아질 때마다 버퍼 메모리의 데이터가 멀티-비트 메모리 장치의 제 1 메모리 영역에 프로그래밍되며, 그 결과 버퍼 메모리의 크기를 줄이는 것이 가능하다.
- [0016] 온-칩 버퍼 프로그램 방법을 채용하는 메모리 시스템에 있어서, 메인 프로그램 동작은 다양한 프로그래밍 방식들을 이용하여 수행될 것이다. 예를 들면, 메인 프로그램 동작은 재프로그래밍 방식에 따라 행해질 것이다. 이하, 재프로그래밍 방식을 이용한 메인 프로그램 동작이 도 1을 참조하여 상세히 설명될 것이다.
- [0017] 도 1은 본 발명에 따른 재프로그래밍 방식으로 수행되는 메인 프로그램 동작을 보여주는 도면이다. 도 1에는 3-비트 데이터(또는, LSB 페이지 데이터, CSB 페이지 데이터, 그리고 MSB 페이지 데이터로 구성된 3-페이지 데이터)가 재프로그래밍 방식에 따라 프로그래밍되는 예가 도시되어 있다. 하지만, 재프로그래밍 방식이 3-비트 데이터에 제한되지 않음은 잘 이해될 것이다. 재프로그래밍 방식은 제 1 프로그램 단계, 제 2 프로그램 단계, 그리고 제 3 프

로그래밍 단계를 포함하며, 이는 이하 상세히 설명될 것이다.

- [0018] 제 1 프로그램 단계는 각 메모리 셀이 8개의 상태들(E, P11, P12, P13, P14, P15, P16, P17) 중 3-비트 데이터에 대응하는 상태를 갖도록 행해질 것이다. 8개의 상태들(E, P11-P17)은, 도 1에 도시된 바와 같이, 읽기 마진 없이 서로 인접할 수 있다. 즉, 제 1 프로그램 단계에서는 3-비트 데이터가 개략적으로 프로그램될 것이다. 여기서, 3-비트 데이터는 버퍼 프로그램 동작을 통해 제 1 메모리 영역에 프로그램된 데이터이며, 제 1 프로그램 단계에서 제 1 메모리 영역으로부터 읽혀질 것이다.
- [0019] 예시적인 실시예에 있어서, 제 1 프로그래밍 단계는 프로그램 루프의 반복시 프로그램 전압이 정해진 증가분만큼 증가하는 증가형 스텝 펄스 프로그래밍(Incremental Step Pulse Programming: ISPP) 기술에 따라 행해질 것이다.
- [0020] 예시적인 실시예에 있어서, 제 1 프로그래밍 단계는 검증 동작을 포함할 것이다. 검증 동작시, 적어도 하나의 프로그램 상태에 대해서만 검증 동작이 수행될 수 있다. 예를 들어, 제 1 프로그래밍 단계에서, 프로그램 상태들(P12, P14, P16)에 대한 검증 동작들이 수행되는 반면에, 프로그램 상태들(P11, P13, P15, P17)에 대한 검증 동작들은 수행되지 않는다. 즉, 프로그램 상태들(P12, P14, P16)가 검증 패스되면, 제 1 프로그래밍 단계는 종료될 것이다.
- [0021] 제 2 프로그래밍 단계는 제 1 프로그래밍 단계를 통해 형성된 개략적인 상태들(rough states) (P11~P17)을 좀더 세밀한 상태들(P21~P27)로 재프로그래밍하기 위해서 행해진다. 여기서, 상태들(P21~P27)은, 도 1에 도시된 바와 같이, 소정의 읽기 마진을 갖도록 인접할 수 있다. 즉, 제 2 프로그래밍 단계에서는 제 1 프로그래밍 단계에서 프로그램된 3-비트 데이터가 재프로그래밍될 것이다. 앞서 설명된 바와 같이, 제 2 프로그래밍 단계에서 사용되는 3-비트 데이터는 제 1 프로그래밍 단계에서 사용된 것과 동일하며, 제 1 메모리 영역으로부터 다시 읽혀질 것이다. 도 1에 도시된 바와 같이, 제 1 프로그래밍 단계의 상태(P11)는 제 2 프로그래밍 단계의 상태(P21)로 재프로그래밍된다. 이는 제 2 프로그래밍 단계의 상태(P21)에 대응하는 문턱 전압 산포가 제 1 프로그래밍 단계의 상태(P11)에 대응하는 문턱 전압 산포보다 좁게 형성되게 한다. 다시 말해서, 제 2 프로그래밍 단계의 상태(P21)를 검증하기 위한 검증 전압(VR21)은 제 1 프로그래밍 단계의 상태(P11)를 검증하기 위한 검증 전압(VR11)보다 높다.
- [0022] 예시적인 실시예에 있어서, 제 2 프로그래밍 단계는 ISPP 기술에 따라 행해질 것이다.
- [0023] 예시적인 실시예에 있어서, 제 2 프로그래밍 단계는 검증 동작을 포함할 것이다. 검증 동작은 모든 프로그램 상태들에 대해서 행해질 것이다. 모든 프로그램 상태들(P21~P27)이 검증 패스되면, 제 2 프로그래밍 단계는 종료될 것이다.
- [0024] 제 3 프로그래밍 단계는 제 2 프로그래밍 단계에서 프로그램된 상태들(P21~P27)을 좀더 세밀한 상태들(P31~P37)로 재프로그래밍하기 위해 행해진다.
- [0025] 여기서, 상태들(P31~P37)은, 도 1에 도시된 바와 같이, 제 2 프로그래밍 단계의 읽기 마진보다 큰 읽기 마진을 갖도록 인접할 수 있다. 즉, 제 3 프로그래밍 단계에서는 제 2 프로그래밍 단계에서 프로그램된 3-비트 데이터가 재프로그래밍될 것이다. 앞서 설명된 바와 같이, 제 3 프로그래밍 단계에서 사용되는 3-비트 데이터는 제 1/2 프로그래밍 단계에서 사용된 것과 동일하며, 제 1 메모리 영역으로부터 다시 읽혀질 것이다. 제 3 프로그래밍 단계가 행해짐에 따라, 제 2 프로그래밍 단계의 상태(P21)는 제 3 프로그래밍 단계의 상태(P31)로 재프로그래밍될 것이다. 이는 제 3 프로그래밍 단계의 상태(P31)에 대응하는 문턱 전압 산포가 제 2 프로그래밍 단계의 상태(P21)에 대응하는 문턱 전압 산포보다 좁아지게 한다. 다시 말해서, 제 3 프로그래밍 단계의 상태(P31)를 검증하기 위한 검증 전압(VR31)이 제 2 프로그래밍 단계의 상태(P21)를 검증하기 위한 검증 전압(VR21)보다 높다.
- [0026] 예시적인 실시예에 있어서, 제 3 프로그래밍 단계는 ISPP 기술에 따라 행해질 것이다.
- [0027] 예시적인 실시예에 있어서, 제 3 프로그래밍 단계에서는 모든 프로그램 상태들에 대해서 검증 동작이 수행될 것이다. 모든 프로그램 상태들(P31~P37)이 검증 패스되면, 제 3 프로그래밍 단계는 종료될 것이다.
- [0028] 본 발명이 제 1 프로그래밍 단계에서 3-비트 데이터가 프로그램된다는 것에 제한되지 않는다. 본 발명의 제 1 프로그래밍 단계에서 2-비트 데이터가 프로그램될 수 있다. 2-비트 데이터에 대한 제 1 프로그래밍 단계가 완료된 후, 1-비트 데이터를 프로그램하기 위해서 제 2 프로그래밍 단계가 행해질 수 있다. 이후, 목표 문턱 전압 산포들을 얻기 위한 제 3 프로그래밍 단계가 행해질 수 있다. 상술한 프로그램 방식은 미국특허 출원공개번호 제2011-02223421호에 기재되어 있으며, 이 출원의 레퍼런스로 포함될 것이다.

- [0029] 도 1에 도시된 3-비트 프로그램 동작이 3-스텝 재프로그래밍 방식에 따라 수행되는 예가 설명되었다. 하지만, 3-비트 프로그램 동작이 3-스텝 재프로그래밍 방식으로 수행된다는 것에 본 발명이 제한되지 않는다. 본 발명에 따른 재프로그래밍 방식으로 수행되는 프로그램 동작은 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히기 위한 (또는, 문턱전압 산포를 세밀하게 제어하기 위한) 3개의 프로그래밍 단계들로 구성될 수 있다.
- [0030] 도 2는 본 발명의 예시적인 실시예에 따른 메모리 시스템을 개략적으로 보여주는 블록도이다.
- [0031] 도 2를 참조하면, 본 발명의 실시예에 따른 메모리 시스템(1000)은 메모리 제어기(1200)와 멀티-비트 메모리 장치로서 불 휘발성 메모리 장치(1400)를 포함한다. 메모리 제어기(1200)는 외부(예를 들면, 호스트)로부터의 요청(예를 들면, 쓰기 요청, 읽기 요청, 등)에 응답하여 불 휘발성 메모리 장치(1400)를 제어한다. 메모리 제어기(1200)는 외부 요청없이 내부적인 요청(예를 들면, 서든 파워-오프와 관련된 동작, 웨어-레벨링 동작, 읽기 교정 (read reclaim) 동작, 등)에 따라 불 휘발성 메모리 장치(1400)를 제어한다. 메모리 제어기(1200)의 내부적인 요청에 대응하는 동작은 호스트의 요청이 처리된 후 호스트의 타임아웃 구간 내에서 행해질 것이다. 또는, 메모리 제어기(1200)의 내부적인 요청에 대응하는 동작은 메모리 제어기(1200)의 유휴 시간에 행해질 수 있다. 불 휘발성 메모리 장치(1400)는 메모리 제어기(1200)의 제어에 응답하여 동작하며, 데이터 정보를 저장하는 일종의 저장 매체로서 사용된다. 저장 매체는 하나 또는 그 보다 많은 메모리 칩들로 구성될 수 있다. 불 휘발성 메모리 장치(1400)와 메모리 제어기(1200)는 하나 또는 그 보다 많은 채널들을 통해 통신한다. 불 휘발성 메모리 장치(1400)는, 예를 들면, 낸드 플래시 메모리 장치를 포함한다.
- [0032] 메모리 시스템(1000)은 앞서 설명된 온칩 버퍼 프로그램 (OBP) 기법을 사용한다. 이후 설명된 바와 같이, 불 휘발성 메모리 장치(1400)는 제 1 메모리 영역과 제 2 메모리 영역을 갖는 메모리 셀 어레이를 포함한다. 예시적인 실시예에 있어서, 제 1 메모리 영역은 셀 당 1-비트 데이터를 저장하는 메모리 블록들로 구성되고, 제 2 메모리 영역은 셀 당 3-비트 데이터를 저장하는 메모리 블록들로 구성된다. 제 1 및 제 2 메모리 영역들 각각의 셀 당 비트 수가 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 제 1 메모리 영역의 셀 당 비트 수는 제 2 메모리 영역의 셀 당 비트 수보다 적을 것이다. 메모리 제어기(1200)는 제 2 메모리 영역에 포함된 메모리 블록들 중 어느 하나의 메모리 블록으로부터 읽혀진 데이터의 에러 비트들의 수가 기준을 초과하였는지의 여부에 따라 읽기 교정 동작(read reclaim operation)을 수행한다. 본 발명의 읽기 교정 동작에 따르면, 제 2 메모리 영역에 포함된 메모리 블록에 저장된 데이터는 제 2 메모리 영역에 포함된 메모리 블록으로 이동되는 것이 아니라, 제 1 메모리 영역에 포함된 메모리 블록들로 이동될 것이다. 본 발명의 경우, 제 2 메모리 영역에 포함된 메모리 블록에 저장된 데이터가 모두 제 1 메모리 영역에 포함된 메모리 블록들로 이동되면, 제 2 메모리 영역에 포함된 메모리 블록과 관련된 읽기 교정 동작은 종료될 것이다. 이는 이후 상세히 설명될 것이다.
- [0033] 도 3은 도 2에 도시된 메모리 제어기를 개략적으로 보여주는 블록도이다. 도 3을 참조하면, 메모리 제어기(1200)는 제 1 인터페이스로서 호스트 인터페이스(1210), 제 2 인터페이스로서 메모리 인터페이스(1220), 중앙 처리 장치(1230), 버퍼 메모리(1240), 그리고 ECC 회로(1250)를 포함한다.
- [0034] 호스트 인터페이스(1210)는 외부(또는, 호스트)와 인터페이스하도록 구성된다. 메모리 인터페이스(1220)는 도 2에 도시된 불 휘발성 메모리 장치(1400)와 인터페이스하도록 구성된다. CPU(1230)는 메모리 제어기(1200)의 전반적인 동작을 제어하도록 구성된다. 예를 들면, CPU(1230)는 플래시 변환 계층(Flash Translation Layer: FTL)과 같은 펌웨어를 운용하도록 구성된다. 플래시 변환 계층(FTL)은 다양한 기능들을 수행한다. 예를 들면, 플래시 변환 계층(FTL)은 어드레스 맵핑 동작, 읽기 교정 동작, 에러 정정 동작, 등을 수행하는 다양한 계층들을 포함할 것이다. 버퍼 메모리(1240)는 호스트 인터페이스(1210)를 통해 외부로 전달되는 데이터를 임시 저장하는 데 사용된다. 버퍼 메모리(1240)는 메모리 인터페이스(1220)를 통해 불 휘발성 메모리 장치(1400)로부터 전달되는 데이터를 임시 저장하는 데 사용된다. 버퍼 메모리(1240)는 불 휘발성 메모리 장치(1400)를 제어하는 데 필요한 정보(예를 들면, 읽기 교정 동작을 필요로 하는 소오스 메모리 블록들을 나타내는 정보, 어드레스 맵핑 정보, 등)를 저장하는 데 사용된다. 예를 들면, 버퍼 메모리(1240)는 DRAM, SRAM, 또는 DRAM과 SRAM의 조합으로 구성될 수 있다. 하지만, 버퍼 메모리(1240)로서 사용되는 메모리 장치가 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다. ECC 회로(1250)는 불 휘발성 메모리 장치(1400)에 저장될 데이터를 부호화하도록 그리고 불 휘발성 메모리 장치(1400)로부터 읽혀진 데이터를 복호화하도록 구성될 것이다.
- [0035] 예시적인 실시예에 있어서, 메모리 제어기(1200)는, 비록 도면에는 도시되지 않았지만, 불 휘발성 메모리 장치(1400)에 저장될 데이터를 랜덤화하도록 그리고 불 휘발성 메모리 장치(1400)로부터 읽혀진 데이터를 디-랜덤화하도록 구성된 랜덤화기를 더 포함할 것이다. 랜덤화기의 일예가 미국특허공개번호 제2010/0088574호에 "DATA

"STORAGE SYSTEM AND DEVICE WITH RANDOMIZER/DE-RANDOMIZER"라는 제목으로 게재되어 있으며, 이 출원의 레퍼런스로 포함된다.

[0036] 예시적인 실시예에 있어서, 호스트 인터페이스(1210)는 컴퓨터 버스 표준들, 스토리지 버스 표준들, iFCPPeripheral 버스 표준들, 등 중 하나 또는 그 보다 많은 것들의 조합으로 구성될 수 있다. 컴퓨터 버스 표준들(computer bus standards)은 S-100 bus, Mbus, Smbus, Q-Bus, ISA, Zorro II, Zorro III, CAMAC, FASTBUS, LPC, EISA, VME, VXI, NuBus, TURBOchannel, MCA, Sbus, VLB, PCI, PXI, HP GSC bus, CoreConnect, InfiniBand, UPA, PCI-X, AGP, PCIe, Intel QuickPath Interconnect, Hyper Transport, 등을 포함한다. 스토리지 버스 표준들(Storage bus standards)은 ST-506, ESDI, SMD, Parallel ATA, DMA, SSA, HIPPI, USB MSC, FireWire(1394), Serial ATA, eSATA, SCSI, Parallel SCSI, Serial Attached SCSI, Fibre Channel, iSCSI, SAS, RapidIO, FCIP, 등을 포함한다. iFCPPeripheral 버스 표준들(iFCPPeripheral bus standards)은 Apple Desktop Bus, HIL, MIDI, Multibus, RS-232, DMX512-A, EIA/RS-422, IEEE-1284, UNI/O, 1-Wire, I2C, SPI, EIA/RS-485, USB, Camera Link, External PCIe, Light Peak, Multidrop Bus, 등을 포함한다.

[0037] 도 4는 도 2에 도시된 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.

[0038] 불 휘발성 메모리 장치(1400)는, 예를 들면, 낸드 플래시 메모리 장치일 것이다. 하지만, 본 발명이 낸드 플래시 메모리 장치에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 불 휘발성 메모리 장치(1400)는 노아 플래시 메모리 장치, 저항성 램(Resistive Random Access Memory: RRAM) 장치, 상변화 메모리(Phase-Change Memory: PRAM) 장치, 자기저항 메모리(Magnetoresistive Random Access Memory: MRAM) 장치, 강유전체 메모리(Ferroelectric Random Access Memory: FRAM) 장치, 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM), 또는 그와 같은 것으로 구성될 수 있다. 또한, 본 발명의 불 휘발성 메모리 장치(1400)는 3차원 어레이 구조를 갖도록 구현될 수 있다. 3차원 어레이 구조를 갖는 불 휘발성 메모리 장치는 수직 낸드 플래시 메모리 장치라 불린다. 본 발명은 전하 저장층이 전도성 부유 게이트로 구성된 플래시 메모리 장치 뿐만 아니라, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(Charge Trap Flash, "CTF"라 불림) 메모리 장치에도 모두 적용 가능하다.

[0039] 도 4를 참조하면, 불 휘발성 메모리 장치(1400)는 메모리 셀 어레이(1410), 어드레스 디코더(1420), 전압 발생기(1430), 제어 로직(1440), 페이지 버퍼 회로(1450), 그리고 입출력 인터페이스(1460)를 포함한다.

[0040] 메모리 셀 어레이(1410)는 행들(예를 들면, 워드 라인들)과 열들(예를 들면, 비트 라인들)의 교차 영역들에 배열된 메모리 셀들을 포함할 것이다. 메모리 셀들 각각은 1-비트 데이터 또는 멀티-비트 데이터를 저장할 것이다. 어드레스 디코더(1420)는 제어 로직(1440)에 의해서 제어되며, 메모리 셀 어레이(1410)의 행들(예를 들면, 워드 라인들, 스트링 선택 라인(들), 접지 선택 라인(들), 공통 소오스 라인, 등)의 선택 및 구동을 행한다. 전압 발생기(1430)는 제어 로직(1440)에 의해서 제어되며, 각 동작에 필요한 전압들(예를 들면, 고전압, 프로그램 전압, 읽기 전압, 검증 전압, 소거 전압, 패스 전압, 벌크 전압, 등)을 발생한다. 전압 발생기(1430)에 의해서 생성된 전압들은 어드레스 디코더(1420)를 통해 메모리 셀 어레이(1410)에 제공된다. 제어 로직(1440)은 불 휘발성 메모리 장치(1400)의 전반적인 동작을 제어하도록 구성된다.

[0041] 페이지 버퍼 회로(1450)는 제어 로직(1440)에 의해서 제어되며, 메모리 셀 어레이(1410)로부터 데이터를 읽도록 또는 프로그램 데이터에 따라 메모리 셀 어레이(1410)의 열들(예를 들면, 비트 라인들)을 구동하도록 구성된다. 페이지 버퍼 회로(1450)는 비트 라인들 또는 비트 라인 쌍들에 각각 대응하는 복수의 페이지 버퍼들로 구성될 것이다. 페이지 버퍼들 각각은 복수의 래치들을 포함한다. 입출력 인터페이스(1460)는 제어 로직(1440)에 의해서 제어되며, 외부(예를 들면, 도 2의 메모리 제어기(1210))와 인터페이스하도록 구성된다. 비록 도면에는 도시되지 않았지만, 입출력 인터페이스(1460)는 페이지 버퍼들을 선택하기 위한 열 선택기, 데이터를 입력받는 입력 버퍼, 데이터를 출력하는 출력 버퍼, 그리고 그와 같은 것을 포함할 것이다.

[0042] 도 5는 도 4에 도시된 메모리 셀 어레이를 개략적으로 보여주는 블록도이다.

[0043] 도 5를 참조하면, 메모리 셀 어레이(1410)는 복수의 메모리 블록들로 구성되며, 복수의 메모리 블록들은 제 1 메모리 영역(1411)과 제 2 메모리 영역(1412)으로 구분될 것이다. 여기서, 제 1 및 제 2 메모리 영역들(1411, 1412)의 구분이 물리적인 것이 아니라 논리적으로 행해짐은 잘 이해될 것이다. 제 1 및 제 2 메모리 영역들(1411, 1412)의 구분은 논리적으로 가변 가능하다. 다시 말해서, 제 1 및 제 2 메모리 영역들(1411, 1412)의 물리적인 크기가 메모리 제어기(1200)의 제어 하에 논리적으로 가변 가능할 것이다. 제 1 메모리 영역(1411)에 속한 메모리 블록들은 제 2 메모리 영역(1412)에 속한 메모리 블록들과 다른 방식으로 프로그램될 것이다. 예를

들면, 제 1 메모리 영역(1411)에 속한 메모리 블록들은 단일-비트 프로그램 방식(또는, SLC 프로그램 방식이라 불림)에 따라 프로그램되고, 제 2 메모리 영역(1412)에 속한 메모리 블록들은 멀티-비트 프로그램 방식(또는, MLC/TLC 프로그램 방식이라 불림)(예를 들면, 앞서 설명된 3-스텝 재프로그램 방식)에 따라 프로그램될 것이다. 다시 말해서, 제 1 메모리 영역(1411)에 속한 메모리 셀들 각각은 1-비트 데이터를 저장하고, 제 2 메모리 영역(1412)에 속한 메모리 셀들 각각은 M-비트 데이터(M은 3 또는 그 보다 큰 정수)를 저장할 것이다. 또한, 제 1 메모리 영역(1411)에 속한 메모리 셀들 각각은 제 2 메모리 영역(1412)에 속한 메모리 셀들 각각에 저장되는 데이터 비트들의 수보다 작은 수의 데이터 비트들을 저장할 것이다. 여기서, 제 1 메모리 영역(1411)에 속한 메모리 셀들 각각이 1-비트 데이터를 저장하는 것에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 제 1 메모리 영역(1411)에 속한 메모리 셀들 각각에 저장되는 비트들의 수는 제 2 메모리 영역(1412)에 속한 메모리 셀들 각각에 저장되는 비트들의 수보다 적을 것이다.

- [0044] 앞서 설명된 바와 같이, 메모리 제어기(1200)에서 제공되는 데이터는 버퍼 프로그램 동작을 통해 제 1 메모리 영역(1411)에 프로그램될 것이다. 메인 프로그램 동작에 필요한 데이터는 제 1 메모리 영역(1411)으로부터 읽혀지며, 읽혀진 데이터는 메인 프로그램 동작을 통해 제 2 메모리 영역(1412)에 프로그램될 것이다.
- [0045] 도 6a 내지 도 6d는 본 발명의 예시적인 실시예에 따른 멀티-비트 메모리 장치의 제 1 및 제 2 메모리 영역들에 대한 다양한 조합들을 설명하기 위한 도면들이다. 도면에서, "BP"는 제 1 메모리 영역(1411)에 대한 버퍼 프로그래밍을 나타내며, "MP"는 제 2 메모리 영역(1412)에 대한 메인 프로그래밍을 나타낸다.
- [0046] 앞서 설명된 바와 같이, 멀티-비트 메모리 장치(1400)는 제 1 메모리 영역(1411)과 제 2 메모리 영역(1412)을 포함할 것이다. 여기서, 제 1 메모리 영역(1411)과 제 2 메모리 영역(1412)는 멀티-비트 메모리 장치(1400)의 메모리 셀 어레이를 구성할 것이다. 비록 도면에는 도시되지 않았지만, 메모리 셀 어레이는 더 많은 영역들(예를 들면, 메타 영역, 예비 영역, 등)을 포함할 것이다. 메모리 셀 어레이의 메모리 영역들이 물리적으로 구분되는 것이 아니라 논리적으로 구분된다는 것은 잘 이해될 것이다. 이는 메모리 제어기(1200)의 어드레스 맵핑에 따라 메모리 영역들이 정의됨을 의미한다.
- [0047] 도 6a를 참조하면, 셀 당 3-비트 데이터를 저장하는 멀티-비트 메모리 장치의 경우, 제 1 메모리 영역(1411)은 1-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성되고, 제 2 메모리 영역(1412)은 3-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성될 수 있다. 이 경우, 버퍼 프로그래밍은 SLC 프로그램 방식에 따라 행해질 것이다. 메인 프로그래밍은 앞서 설명된 MLC/TLC 프로그램 방식에 따라 행해질 것이다.
- [0048] 도 6b를 참조하면, 셀 당 4-비트 데이터를 저장하는 멀티-비트 메모리 장치의 경우, 제 1 메모리 영역(1411)은 1-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성되고, 제 2 메모리 영역(1412)은 4-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성될 수 있다. 이 경우, 버퍼 프로그래밍은 SLC 프로그램 방식에 따라 행해질 것이다. 메인 프로그래밍은 앞서 설명된 MLC/TLC 프로그램 방식에 따라 행해질 것이다.
- [0049] 도 6c를 참조하면, 셀 당 3-비트 데이터를 저장하는 멀티-비트 메모리 장치의 경우, 제 1 메모리 영역(1411)은 2-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성되고, 제 2 메모리 영역(1412)은 3-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성될 수 있다. 이 경우, 버퍼 프로그래밍은 일반적인 또는 앞서 설명된 MLC 프로그램 방식에 따라 행해질 것이다. 메인 프로그래밍은 앞서 설명된 MLC/TLC 프로그램 방식(예를 들면, 재프로그램 방식)에 따라 행해질 것이다.
- [0050] 도 6d를 참조하면, 셀 당 4-비트 데이터를 저장하는 멀티-비트 메모리 장치의 경우, 제 1 메모리 영역(1411)은 2-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성되고, 제 2 메모리 영역(1412)은 4-비트 데이터를 각각 저장하는 메모리 셀들의 메모리 블록들로 구성될 수 있다. 이 경우, 버퍼 프로그래밍은 일반적인 또는 앞서 설명된 MLC 프로그램 방식에 따라 행해질 것이다. 메인 프로그래밍은 앞서 설명된 MLC/TLC 프로그램 방식(예를 들면, 재프로그램 방식)에 따라 행해질 것이다.
- [0051] 예시적인 실시예에 있어서, 도 6a 내지 도 6d에 도시된 제 1 및 제 2 메모리 영역들(1411, 1412)의 정의가 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 메모리 시스템에 포함되는 저장 매체가 복수의 멀티-비트 메모리 장치들로 구성되는 경우, 각 멀티-비트 메모리 장치는 메모리 셀 어레이가 제 1 및 제 2 메모리 영역들(1411, 1412)으로 구분되도록 구성될 수 있다. 다른 예로서, 하나 또는 그 보다 많은 멀티-비트 메모리 장치들의 메모리 셀 어레이들 각각은 제 1 메모리 영역(1411)으로 사용되도록 구성될 수 있다. 나머지 멀티-비트 메모리 장치들의 메모리 셀 어레이들 각각은 제 2 메모리 영역(1412)으로 사용되도록 구성될 수 있다.
- [0052] 도 7은 본 발명의 예시적인 실시예에 따른 메모리 시스템의 읽기 방법을 보여주는 순서도이다. 이하, 본 발명의

예시적인 실시예에 따른 메모리 시스템의 읽기 방법이 참조 도면들에 의거하여 상세히 설명될 것이다. 설명에 앞서, 제 1 메모리 영역(1411)이 셀 당 1-비트 데이터가 저장되는 메모리 블록들(이하, SLC 블록들이라 칭함)로 구성되고 제 2 메모리 영역(1412)이 셀 당 3-비트 데이터가 저장되는 메모리 블록들(이하, TLC 블록들이라 칭함)로 구성된다고 가정하자.

- [0053] S110 단계에서, 메모리 제어기(1200)는 외부 장치(예를 들면, 호스트)로부터 읽기 요청을 입력받는다. S120 단계에서, 메모리 제어기(1200)는 읽기 요청된 데이터가 출력되도록 불 휘발성 메모리 장치(1400)를 제어한다. 읽기 요청된 데이터는, 예를 들면, 제 2 메모리 영역(1412)의 TLC 블록에 저장된 데이터일 것이다. 또는, 읽기 요청된 데이터는 제 1 메모리 영역(1411)의 SLC 블록에 저장된 데이터일 것이다. 예시적인 실시예에 있어서, 읽기 요청된 데이터가 제 2 메모리 영역(1412)의 TLC 블록에 저장된 데이터일 것이다.
- [0054] S130 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터가 메모리 제어기(1200)의 버퍼 메모리(1240)로 전송되는 동안, 메모리 제어기(1200)의 ECC 회로(1250)는 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터에 대한 에러 검출 동작을 수행한다. 이때, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터는 메모리 제어기(1200)의 버퍼 메모리(1240)에 임시 저장될 것이다.
- [0055] S140 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정 가능한 지의 여부가 결정될 것이다. 만약 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정 가능한 것으로 결정되면, 절차는 S150 단계로 진행할 것이다. S150 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정될 것이다. S160 단계에서, 버퍼 메모리(1240)에 저장된 정정된 데이터는 읽기 요청된 데이터로서 외부 장치로 전송될 것이다. 이후, 읽기 방법이 종료될 것이다.
- [0056] S140 단계로 돌아가서, 만약 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정 가능하지 않은 것으로 결정되면 또는, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터로부터 출력된 에러 비트들의 수가 기준(예를 들면, ECC 회로(1250)의 허용 가능한 에러 비트 수)을 초과하는 경우, 절차는 S170 단계로 진행할 것이다. S170 단계에서, 메모리 제어기(1200)는 소프트웨어 방식으로 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터에 대한 에러 검출 정정 동작을 수행할 것이다. 소프트웨어 방식을 이용한 에러 검출 정정 동작은, 예를 들면, 플래시 변환 계층(FTL)에 의해서 행해질 것이다. S180 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터가 정정되었는 지의 여부가 결정될 것이다. 비록 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터에 포함된 에러 비트들의 수가 ECC 회로(1250)의 허용 가능한 에러 비트 수를 초과하더라도, 소프트웨어 방식을 이용한 에러 검출 정정 동작을 통해 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정될 수 있다.
- [0057] 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터가 정정되지 않은 것으로 결정되면, 절차는 S190 단계로 진행할 것이다. S190 단계에서, 메모리 제어기(1200)는 외부 장치에 의해서 요청된 읽기 동작이 페일된 것으로 처리할 것이다. 이후, 읽기 방법은 종료될 것이다. 예를 들면, 읽기 페일 플래그가 생성될 것이다. 읽기 페일 플래그의 생성에 따른 절차는 다양하게 결정될 수 있다. 이후, 방법은 종료될 것이다.
- [0058] 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터가 정정된 것으로 결정되면, 절차는 S200 단계로 진행할 것이다. S200 단계에서, 메모리 제어기(1200)는 버퍼 메모리(1240)에 저장된 정정된 데이터를 읽기 요청된 데이터로서 외부 장치로 전송할 것이다. 이때, 읽기 요청된 데이터가 저장된 TLC 블록이 읽기 교정 동작을 필요로 하는 메모리 블록임을 나타내는 정보가 CPU(1230)의 제어 하에 큐(queue)에 저장될 것이다. 이후, 읽기 방법이 종료될 것이다.
- [0059] 예시적인 실시예에 있어서, 큐는 버퍼 메모리(1240)의 일부로 구성되며, 큐에 저장된 정보는 CPU(1230)에 의해서 참조될 것이다. 큐에 저장된 정보는 주기적으로 또는 정해진 시간에 불 휘발성 메모리 장치(1400)에 저장될 것이다. 이는 갑작스런 전원 차단으로 인해서 버퍼 메모리(1240) 또는 큐에 저장된 정보가 손실되는 것을 방지하기 위해서 행해질 것이다. 큐에 저장된 정보에 의거하여 TLC 블록에 대한 읽기 교정 동작이 수행되며, 이는 이후 상세히 설명될 것이다.
- [0060] 도 8a 및 도 8b는 본 발명의 예시적인 실시예에 따른 읽기 교정 동작을 보여주는 도면들이다.
- [0061] 메모리 셀들의 문턱 전압 산포들은 다양한 원인들(예를 들면, 온도 변화, 읽기 동작의 반복, 등)로 인해 이동될 수 있다. 문턱 전압 산포들의 이동은 메모리 셀들로부터 읽혀진 페이지 데이터에서 에러 비트들이 발생하게 한다. 예를 들면, 문턱 전압 산포들의 이동은 에러 비트들의 수가 증가되게 한다. 특히, 셀 당 3-비트 데이터가 저장되는 TLC 블록의 경우, 문턱 전압 산포들의 이동은 에러 비트들의 수가 더욱 증가되게 한다. 따라서, 읽혀

진 데이터의 무결성을 보장하기 위해서 읽기 교정 동작이 수행될 수 있다. 읽기 교정 동작은 정정 불가능한 것으로 판단되는 페이지 데이터를 포함한 TLC 블록의 유효 데이터를 새로운 블록으로 이동시키는 동작을 의미한다. 또는, 읽기 교정 동작은 에러 비트들의 수가 추후 증가될 가능성이 높은 페이지 데이터를 포함한 TLC 블록의 유효 데이터를 새로운 블록으로 이동시키는 동작을 의미한다. 읽기 교정 동작은 페이지 데이터가 저장된 메모리 셀들의 문턱 전압 산포들의 이동이 인접한 메모리 셀들에도 영향을 주기 때문에 행해진다.

[0062] 도 8a를 참조하면, CPU(1230)는 큐에 저장된 정보에 의거하여 플래시 변환 계층(FTL)의 읽기 교정 동작의 대상 블록인 TLC 블록을 선택한다. 예를 들면, 선택된 TLC 블록은 64개의 워드 라인들을 포함한다고 가정하자. 즉, 192개의 페이지들의 데이터가 하나의 TLC 블록에 저장될 것이다. 선택된 TLC 블록에 저장된 192개의 페이지들의 데이터가 모두 유효한 경우, 선택된 TLC 블록에 저장된 192개의 페이지들의 데이터를 이동하는 데 3개의 SLC 블록들이 요구될 것이다. 읽기 교정 동작을 수행하기 위해 선택된 TLC 블록으로부터 64개의 페이지들의 데이터가 읽혀지고, 읽혀진 64개의 페이지들의 데이터는 메모리 제어기(1200)의 ECC 회로(1250)를 통해 제 1 메모리 영역(1411)의 하나의 SLC 블록(SB0)에 저장될 것이다. 다음에, 읽기 교정 동작을 수행하기 위해 선택된 TLC 블록으로부터 64개의 페이지들의 데이터가 읽혀지고, 읽혀진 64개의 페이지들의 데이터는 메모리 제어기(1200)의 ECC 회로(1250)를 통해 제 1 메모리 영역(1411)의 SLC 블록(SB1)에 저장될 것이다. 마지막으로, 읽기 교정 동작을 수행하기 위해 선택된 TLC 블록으로부터 64개의 페이지들의 데이터가 읽혀지고, 읽혀진 64개의 페이지들의 데이터는 메모리 제어기(1200)의 ECC 회로(1250)를 통해 제 1 메모리 영역(1411)의 하나의 SLC 블록(SB2)에 저장될 것이다.

[0063] 도 8b를 참조하면, 선택된 TLC 블록에 저장된 192개의 페이지들 중 150개의 페이지들의 데이터가 유효한 경우, 선택된 TLC 블록에 저장된 150개의 페이지들의 데이터를 이동하는 데 3개의 SLC 블록들이 요구될 것이다. 읽기 교정 동작을 수행하기 위해 선택된 TLC 블록으로부터 64개의 페이지들의 데이터가 읽혀지고, 읽혀진 64개의 페이지들의 데이터는 메모리 제어기(1200)의 ECC 회로(1250)를 통해 제 1 메모리 영역(1411)의 하나의 SLC 블록(SB0)에 저장될 것이다. 다음에, 읽기 교정 동작을 수행하기 위해 선택된 TLC 블록으로부터 64개의 페이지들의 데이터가 읽혀지고, 읽혀진 64개의 페이지들의 데이터는 메모리 제어기(1200)의 ECC 회로(1250)를 통해 제 1 메모리 영역(1411)의 SLC 블록(SB1)에 저장될 것이다. 마지막으로, 읽기 교정 동작을 수행하기 위해 선택된 TLC 블록으로부터 22개의 페이지들의 데이터가 읽혀지고, 읽혀진 22개의 페이지들의 데이터는 메모리 제어기(1200)의 ECC 회로(1250)를 통해 제 1 메모리 영역(1411)의 하나의 SLC 블록(SB2)에 저장될 것이다.

[0064] TLC 블록에 저장된 유효 페이지 데이터가 모두 제 1 메모리 영역(1411)으로 이동되면, CPU(1230)은 TLC 블록에 대한 플래시 변환 계층(FTL)의 읽기 교정 동작을 완료된 것으로 처리한다. 예를 들면, 큐에 저장된 정보(읽기 교정 동작의 대상 블록을 나타냄)가 변경될 것이다.

[0065] 앞서 설명된 바와 같이, 본 발명의 읽기 교정 동작에 따르면, 읽기 교정 동작의 대상 블록인 TLC 블록의 유효 페이지들의 데이터는 제 2 메모리 영역(1412)의 TLC 블록이 아니라 제 1 메모리 영역(1411)의 SLC 블록들로 이동될 것이다. 제 1 메모리 영역(1411)의 SLC 블록들로의 데이터 이동이 완료되면, TLC 블록에 대한 읽기 교정 동작이 완료된 것으로 처리된다. 다시 말해서, 본 발명의 읽기 교정 동작시, 읽기 교정 동작의 대상 블록인 TLC 블록의 유효 페이지들의 데이터는 제 2 메모리 블록(1412)의 TLC 블록으로 이동되지 않는다.

[0066] 예시적인 실시예에 있어서, 읽기 교정 동작의 대상 블록인 TLC 블록의 유효 페이지들의 데이터는 시분할 방식으로 제 1 메모리 영역(1411)의 SLC 블록들로 이동될 것이다. 예를 들면, 읽기 교정 동작의 대상 블록인 TLC 블록의 유효 페이지들의 데이터 중 일부 (예를 들면, 하나의 SLC 블록의 크기에 대응하는 유효 페이지들의 데이터)가 하나의 SLC 블록으로 이동된다. 이는 다른 페이지의 읽기 또는 쓰기 동작이 호스트에 의해서 요청될 때마다 읽기 또는 쓰기 동작이 완료된 후에 타임아웃 시간 내에서 행해질 수 있다. TLC 블록의 유효 페이지들의 데이터가 모두 SLC 블록들로 이동될 때 TLC 블록에 대한 읽기 교정 동작이 완료될 것이다.

[0067] 예시적인 실시예에 있어서, 읽기 교정 동작의 대상 블록인 TLC 블록의 유효 페이지들의 데이터가 이동될 제 1 메모리 영역(1411)의 SLC 블록들의 수는 호스트의 타임아웃 구간을 고려하여 결정될 수 있다. 예를 들면, 호스트의 쓰기 요청이 처리된 후 타임아웃 구간의 남은 시간을 고려하여 제 1 메모리 영역(1411)의 SLC 블록들의 수를 결정하는 것이 가능하다. 호스트의 쓰기 요청시 결정된 SLC 블록들로 읽기 교정 동작의 대상 블록인 TLC 블록의 데이터가 이동될 것이다.

[0068] TLC 블록에서 SLC 블록들로 이동된 데이터는 메인 프로그램 동작을 통해 제 2 메모리 영역(1412)으로 저장될 것이다. 이러한 동작은 가비지 콜렉션 동작 동안 행해질 수 있다. 이는 도 9를 참조하여 상세히 설명될 것이다.

- [0069] 도 9는 읽기 교정 동작을 통해 생성된 SLC 블록들의 데이터가 TLC 블록에 저장되는 예를 보여주는 도면이다.
- [0070] 앞서 설명된 바와 같이, 본 발명의 읽기 교정 동작은 TLC 블록의 유효한 페이지들의 데이터가 제 1 메모리 영역(1411)의 SLC 블록들로 이동될 때 완료된다. TLC 블록의 유효 페이지들의 수에 따라 SLC 블록들 중 하나는 빈 저장 공간을 포함한다. 예를 들면, 도 8b 및 도 9를 참조하면, 선택된 TLC 블록에 저장된 192개의 페이지들 중 150개의 페이지들의 데이터가 유효한 경우, 선택된 TLC 블록에 저장된 150개의 페이지들의 데이터를 이동하는데 3개의 SLC 블록들이 요구되며, 하나의 SLC 블록(예를 들면, SB2)은 빈 저장 공간을 포함한다. 빈 저장 공간을 포함한 SLC 블록(SB2)을 제외한 나머지 SLC 블록들(SB0, SB1)의 데이터는 가비지 콜렉션 동작시 데이터로 완전히 채워진 다른 SLC 블록(예를 들면, SB3)의 데이터와 함께 특정 TLC 블록에 저장될 것이다. SLC 블록들의 데이터가 상술한 바와 같은 방식으로 TLC 블록에 저장되면, TLC 블록이 완전히 데이터로 채워질 것이다. 다시 말해서, TLC 블록의 모든 워드 라인들이 클로즈될 것이다. 이는 TLC 블록이 오픈 워드 라인을 포함하지 않음을 의미한다. 이에 반해서, 선택된 TLC 블록에 저장된 150개의 페이지들의 데이터가 저장된 SLC 블록들(SB0, SB1, SB2)의 데이터가 특정 TLC 블록에 저장되는 경우, 특정 TLC 블록에는 빈 저장 공간이 존재한다. 이는 특정 TLC 블록이 오픈 워드 라인을 포함함을 의미한다.
- [0071] 여기서, n번째 워드 라인(WLn)에 연결된 메모리 셀들에 대한 3-스텝 재프로그래밍 동작이 완료된 반면에 인접한 상위 워드 라인(예를 들면, (n+1)번째 워드 라인(WLn+1))에 연결된 메모리 셀들에 대한 3-스텝 재프로그래밍 동작 중 제 3 프로그래밍 단계가 수행되지 않은 경우, n번째 워드 라인(WLn)을 오픈 워드 라인이라 칭한다. 오픈 워드 라인에 연결된 메모리 셀들의 목표 문턱 전압 산포들은 인접한 상위 워드 라인에 연결된 메모리 셀들에 대한 3-스텝 재프로그래밍 동작이 완료될 때 형성된다. 만약 인접한 상위 워드 라인에 연결된 메모리 셀들에 대한 3-스텝 재프로그래밍 동작이 완료되지 않으면, 오픈 워드 라인에 연결된 메모리 셀들의 목표 문턱 전압 산포들이 정상적으로 형성되지 않는다. 예를 들면, 오픈 워드 라인에 연결된 메모리 셀들은 인접 상위 워드 라인에 연결된 메모리 셀들에 의해서 생기는 커플링을 충분히 받지 못하며, 그 결과 오픈 워드 라인에 연결된 메모리 셀들의 목표 문턱 전압 산포들이 정상적으로 형성되지 않는다. 이러한 경우, 오픈 워드 라인에 연결된 메모리 셀들로부터 읽혀진 데이터가 정정 불가능한 확률이 높아지게 된다.
- [0072] 따라서, 빈 저장 공간을 포함한 SLC 블록(SB2)을 제외한 나머지 SLC 블록들(SB0, SB1)의 데이터를 가비지 콜렉션 동작시 데이터로 완전히 채워진 다른 SLC 블록(예를 들면, SB3)의 데이터와 함께 특정 TLC 블록에 저장함으로써 특정 TLC 블록에서 오픈 워드 라인이 생기는 것을 방지할 수 있다.
- [0073] 예시적인 실시예에 있어서, 빈 저장 공간을 갖는 SLC 블록(SB2)의 데이터는 빈 저장 공간을 갖는 다른 SLC 블록의 데이터와 함께 다른 SLC 블록으로 또는 TLC 블록으로 이동될 수 있다.
- [0074] 도 10은 본 발명의 다른 예시적인 실시예에 따른 메모리 시스템의 읽기 방법을 보여주는 순서도이다. 이하, 본 발명의 예시적인 실시예에 따른 메모리 시스템의 읽기 방법이 참조 도면들에 의거하여 상세히 설명될 것이다. 설명에 앞서, 제 1 메모리 영역(1411) 셀 당 1-비트 데이터가 저장되는 메모리 블록들(이하, SLC 블록들이라 칭함)로 구성되고 제 2 메모리 영역(1412)이 셀 당 3-비트 데이터가 저장되는 메모리 블록들(이하, TLC 블록들이라 칭함)로 구성된다고 가정하자.
- [0075] S310 단계에서, 메모리 제어기(1200)는 외부 장치(예를 들면, 호스트)로부터 읽기 요청을 입력받는다. S320 단계에서, 메모리 제어기(1200)는 읽기 요청된 데이터가 출력되도록 불 휘발성 메모리 장치(1400)를 제어한다. 읽기 요청된 데이터는, 예를 들면, 제 2 메모리 영역(1412)의 TLC 블록에 저장된 데이터일 것이다. 또는, 읽기 요청된 데이터는 제 1 메모리 영역(1411)의 SLC 블록에 저장된 데이터일 것이다. 예시적인 실시예에 있어서, 읽기 요청된 데이터가 제 2 메모리 영역(1412)의 TLC 블록에 저장된 데이터일 것이다.
- [0076] S330 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터가 메모리 제어기(1200)의 버퍼 메모리(1240)로 전송되는 동안, 메모리 제어기(1200)의 ECC 회로(1250)는 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터에 대한 에러 검출 동작을 수행한다. 이때, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터는 메모리 제어기(1200)의 버퍼 메모리(1240)에 임시 저장될 것이다.
- [0077] S340 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정 가능한지의 여부가 결정될 것이다. 만약 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정 가능한 것으로 결정되면, 절차는 S350 단계로 진행할 것이다. S350 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정될 것이다. S360 단계에서, 버퍼 메모리(1240)에 저장된 정정된 데이터는 읽기 요청된 데이터로서 외부 장치로 전송될 것이다. 이후, 읽기 방법이 종료될 것이다.

- [0078] S340 단계로 돌아가서, 만약 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정 가능하지 않은 것으로 결정되면 또는, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터로부터 출력된 에러 비트들의 수가 기준(예를 들면, ECC 회로(1250)의 허용 가능한 에러 비트 수, 허용 가능한 에러 비트 수보다 적은 에러 비트 수, 등)을 초과하는 경우, 절차는 S370 단계로 진행할 것이다. S370 단계에서, 읽기 재시도 동작이 행해질 것이다. 읽기 재시도 동작은 읽기 전압이 정해진 횟수 내에서 가변되는 상태에서 읽기 동작을 재시도하는 동작을 의미한다. 읽기 재시도 동작의 일예가 미국특허 출원공개번호 제2010/0322007호에 "FLASH MEMORY DEVICE AND METHOD OF READING DATA"라는 제목으로 게재되어 있으며, 이 출원의 레퍼런스로 포함된다. 읽기 전압이 가변될 때마다 읽혀진 데이터가 에러 정정 가능한지의 여부가 판별될 것이다. 읽기 재시도 동작을 통해 읽혀진 데이터가 에러 정정 가능하지 않은 경우, 절차는 S380 단계로 진행할 것이다. S380 단계에서, 읽기 페일 플래그가 생성될 것이다. 읽기 페일 플래그의 생성에 따른 절차는 다양하게 결정될 수 있다. 이후, 방법은 종료될 것이다.
- [0079] 읽기 재시도 동작을 통해 읽혀진 데이터가 에러 정정 가능한 경우, 절차는 S390 단계로 진행할 것이다. S390 단계에서, 불 휘발성 메모리 장치(1400)으로부터 출력된 데이터가 저장된 제 2 메모리 영역(1412)의 TLC 블록이 읽기 교정 동작의 대상 블록임을 나타내는 정보가 큐에 저장될 것이다. 앞서 설명된 바와 같이, 큐는 버퍼 메모리(1240)의 일부로 구성되며, 큐에 저장된 정보는 CPU(1230)에 의해서 참조될 것이다. 큐에 저장된 정보는 주기적으로 또는 정해진 시간에 불 휘발성 메모리 장치(1400)에 저장될 것이다. 이는 갑작스런 전원 차단으로 인해서 버퍼 메모리(1240) 또는 큐에 저장된 정보가 손실되는 것을 방지하기 위해서 행해질 것이다. 큐에 저장된 정보에 의거하여 TLC 블록에 대한 읽기 교정 동작이 수행되며, 이는 이후 상세히 설명될 것이다.
- [0080] 불 휘발성 메모리 장치(1400)으로부터 출력된 데이터가 저장된 제 2 메모리 영역(1412)의 TLC 블록이 읽기 교정 동작의 대상 블록임을 나타내는 정보가 큐에 저장된 후, 절차는 S350 단계로 진행할 것이다. S350 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 에러가 정정될 것이다. S360 단계에서, 버퍼 메모리(1240)에 저장된 정정된 데이터는 읽기 요청된 데이터로서 외부 장치로 전송될 것이다. 이후, 읽기 방법이 종료될 것이다.
- [0081] 메모리 제어기(1200)는 큐에 저장된 정보에 의거하여 읽기 교정 동작을 수행하며, 이는 도 8a, 8b, 그리고 9에서 설명된 것과 동일하게 행해질 것이다.
- [0082] 도 11은 본 발명의 또 다른 예시적인 실시예에 따른 메모리 시스템의 읽기 방법을 보여주는 순서도이다. 이하, 본 발명의 예시적인 실시예에 따른 메모리 시스템의 읽기 방법이 참조 도면들에 의거하여 상세히 설명될 것이다. 설명에 앞서, 제 1 메모리 영역(1411) 셀 당 1-비트 데이터가 저장되는 메모리 블록들(이하, SLC 블록들이라 칭함)로 구성되고 제 2 메모리 영역(1412)이 셀 당 3-비트 데이터가 저장되는 메모리 블록들(이하, TLC 블록들이라 칭함)로 구성된다고 가정하자.
- [0083] S410 단계에서, 메모리 제어기(1200)는 외부 장치(예를 들면, 호스트)로부터 읽기 요청을 입력받는다. S420 단계에서, 메모리 제어기(1200)는 읽기 요청된 데이터가 출력되도록 불 휘발성 메모리 장치(1400)를 제어한다. 읽기 요청된 데이터는, 예를 들면, 제 2 메모리 영역(1412)의 TLC 블록에 저장된 데이터일 것이다. 또는, 읽기 요청된 데이터는 제 1 메모리 영역(1411)의 SLC 블록에 저장된 데이터일 것이다. 예시적인 실시예에 있어서, 읽기 요청된 데이터가 제 2 메모리 영역(1412)의 TLC 블록에 저장된 데이터일 것이다.
- [0084] S430 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터가 메모리 제어기(1200)의 버퍼 메모리(1240)로 전송되는 동안, 메모리 제어기(1200)의 ECC 회로(1250)는 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터에 대한 에러 검출 동작을 수행한다. 이때, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터는 메모리 제어기(1200)의 버퍼 메모리(1240)에 임시 저장될 것이다.
- [0085] S440 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터에 포함된 에러 비트들의 수가 기준 이하인지의 결정될 것이다. 여기서, 기준은 ECC 회로(1250)의 허용 가능한 에러 비트 수, 허용 가능한 에러 비트 수보다 적은 에러 비트 수, 동일 것이다. 만약 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터에 포함된 에러 비트들의 수가 기준 이상인 것으로 결정되면, 절차는 S450 단계로 진행할 것이다. S450 단계에서, 불 휘발성 메모리 장치(1400)으로부터 출력된 데이터가 저장된 제 2 메모리 영역(1412)의 TLC 블록이 읽기 교정 동작의 대상 블록임을 나타내는 정보가 큐에 저장될 것이다. 앞서 설명된 바와 같이, 큐는 버퍼 메모리(1240)의 일부로 구성되며, 큐에 저장된 정보는 CPU(1230)에 의해서 참조될 것이다. 큐에 저장된 정보는 주기적으로 또는 정해진 시간에 불 휘발성 메모리 장치(1400)에 저장될 것이다. 이는 갑작스런 전원 차단으로 인해서 버퍼 메모리(1240) 또는 큐에 저장된 정보가 손실되는 것을 방지하기 위해서 행해질 것이다. 큐에 저장된 정보에 의거하여 TLC 블

록에 대한 읽기 교정 동작이 수행되며, 이는 이후 상세히 설명될 것이다.

- [0086] 불 휘발성 메모리 장치(1400)으로부터 출력된 데이터가 저장된 제 2 메모리 영역(1412)의 TLC 블록이 읽기 교정 동작의 대상 블록임을 나타내는 정보가 큐에 저장된 후, 절차는 S460 단계로 진행할 것이다. S460 단계에서, 불 휘발성 메모리 장치(1400)로부터 출력되는 데이터의 예러가 정정될 것이다. S470 단계에서, 버퍼 메모리(1240)에 저장된 정정된 데이터는 읽기 요청된 데이터로서 외부 장치로 전송될 것이다. 이후, 읽기 방법이 종료될 것이다.
- [0087] 메모리 제어기(1200)는 큐에 저장된 정보에 의거하여 읽기 교정 동작을 수행하며, 이는 도 8a, 8b, 그리고 9에서 설명된 것과 동일하게 행해질 것이다.
- [0088] 도 12는 본 발명의 예시적인 실시예에 따른 메모리 시스템의 읽기 교정 방식을 보여주는 블록도이다.
- [0089] 도 12를 참조하면, 읽기 교정 동작은 읽기 동작시 읽기 페일될 가능성이 높은 페이지의 데이터를 포함한 TLC 블록의 유효한 데이터를 새로운 블록으로 이동시키는 동작으로, 데이터의 무결성을 보장하기 위해서 행해진다. 본 발명의 경우, 특히, 읽기 교정 동작의 대상 블록으로 결정된 TLC 블록들을 나타내는 정보가 큐에 저장될 것이다. 호스트의 요청(예를 들면, 쓰기 요청)시, 예를 들면, 요청된 동작이 완료되고, 큐에 저장된 정보에 따라 TLC 블록의 유효한 페이지들의 데이터 중 일부(또는, 모두)가 SLC 블록(들)으로 이동된다. SLC 블록으로의 데이터 이동은 ECC 회로(1250)의 부호화 및 버퍼 프로그래밍을 통해 행해질 것이다.
- [0090] 예시적인 실시예에 있어서, 호스트 요청시 SLC 블록으로 이동될 데이터의 양은 호스트 타임아웃 구간을 고려하여 결정될 수 있다. 예를 들면, SLC 블록으로 이동될 데이터의 양은 하나의 SLC 블록의 저장 용량에 대응할 것이다. 또는, SLC 블록으로 이동될 데이터의 양은 두개의 SLC 블록들의 저장 용량들의 합에 대응할 것이다. 하지만, 본 발명이 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다. 따라서, 요청된 동작 및 SLC 블록으로의 데이터 이동은 호스트 타임아웃 구간 내에서 행해질 것이다.
- [0091] 읽기 교정 동작의 대상 블록으로 결정된 TLC 블록의 유효한 페이지들의 데이터가 모두 SLC 블록들로 이동되면, 도 12에서 알 수 있듯이, TLC 블록과 관련된 읽기 교정 동작은 완료된 것으로 처리된다. 이후, SLC 블록들에 저장된 데이터는 읽기 교정 동작이 아니라 가비지 콜렉션 동작 또는 다른 동작시 메인 프로그램 동작을 통해 TLC 블록에 저장된다. 도 9를 참조하여 설명된 바와 같이, 읽기 교정 동작을 통해 프로그래밍된 SLC 블록들 중 하나가 빈 저장 공간을 포함하는 경우, 빈 저장 공간을 포함하는 SLC 블록을 제외한 나머지 SLC 블록들의 데이터는 다른 SLC 블록의 데이터와 함께 메인 프로그램 동작을 통해 TLC 블록에 저장될 것이다.
- [0092] 따라서, 본 발명의 읽기 교정 동작은 호스트 타임아웃 조건을 만족하면서 수행될 수 있다. 또한, 본 발명의 메모리 시스템은 TLC 블록에 오픈 워드 라인이 생성되는 것을 방지할 수 있다.
- [0093] 도 13은 본 발명의 실시예에 따른 컴퓨팅 시스템을 개략적으로 보여주는 블록도이다. 컴퓨팅 시스템은 처리 유닛(2101), 사용자 인터페이스(2202), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(2303), 메모리 제어기(2404), 그리고 저장 매체(2505)를 포함한다.
- [0094] 메모리 제어기(2404)는 도 2에 도시된 것과 실질적으로 동일하게 구성되고, 저장 매체(2505)는 도 4에 도시된 불 휘발성 메모리 장치로 구성될 것이다. 예를 들면, 메모리 제어기(2404)는 읽기 교정 동작의 대상 블록인 TLC 블록들을 큐를 이용하여 관리하고, 특정 시간(예를 들면, 호스트의 쓰기 요청시)에 큐에 저장된 정보에 따라 TLC 블록을 선택하고, 선택된 TLC 블록의 유효한 페이지들의 데이터가 저장 매체(2505)의 불 휘발성 메모리 장치에 포함된 SLC 블록들로 이동되도록 저장 매체(2505)를 제어한다. 메모리 제어기(2404)는 선택된 TLC 블록의 유효한 페이지들의 데이터가 저장 매체(2505)의 불 휘발성 메모리 장치에 포함된 SLC 블록들로 이동될 때 선택된 TLC 블록에 대한 읽기 교정 동작을 완료된 것으로 처리한다.
- [0095] 저장 매체(2505)에는 처리 유닛(2101)에 의해서 처리된/처리될 N-비트 데이터(N은 1 또는 그 보다 큰 정수)가 메모리 제어기(2404)를 통해 저장될 것이다. 컴퓨팅 시스템이 모바일 장치인 경우, 컴퓨팅 시스템의 동작 전압을 공급하기 위한 배터리(2606)가 추가적으로 제공될 것이다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 잘 이해될 것이다.
- [0096] 도 14는 본 발명의 실시예에 따른 반도체 드라이브를 개략적으로 보여주는 블록도이다.
- [0097] 도 14를 참조하면, 반도체 드라이브(4000)(SSD)는 저장 매체(4100)와 제어기(4200)를 포함할 것이다. 저장 매체(4100)는 복수의 채널들(CHO-CHn-1)을 통해 제어기(4200)와 연결될 것이다. 각 채널에는 복수의 불 휘발성 메모

리들이 공통으로 연결될 것이다. 제어기(4200)는 도 2에 도시된 것과 실질적으로 동일하게 구성되고, 저장 매체(4100)의 불 휘발성 메모리 장치들 각각은 도 4에 도시된 불 휘발성 메모리 장치와 실질적으로 동일하게 구성될 것이다. 예를 들면, 제어기(4200)는 읽기 교정 동작의 대상 블록인 TLC 블록들을 큐를 이용하여 관리하고, 특정 시간(예를 들면, 호스트의 쓰기 요청시)에 큐에 저장된 정보에 따라 TLC 블록을 선택하고, 선택된 TLC 블록의 유효한 페이지들의 데이터가 저장 매체(4100)의 불 휘발성 메모리 장치에 포함된 SLC 블록들로 이동되도록 저장 매체(4100)를 제어한다. 제어기(4200)는 선택된 TLC 블록의 유효한 페이지들의 데이터가 저장 매체(4100)의 불 휘발성 메모리 장치에 포함된 SLC 블록들로 이동될 때 선택된 TLC 블록에 대한 읽기 교정 동작을 완료된 것으로 처리한다.

[0098] 도 15는 도 14에 도시된 반도체 드라이브를 이용한 스토리지를 개략적으로 보여주는 블록도이고, 도 16은 도 14에 도시된 반도체 드라이브를 이용한 스트리지 서버를 개략적으로 보여주는 블록도이다.

[0099] 본 발명의 실시예에 따른 반도체 드라이브(4000)는 스토리지를 구성하는 데 사용될 수 있다. 도 15에 도시된 바와 같이, 스토리지는 도 14에서 설명된 것과 실질적으로 동일하게 구성되는 복수의 반도체 드라이브들을 포함할 것이다. 본 발명의 실시예에 따른 반도체 드라이브(4000)는 스토리지 서버를 구성하는 데 사용될 수 있다. 도 16에 도시된 바와 같이, 스토리지 서버는 도 14에서 설명된 것과 실질적으로 동일하게 구성되는 복수의 반도체 드라이브들(4000), 그리고 서버(4000A)를 포함할 것이다. 또한, 이 분야에 잘 알려진 RAID 제어기(4000B)가 스토리지 서버에 제공될 수 있음은 잘 이해될 것이다.

[0100] 도 17은 본 발명에 따른 모비낸드를 개략적으로 보여주는 블록도이다. 도 17을 참조하면, 모비낸드(5000)는 적어도 하나의 낸드 플래시 메모리 장치(5100) 및 제어기(5200)를 포함할 수 있다. 모비낸드(5000)는 MMC 4.4(다른 말로, eMMC) 규격을 지원한다.

[0101] 낸드 플래시 메모리 장치(5100)는 SDR(Sing Data Rate) 낸드 혹은 DDR(Double Data Rate) 낸드일 수 있다. 예시적인 실시 예에 있어서, 낸드 플래시 메모리 장치(5100)는 단품의 낸드 플래시 메모리 장치들을 포함할 수 있다. 여기서, 단품의 낸드 플래시 메모리 장치들은 하나의 패키지(예를 들어, FBGA, Fine-pitch Ball Grid Array)에 적층되어 구현될 수 있다. 단품의 낸드 플래시 메모리 장치들 각각은 도 4에 도시된 것과 실질적으로 동일하게 구성되며, 제어기(5200)는 도 2에 도시된 것과 실질적으로 동일하게 동작할 것이다. 예를 들면, 메모리 제어기(5200)는 읽기 교정 동작의 대상 블록인 TLC 블록들을 큐를 이용하여 관리하고, 특정 시간(예를 들면, 호스트의 쓰기 요청시)에 큐에 저장된 정보에 따라 TLC 블록을 선택하고, 선택된 TLC 블록의 유효한 페이지들의 데이터가 SLC 블록들로 이동되도록 낸드 플래시 메모리 장치(5100)를 제어한다. 메모리 제어기(5200)는 선택된 TLC 블록의 유효한 페이지들의 데이터가 낸드 플래시 메모리 장치(5100)에 포함된 SLC 블록들로 이동될 때 선택된 TLC 블록에 대한 읽기 교정 동작을 완료된 것으로 처리한다.

[0102] 메모리 제어기(5200)는 복수의 채널들을 통하여 플래시 메모리 장치(5100)에 연결된다. 제어기(5200)는 적어도 하나의 제어기 코어(5210), 호스트 인터페이스(5220) 및 낸드 인터페이스(5230)를 포함한다. 적어도 하나의 제어기 코어(5210)는 모비낸드(3000)의 전반적인 동작을 제어한다. 호스트 인터페이스(5220)는 제어기(5210)와 호스트의 인터페이싱을 수행한다. 낸드 인터페이스(5230)는 낸드 플래시 메모리 장치(5100)와 제어기(5200)의 인터페이싱을 수행한다. 예시적인 실시 예에 있어서, 호스트 인터페이스(5220)는 병렬 인터페이스(예를 들어, MMC 인터페이스)일 수 있다. 다른 실시 예에 있어서, 모비낸드(5000)의 호스트 인터페이스(5220)는 직렬 인터페이스(예를 들어, UHS-II, UFS 인터페이스)일 수 있다.

[0103] 모비낸드(5000)는 호스트로부터 전원 전압들(Vcc, Vccq)을 제공받는다. 여기서, 제 1 전원 전압(Vcc: 3.3V)은 낸드 플래시 메모리 장치(5100) 및 낸드 인터페이스(5230)에 제공되고, 제 2 전원 전압(Vccq: 1.8V/3.3V)은 제어기(5200)에 제공된다. 예시적인 실시 예에 있어서, 모비낸드(5000)는 외부 고전압(Vpp)을 옵션적으로 제공할 수 있다.

[0104] 본 발명에 따른 모비낸드(5000)는 대용량의 데이터를 저장하는 데 유리할 뿐 아니라, 향상된 읽기 동작 특성을 갖는다. 본 발명의 실시 예에 따른 모비낸드(5000)는 소형 및 저전력이 요구되는 모바일 제품(예를 들어, 갤럭시S, 갤럭시노트, 아이폰 등)에 응용 가능하다.

[0105] 도 18은 본 발명에 따른 통신장치를 개략적으로 보여주는 블록도이다. 도 18을 참조하면, 모바일 장치(6000)는 통신 유닛(6100), 제어기(6200), 메모리 유닛(6300), 디스플레이 유닛(6400), 터치 스크린 유닛(6500), 및 오디오 유닛(6600)을 포함한다. 메모리 유닛(6300)은 적어도 하나의 디램(6310), 적어도 하나의 워낸드(6320), 및 적어도 하나의 모비낸드(6330)를 포함한다.

- [0106] 모바일 장치에 대한 좀더 자세한 것은 미국 공개 번호들 US 2010/0010040, US 2010/0062715, US 2010/0309237, 그리고 US 2010/0315325에서 설명되어 있으며, 이 출원의 레퍼런스로 포함될 것이다.
- [0107] 도 19는 본 발명의 실시예에 따른 반도체 드라이브가 적용되는 시스템을 개략적으로 보여주는 도면이다.
- [0108] 도 19에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 드라이브는 메일 서버(8100)에도 적용될 수 있다.
- [0109] 도 20은 본 발명의 실시예에 따른 메모리 카드(memory card)를 개략적으로 보여주는 블록도이다.
- [0110] 메모리 카드는 예를 들어, MMC 카드, SD카드, 멀티유즈(multiuse) 카드, 마이크로 SD카드, 메모리 스틱, 콤팩트 SD 카드, ID 카드, PCMCIA 카드, SSD카드, 칩카드(chipcard), 스마트카드(smartcard), USB카드 등일 수 있다.
- [0111] 도 20를 참조하면, 메모리 카드는 외부와의 인터페이스를 수행하는 인터페이스부(9221), 버퍼 메모리를 갖고 메모리 카드의 동작을 제어하는 제어기(9222), 하나 또는 그 보다 많은 불 휘발성 메모리 장치들(9207)을 포함할 것이다. 제어기(9222)는 프로세서로서, 불 휘발성 메모리 장치(9207)의 라이트 동작 및 리드 동작을 제어할 수 있다. 구체적으로, 제어기(9222)는 데이터 버스(DATA)와 어드레스 버스(ADDRESS)를 통해서 불 휘발성 메모리 장치(9207) 및 인터페이스부(9221)와 커플링되어 있다. 인터페이스부(9221)는 호스트와 메모리 카드 사이에 데이터 교환을 수행하기 위한 카드 프로토콜(예를 들어, SD/MMC)을 통해 호스트와 인터페이스한다.
- [0112] 제어기(9222)는 도 2에 도시된 것과 실질적으로 동일하게 구성되고, 불 휘발성 메모리 장치(9207)는 도 4에 도시된 불 휘발성 메모리 장치와 실질적으로 동일하게 구성될 것이다. 예를 들면, 제어기(9222)는 읽기 교정 동작의 대상 블록인 TLC 블록들을 큐를 이용하여 관리하고, 특정 시간(예를 들면, 호스트의 쓰기 요청시)에 큐에 저장된 정보에 따라 TLC 블록을 선택하고, 선택된 TLC 블록의 유효한 페이지들의 데이터가 불 휘발성 메모리 장치(9207)에 포함된 SLC 블록들로 이동되도록 불 휘발성 메모리 장치(9207)를 제어한다. 제어기(9222)는 선택된 TLC 블록의 유효한 페이지들의 데이터가 불 휘발성 메모리 장치(9207)에 포함된 SLC 블록들로 이동될 때 선택된 TLC 블록에 대한 읽기 교정 동작을 완료된 것으로 처리한다.
- [0113] 도 21은 본 발명의 실시예에 따른 디지털 스틸 카메라(digital still camera)를 개략적으로 보여주는 블록도이다.
- [0114] 도 21을 참조하면, 디지털 스틸 카메라는 바디(9301), 슬롯(9302), 렌즈(9303), 디스플레이부(9308), 셔터 버튼(9312), 스트로브(strobe)(9318) 등을 포함한다. 특히, 슬롯(9308)에는 메모리 카드(9331)가 삽입될 수 있고, 메모리 카드(9331)는 도 1에서 설명된 메모리 제어기 및 불 휘발성 메모리 장치를 포함할 것이다. 예를 들면, 메모리 제어기는 읽기 교정 동작의 대상 블록인 TLC 블록들을 큐를 이용하여 관리하고, 특정 시간(예를 들면, 호스트의 쓰기 요청시)에 큐에 저장된 정보에 따라 TLC 블록을 선택하고, 선택된 TLC 블록의 유효한 페이지들의 데이터가 불 휘발성 메모리 장치에 포함된 SLC 블록들로 이동되도록 불 휘발성 메모리 장치를 제어한다. 메모리 제어기는 선택된 TLC 블록의 유효한 페이지들의 데이터가 불 휘발성 메모리 장치에 포함된 SLC 블록들로 이동될 때 선택된 TLC 블록에 대한 읽기 교정 동작을 완료된 것으로 처리한다.
- [0115] 메모리 카드(9331)가 접촉형(contact type)인 경우, 메모리 카드(9331)가 슬롯(9308)에 삽입될 때 메모리 카드(9331)와 회로 기판 상의 특정 전기 회로가 전기적으로 접촉하게 된다. 메모리 카드(9331)가 비접촉형(non-contact type)인 경우, 무선 신호를 통해서 메모리 카드(9331)가 액세스될 것이다.
- [0116] 도 22는 도 21의 메모리 카드가 사용되는 다양한 응용 분야들을 보여주는 도면이다.
- [0117] 도 22를 참조하면, 메모리 카드(9331)는 비디오 카메라(VC), 텔레비전(TV), 오디오 장치(AD), 게임장치(GM), 전자 음악 장치(EMD), 휴대폰(HP), 컴퓨터(CP), PDA(Personal Digital Assistant), 보이스 레코더(voice recorder)(VR), PC 카드(PCC), 등에 사용될 수 있다.
- [0118] 본 발명의 실시예에 있어서, 메모리 셀들은 가변 저항 메모리 셀로 구성될 수 있으며, 예시적인 가변 저항 메모리 셀 및 그것을 포함한 메모리 장치가 미국특허번호 제7529124호에 기재되어 있으며, 이 출원의 레퍼런스로 포함될 것이다.
- [0119] 본 발명의 다른 실시예에 있어서, 메모리 셀들은 전하 저장층을 갖는 다양한 셀 구조들 중 하나를 이용하여 구현될 수 있다. 전하 저장층을 갖는 셀 구조는 전하 트랩층을 이용하는 전하 트랩 플래시 구조, 어레이들이 다층으로 적층되는 스택 플래시 구조, 소오스-드레인이 없는 플래시 구조, 핀-타입 플래시 구조, 등을 포함할 것이다.
- [0120] 전하 저장층으로서 전하 트랩 플래시 구조를 갖는 메모리 장치가 미국특허 제6858906호, 미국공개특허 제2004-

0169238호, 그리고 미국공개특허 제2006-0180851호에 각각 게재되어 있으며, 이 출원의 레퍼런스로 포함될 것이다. 소오스/드레인이 없는 플래시 구조는 대한민국특허 제673020호에 게재되어 있으며, 이 출원의 레퍼런스로 포함될 것이다.

[0121] 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 제어기는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

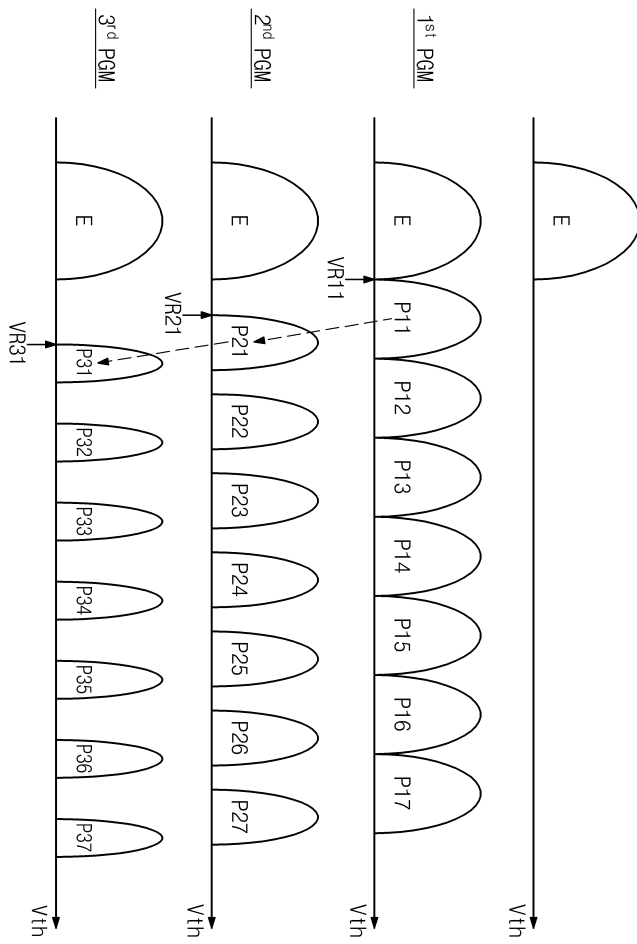
[0122] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

부호의 설명

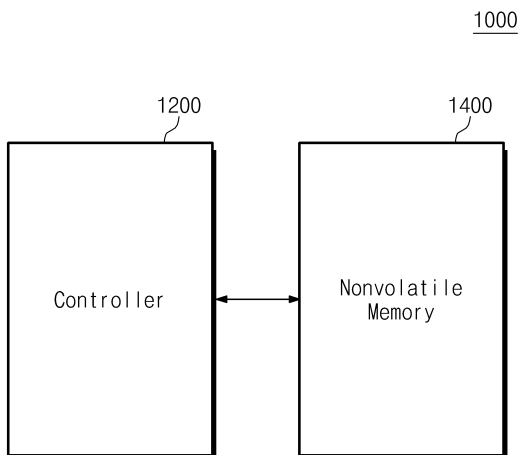
- [0123] 1000: 메모리 시스템
- 1200: 메모리 제어기
- 1400: 불 휘발성 메모리 장치

도면

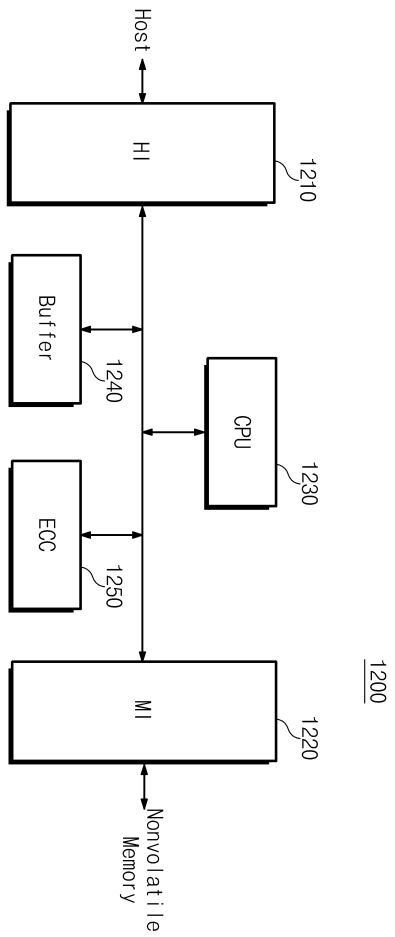
도면1



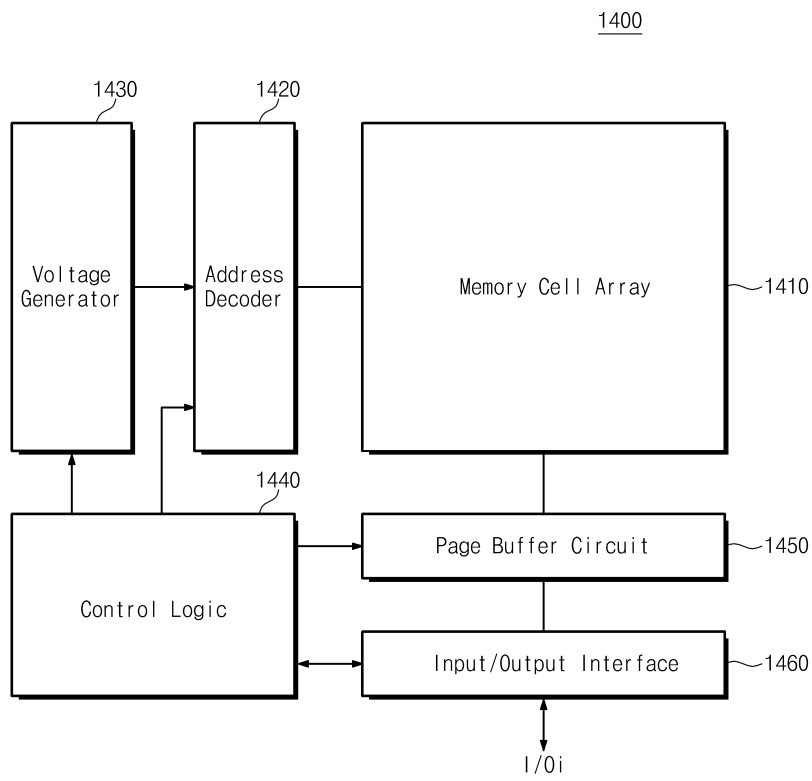
도면2



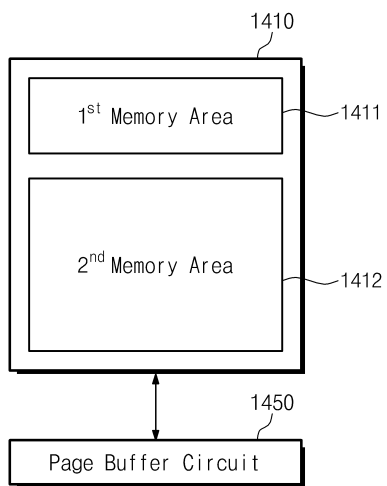
도면3



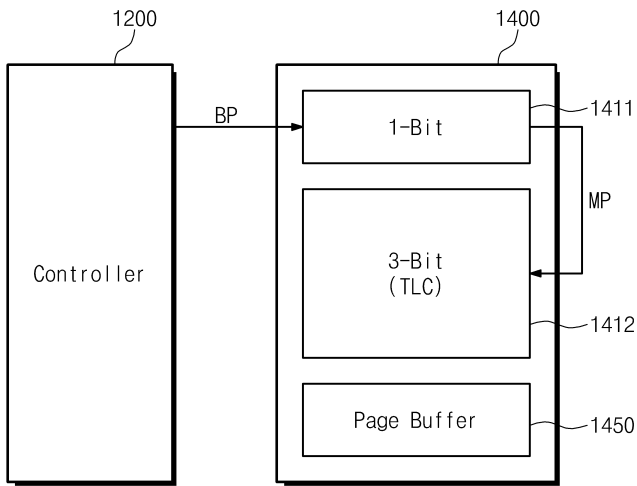
도면4



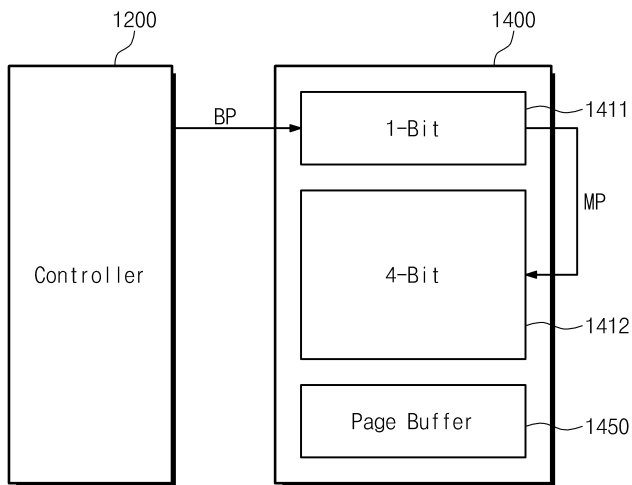
도면5



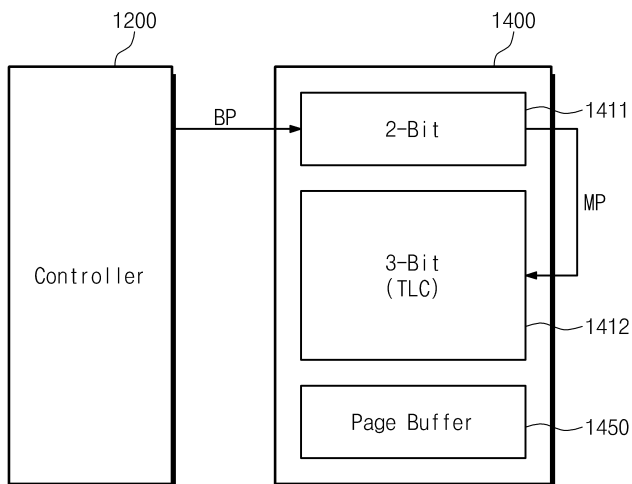
도면6a



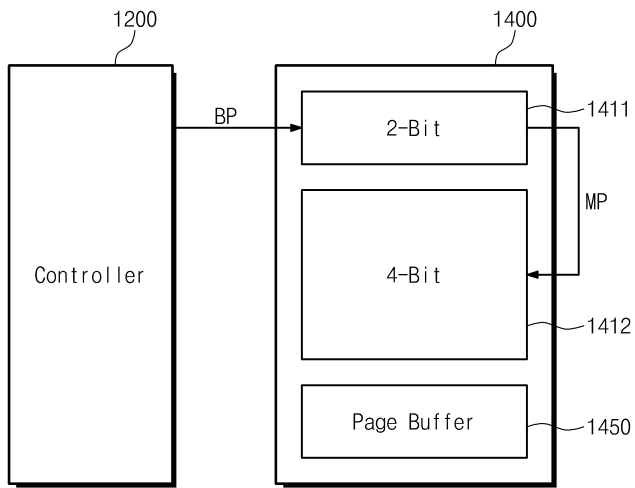
도면6b



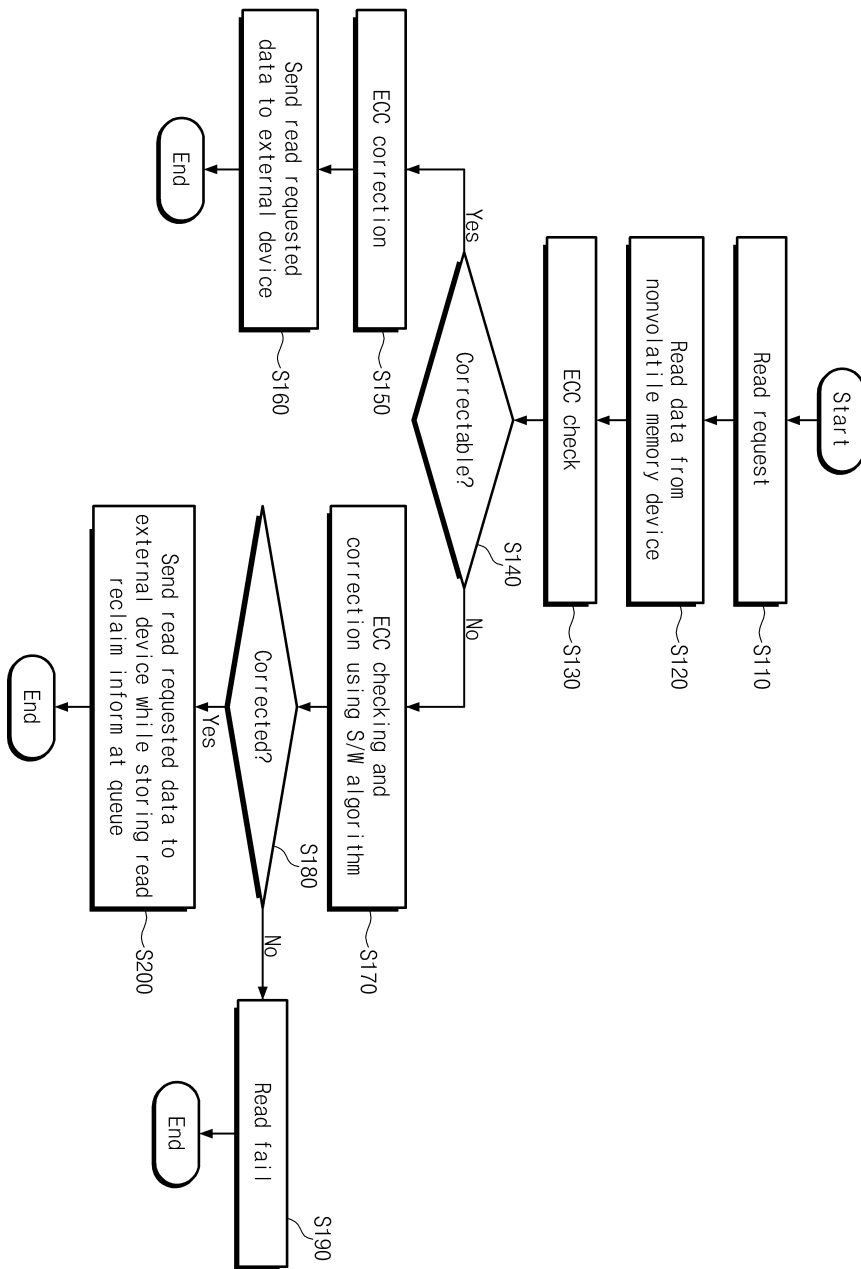
도면6c



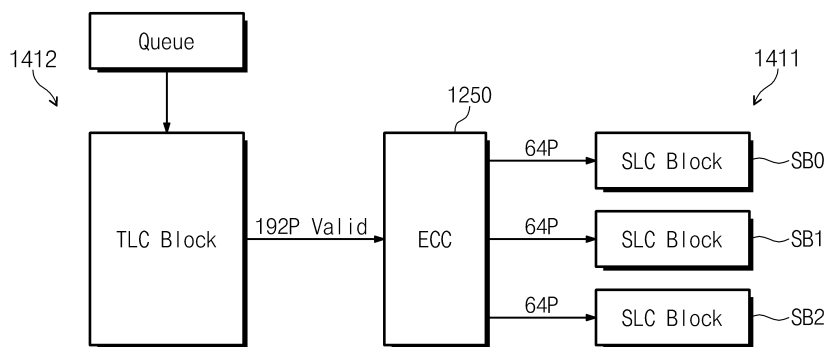
도면6d



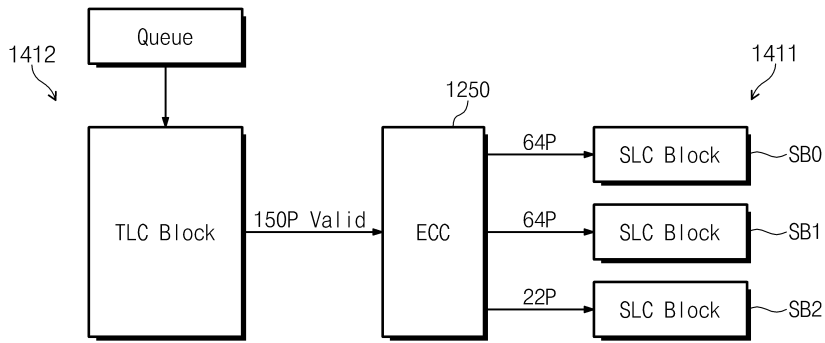
도면7



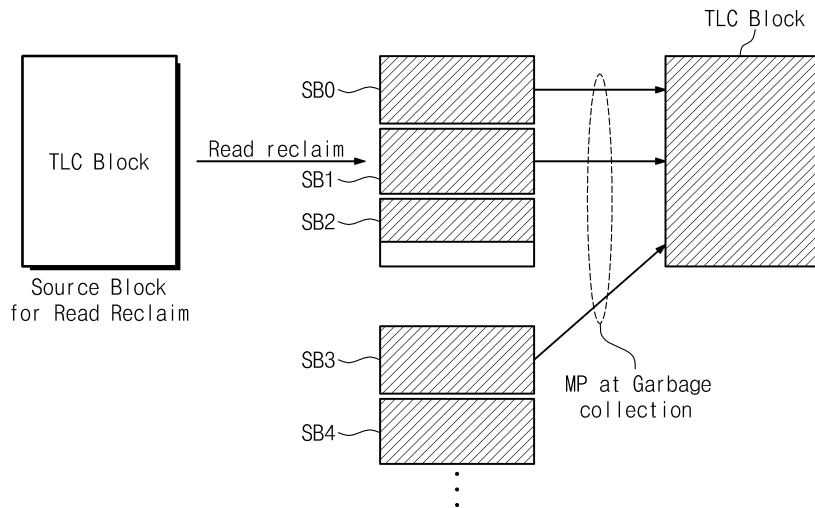
도면8a



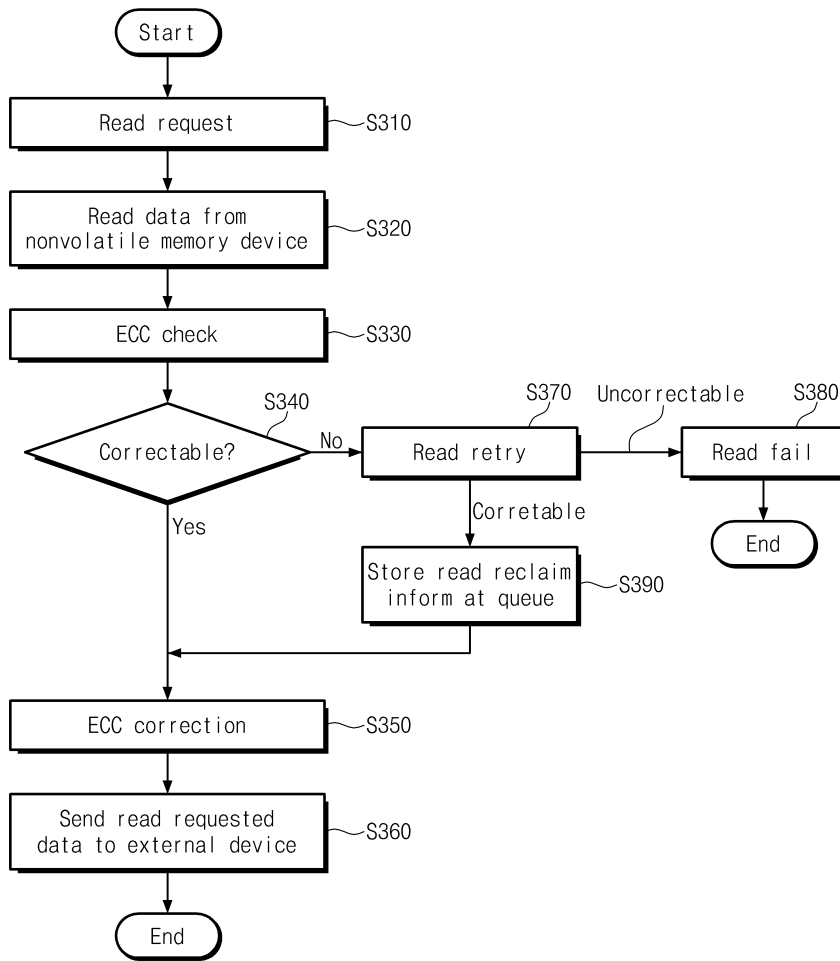
도면8b



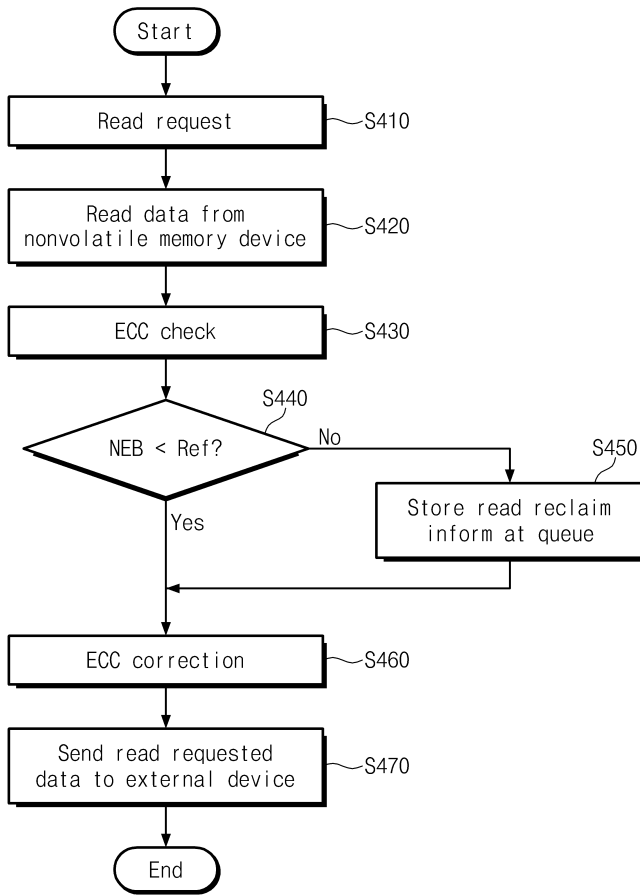
도면9



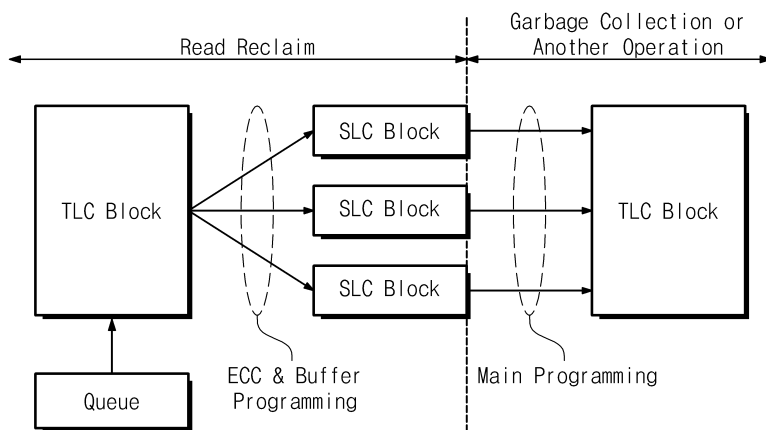
도면10



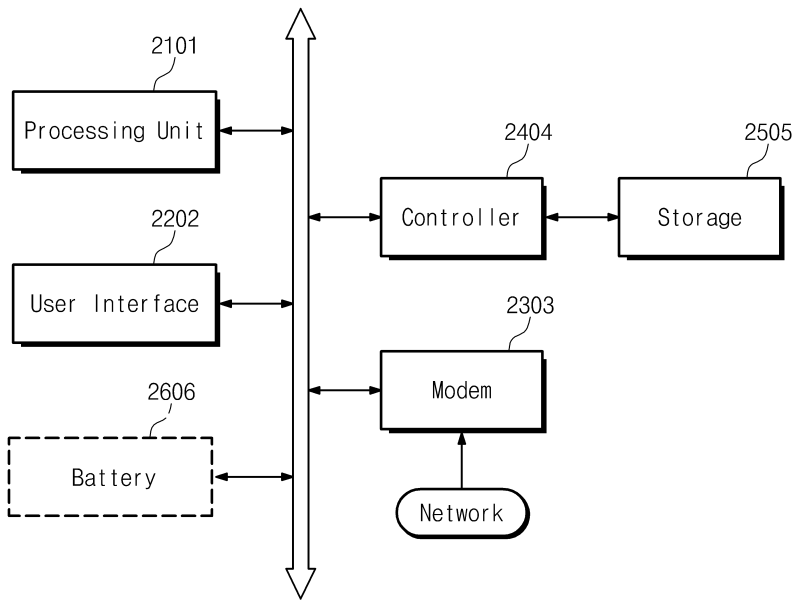
도면11



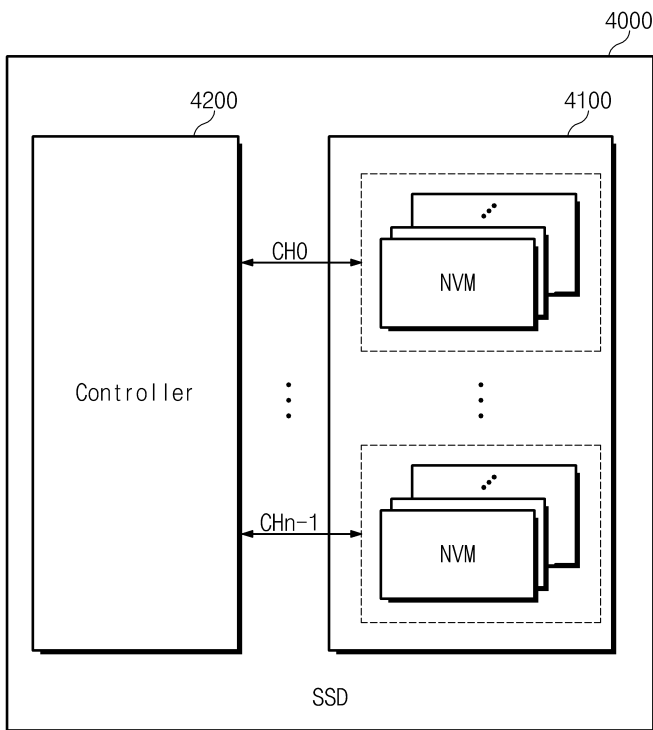
도면12



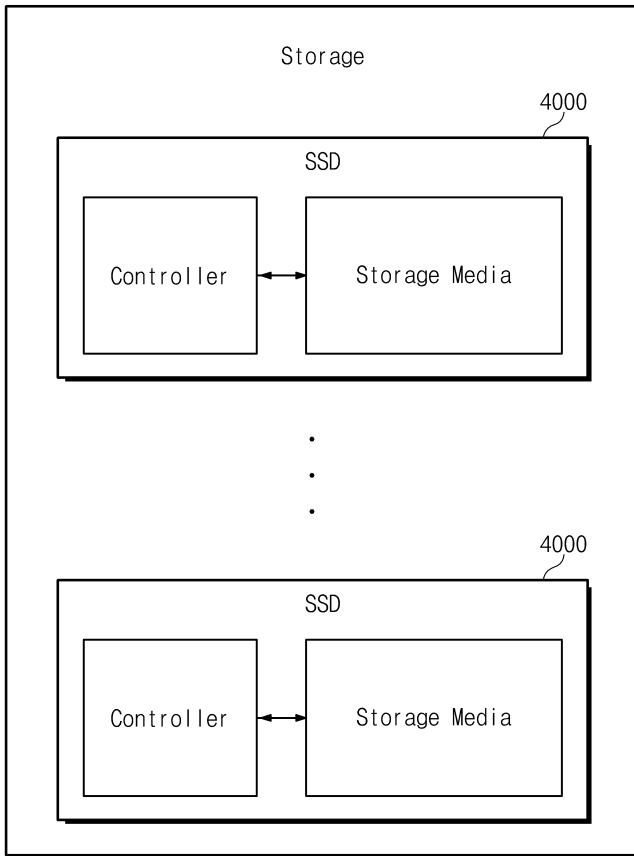
도면13



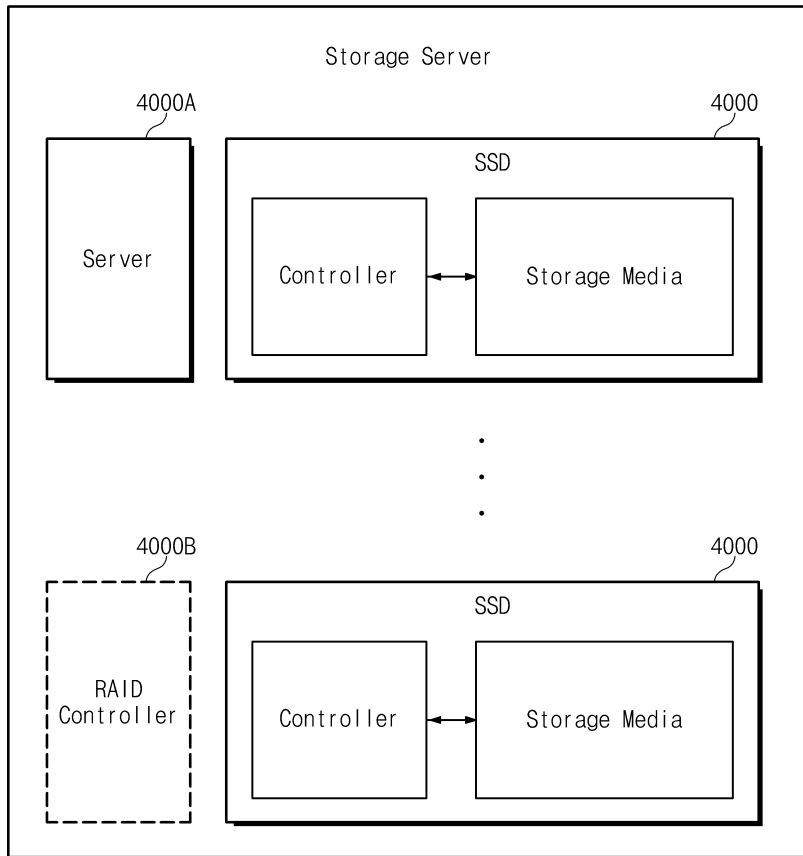
도면14



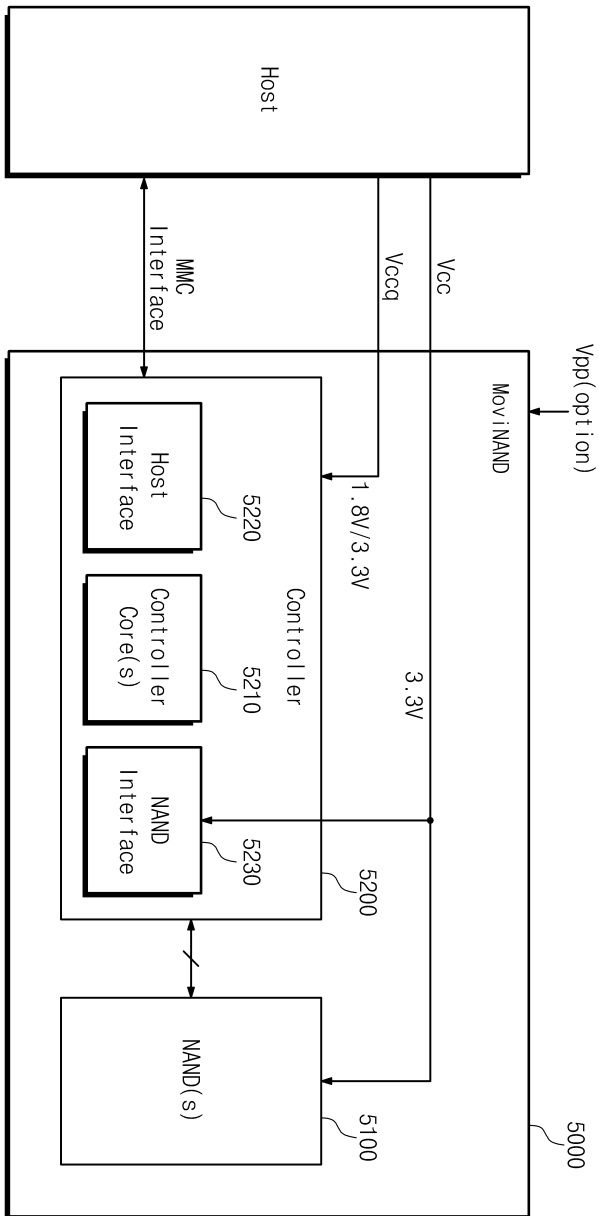
도면15



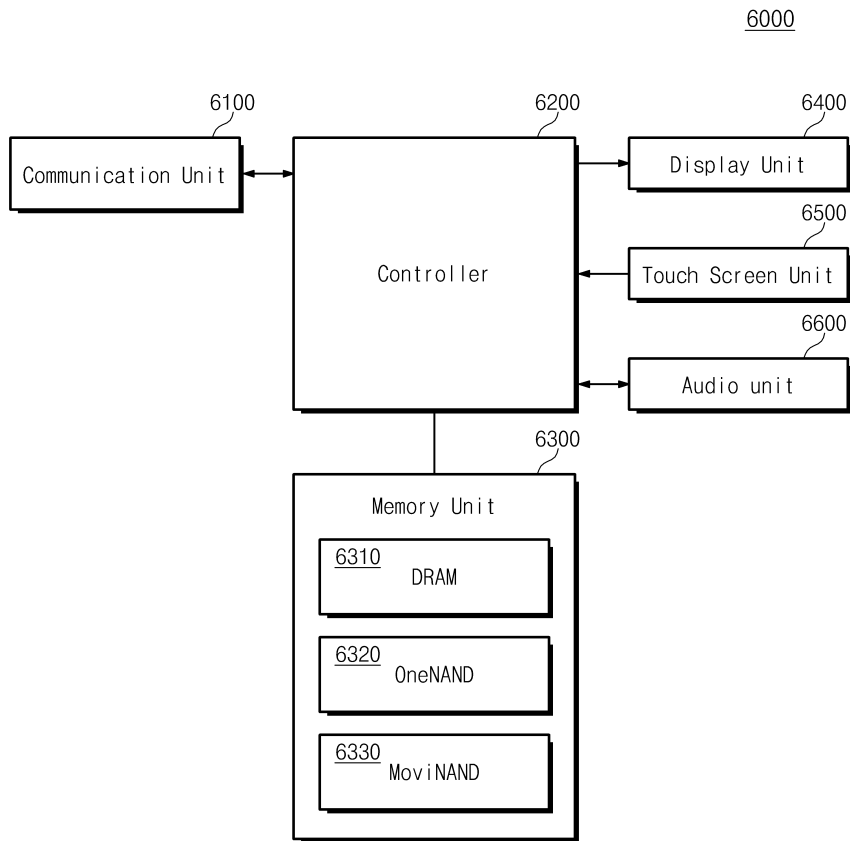
도면16



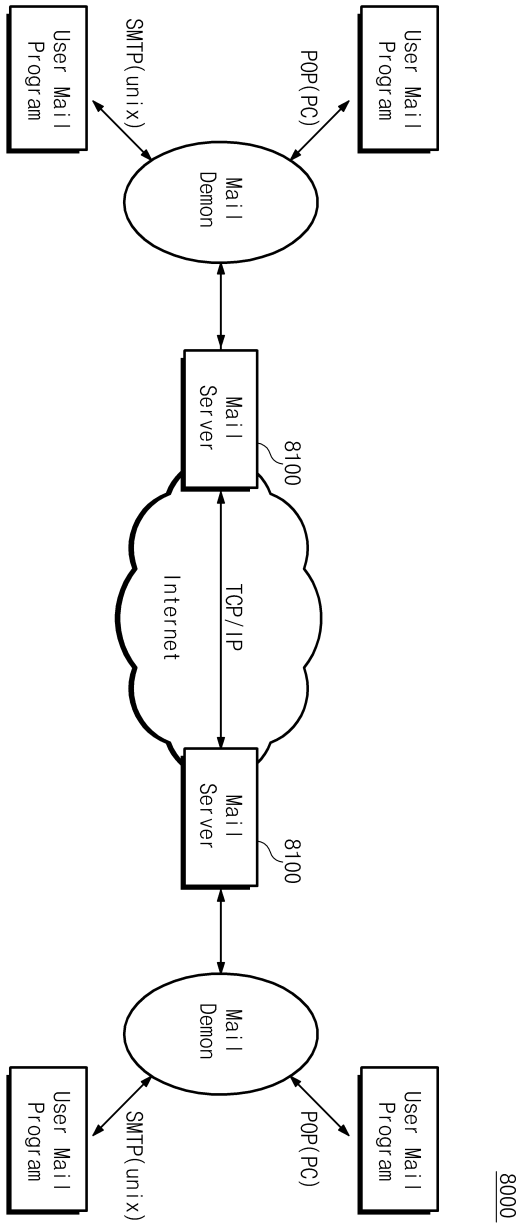
도면17



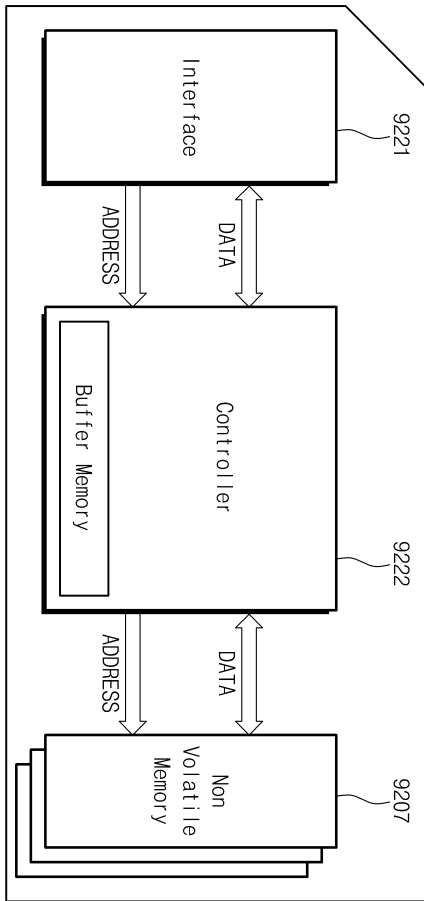
도면18



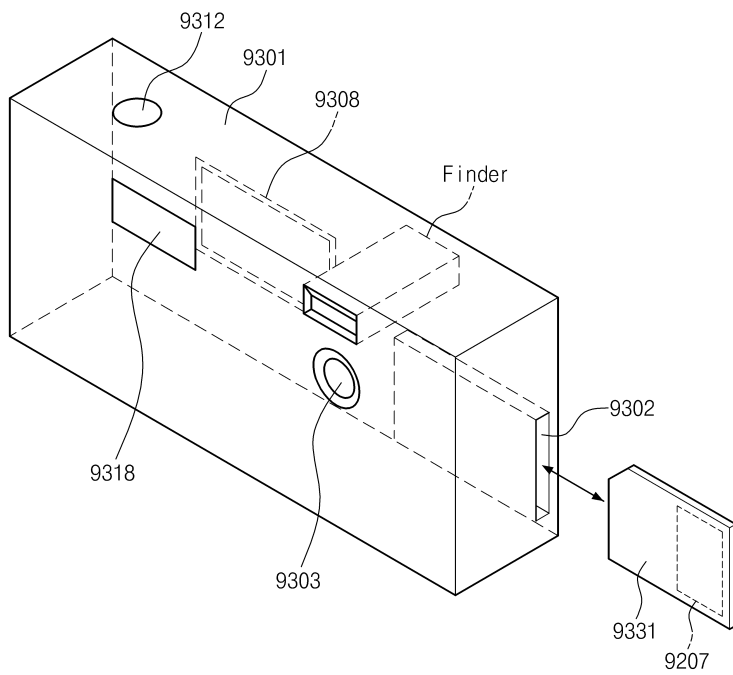
도면19



도면20



도면21



도면22

