

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3655013号  
(P3655013)

(45) 発行日 平成17年6月2日(2005.6.2)

(24) 登録日 平成17年3月11日(2005.3.11)

(51) Int. Cl.<sup>7</sup>

F I

HO 1 L 21/28	HO 1 L 21/28	3 O 1 R
HO 1 L 21/3205	HO 1 L 21/88	Q
HO 1 L 21/8238	HO 1 L 21/88	R
HO 1 L 27/092	HO 1 L 27/08	3 2 1 D
HO 1 L 29/78	HO 1 L 29/78	3 O 1 X

請求項の数 4 (全 32 頁)

(21) 出願番号 特願平8-189054  
 (22) 出願日 平成8年7月18日(1996.7.18)  
 (65) 公開番号 特開平9-312270  
 (43) 公開日 平成9年12月2日(1997.12.2)  
     審査請求日 平成11年4月26日(1999.4.26)  
     審査番号 不服2002-24544(P2002-24544/J1)  
     審査請求日 平成14年12月19日(2002.12.19)  
 (31) 優先権主張番号 特願平7-217882  
 (32) 優先日 平成7年8月25日(1995.8.25)  
 (33) 優先権主張国 日本国(JP)  
 (31) 優先権主張番号 特願平8-60953  
 (32) 優先日 平成8年3月18日(1996.3.18)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000003078  
           株式会社東芝  
           東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
           弁理士 鈴江 武彦  
 (74) 代理人 100084618  
           弁理士 村松 貞男  
 (74) 代理人 100068814  
           弁理士 坪井 淳  
 (74) 代理人 100092196  
           弁理士 橋本 良郎  
 (74) 代理人 100091351  
           弁理士 河野 哲  
 (74) 代理人 100088683  
           弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上にシリコン膜を形成する工程と、  
 高融点金属として、Mo, W, Cr, Coの中の少なくとも1つを用いて、前記シリコン膜上に窒素および炭素の少なくとも一方と前記高融点金属とからなる化合物膜を形成する工程と、

前記化合物膜上に前記高融点金属からなる金属膜を形成する工程と、  
 熱処理により、前記化合物膜を前記高融点金属に変えて前記金属膜と一体化するとともに、前記一体化した金属膜と前記シリコン膜との界面に、窒素および炭素の少なくとも一方と前記高融点金属とシリコンとを含む導電性の酸化防止膜を形成して、前記金属膜、前記酸化防止膜および前記シリコン膜の積層膜を含む電極および配線の少なくとも一方を形成する工程と、

前記酸化防止膜を形成した後に、前記シリコン膜に酸化処理を施す工程と、  
 を有することを特徴とする半導体装置の製造方法。

【請求項2】

基板上に半導体膜を形成する工程と、  
 前記半導体膜上に、Mo, W, Cr, Coの中の少なくとも1つの高融点金属と、窒素および炭素の少なくとも一方と、シリコンからなる化合物を含む導電性の酸化防止膜を形成する工程と、

前記酸化防止膜上に前記高融点金属からなる金属膜を形成する工程と、

10

20

前記金属膜、前記酸化防止膜および前記半導体膜から成る積層膜をエッチングして、前記積層膜を含む電極および配線の少なくとも一方を形成する工程と、

前記酸化防止膜を形成した後に、前記半導体膜に酸化処理を施す工程と、  
を有することを特徴とする半導体装置の製造方法。

【請求項 3】

半導体領域上に絶縁膜を形成する工程と、

前記絶縁膜上に、Mo, W, Cr, Coの中の少なくとも1つの高融点金属と、窒素および炭素の少なくとも一方と、シリコンからなる化合物を含む導電性の酸化防止膜を形成する工程と、

前記酸化防止膜上に前記高融点金属からなる金属膜を形成する工程と、

前記金属膜、前記酸化防止膜から成る積層膜をエッチングして、前記積層膜を含む電極および配線の少なくとも一方を形成する工程と、

前記酸化防止膜を形成した後に、前記半導体領域に酸化処理を施す工程と、  
を有することを特徴とする半導体装置の製造方法。

10

【請求項 4】

前記酸化処理を施す工程は、水素、水を含む雰囲気下で行われることを特徴とする請求項 1、2 および 3 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、積層構造の電極（配線）に特徴があり、良好な不純物拡散防止性能を有する半導体装置およびその製造方法に関する。

20

【0002】

【従来の技術】

近年、半導体装置の電極や配線の材料として、多結晶シリコンが広く使用されている。しかし、半導体装置の高集積化、高速化に伴い、電極や配線の抵抗による信号伝達の遅延が重大な問題になってきている。

【0003】

この種の遅延は電極や配線の低抵抗化により抑制できる。例えば、MOSトランジスタ等のゲート電極の場合であれば、金属シリサイド膜と多結晶シリコン膜との2層構造のポリサイドゲートの採用により抑制できる。

30

【0004】

しかし、ゲート長0.25 μm世代以降では、ポリサイドゲートよりも低抵抗のゲート電極が求められ、最近、高融点金属膜と反応障壁層と多結晶シリコン膜との積層構造のポリメタルゲートが注目されている。

【0005】

高融点金属としてタングステン(W)を用いれば、タングステンの比抵抗はタングステンシリサイド(WSi<sub>x</sub>)に比べ約1桁小さいので、RC遅延時間の大幅な短縮が可能である。タングステンは多結晶シリコンと600程度の加熱処理で容易に反応する材料であるが、W膜と多結晶シリコン膜との間に反応障壁層が挟まれているので問題にはならない

40

【0006】

また、将来的にはポリメタルゲートではなく高融点金属単層のメタルゲートが有望とされている。このようにゲート電極の低抵抗化には高融点金属の採用が必須である。

【0007】

しかし、タングステンをはじめとする高融点金属は非常に酸化され易く、例えば、タングステンは400程度で酸化される。タングステンの酸化物は絶縁体であり、さらにタングステンは酸化とともに体積膨張を引き起こす。

【0008】

一般に、LSI製造工程においては、ゲート電極パターンを形成した後にゲート酸化膜な

50

どの酸化膜の信頼性向上を目的とした再酸化を行う工程が必要とされる。例えば、多結晶シリコンゲートの場合、シリコン基板上に多結晶シリコン膜を形成し、これをパターンニングしてゲート電極を形成した後、ゲート酸化膜端部にバースピークと呼ばれる膜厚の酸化部分が形成される。この結果、ゲート電極の下部端部が丸められ、ゲート部の電界が緩和されるので、素子の特性や信頼性の向上が図られる。以降この工程を後酸化と称する。この種の後酸化を金属シリサイドとして $WSi_x$ を用いたポリサイドゲートに適用すると、 $WSi_x$ としては、通常、正規組成 $x = 2.0$ よりもシリッチのものが用いられるため、後酸化工程で、 $WSi_x$ 中の余剰シリコンが酸化され、 $WSi_x$ 表面にも $SiO_2$ が形成され、結晶シリコンと同様の酸化方法で同様の絶縁効果を得ることができる。

**【0009】**

一方、この種の後酸化を高融点金属としてWを用いたポリメタルゲートに適用すると、Wは通常の酸化工程でも酸化されるため、通常の酸化工程で $WO_3$ が形成される。このとき、大きな体積膨張を伴うため、膜の剥離等が起こり、以後の工程を続けることができなくなる。

**【0010】**

また、大気から混入する $O_2$ や $H_2O$ などの酸化剤により、酸化工程を開始する前に、Wの酸化が起こり、同様の問題が発生する可能性がある。したがって、ポリメタルゲートの場合には、高融点金属を酸化せずシリコンのみを酸化する技術（選択酸化技術）が、後酸化工程で必要になる。

**【0011】**

ポリメタルゲートの場合のように、同一基板上にシリコンの露出部分とW等の高融点金属の露出する部分が混在する場合において、高融点金属の露出部分を酸化せずシリコンのみを選択的に酸化する選択酸化法が知られている（特開昭60-9166）。

**【0012】**

この選択酸化法は、酸化剤である $H_2O$ と還元剤である $H_2$ との混合雰囲気中で酸化を行なう際に、 $H_2O/H_2$ の分圧比を一定範囲に設定して行なうというものである。

**【0013】**

この技術の適用例として、W単層のメタルゲートを $H_2/H_2O$ 雰囲気中で酸化した報告がある（R.F.Kwasnick et al., J.Electrochem.Soc., Vol 135, pp176 (1988)）。報告者らの実験結果によると、厚さ5nmの薄いシリコン酸化膜（ゲート酸化膜）上に厚さ200nmのW膜（ゲート電極）を積層した試料を用い、 $H_2/H_2O$ 雰囲気中で900-3000分間程度の酸化を行った結果、W膜直下のシリコン酸化膜は20nmまで厚くなった。

**【0014】**

この現象は、酸化剤がW膜の粒界を通じて拡散することに因る。つまり、上記選択酸化技術は、確かにW膜は酸化しないが、W膜直下のシリコン酸化膜中のシリコンは酸化される。したがって、上記選択酸化をメタルゲートに適用すると、ゲート酸化膜の膜厚が増加することになるので、トランジスタの駆動力が低下するという致命的な問題が生じる。

**【0015】**

また、上記選択酸化をW膜と多結晶シリコン膜との積層構造のポリメタルゲートに適用することを考えると、W膜直下の多結晶シリコン膜が同様に酸化されることが容易に推測できる。W膜と多結晶シリコン膜との界面における多結晶シリコン膜の酸化は、この界面におけるコンタクト抵抗の上昇を招き、これによりRC遅延が増大するという問題が生じる。

**【0016】**

上述のように、ゲート電極の抵抗を下げるには、電導度の大きい金属を多結晶シリコンと積層して、ゲート絶縁膜や基板との高い整合性と、高い導電性とを兼ね備えた電極構造を用いればよいが、通常の金属との組み合わせではLSIの製造工程中の高温に耐えることができない。特に最近素子の微細化、高速化と共に導入された、ゲート電極をマスクとするセルフアラインイオン注入技術では、不純物注入後の活性化熱処理をゲート電極形成後に行う必要があるため、ゲート電極に対して高い耐熱性が要求される。

10

20

30

40

50

## 【 0 0 1 7 】

さらに、上記後酸化工程も含んだ 800 ~ 900 のイオン注入後の高温熱処理において、多結晶シリコンから Si 原子または添加不純物原子が、高融点金属またはそのシリサイド中に熱拡散することにより、シリコン中の不純物濃度低下によるゲートの空乏化が生じたり、CMOS（相補型 MOS）において、不純物が上記高融点金属またはシリサイドを通過して、n、p 領域を相互拡散することにより、仕事関数が変化し、閾値電圧が変動する等の問題を生じていた。

## 【 0 0 1 8 】

## 【 発明が解決しようとする課題 】

上述のごとく、従来のポリメタルゲートでは後酸化の工程でポリメタルゲートを構成する高融点金属膜下の多結晶シリコンが酸化され、RC 遅延が増大するという問題があった。また、従来のメタルゲートでは後酸化の工程でメタルゲートである高融点金属下のゲート酸化膜が酸化されて厚膜化され、トランジスタの駆動能力が低下するという問題があった。

## 【 0 0 1 9 】

本発明は、上記事情を考慮して為されたもので、その目的とするところは、高融点金属を用いた電極や配線における前記高融点膜下の半導体膜の酸化を抑制できる 半導体装置の製造方法 を提供することにある。

## 【 0 0 2 5 】

## 【 課題を解決するための手段 】

本発明に係わる半導体装置の製造方法は、基板上にシリコン膜を形成する工程と、高融点金属として、Mo, W, Cr, Co の中の少なくとも 1 つを用いて、前記シリコン膜上に窒素および炭素の少なくとも一方と前記高融点金属とからなる 化合物膜 を形成する工程と、前記化合物膜上に前記高融点金属からなる金属膜を形成する工程 と、熱処理により、前記化合物膜を前記高融点金属に変えて前記金属膜と一体化するとともに、前記一体化した金属膜と前記シリコン膜との界面に、窒素および炭素の少なくとも一方と前記高融点金属とシリコンとを含む導電性の酸化防止膜を形成して、前記金属膜、前記酸化防止膜および前記シリコン膜の積層膜を含む電極および配線の少なくとも一方を形成する工程と、前記酸化防止膜を形成した後に、前記シリコン膜に酸化処理を施す工程とを有することを特徴とする。

## 【 0 0 2 6 】

本発明に係わる他の半導体装置の製造方法は、基板上に半導体膜を形成する工程と、前記半導体膜上に、Mo, W, Cr, Co の中の少なくとも 1 つの高融点金属と、窒素および炭素の少なくとも一方と、シリコンからなる化合物を含む導電性の酸化防止膜を形成する工程と、前記酸化防止膜上に前記高融点金属からなる金属膜を形成する工程と、前記金属膜、前記酸化防止膜および前記半導体膜から成る積層膜をエッチングして、前記積層膜を含む電極および配線の少なくとも一方を形成する工程と、前記酸化防止膜を形成した後に、前記半導体膜に酸化処理を施す工程とを有することを特徴とする。

## 【 0 0 2 7 】

本発明に係わる他の半導体装置の製造方法は、半導体領域上に絶縁膜を形成する工程と、前記絶縁膜上に、Mo, W, Cr, Co の中の少なくとも 1 つの高融点金属と、窒素および炭素の少なくとも一方と、シリコンからなる化合物を含む導電性の酸化防止膜を形成する工程と、前記酸化防止膜上に前記高融点金属からなる金属膜を形成する工程と、前記金属膜、前記酸化防止膜から成る積層膜をエッチングして、前記積層膜を含む電極および配線の少なくとも一方を形成する工程と、前記酸化防止膜を形成した後に、前記半導体領域に酸化処理を施す工程とを有することを特徴とする。

## 【 0 0 2 8 】

本発明に係わる他の半導体装置の製造方法は、上記半導体装置の製造方法において、前記酸化処理を施す工程は、水素、水を含む雰囲気下で行われることを特徴とする。

## 【 0 0 3 3 】

10

20

30

40

50

また、本発明者等は、高融点金属膜とシリコン膜との間に設ける反応防止膜を研究する過程において、窒素および炭素の少なくとも一方と、高融点金属と、シリコンとからなる膜が、高融点金属膜とシリコン膜との間の反応を防止するだけでなく、酸化剤が高融点金属膜を通してシリコン酸化膜に拡散するのを防止する機能も有することを見いだした。これにより、高融点金属からなる金属膜の下地のシリコンを含む膜（シリコン膜、シリコン酸化膜）において、後酸化におけるシリコンを含む膜の酸化および該膜と金属膜との反応を防止できるようになる。また、本発明者等の研究によれば、高融点金属として、高融点金属の窒化物（炭化物）を形成する際に生じるギブスの自由エネルギー低下値から、シリコンの窒化物（炭化物）を形成する際に生じるギブスの自由エネルギー低下値を差し引いた値が負となるものを用いれば、容易に高融点金属と窒素（炭素）とシリコンとからなる酸化防止膜を形成できることが分かった。具体的には、Mo、W、Cr、Co等の高融点金属を用いることが好ましい。また、上述した条件が満たされていれば、酸化防止膜内に酸素が20%程度含まれていても良いことも分かった。

10

**【0034】**

なお、上記発明におけるシリコンの選択酸化を安全に実施する半導体装置の製造方法は、処理容器内にシリコンの露出部分を有する被処理基体を収容し、前記処理容器内にH<sub>2</sub>ガス、H<sub>2</sub>OガスおよびH<sub>2</sub>ガスとは異なる非酸化性ガスを導入するとともに、前記処理容器内の前記H<sub>2</sub>ガスの分圧を4%未満に設定し、かつ前記被処理基体の温度を600以上に設定して、前記シリコンの露出部分を選択的に酸化するのが望ましい。

**【0035】**

また、上記選択酸化を行う半導体製造装置は、被処理基板を収容して酸化処理を行なう処理容器と、この処理容器内にH<sub>2</sub>ガス、H<sub>2</sub>OガスおよびH<sub>2</sub>ガスとは異なる非酸化性ガスを導入するガス導入手段と、前記処理容器内の前記H<sub>2</sub>ガスの分圧を4%未満に設定する分圧制御手段と、前記被処理基板を600以上の温度で加熱する加熱手段を備えているとよい。

20

**【0036】**

さらに、上記半導体装置の製造方法、半導体製造装置は以下のような特徴を備えていることが望ましい。

**【0037】**

(1) 処理容器内の圧力を酸化処理を大気圧よりも負圧に保ちながら酸化処理を行なう。

30

**【0038】**

(2) 処理容器内を一旦1Pa以下に減圧した後、酸化処理を行なう。

**【0039】**

本発明の望ましい半導体装置の製造方法によれば、基体温度を酸化限界以上の600以上の温度に設定した状態で、H<sub>2</sub>ガスの分圧を爆発限界以下の低圧力（低濃度）に設定しているため、安全にシリコンの選択酸化を行なえるようになる。

**【0040】**

また、本発明の望ましい半導体製造装置によれば、H<sub>2</sub>ガスの分圧を爆発限界以下の低圧力（低濃度）に設定できるので、H<sub>2</sub>ガスを不活性ガスと同じように扱うことができる。したがって、装置構成の複雑化、高価格を招かずに、安全にシリコンの選択酸化を行なうことができる。

40

**【0041】**

本発明の応用として、高融点金属を用いた電極や配線において、この高融点金属中に、その下の半導体膜からの不純物の拡散を抑制できる半導体装置および製造方法を提供することができる。

**【0042】**

この目的に係わる半導体装置は、少なくとも多結晶シリコンから成る第1の層と、前記第1の層上に形成され、金属および金属シリサイドのうちの1つから成る第2の層と、前記第1の層と前記第2の層との間に形成され、少なくともタンゲステン、シリコンおよび窒素を含む合金から成る第3の層とを具備し、前記第3の層は前記第1の層に含まれる不純

50

物の前記第2の層への拡散を抑制する。

【0043】

また、この半導体装置の製造方法は、シリコン基板上に多結晶シリコン層を堆積する第1の工程と、前記多結晶シリコン層上に、少なくともタングステン、シリコンおよび窒素を含む合金から成り、前記多結晶シリコン層からの不純物拡散を抑制する不純物拡散抑制層を形成する第2の工程と、前記不純物拡散抑制層上に金属および金属シリサイド層のうちの1つを形成する第3の工程と、少なくとも前記第1ないし第3の工程により得られた積層構造を、パターニングする工程とを具備する。

【0044】

上記の半導体装置およびその製造方法によれば、ポリサイドまたはポリメタル構造の電極または配線において、多結晶シリコン中の不純物の金属または金属シリサイド中への拡散を抑制することができるので、電気的特性に優れ、かつ信頼性の高い半導体装置とその製造方法を得ることができる。

【0045】

【発明の実施の形態】

以下、図面を参照しながら実施形態を説明する。

(第1の実施形態)

本発明者等は次のような試料を作成し、その評価を行なった。

【0046】

まず、図1(a)に示すように、単結晶のシリコン基板1上に、WをターゲットにArとN<sub>2</sub>をスパッタリングガスとして用いた反応性スパッタリング法によって、窒化タングステン膜2(膜厚5nm)を堆積する。引き続き、スパッタリング法によってタングステン膜3(膜厚100nm)を堆積する。

【0047】

次に図1(b)に示すように、N<sub>2</sub>/H<sub>2</sub>/H<sub>2</sub>O雰囲気中において1000の温度範囲で30分間の酸化処理をシリコン基板1に施して、シリコン基板1と窒化タングステン膜2との界面に酸化膜4を形成する。なお、酸化雰囲気の分圧比はP(N<sub>2</sub>)/P(H<sub>2</sub>)/P(H<sub>2</sub>O)=0.9951/0.040/0.009[atm]である。

【0048】

最後に、タングステン膜(W膜)3および窒化タングステン膜(WN<sub>x</sub>膜)2を硫酸と過酸化水素水との混合液によって剥離する。

このようにして得られた試料の、各酸化温度におけるW膜3/WN<sub>x</sub>膜2直下の酸化膜4の膜厚(酸化膜厚)を、エリプソメトリー法を用いて測定した。

【0049】

図2に、その測定結果(図中の白丸)を示す。また、比較例として、表面に何も形成していないシリコン基板1を同じ条件で酸化した場合の酸化膜厚の測定結果(図中の黒丸)も示してある。図2から、W膜3/WN<sub>x</sub>膜2を形成した試料は比較例に比べて酸化膜厚をかなり薄くでき、800でほとんど酸化されないことが分かる。

【0050】

前述のように、H<sub>2</sub>/H<sub>2</sub>O雰囲気中の酸化についてはW単層メタルゲートに適用した報告例がある(J.Electrochem.Soc., Vol 135, pp176(1988))。この論文の報告者R.F.Kwasnick等の報告によれば、シリコン基板上に薄いシリコン酸化膜を形成し、その上にW膜を積層した試料を用い、H<sub>2</sub>/H<sub>2</sub>O雰囲気中で酸化を行った場合、W膜直下の薄いシリコン酸化膜は厚くなる。これは、酸化剤がW膜の粒界を通じて拡散するためである。

【0051】

ここで、我々の実験がこれと異なる点は、WN<sub>x</sub>膜2をW膜3とシリコン基板1との間に挿入している点にある。WN<sub>x</sub>膜2はW膜3とシリコン基板1との反応防止を目的としているが、800程度の加熱処理によってWN<sub>x</sub>膜2中の窒素はほとんど脱離する。したがって、上記加熱処理後はWN<sub>x</sub>膜2はW膜とほぼ同じになり反応防止膜としての機能は低くなる。

10

20

30

40

50

## 【0052】

加熱処理後のW膜3とシリコン基板1と間の界面(W/Si界面)をエネルギー分散型X線分光(EDX)法により観察した結果、堆積直後には存在した $WN_x$ 膜2はW膜へと変化し、極薄(10オングストローム程度)のWSiN膜がW/Si界面に形成されることが分かった。

## 【0053】

本発明者等はこのWSiN膜がW膜3とシリコン基板1との反応を防止する反応防止層として機能すると考えている(1994年 第55回応用物理学会学術連合会)。

## 【0054】

さらに、EDX分析の結果、WSiN層の組成は、 $W:Si = 1:5 \sim 6$ 、厚さは1nmあるいはそれ未満であることが分かった。一方WとNの比は、例えば $W:N = 1:1$ であった。

## 【0055】

一般に、反応性スパッタリング法により窒化チタン膜をSi基板上に堆積した場合、 $N_2$ プラズマ放電によってSi基板表面が窒化され、成膜段階で窒化チタン膜直下に窒化シリコン膜が形成される。よって、窒化タンゲステン膜でも同様な現象が起きる。特に、窒化タンゲステン膜の場合、例えば窒素雰囲気中でも800以上の加熱処理を行うと、膜中のN原子は脱離し、タンゲステン膜になってしまう。そのため、そもそもバリア層の役目を果たすのは、WSiNではなく、プラズマ窒化によるSiN膜の可能性がある。

## 【0056】

そこで、タンゲステン膜/窒化タンゲステン膜/シリコン基板の積層試料を用い、窒素雰囲気中で800 30分間の加熱処理を行い、その後硫酸と過酸化酸素水の混合液によりタンゲステン膜(および窒化タンゲステン膜)を剥離した表面を、光電子分光(XPS)法を用いて評価した。

## 【0057】

図14にその結果を示すが、実線が加熱処理前、点線が加熱処理後の試料から得られた $W4f$ (図14(a))および $Si2p$ (図14(b))のナロースペクトルを示す。どちらの表面からも、2%程度のWが検出されたが、その結合状態に大きな違いが見られる。

## 【0058】

まず、 $W4f$ のスペクトルでは、加熱処理前の方は $W-O$ (36eVと38eV位置のピーク)や金属結合(31eVと33eV位置のピーク)等が混在し、かなりブロードなピークであるのに対し、加熱処理後の方は金属結合のピークがはっきりと判る。この金属結合は $W-W$ 結合もしくは $W-Si$ 結合のピークである。先に示したEDX分析の結果から、WSiN層の組成がSiリッチであることが判っており、このことから、この金属結合は $W-Si$ 結合であると考えられる。

## 【0059】

また、 $Si2p$ のスペクトルでは、基板からの $Si-Si$ 結合(99.6eV)を除くと、加熱処理前の方は $Si-O$ 結合(103.7eV)のブロードなピークであるのに対し、加熱処理後の方は鋭い $Si-N$ 結合(102eV)のピークが観察される。

## 【0060】

つまり、WSiN層の形成は、窒化タンゲステン膜成膜時のプラズマ変化にはよらず、加熱処理に伴う窒化タンゲステン膜中の窒素原子の再分布によるものと言える。

## 【0061】

このように、W/Si界面におけるWSiN膜の形成は、 $WN_x$ 膜2中の窒素の再分布によるものと考えられる。そのメカニズムを要約すると以下の通りである。

## 【0062】

タンゲステンから窒化タンゲステンが形成されるときギブスの自由エネルギーの低下値は、シリコンから窒化シリコンが形成されるときより小さい。このため、 $WN_x$ 膜2とシリコン基板1とが接触している状態では、窒素の化学的ポテンシャルはシリコン基板1側の方が小さい。この結果、 $WN_x$ 膜2中の窒素はシリコン基板1側へ移動(外方拡

散)する。このようにして、W/Si界面にWN<sub>x</sub>膜2中の窒素が偏析し、WSiN膜が形成される。

【0063】

界面に偏析した窒素は、シリコンの未結合手(ダングリングボンド)と結合し、Si-N結合層を形成する。窒素とシリコンの面密度はおよそ $5 \times 10^{17} / \text{cm}^2$ 以上であった。このために、W/Si間の原子の行き来が抑制されるものと考えられる。このとき、窒素が比較的自由に動くことができるということが重要となる。なぜなら、金属中に含まれる窒素がその金属と強い結合を有する場合、界面まで拡散することができないため、上述したような偏析は起きない。

【0064】

よって、上記窒素の再分布による形成方法でなく、予め成膜によりWSiN膜を形成する場合には、このような点に留意すべきである。何故ならば、窒化タングステンとは異なり、WSiN膜中に含まれる窒素はSi-N結合を有するため、自由に動くことができず、W/Si界面に再分布することができないからである。

【0065】

従って、WSiN膜を用いる場合、W/Si界面への窒素の再分布が期待できない。一方、その膜中で酸素原子の拡散を抑えなければならない。このため、窒素とシリコンの面密度がおよそ $5 \times 10^{17} / \text{cm}^2$ 以上でなければならない。

【0066】

反応防止と同時に、W/Si界面の酸化が制御された原因は、WSiN膜が酸化剤の拡散防止の役目を果たしたためと考えられる。その理由は、Si-N間の結合力はSi-O間のそれよりも強く、窒素と酸素とを置換えるのは容易ではないからであると考えられる。

【0067】

以上の結果から、WSiN膜を挿入した構造を採用することにより、W膜3とシリコン基板1との反応が防止されるだけでなく、W膜3とシリコン基板1との界面にシリコン基板1の酸化も抑制されることが分かった。

【0068】

(第2の実施形態)

図3は、本発明の第2の実施形態に係るゲート電極(ポリメタルゲート)の形成方法を段階的に示す工程断面図である。

【0069】

まず、図3(a)に示すように、単結晶のシリコン基板10上にゲート酸化膜としての薄い酸化シリコン膜11(膜厚5nm)を形成し、その上に化学的気相成長(CVD)法により多結晶シリコン膜12(膜厚100nm)を堆積する。

【0070】

続いて、多結晶シリコン膜12上に反応性スパッタリング法によって窒化タングステン膜13(膜厚5nm)を堆積し、引き続いて、その上にスパッタリング法によってタングステン膜14(膜厚100nm)を堆積する。

【0071】

次に図3(b)に示すように、800程度の加熱処理を行うことで、窒化タングステン膜13中の窒素を外方拡散させ、タングステン膜14と多結晶シリコン膜12との界面に極薄いWSiN膜15を形成する。このとき、窒化タングステン膜13はタングステン膜となり、タングステン膜14と一体化される。

【0072】

続いて、タングステン膜14上にCVD法によりシリコン窒化膜16(膜厚200nm)を堆積する。なお、上記加熱処理は、800程度の成膜温度を有するシリコン窒化膜16の成膜工程と兼ねても良い。

【0073】

さらに、シリコン窒化膜16上にフォトレジスト(膜厚1μm)をスピンコート法により

10

20

30

40

50



塗布した後、このフォトレジストをフォトマスクを通して露光し、現像して、例えば  $0.25 \mu\text{m}$  幅のフォトレジストパターン 17 を形成する。

【0074】

次に図 3 (c) に示すように、ドライエッチング装置を用いて、フォトレジストパターン 17 に沿ってシリコン窒化膜 16 をエッチングした後、残存したフォトレジストパターン 17 を  $\text{O}_2$  アッシングにより剥離する。

【0075】

次に図 3 (d) に示すように、シリコン窒化膜 16 をエッチングマスクとして用いて、タングステン膜 14、WSiN 膜 15 および多結晶シリコン膜 12 をエッチングする。

【0076】

次に図 3 (e) に示すように、多結晶シリコン膜 12 のエッチング時に削られたゲート酸化膜 11 の回復と多結晶シリコン膜 12 のコーナー部分 18 を丸めるために、 $\text{N}_2 / \text{H}_2 / \text{H}_2\text{O}$  雰囲気中でシリコンの選択酸化（後酸化）を行う。酸化条件は、例えば、分圧比  $P(\text{N}_2) / P(\text{H}_2) / P(\text{H}_2\text{O}) = 0.9951 / 0.040 / 0.009 [\text{atm}]$ 、酸化温度  $800$ 、酸化時間 30 分間である。

【0077】

この選択酸化により、ゲート酸化膜 11 は元の膜厚まで回復し、また、図 3 (f) の拡大図に示すように多結晶シリコン膜 12 (ゲート部) のコーナー部分 18 が丸められる。この結果、ゲート電極のコーナー部分 18 における電界集中が避けられ、さらにはゲート酸化膜 11 の信頼性が向上する。

【0078】

このとき、図 3 (f) に示すように、酸化剤 20 は矢印の方向に基板 10 あるいは多結晶シリコン膜 12 の中に進入するが、タングステン膜 14 と多結晶シリコン膜 12 との間の WSiN 膜 15 が、酸化剤 20 の拡散を防止するため、酸化剤 20 はタングステン膜 14 を経由してシリコン膜 12 の上面から進入することはできない。

【0079】

したがって、タングステン膜 14 と多結晶シリコン膜 12 との界面における多結晶シリコン膜 12 はほとんど酸化されないので、コンタクト抵抗の上昇を防止でき、RC 遅延を抑制できるようになる。

【0080】

なお、酸化剤 20 は多結晶シリコン膜 12 の側面からは拡散するので、多結晶シリコン膜 12 の側面にシリコン酸化膜 19 が選択的に形成される。このシリコン酸化膜 19 は、多結晶シリコン膜 12 の側面の上部および下部において中央に向かってパーズピーク状に食い込んだ形状となる。このようなシリコン酸化膜 19 は RC 遅延等の問題とはならない。

【0081】

図 4 に、WSiN 膜 15 を形成しない従来のゲート部の断面構造を示す。図 4 から分かるように、酸化剤 20 はタングステン膜 14 側からも侵入するので、タングステン膜 14 と多結晶シリコン膜 12 との界面における多結晶シリコン膜 12 も酸化される。この結果、多結晶シリコン膜 12 の側面の他に上記界面にもシリコン酸化膜 19 が形成される。したがって、タングステン膜 14 と多結晶シリコン膜 12 とのコンタクト抵抗が上昇し、RC 遅延が増大する。

【0082】

かくして本実施例によれば、酸化防止層としての WSiN 膜 15 をタングステン膜 14 と多結晶シリコン膜 12 との間に挿設することにより、 $\text{N}_2 / \text{H}_2 / \text{H}_2\text{O}$  雰囲気中で選択酸化（後酸化）を行っても、タングステン膜 14 と多結晶シリコン膜 12 との間のコンタクト抵抗を上げることなく、シリコンの選択酸化によるゲート酸化膜 12 の回復が可能となる。また、WSiN 膜 15 は反応防止膜としても機能するので、タングステン膜 14 と多結晶シリコン膜 12 との反応も防止できる。

【0083】

このようにして高融点金属であるタングステン膜 14 を用いた利点が十分に発揮でき、ゲ

10

20

30

40

50

ート長0.25 $\mu\text{m}$ 世代以降でも、RC遅延によって動作速度が律速されない高速のMOSトランジスタが得られるようになる。

【0084】

なお、本実施例では、WSiN膜15の形成方法として、反応性スパッタリング法により窒化タングステン膜13を成膜した後に加熱処理を施す方法について説明したが、最初からWSiN膜を反応性スパッタリング法によって形成しても良い。

【0085】

例えば、WSi<sub>x</sub>をターゲットに、ArガスとN<sub>2</sub>ガスをスパッタガスとして用い、反応性スパッタリングを行うことにより、WSiN膜15を形成することもできる。

【0086】

また、スパッタリング法に限らず、他の成膜法、例えば、CVD法によりWSiN膜15を形成しても良い。例えば、NのソースガスとしてのWF<sub>6</sub>、WCl<sub>6</sub>、WCl<sub>4</sub>、またはW(CO)<sub>6</sub>ガスと、SiのソースガスとしてのSiH<sub>4</sub>、SiH<sub>2</sub>Cl<sub>2</sub>ガスと、NのソースガスとしてのNH<sub>3</sub>またはN<sub>2</sub>ガスとの混合ガスを用いて、WSiN膜15を形成しても良い。

【0087】

次に、比較例としてWSiN膜の代わりに窒化チタン膜を用いた場合について説明する。まず、図15(a)に示すように、単結晶シリコン基板900上に、熱酸化により薄いシリコン酸化膜901(膜厚5nm)を形成し、その上に化学的気相成長法(CVD)法により、多結晶シリコン膜902(膜厚100nm)を堆積する。

【0088】

さらに、Tiをターゲットに、ArとN<sub>2</sub>をスパッタリングガスとして用い、反応性スパッタリング法によって窒化チタン膜903(膜厚10nm)を堆積する。その上に、スパッタリング法によりタングステン膜904(膜厚100nm)を堆積する。

【0089】

その後、CVD法によりシリコン窒化膜905(膜厚200nm)を堆積し、その上にスピコート法により約1 $\mu\text{m}$ の膜厚でフォトレジストを塗布し、露光現像処理して0.15 $\mu\text{m}$ 幅のレジストパターン906を形成する。

【0090】

次いで、図15(b)に示すように、レジストパターン906をエッチングマスクとし、シリコン窒化膜をエッチングする。その後、残存したレジストパターン906を酸素プラズマエッチングを用いて除去し、シリコン窒化膜からなるマスクパターン905を得る。

【0091】

その後、図15(c)に示すように、シリコン窒化膜905をエッチングマスクとし、タングステン膜904、窒化チタン膜903、多結晶シリコン膜902をエッチングする。

【0092】

この後、図15(d)に示すように、電極パターン形成時に削られたゲート酸化膜の回復と多結晶シリコン膜902のコーナー部分907の丸めのために、N<sub>2</sub>/H<sub>2</sub>/H<sub>2</sub>O雰囲気中でシリコンの選択酸化を行う。この雰囲気では、タングステン膜を酸化させずに、基板シリコンおよび多結晶シリコン膜の側壁を酸化することが可能となる。

【0093】

しかしながら、チタンはその酸化物の形成に際し生じるギブスの自由エネルギーの低下値は、シリコンの酸化物の形成に際し生じるギブスの自由エネルギーの低下値に比べ低い。よって、チタン原子を含む窒化チタン膜を酸化させずに、シリコンを選択的に酸化させることは熱力学的に不可能である。

【0094】

図16に示すように、酸化剤はタングステン膜904中も拡散するため、例え積層構造と言えども、窒化チタン膜903は側壁のみならず、タングステン膜904との界面も酸化される。

【0095】

10

20

30

40

50

従って、上記酸化工程において、高融点金属膜と多結晶シリコン膜間に絶縁物である酸化チタン層 908 が形成され、界面のコンタクト抵抗を著しく上昇させる結果となる。最悪の場合、酸化チタン層形成に伴う堆積膨張により高融点金属の膜剥がれが起き、電極としては機能しなくなる。

【0096】

一般的に、窒化チタン膜は、金属とシリコンの反応防止層、いわゆるバリアメタルとして用いられるが、上記酸化工程を必要とする半導体装置においては使用することはできない。

【0097】

よって、高融点金属としては、その酸化物を形成する際に生じるギブスの自由エネルギーの低下値から、シリコンが酸化物を形成する際に生じるギブスの自由エネルギーの低下値を引いた値が負となるものでなければならない。

【0098】

(第3の実施形態)

本発明者等は次のような試料を作成し、その評価を行なった。

【0099】

すなわち、図5に示すように、単結晶のシリコン基板 20a 上に薄いシリコン酸化膜 21 (膜厚 10 nm) を形成し、その上に反応性スパッタリング法によって窒化タングステン膜 22 (膜厚 5 nm) を堆積する。引き続き、スパッタリング法によってタングステン膜 23 (膜厚 100 nm) を堆積する。

【0100】

次に  $N_2 / H_2 / H_2O$  雰囲気中において 800 ~ 1000 の温度範囲で 30 分間の酸化処理をシリコン基板 20a に施す。なお、上記酸化雰囲気の分圧比は  $P(N_2) / P(H_2) / P(H_2O) = 0.9951 / 0.040 / 0.009$  [atm] である。

【0101】

最後に、タングステン膜 23 および窒化タングステン膜 22 を硫酸と過酸化水素水との混合液によって剥離する。

このようにして得られた試料の各酸化温度におけるタングステン膜 23 と窒化タングステン膜 22 との積層膜 ( $W_{膜23} / W_{N_x膜22}$ ) 直下のシリコン酸化膜 ( $SiO_2$  膜) 21 の膜厚をエリプソメトリー法を用いて測定した。

【0102】

図6に、その測定結果(図中の白丸)を示す。また、比較例として、 $W_{膜22}$  とシリコン酸化膜 21 の間に  $W_{N_x膜22}$  を形成してないシリコン基板 1 を同じ条件で酸化した場合の  $W_{膜23}$  下の酸化膜 21 の測定結果(図中の黒丸)も示してある。

【0103】

図6から  $W_{N_x膜22}$  の有無に関わらず、 $W_{膜23}$ 、 $W_{膜23} / W_{N_x膜22}$  下の酸化膜 21 の膜厚は酸化温度の上昇とともに増加し、さらにその傾向は  $W_{N_x膜22}$  の有無に関わらずと同等であることが分かる。

【0104】

そこで、酸化後の  $W_{膜23} / W_{N_x膜22} / SiO_2$  膜 21 界面を EDX 法による元素分析を行った結果、界面の窒素濃度は低く、上述した  $WSiN$  膜は形成されていないことが分かった。

【0105】

このような結果は前述した窒素の再分布から説明することができる。

すなわち、タングステンから窒化タングステンが形成される時のギブスの自由エネルギーの低下値は、シリコンから窒化シリコンが形成されるときのそれよりは小さいが、酸化シリコンから窒化シリコンが形成される時のそれよりは大きいため、 $SiO_2$  膜 21 上では  $WSiN$  膜を形成するには至らず、酸化剤の拡散が抑えられなかったと考えられる。

【0106】

そこで、図7に示すような試料を作成した。すなわち、シリコン基板 30 上に薄いシリコ

10

20

30

40

50

ン酸化膜 31 (膜厚 10 nm) を形成し、その上に反応性スパッタリング法によって WS i N 膜 32 (膜厚 1 nm) を堆積し、さらにその上にスパッタリング法により W 膜 33 (膜厚 100 nm) を堆積して別の試料を作成した。

【0107】

次に  $N_2 / H_2 / H_2 O$  雰囲気中における 800 ~ 1000 の温度範囲で 30 分間の酸化処理を上記試料に施した。なお、分圧比は前述したものと同様である。

【0108】

次に図 5 の試料の場合と同様に、このようにして得られた試料の各酸化温度におけるシリコン酸化膜 31 の膜厚を調べた。

図 8 にその測定結果を白丸で示す。また、比較例として、表面に WS i N 膜 32 を形成してないシリコン基板 31 を同じ条件で酸化した場合の W 膜 23 下のシリコン酸化膜 31 の測定結果も黒丸で示してある。

10

【0109】

図 8 から WS i N 膜 32 / W 膜 23 を形成した試料は比較例に比べてシリコン酸化膜 31 の膜厚増加は著しく抑制されていることが分かる。つまり、WS i N 膜 32 を形成することにより、窒素の再分布に伴う拡散防止機能を補うことが可能となる。

【0110】

以上の結果から、WS i N 膜 32 は酸化防止層として極めて有効であり、W 膜 23 と薄いシリコン酸化膜 31 との間に WS i N 膜を介在させた構造を採用することにより、後酸化によるシリコン酸化膜 31 の膜厚増加を効果的に防止できることが分かる。

20

【0111】

(第 4 の実施形態)

図 9 は、本発明の第 4 の実施形態に係るゲート電極 (メタルゲート) の形成方法を段階的に示す工程断面図である。

【0112】

まず、図 9 (a) に示すように、単結晶のシリコン基板 40 上にゲート酸化膜としての薄いシリコン酸化膜 41 (膜厚 4 nm) を形成し、その上に反応性スパッタリング法によって WS i N 膜 42 (膜厚 1 nm) を堆積する。

【0113】

続いて、スパッタリング法によって WS i N 膜 42 上にタングステン膜 43 (膜厚 100 nm) を堆積した後、その上に CVD 法によりシリコン窒化膜 44 (膜厚 200 nm) を堆積する。

30

【0114】

さらに、シリコン窒化膜 44 上にフォトレジスト (膜厚 1  $\mu m$ ) をスピンコート法により塗布した後、このフォトレジストをフォトマスクを通して露光し、現像して、例えば 0.15  $\mu m$  幅のフォトレジストパターン 45 を形成する。

【0115】

次に図 9 (b) に示すように、ドライエッチング装置を用いて、レジストパターン 45 に沿ってシリコン窒化膜 44 をエッチングした後、残存したフォトレジストパターン 45 を  $O_2$  アッシングにより剥離する。

40

【0116】

次に図 9 (c) に示すように、シリコン窒化膜 44 をエッチングマスクに用いて、タングステン膜 43 および WS i N 膜 42 をエッチングする。

【0117】

次に図 9 (d) に示すように、タングステン膜 43 および WS i N 膜 42 のエッチング時に削られたゲート部以外の薄い酸化シリコン膜 41 の回復を行うために、 $N_2 / H_2 / H_2 O$  雰囲気中でシリコンの選択酸化 (後酸化) を行う。

【0118】

酸化条件は、例えば、分圧比  $P(N_2) / P(H_2) / P(H_2 O) = 0.9951 / 0.040 / 0.009$  [atm]、酸化温度 800、酸化時間 30 分間である。このとき、タ

50

ングステン膜43と薄いシリコン酸化膜41との間のWSiN膜42が酸化剤の拡散を妨げるため、酸化剤はタングステン膜43側から進入することはできない。したがって、タングステン膜43下に位置するゲート酸化膜であるシリコン酸化膜41はほとんど酸化されず膜厚は増加しないので、ゲート酸化膜の膜厚増加による駆動能力の低下は生じない。

【0119】

なお、図9(e)に示すように、酸化剤46はタングステン膜43下に位置するシリコン酸化膜41の側面からは拡散するので、シリコン酸化膜41のゲートエッジ下の部分47では、シリコン酸化膜41はゲート部の中央部に向かってバースピーク状に食い込んだ形状となるが特性上の問題はない。

【0120】

(第5の実施形態)

図10は、本発明の第5の実施形態に係るゲート電極(ポリメタルゲート)の形成方法を段階的に示す断面図である。

【0121】

本実施形態が第1~第4の実施形態と主として異なる点は、酸化防止膜の材料の一つである窒素の代わりに、炭素を用いたことにある。すなわち、本実施形態の酸化防止膜は、炭素とシリコンと高融点金属から形成されている。

【0122】

まず、図10(a)に示すように、単結晶のシリコン基板50上にゲート酸化膜としての薄いシリコン酸化膜51(膜厚5nm)を形成し、その上にCVD法により多結晶シリコン膜52(膜厚100nm)を堆積する。

【0123】

続いて、多結晶シリコン膜52上に、例えばWSi<sub>x</sub>をターゲットにArガスとCH<sub>4</sub>ガスをスパッタガスとして用い、反応性スパッタリング法によってWSiC膜53(膜厚2nm)を堆積し、引き続いて、その上にスパッタリング法によってタングステン膜54(膜厚100nm)を堆積した後、その上にCVD法によりシリコン窒化膜55(膜厚200nm)を堆積する。

【0124】

さらに、シリコン窒化膜55上にフォトレジスト(膜厚1μm)をスピンコート法により塗布した後、このフォトレジストをフォトマスクを通して露光し、現像して、例えば0.25μm幅のフォトレジストパターン56を形成する。

【0125】

次に図10(b)に示すように、ドライエッチング装置を用いて、フォトレジストパターン56に沿ってシリコン窒化膜55をエッチングした後、残存したフォトレジストパターン56をO<sub>2</sub>アッシングにより剥離する。

【0126】

次に図10(c)に示すように、シリコン窒化膜55をエッチングマスクに用いて、タングステン膜54、WSiC層53および多結晶シリコン膜52をエッチングする。

【0127】

次に、図10(d)に示すように、多結晶シリコン膜52のエッチング時に削られたゲート酸化膜51の回復と多結晶シリコン膜52のコーナー部分を酸化するために、N<sub>2</sub>/H<sub>2</sub>O雰囲気中でシリコンの選択酸化(後酸化)を行う。

【0128】

酸化条件は、例えば、分圧比P(N<sub>2</sub>)/P(H<sub>2</sub>)/P(H<sub>2</sub>O) = 0.9951/0.040/0.009[atm]、酸化温度800、酸化時間30分間である。

【0129】

この選択酸化により、ゲート酸化膜51は元の膜厚まで回復し、また、酸化膜57により多結晶シリコン膜のコーナー部分が丸められる。この結果、ゲート電極のコーナー部分における電界集中が避けられ、さらにはゲート酸化膜51の信頼性が向上する。

【0130】

10

20

30

40

50

このとき、第1の実施形態の場合と同様に、タングステン膜54と多結晶シリコン膜52との間のWSiC膜53が、酸化剤の拡散を防止するため、酸化剤はタングステン膜54側から進入することはできない。

【0131】

したがって、タングステン膜54と多結晶シリコン膜52との界面における多結晶シリコン膜52はほとんど酸化されないので、コンタクト抵抗の上昇を防止でき、RC遅延を抑制できるようになる。その他、本実施形態でも第1の実施形態と同じ効果が得られる。

【0132】

なお、酸化剤は多結晶シリコン膜52の側壁からは拡散するので、多結晶シリコン膜52の側面にシリコン酸化膜57が選択的に形成される。このシリコン酸化膜57は、多結晶シリコン膜52の側面の上部および下部において中央に向かってパーズピーク状に食い込んだ形状となる。

10

【0133】

なお、本実施形態ではWSiC層の形成方法として、 $WSi_x$  をターゲットに用いた反応性スパッタリング法を選んだが、Wをターゲットに、Arガスと $CH_4$  ガスをスパッタリングガスとして用い、反応性スパッタリング法により炭化タングステン(WC)膜を堆積し、その後に加熱処理を施すことにより、WSiC膜53を形成しても良い。

【0134】

また、成膜方法はスパッタリング法に限らず、CVD法によりWSiC層53を形成しても良い。例えば、 $WF_6$  と $SiH_4$  と $CH_4$  ガスを用いて、WSiC層53を形成しても良い。さらにまた、反応性スパッタリング法、CVD法において、炭素系のガスとして $CH_4$  ガスを選んだが、 $C_2H_9$ 、 $C_3H_8$ 、 $C_2H_2$  等でもよい。

20

【0135】

(第6の実施形態)

図11、図12は、本発明の第6の実施形態に係る電界効果型トランジスタ(MOSFET)の形成方法を段階的に示す工程断面図である。

【0136】

まず、図11(a)に示すように、単結晶のシリコン基板60の表面に素子分離絶縁膜61を形成して素子分離を行なう。次いで、素子分離絶縁膜61により囲まれたシリコン基板60の表面にゲート酸化膜62(膜厚5nm)を形成した後、その上にCVD法によって多結晶シリコン膜63(膜厚100nm)を形成する。

30

【0137】

続いて、多結晶シリコン膜63上に反応性スパッタリング法によって窒化タングステン膜64(膜厚5nm)を形成し、引き続き、反応性スパッタリング法によって窒化タングステン膜64上にタングステン膜65(膜厚100nm)を形成する。

【0138】

次に図11(b)に示すように、800程度の加熱処理を行なうことで、タングステン膜65と多結晶シリコン膜63との界面に極薄いWSiN層66を形成する。次いで、CVD法によりタングステン膜65上にシリコン窒化膜67(膜厚200nm)を形成する。なお、このシリコン窒化膜67の成膜温度は800程度なので、予め上記加熱処理を行わずに、この成膜工程で上記加熱処理を兼ねても良い。

40

【0139】

次いで、シリコン窒化膜67上にフォトレジスト(膜厚1 $\mu$ m)をスピンコート法により塗布した後、このフォトレジストをフォトマスクを通して露光し、現像して、例えば0.25 $\mu$ m幅のレジストパターン68を形成する。

【0140】

次に、図11(c)に示すように、ドライエッチング装置を用いて、レジストパターン68に沿ってシリコン窒化膜67をエッチングする。その後、残存したレジストパターン68を $O_2$  アッシングにより剥離する。続いて、シリコン窒化膜67をエッチングマスクとして用いて、タングステン膜65、WSiN層66、多結晶シリコン膜63を順次エッチ

50

ングする。

【0141】

次に、図11(d)に示すように、多結晶シリコン膜63のエッチング時に削られた薄いゲート酸化膜62の膜厚を回復させるためと、多結晶シリコン膜63の底部のコーナ部分69を丸めるために、 $N_2 / H_2 / H_2 O$ 雰囲気中でそれぞれのガス分圧を制御しながら、700~900の温度範囲でシリコンの選択酸化を行なう。この酸化によりシリコンだけが酸化され、またコーナ部分69が丸められるため、この部分に電界が集中することによるFETの信頼性の低下を防止できる。

【0142】

この酸化後に多結晶シリコン膜63とタングステン膜65との界面付近に酸化膜が形成されたり、成長したりすることは見られず、WSiN層66が外部雰囲気からの酸化剤の内方拡散を防止していることが確認された。

10

【0143】

同様な効果は、 $N_2 / H_2 / H_2 O$ 雰囲気だけではなく、微量酸素中、微量水蒸気または $H_2$ と $O_2$ との混合ガス雰囲気や、 $CO$ と $CO_2$ との混合ガス雰囲気でも確認された。

【0144】

次に図11(e)に示すように、イオン注入等により浅い不純物拡散層(ソース・ドレイン拡散層)70を形成した後、側壁絶縁膜として窒化シリコン膜71を形成する。その結果、タングステン膜65は窒化シリコン膜67,71によって囲まれるため、例えば酸化雰囲気にも曝してもタングステン膜65が酸化されることはない。また、タングステン膜65は、過酸化水素等の溶液に可溶性物質であるが、本構造を採用することにより溶液の侵入を防止できる。

20

【0145】

次に図12(a)に示すように、イオン注入等により深い不純物拡散層(ソース・ドレイン拡散層)72を形成した後、この不純物拡散層72上に金属シリサイド層73を形成する。

【0146】

次に、図12(b)に示すように、全面に層間絶縁膜74を形成した後、化学的機械的研磨(CMP)法等により、層間絶縁膜74の表面を平坦化する。次いで、層間絶縁膜74にフォトリジスト(膜厚1 $\mu m$ )をスピンコート法により塗布した後、このフォトリジストをフォトリソマスクを通して露光し、現像して、例えば穴径0.3 $\mu m$ レジストパターン75を形成する。

30

【0147】

次に、図12(c)に示すように、ドライエッチング装置を用いて、レジストパターン75をエッチングマスクに用い、層間絶縁膜74をエッチングして、コンタクトホールを開口した後、レジストパターン75を剥離する。このときのエッチング条件は、例えば、電力密度2.0W/cm<sup>2</sup>、圧力40mTorr、流量 $C_4 F_3 / CO / Ar = 10 / 100 / 200$ SCCMとする。

【0148】

この場合、層間絶縁膜74は約400nm/分でエッチングされるのに対し、窒化シリコン膜67,71は約10nm/分でエッチングされるため、層間絶縁膜74の窒化シリコン膜67,71に対する選択比は約40となる。

40

【0149】

したがって、レジストパターン75の形成工程において、穴の一部がタングステン膜65、WSiN膜66および多結晶シリコン膜63からなる積層構造のゲート電極にかかったとしても、窒化シリコン膜67,71はエッチングされないため、ゲート電極の露出を招かずに、不純物拡散層72に対するコンタクトホールを形成することができる。したがって、レジストパターン75の位置精度のマージンが広がる。

【0150】

次に図12(d)に示すように、選択CVD法等の成膜法を用いて、コンタクトホール内

50

にタングステン膜 77 を選択的に形成する。このとき、窒化シリコン膜 67, 71 がゲート電極を覆っているため、不純物拡散層 72 とゲート電極とが電氣的に接触して、リーク電流が流れることはない。

【0151】

以上述べたように、本実施形態によれば、ゲート電極 76 が窒化シリコン膜 67, 71 によって囲まれた構造を採用しているため、レジストパターン 75 の位置がゲート電極 76 側にずれても、不純物拡散層 72 とゲート電極 76 との間にリーク電流が流れることなく、かつレジストパターン 75 の位置合せのマージンは広がる。

【0152】

一方、従来の MOSFET は、不純物拡散層 72 の幅を広げ、レジストパターン 75 の位置をゲート電極 76 から可能な限り離すことで、レジストパターン 75 のずれに起因するトランジスタ特性の劣化を防いでいるため、MOSFET のサイズは必然的に大きくなる。すなわち、本実施例のようにゲート電極 76 を窒化シリコン膜 67, 71 で囲む構造を採用すれば、素子サイズを従来に比べて縮小することができる。

【0153】

(第7の実施形態)

図13は、本発明の第7の実施形態に係るEEPROM用電界効果型トランジスタ(MOSFET)の形成方法を段階的に示す工程断面図である。

【0154】

まず、図13(a)に示すように、単結晶シリコンからなる基板 80 上にトンネル酸化膜 81 (膜厚 5 nm) を形成し、その上に化学的気相成長(CVD)法により多結晶シリコン膜 82 (膜厚 300 nm) を堆積する。

【0155】

次に、多結晶シリコン膜 82 上にCVD法によりONO(Oxide Nitride Oxide)膜 83 (膜厚 16 nm) を堆積し、その上に反応性スパッタリング法によってWSiN膜 84 (膜厚 2 nm) を堆積し、引き続いて、その上にスパッタリング法によってタングステン膜 85 (膜厚 100 nm) を堆積する。

【0156】

次に図13(b)に示すように、タングステン膜 85 上にCVD法によりシリコン窒化膜 86 (膜厚 200 nm) を堆積した後、このシリコン窒化膜 86 上にフォトレジスト(膜厚 1 μm) をスピコート法により塗布し、このフォトレジストをフォトマスクを通して露光し、現像して、例えば 0.25 μm 幅のレジストパターン 87 を形成する。

【0157】

次に図13(c)に示すように、ドライエッチング装置を用いて、レジストパターン 87 に沿ってシリコン窒化膜 86 をエッチングした後、残存したレジストパターン 87 をO<sub>2</sub> アッシングにより剥離する。次いで、シリコン窒化膜 86 をエッチングマスクにして、タングステン(W) 85、WSiN層 84、ONO層 83、そして多結晶シリコン膜 82 をエッチングする。

【0158】

次に図13(d)に示すように、N<sub>2</sub>/H<sub>2</sub>/H<sub>2</sub>O 雰囲気中で各々のガス分圧を制御しながら、700~900 でシリコンの選択酸化を行なう。これは、多結晶シリコン膜 82 のエッチング時に削られたトンネル酸化シリコン膜 81 の膜厚回復と多結晶シリコン底部のコーナー部分 88 を丸めるためである。この酸化によりシリコンだけが酸化され、底部コーナー部分の電界集中による信頼性の低下を防止できる。

【0159】

この酸化後に多結晶シリコン 82 の上部が酸化されたり、ONO膜 83 の膜厚が増加したりすることは見られず、WSiN層 84 が外部雰囲気からの酸化剤の内方拡散を防止していることが確認された。

【0160】

同様な効果は、N<sub>2</sub>/H<sub>2</sub>/H<sub>2</sub>O 雰囲気だけでなく、微量酸素中、微量水蒸気もしくはは

10

20

30

40

50



H<sub>2</sub> と O<sub>2</sub> の混合ガス雰囲気や CO と CO<sub>2</sub> の混合ガス雰囲気でも確認された。

【0161】

EEPROMに用いられるトランジスタでは、コントロールゲート電極（タングステン膜85）とフローティングゲート電極（多結晶シリコン膜82）との間にあるONO膜が電荷蓄積用の絶縁膜に用いられている。よって、ONO膜の膜厚は、蓄積容量を規定しており、この膜厚が増加すると、蓄積容量が低下する。

【0162】

ここで、本実施形態によれば、ONO膜上に酸化防止膜を配置することにより、ONO膜厚の増加を防ぐことが可能となる。したがって、トランジスタ特性を劣化することなく、かつトンネル酸化膜の信頼性を向上することができる。

10

【0163】

なお、本実施形態では、電荷蓄積用絶縁膜としてCVD法により形成したONO膜を用いたが、酸素および窒素原子を含む雰囲気中で加熱処理によって形成しても良い。さらには、CVD法と加熱処理との組み合わせにより形成しても良い。

【0164】

なお、本発明は上述した実施形態に限定されるものではない。例えば、上記実施形態では、酸化防止膜に含まれる高融点金属としてタングステンを用いた場合について説明したが、高融点金属の窒化物を形成する際に生じるギブスの自由エネルギーの低下値から、シリコンの窒化物を形成する際に生じるギブスの自由エネルギーの低下値を差し引いた値が負となる高融点金属であれば、同様な効果が得られる。具体的には、Mo、Cr、Coなど

20

【0165】

また、酸化防止層は、窒素および炭素の両方を含んでいても良い。

【0166】

また、上記実施例では、ゲート電極の場合について説明したが、本発明は他の電極にも適用できるし、さらに配線にも適用できる。特にワード配線等のRC遅延が顕著な配線に適用すると良い。また、本発明は、MOSトランジスタ以外の素子にも適用できる。

【0167】

以上シリコンの選択酸化技術を応用したポリメタルゲート、メタルゲートにおいて、シリコンの望ましくない酸化に基づくRC遅延を抑制できるゲート構造と、その製造方法を説明した。これ以降の実施形態では、ポリサイドやポリメタル等の積層ゲート構造において、シリコン中の不純物が高融点金属あるいは高融点金属ポリサイドの中に熱拡散することを防止するゲート構造とその製造方法について説明する。

30

【0168】

（第8の実施形態）

図17、図18は、本発明の第8の実施形態における多層構造試料中の、不純物拡散防止効果を示す2次イオン質量分析のデータである。多層構造の試料の各層の厚さは、図17(a)の上部に、図の横軸に対応するスケールを設けて示している。

【0169】

即ち、シリコン基板（スケールには示されていない）上に厚さ100nmのSiO<sub>2</sub>層を成長し、次に不純物としてAsまたはB（ボロン）を濃度1×10<sup>20</sup>/cm<sup>2</sup>含んだ多結晶シリコン層を厚さ100nm成長した。その上に、混合比が1：1のArとN<sub>2</sub>の混合ガス雰囲気中で、Wのターゲットをスパッタする反応性スパッタ法を用いてWを堆積するか、またはWSi<sub>x</sub>ターゲット（x=2～3）を前記混合ガス雰囲気中で、反応性スパッタ法を用いて堆積する方法により、厚さ5nmのWSi<sub>x</sub>N<sub>y</sub>からなる拡散防止層を堆積した。引き続き最上層にスパッタ法を用いてWを厚さ100nm堆積し、第8の実施例における多層構造試料を作成した。

40

【0170】

前記Asを含む多結晶シリコン層を有する試料中の不純物拡散効果を評価するため、この試料をN<sub>2</sub>雰囲気中で800℃、30分、または950℃、30分熱処理したときの、不

50

純物の深さ方向の分布を図17に示す。図17(a)の分析結果を詳細に説明すれば次の通りである。

【0171】

2次イオン質量分析では、1次イオンビームを多層構造試料に照射してエッチングし、このとき放出される2次イオンを質量分析することにより、材料の組成を求める。このようにして、エッチングの深さと組成との関係が得られる。図17(a)の横軸はエッチングの深さであり、前記多層構造試料の各層の厚さの累積値に相当する。縦軸は検出した2次イオンの強度である。

【0172】

図17(a)に示すように、800、30分の熱処理の後、W層からなる試料表面の100nmの範囲にWのほかW+NとSiが見られたが、多結晶シリコン中の不純物Asは、Wと前記多結晶シリコンとの界面に $WSi_xN_y$ 拡散防止層が存在するため、表面部分を除いて、Wへの拡散が十分抑制されることが分かった。なお、図17(a)において、多結晶シリコン層、 $SiO_2$ 層中にもWやW+N等が存在するように見えるが、これは1次イオンビームによるエッチング形状の裾引きによるみかけのものである。

【0173】

多層構造の最上層に純粋なWを形成すれば多層構造の抵抗値を低減することができるが、ここに不純物が拡散するとW下のSi中の不純物濃度低下によるゲート空乏化や、CMOS(相補型MOS)におけるn,p領域間の不純物相互拡散を生じる原因となる。WとSiおよびNは安定な化合物を形成するので、図17(a)に示す程度、これらの元素がW中に導入されても、抵抗増大の原因とはならず、膜質劣化を生ずる恐れもない。従って厚さ5nmの $WSi_xN_y$ 拡散防止層を介在させれば、多層構造の信頼性の向上に大きく役立つことが分かった。

【0174】

同一試料を950において、30分熱処理したときの分析結果を図17(b)に示す。図17(a)に比べれば、W中のAsの量が約1桁増加したが、この結果から換算されるW中のAsの濃度は $1 \times 10^{18} / cm^3$ と、極めて微量の範囲内であるため、通常行われるLSIの熱工程においては、前記 $WSi_xN_y$ 層の拡散防止効果は十分であると考えることができた。

【0175】

多結晶シリコン層に不純物として、Bを含ませた場合の分析結果を図18に示す。800、および950、各30分の熱処理における、W中へのBの拡散は実用上無視し得るほど小さいことが分かった。また、同様の効果は、多結晶シリコン中に添加された前記As、B以外の他のドナー、アクセプタ不純物に対しても得られることがわかった。

【0176】

(第9の実施形態)

次に、図19に基づき、本発明の第9の実施形態を説明する。図19(a)~図19(c)は本発明の多層構造を用いた半導体装置の製造方法を示す断面図である。

【0177】

図19(a)に示すように、シリコン基板501にBをイオン注入し、引き続き熱拡散を行うことにより、深さ約 $1 \mu m$ のp型領域502を形成する。次に所定の領域に厚さ約600nmの素子分離用酸化膜503を形成した後、厚さ約10nmの保護酸化膜504を形成し、MOSFETの閾値を合わせるためのイオン注入を行う(斜線部505)。

【0178】

次に、図19(b)に示すように、保護酸化膜504を剥離した後、再び数nmから数十nmの酸化を行い、ゲート酸化膜506を形成する。

【0179】

引き続きCVD法により、非晶質シリコンを厚さ100nm堆積し、イオン注入により非晶質シリコン中にP(リン)を導入する。不純物元素の導入にはイオン注入のほか、気相または固相からの拡散を用いてもよい。いずれの場合も不純物濃度は約 $2 \times 10^{20} / cm$

10

20

30

40

50

<sup>3</sup> 以上とする。非晶質シリコン中にイオン注入したPの活性化熱処理は、800 で30分行う。この熱処理によって前記非晶質シリコンは多結晶シリコン507に変化する。

【0180】

次に稀弗酸処理を行うことにより、多結晶シリコン507上に生じた自然酸化膜を除去した後に、Wターゲットを用いて、ArとN<sub>2</sub>の混合ガス中で反応性スパッタを行うことにより、膜厚5nm程度のWSi<sub>x</sub>N<sub>y</sub>膜508を形成する。引き続きWのターゲットを用いてAr雰囲気中で反応性スパッタリングを行うか、または、WF<sub>6</sub>、SiH<sub>4</sub>ガスを用いたCVD法により、厚さ約100nmのW膜509を形成する。

【0181】

次にSiH<sub>2</sub>Cl<sub>2</sub>、NH<sub>3</sub>ガスを用いた成長温度800、30分のLP(Low Pressure)CVD法により、厚さ約250nmのSiN<sub>x</sub>膜510を形成する。 10

【0182】

この800、30分程度のSiN<sub>x</sub>膜の形成工程により、従来多結晶シリコン中に含まれる不純物がW中に拡散し問題になっていたが、拡散防止膜として本発明のWSi<sub>x</sub>N<sub>y</sub>膜508を用いることにより、多結晶シリコン膜507からW膜509への不純物拡散を抑制することができる。

【0183】

次にレジストを用いて所望のゲート電極または配線のパターンを形成し、これをマスクとしてSiN<sub>x</sub>膜510をRIE法を用いて除去し、前記SiN<sub>x</sub>膜をマスクとしてW膜509、WSi<sub>x</sub>N<sub>y</sub>膜508、および多結晶シリコン膜507をRIE法を用いてパターンニングし、多層構造のゲート電極または配線を形成する。 20

【0184】

次に、H<sub>2</sub>O、H<sub>2</sub>、N<sub>2</sub>雰囲気中で800、30分の選択酸化を行って図19(c)に示す酸化膜511を形成する。選択酸化によりWを酸化することなく、シリコンのみを酸化することができ、シリコン基板表面およびゲート電極の多結晶シリコンの側面に酸化膜を形成することができる。

【0185】

次にソース/ドレイン領域に、加速電圧20keV、ドーズ量 $5 \times 10^{14} / \text{cm}^2$ の条件で、Asが浅くイオン注され、LDD(Lightly Doped Drain)領域512を形成する。引き続きゲート電極上に厚さ約50nmのSiN<sub>x</sub>を形成した後、RIE法を用いて異方性エッチングを行うことにより、図19(c)に示すようにゲート側壁にSiN<sub>x</sub>膜513が形成されたゲート構造を得る。このように側壁を設けたゲートの上から、加速電圧60keV、ドーズ量 $7 \times 10^{15} / \text{cm}^2$ でAsを深くイオン注入することにより、ソース/ドレイン領域514を形成する。 30

【0186】

注入したAsを活性化するために、N<sub>2</sub>雰囲気中で温度900、30秒の熱処理を行った後、通常の方法で層間絶縁膜の形成、Alコンタクトおよび配線等を行うことにより、WSi<sub>x</sub>N<sub>y</sub>拡散防止層を有するゲート電極を具備する、側壁絶縁膜付きセルフアラインゲート構造のMOSFETを得ることができる。

【0187】

本発明の方法によれば、多層金属ゲート形成後に行う前記800、30分の選択酸化処理、As不純物活性化の高温熱処理、およびCVD法を用いた層間膜形成における800、1時間程度の熱工程においても、前記多層金属ゲートを構成する多結晶シリコン膜507に $2 \times 10^{20} / \text{cm}^3$ の高濃度で含まれるPがW膜509に拡散することがなく、従って低抵抗でかつ信頼性の高いゲート電極を具備するMOSFETが得られる。

【0188】

(第10の実施形態)

次に図20を参照して、本発明の第10の実施形態を説明する。図20(a)に示すように、シリコン基板601中にBをイオン注入し、熱拡散を行うことにより、深さ約1μmのp型領域602を形成する。所定の領域に厚さ約600nmの素子分離酸化膜603を 50

形成し、保護酸化膜（不図示）を形成した後、MOSFETの閾値を合わせるためのイオン注入を行う（斜線部605）。

【0189】

保護酸化膜を剥離した後、再び厚さ約10nmの酸化を行いトンネル酸化膜615を形成する。引き続きこの酸化膜615にNH<sub>3</sub>雰囲気中で1000、30秒程度の窒化処理を行ない、さらに引き続き1000、30秒程度の再酸化処理を行う。前記窒化および再酸化処理は、トンネル酸化膜の界面準位や酸化膜中のトラップを減少させる効果がある。

【0190】

次に、多結晶シリコン膜616を約200nm堆積し、POCl<sub>3</sub>中で850、30分の熱処理を行うことにより、多結晶シリコン中にPを導入する。 10

次に、多結晶シリコン上に厚さ約10nmの酸化膜617を熱酸化により形成し、引き続きLPCVD法により厚さ約10nmのSiN<sub>x</sub>膜618を形成後、そのSiN<sub>x</sub>膜表面を900で30分酸化し、酸化膜619を形成する。その上に厚さ100nmの多結晶シリコン膜607を堆積し、POCl<sub>3</sub>雰囲気中で850、60分の熱処理を行うことにより、多結晶シリコン607にPを導入する。

【0191】

その後、前記第9の実施形態と同様の工程を経て多結晶シリコン607の上に、WSi<sub>x</sub>N<sub>y</sub>膜608、W膜609、SiN<sub>x</sub>膜610を図20(a)に示すように堆積し、図20(b)に示すようにレジストパターンを用いて多層構造のゲート電極をトンネル酸化膜615の上に形成する。 20

【0192】

ソース/ドレイン領域にAsを加速電圧60keV、ドーズ量約1×10<sup>16</sup>/cm<sup>2</sup>でイオン注入の後、注入した不純物を活性化するため900、30分の熱処理を行う。その後層間膜形成とAl配線等を形成することにより、多結晶シリコン浮遊ゲート616と、絶縁層617、618、619からなる3層の絶縁層を介して形成された積層構造の制御ゲート(607-610)を具備した、不揮発性メモリ用MOSFET素子が得られる。

【0193】

このように制御ゲートにWSi<sub>x</sub>N<sub>y</sub>膜608を介在させることにより、前記制御ゲート形成後の熱工程に対してゲート電極の耐熱性は著しく向上し、高信頼性の不揮発性メモリ用MOSFET素子を得ることができる。 30

【0194】

(第11の実施形態)

次に図21に基づき本発明の第11の実施形態を説明する。本実施例は第10の実施形態の変形例であり、前記WSi<sub>x</sub>N<sub>y</sub>膜608を形成後、W膜609に替えてWSi<sub>x</sub>膜621を形成する。前記WSi<sub>x</sub>N<sub>y</sub>膜608形成までの工程については、第15の実施例と同じであるため説明を省略する。WSi<sub>x</sub>膜621は、W<sub>5</sub>Si<sub>3</sub>をターゲットとしてAr雰囲気中でスパッタするか、またはWF<sub>6</sub>、SiH<sub>4</sub>を原料ガスとするCVD法により、厚さ約300nmに堆積される。

【0195】

レジストを用いてパターニングの後、シリコン膜616を選択酸化し、ソース/ドレイン領域へ加速エネルギー60keV、ドーズ量5×10<sup>15</sup>/cm<sup>2</sup>の条件でAsをイオン注入する。引き続き注入された不純物の活性化を兼ねて、O<sub>2</sub>雰囲気中で900、60分程度の酸化処理を行う。このときの酸化量はゲートに要求される耐圧の大きさに応じて適宜に決定する。 40

【0196】

この酸化処理工程において、前記Asのイオン注入による酸化速度増大のため、WSi<sub>x</sub>膜621中のSiの消費が増加し、下地の多結晶シリコン膜607からSiがWSi<sub>x</sub>膜621に供給されるようになる。このため、WSi<sub>x</sub>膜621と多結晶シリコン膜607との界面は、WSi<sub>x</sub>が多結晶シリコン中に食い込んだ形となり、耐圧劣化の原因となる 50

ことがわかった。

【0197】

本発明によれば、多結晶シリコン膜607と $WSi_x$ 膜621との間に、 $WSi_xN_y$ 拡散防止膜608を形成したことにより、前記酸化処理工程中に、多結晶シリコン中に高濃度に含まれる不純物が $WSi_x$ 膜621中に拡散することが防止されると同時に、下地多結晶シリコン膜607から $WSi_x$ 膜621へのSiの吸い出しが抑制されるため、耐压劣化は見られなかった。

【0198】

次に層間絶縁膜とAl配線等を行うことにより高信頼性の不揮発性メモリ用MOSFET素子を得ることができる。

10

【0199】

(第12の実施形態)

図22は本発明の第12の実施形態に係わる相補型MOSFET(CMOSFET)の構成を示す断面図である。各々のMOSFETは、シリコン膜707または707'、W膜709を含む積層ゲート構造を有している。

【0200】

前述のように、ポリサイドやポリメタル等の積層構造では、熱工程で熱の影響を受け易く、シリコン中の不純物が熱拡散により高融点金属またはシリサイド中に拡散してしまうという欠点がある。このような拡散により、シリコン中の不純物濃度が低下し、ゲート電圧を反転側に印加した場合には、図23(b)に示すようにゲートシリコン802中に空乏層802'が現れ、トランジスタの駆動能力を低下させる。この現象はゲート空乏化として知られている。なお、図23(a)はゲート電圧が印加されない状態を表し、参照番号801はシリコン基板、806はゲート絶縁膜、802はシリコン膜、804はW膜、805はソース/ドレイン領域をそれぞれ表す。

20

【0201】

また、CMOSFETに上記の積層構造を用いた場合、図24(a)、(b)に模式的に示すように、高融点金属(またはシリサイド)804中に拡散した不純物(矢印810で示す)がp型、n型領域を相互に拡散してゲートの仕事関数を変え、閾値電圧が変化するという問題がある。この現象は、一般にCMOSの不純物相互拡散と呼ばれる問題である。

30

【0202】

本実施例は、上記の不純物相互拡散を抑制する構成を提供する実施例である。図25ないし図28に示した製造プロセスに従って、本実施例の説明を行う。

【0203】

まず、フォトリソグラフィ技術を用いて所定の領域にレジストパターンを形成し、これをマスクとしてシリコン基板にBまたはGaまたはInをイオン注入する。同様に所定の領域にPまたはAsまたはSbをイオン注入する。引き続き熱拡散を行って、深さ約1 $\mu$ mのp型領域722とn型領域722'を形成する(図25)。

【0204】

次に所定の領域に厚さ600nmの素子分離用酸化膜703を形成する(図26(a))

40

次に厚さ10nm程度の保護酸化膜形成後、MOSFETの閾値を合わせるためのイオン注入を行い、前記保護酸化膜を剥離した後再度厚さ約10nmのゲート酸化膜706を形成する(図26(b))。引き続き厚さ約100nmのシリコン膜707を堆積する。このときシリコン707は非晶質または多結晶、またはシリコン基板と部分的に接触させて、横方向エピタキシャル成長により、単結晶としたものであってもよい。

【0205】

p型領域722上のシリコン膜707のゲート形成領域に、レジストをマスクとしてP, As, Sb等のn型不純物をイオン注入し、この領域を $n^+$ とする。同様に722'上のシリコン膜707'のゲート形成領域に、レジストをマスクとしてB, Ga, In等のp

50

型不純物をイオン注入し、これを  $p^+$  とする。ゲート領域への不純物元素の導入には気相や固相からの拡散を用いてもよいが、不純物濃度はいずれの場合も  $2 \times 10^{20} / \text{cm}^3$  以上となるようにする（図 26 (c)）。

【0206】

次に、例えば希弗酸処理により、工程中シリコン膜 707 および 707' の表面に形成された自然酸化膜を除去した後に、 $W_5Si_3$  のターゲットを用いて Ar 雰囲気ですパッタするか、または  $WF_6$  と  $SiH_4$  系の LPCVD 法を用いることにより、厚さ 10 nm 以下の  $WSi_x$  膜 723 を形成する（図 27 (a)）。この  $WSi_x$  膜 723 は、Si と W のコンタクトを低抵抗化するために形成される。

【0207】

次に W 若しくは  $WSi_x$  のターゲットを用いて Ar と  $N_2$  の混合ガス雰囲気中で反応性スパッタを行うことにより、厚さ 5 nm の  $WSi_xN_y$  膜 708 を形成する（図 27 (a)）。

【0208】

引き続き W ターゲットを用いて、Ar ガス雰囲気中でスパッタするか、または  $WF_6$  系の CVD により、厚さ 100 nm の W 膜 709 を形成する（図 27 (b)）。

【0209】

次に厚さ 250 nm の  $SiN_x$  膜 710 を 800、30 分の LPCVD 法により形成する（図 27 (b)）。このとき従来の工程では、多結晶シリコン 707 および 707' から、それぞれ  $n^+$  および  $p^+$  型多結晶シリコン中の不純物が W 膜 709 に向かって拡散し、W 膜 709 の抵抗値を増加させる問題があったが、本発明の拡散防止膜  $WSi_xN_y$  708 を用いることにより、前記シリコン膜から W 膜への不純物拡散を防止することができる。これにより、図 23 (b) に示したようなゲートの空乏化や図 24 (b) に示したような相互拡散を防止することができる。

【0210】

続いて、フォトリソグラフィ技術を用いて、所望のゲート電極またはゲート配線の形状にレジストパターン 750 を形成し（図 27 (c)）、レジストパターン 750 をマスクとして  $SiN_x$  膜 710 を RIE 法を用いてパターニングする。次にレジスト 750 をアッシャーを用いて除去し、パターニングされた  $SiN_x$  膜 710 をマスクとして W 膜 709、 $WSi_xN_y$  膜 708、 $WSi_x$  膜 723 および Si 膜 707、あるいは 707' を RIE 法を用いてパターニングし、ゲート電極あるいは配線を形成する（図 28 (a)）。

【0211】

次に  $H_2O$ 、 $H_2$ 、 $N_2$  ガス雰囲気中で 800、30 分の選択酸化を行う。この選択酸化により W を酸化することなくシリコンのみを酸化して、シリコン基板およびゲート電極のシリコン部分の側面に酸化膜 711 を形成する。

【0212】

次に p 型領域 722 のソース/ドレイン領域に As を加速電圧 20 keV、ドーズ量  $5 \times 10^{14} / \text{cm}^2$  の条件でイオン注入する。また n 型領域 722' のソース/ドレイン領域には  $BF_2$  を加速電圧 20 keV、ドーズ量  $5 \times 10^{14} / \text{cm}^2$  の条件でイオン注入する。これにより、低濃度のソース/ドレイン領域 712、712' を形成する（図 28 (b)）。

【0213】

次に CVD 法により、厚さ 50 nm 程度の  $SiN_x$  膜を堆積し、引き続き RIE 法を用いて異方性エッチングを行うことにより、ゲート側壁に  $SiN_x$  膜 713 を形成する（図 28 (b)）。

【0214】

その後、p 型領域 722 のソース/ドレイン領域に As を加速電圧 60 keV、ドーズ量  $7 \times 10^{15} / \text{cm}^2$  の条件でイオン注入する。また n 型領域 722' のソース/ドレイン領域には  $BF_2$  を加速電圧 60 keV、ドーズ量  $7 \times 10^{15} / \text{cm}^2$  の条件でイオン注入

10

20

30

40

50

する。これにより、深いソース/ドレイン領域 714、714' を形成する (図 28 (b))。

【0215】

以下通常の方法で層間膜を形成し、Al配線を行うことにより、信頼性に優れた相補型の MOSFET を得ることができる。

【0216】

本発明によれば、シリコンと金属または金属シリサイドとの界面に拡散防止層を形成することにより、熱工程によってシリコン中の不純物が金属または金属シリサイド中へ拡散することを抑制することができる。例えば、拡散防止層として  $WSi_xN_y$  を用いて、 $W/WSi_xN_y/Si$  の積層構造を形成した場合、Si中に  $1 \times 10^{20} / cm^3$  の As を含む試料に、950 30分の熱工程を加えたとき、W中の As 濃度は  $1 \times 10^{18} / cm^3$  以下である。従ってこの程度の熱処理を加えてもW中の不純物濃度は十分低く抑えられているので、CMOSFETにおける相互拡散が起こらない。また、Si中の不純物濃度はほぼ  $1 \times 10^{20} / cm^3$  を保つのでゲート空乏化が起こることもない。

10

【0217】

なお、上記の実施形態では、高融点金属としてW系の金属を用いたポリサイド、またはポリメタル構造について説明したが、本発明の適用範囲はこれに限定されるものではなく、その他の高融点金属または高融点金属シリサイドとシリコンとの界面に高融点金属とシリコンと窒素とを含む合金から成る拡散防止層を形成することにより達成することができる。また、前記拡散防止層には前記3元素のほかに、酸素、炭素を含んでもよい。

20

【0218】

上述したように、本発明の半導体装置とその製造方法(実施形態8ないし12)によれば、ポリサイドまたはポリメタル構造の電極または配線において、多結晶シリコン中の不純物の金属または金属シリサイド中への拡散を抑制することができるので、電気的特性に優れ、かつ信頼性の高い半導体装置とその製造方法を得ることができる。

【0219】

【発明の効果】

以上詳述したように本発明(請求項1)によれば、高融点金属からなる金属膜と半導体膜との間に導電性の酸化防止膜を設けた構造の電極(配線)を採用しているため、後酸化工程における金属膜と半導体膜との界面における該半導体膜の酸化を防止でき、コンタクト抵抗の上昇を抑制できる。したがって、高融点金属を用いた利点が十分に発揮できるようになる。

30

【0220】

また、本発明(請求項2)によれば、高融点金属からなる金属膜の下に導電性の酸化防止膜電極を設けた構造の電極(配線)を採用しているため、後酸化の工程における電極(配線)下の半導体層の酸化を防止でき、該絶縁膜の厚膜化による素子特性の劣化を防止できる。したがって、高融点金属を用いた利点が十分に発揮できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る試料の形成方法を示す工程断面図。

【図2】図1の試料の酸化膜厚の酸化温度依存性を従来技術と比較して示す図。

40

【図3】本発明の第2の実施形態に係るゲート電極(ポリメタルゲート)の形成方法を示す工程断面図。

【図4】従来のゲート電極(ポリメタルゲート)の断面図。

【図5】本発明の第3の実施形態に係る試料の形成方法を示す工程断面図。

【図6】図5の試料の酸化膜厚の酸化温度依存性を示す図。

【図7】本発明の第3の実施形態に係る他の試料の形成方法を示す工程断面図。

【図8】図5の試料の酸化膜厚の酸化温度依存性を示す図。

【図9】本発明の第4の実施形態に係るゲート電極(メタルゲート)の形成方法を示す工程断面図。

【図10】本発明の第5の実施形態に係るゲート電極(ポリメタルゲート)の形成方法を

50

示す工程断面図。

【図 1 1】本発明の第 6 の実施形態に係る電界効果型トランジスタの前半の形成方法を示す工程断面図。

【図 1 2】本発明の第 6 の実施形態に係る電界効果型トランジスタの後半の形成方法を示す工程断面図。

【図 1 3】本発明の第 7 の実施形態に係る E E P R O M 用電界効果型トランジスタの形成方法を示す工程断面図。

【図 1 4】本発明の第 1 の実施形態に係る試料の X P S による評価結果を示す図。

【図 1 5】バリア層として窒化チタン膜を用いた従来のゲート電極の製造方法を示す工程断面図。

【図 1 6】従来のゲート電極における酸化剤の進入経路を示す断面図。

【図 1 7】本発明の第 8 の実施形態における A s の拡散抑制効果を示す図。

【図 1 8】本発明の第 8 の実施形態における B の拡散抑制効果を示す図。

【図 1 9】本発明の第 9 の実施形態に係わる M O S F E T の製造方法を示す工程断面図。

【図 2 0】本発明の第 1 0 の実施形態に係わる不揮発性メモリ用 M O S F E T の製造方法を示す工程断面図。

【図 2 1】本発明の第 1 1 の実施形態に係わる不揮発性メモリ用 M O S F E T の構造を示す断面図。

【図 2 2】本発明の第 1 2 の実施形態に係わる相補型 M O S F E T の構造を示す断面図。

【図 2 3】従来の相補型 M O S F E T の問題点を説明するためのトランジスタの断面図。

【図 2 4】従来の相補型 M O S F E T の平面図と、不純物の相互拡散を説明するための断面図。

【図 2 5】本発明の第 1 2 の実施形態に係わる相補型 M O S F E T の製造工程を説明するための断面図。

【図 2 6】本発明の第 1 2 の実施形態に係わる相補型 M O S F E T の製造工程の次の段階を説明するための断面図。

【図 2 7】本発明の第 1 2 の実施形態に係わる相補型 M O S F E T の製造工程の次の段階を説明するための断面図。

【図 2 8】本発明の第 1 2 の実施形態に係わる相補型 M O S F E T の製造工程の次の段階を説明するための断面図。

【符号の説明】

1 ... シリコン基板

2 ... 窒化タンゲステン膜

3 ... タングステン膜

4 ... 酸化剤

1 0 ... シリコン基板

1 1 ... 酸化シリコン膜 (ゲート酸化膜)

1 2 ... 多結晶シリコン膜

1 3 ... 窒化タンゲステン膜

1 4 ... タングステン膜

1 5 ... W S i N 膜 (酸化防止膜)

1 6 ... シリコン窒化膜

1 7 ... フォトレジストパターン

1 8 ... コーナー部分

1 9 ... シリコン酸化膜

2 0 ... 酸化剤

2 0 a ... シリコン基板

2 1 ... シリコン酸化膜

2 2 ... 窒化タンゲステン膜

2 3 ... タングステン膜

10

20

30

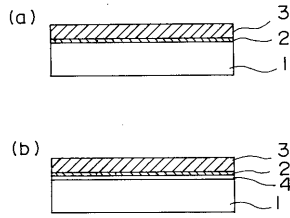
40

50

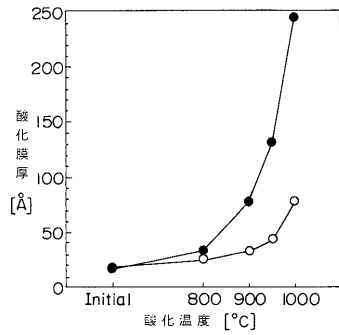


3 0 ... シリコン基板	
3 1 ... シリコン酸化膜	
3 2 ... W S i N 膜 (酸化防止膜)	
3 3 ... W 膜	
4 0 ... シリコン基板	
4 1 ... シリコン酸化膜 (ゲート酸化膜)	
4 2 ... W S i N 膜 (酸化防止膜)	
4 3 ... タングステン膜	
4 4 ... シリコン窒化膜	
4 5 ... フォトレジストパターン	10
4 6 ... 酸化剤	
4 7 ... コーナ部分	
5 0 ... シリコン基板	
5 1 ... シリコン酸化膜 (ゲート酸化膜)	
5 2 ... 多結晶シリコン膜	
5 3 ... W S i C 膜 (酸化防止膜)	
5 4 ... タングステン膜	
5 5 ... シリコン窒化膜	
5 6 ... フォトレジストパターン	
5 7 ... 酸化剤	20
6 0 ... シリコン基板	
6 1 ... 素子分離絶縁膜	
6 2 ... ゲート酸化膜	
6 3 ... 多結晶シリコン膜	
6 4 ... 窒化タングステン膜	
6 5 ... タングステン膜	
6 6 ... W S i N 層	
6 7 ... シリコン窒化膜	
6 8 ... レジストパターン	
6 9 ... コーナー部分	30
7 0 ... 不純物拡散層	
7 1 ... 窒化シリコン膜	
7 2 ... 不純物拡散層	
7 3 ... 金属シリサイド層	
7 4 ... 層間絶縁膜	
7 5 ... レジストパターン	
8 0 ... 基板	
8 1 ... トンネル酸化膜	
8 2 ... 多結晶シリコン膜	
8 3 ... O N O 膜	40
8 4 ... W S i N	
8 5 ... タングステン膜	
8 6 ... シリコン窒化膜	
8 7 ... レジストパターン	

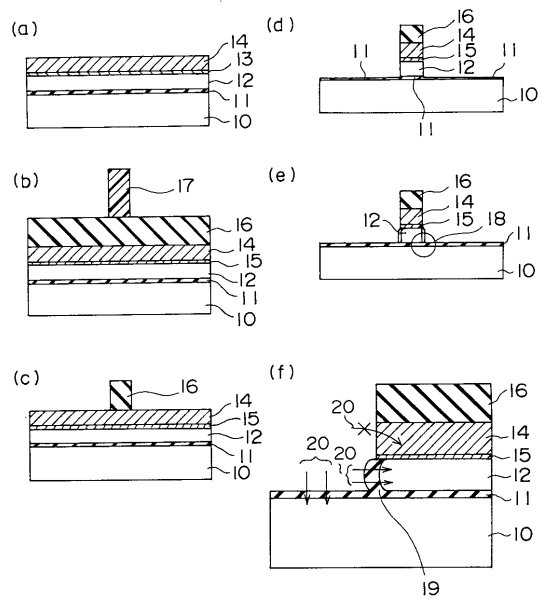
【 図 1 】



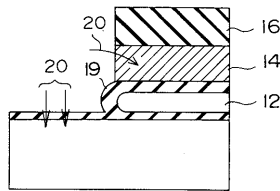
【 図 2 】



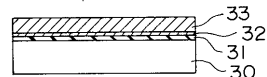
【 図 3 】



【 図 4 】



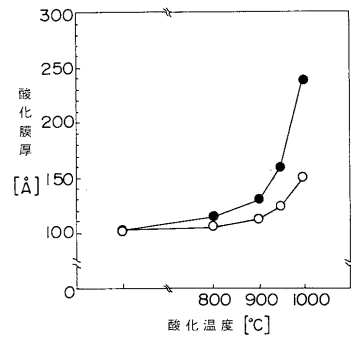
【 図 7 】



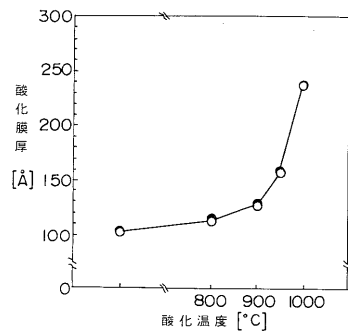
【 図 5 】



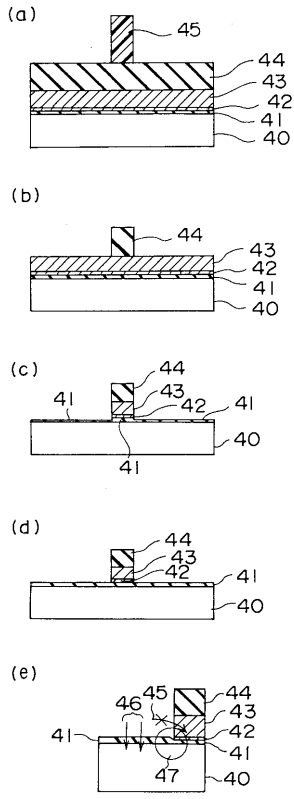
【 図 8 】



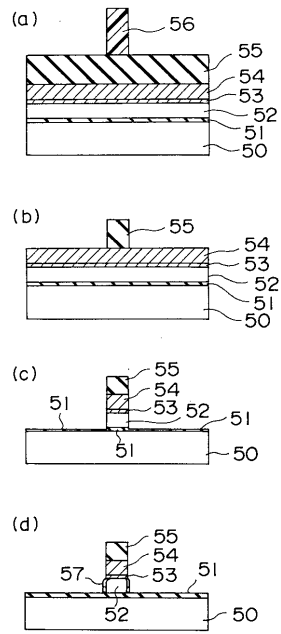
【 図 6 】



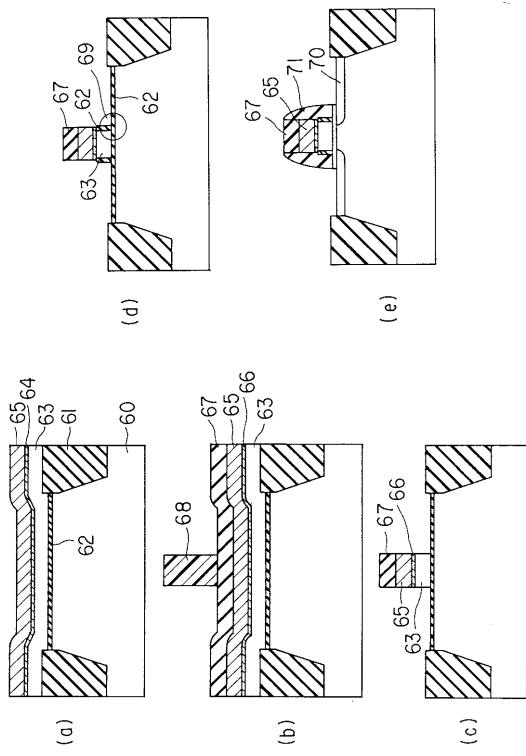
【 図 9 】



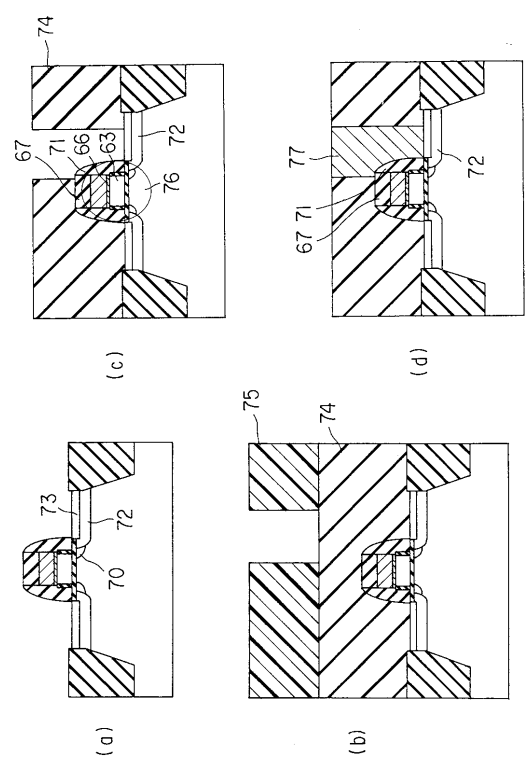
【 図 10 】



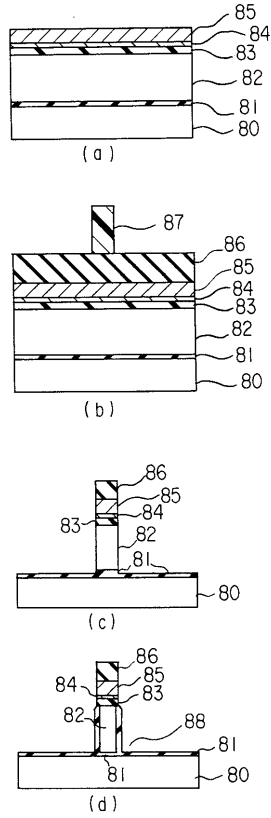
【 図 11 】



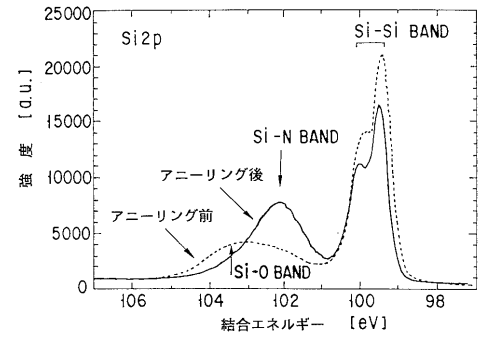
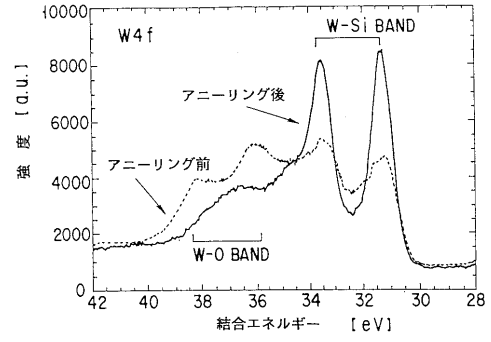
【 図 12 】



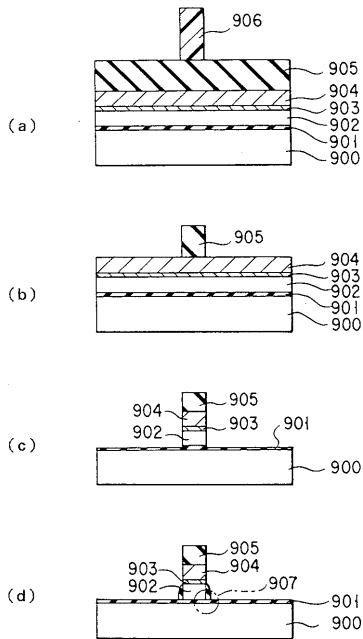
【 図 1 3 】



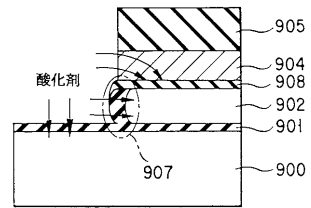
【 図 1 4 】



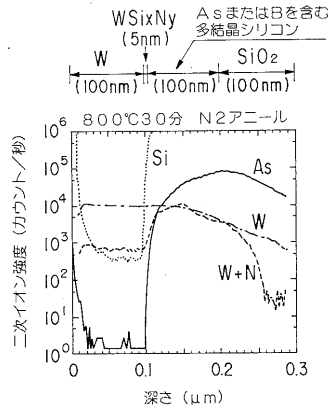
【 図 1 5 】



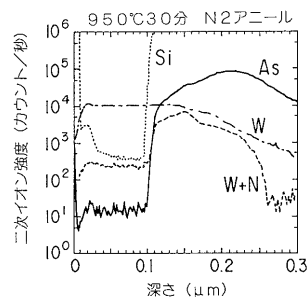
【 図 1 6 】



【 図 17 】

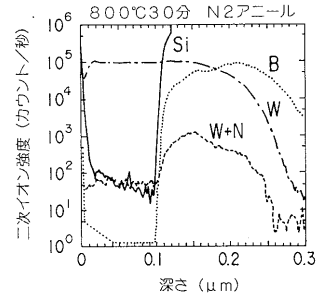


(a)

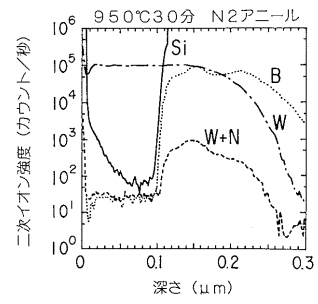


(b)

【 図 18 】

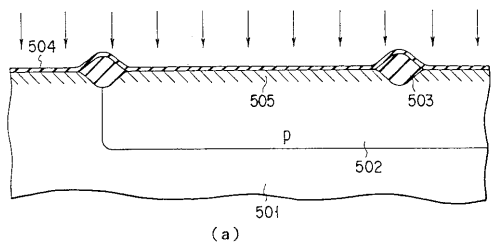


(a)

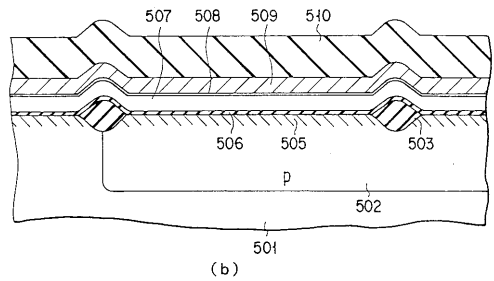


(b)

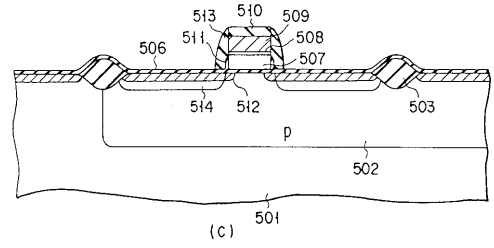
【 図 19 】



(a)

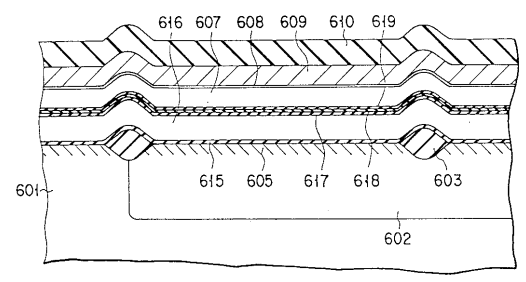


(b)

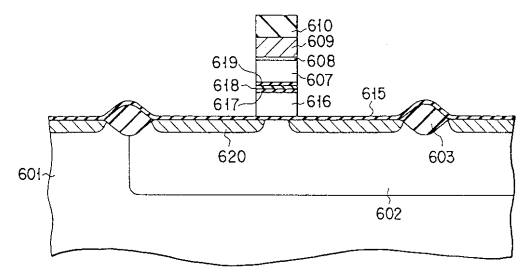


(c)

【 図 20 】

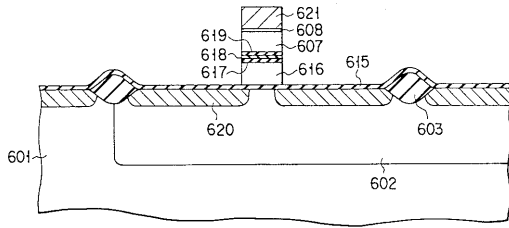


(a)

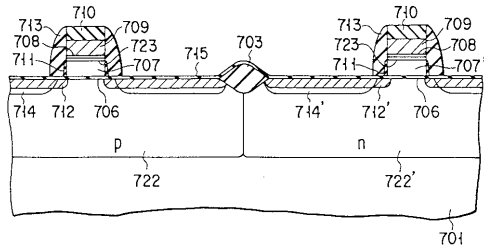


(b)

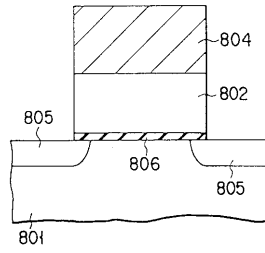
【 図 2 1 】



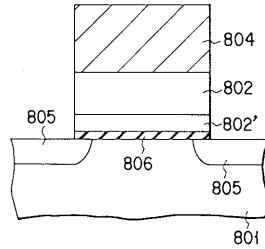
【 図 2 2 】



【 図 2 3 】

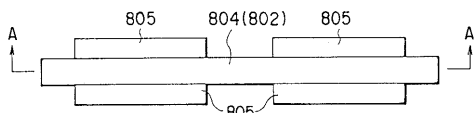


(a)

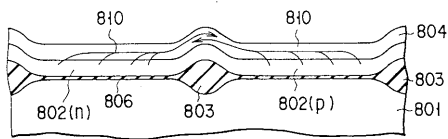


(b)

【 図 2 4 】

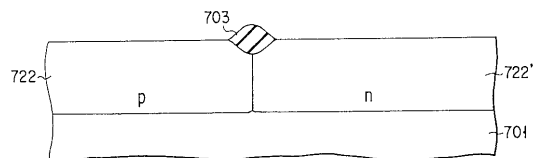


(a)

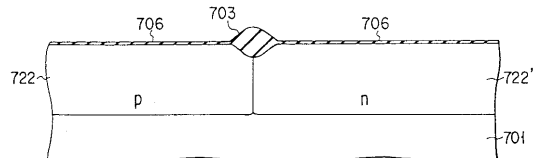


(b)

【 図 2 6 】

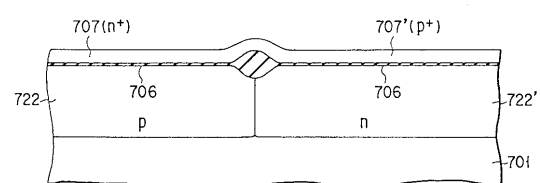
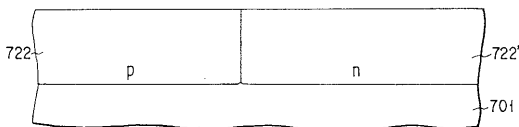


(a)



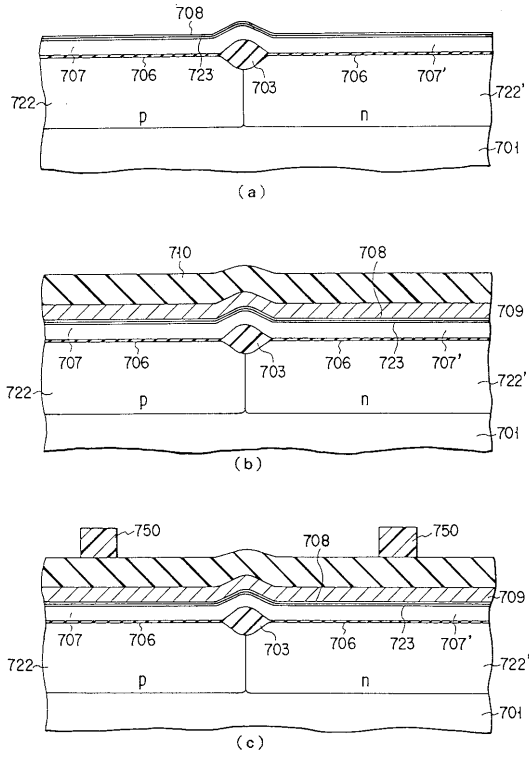
(b)

【 図 2 5 】

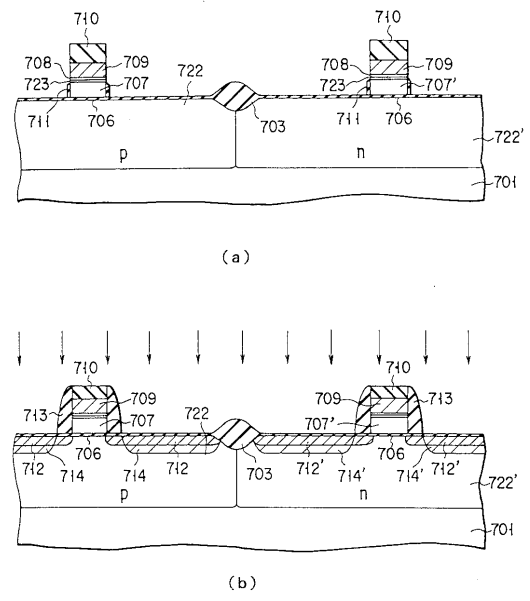


(c)

【 図 2 7 】



【 図 2 8 】



## フロントページの続き

- (74)代理人 100070437  
弁理士 河井 将次
- (72)発明者 中嶋 一明  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 宮野 清孝  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 赤坂 泰志  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 須黒 恭一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

## 合議体

- 審判長 松本 邦夫  
審判官 今井 淳一  
審判官 橋本 武

- (56)参考文献 特開平07-094716(JP,A)  
特開平07-094731(JP,A)  
特開平07-202189(JP,A)  
特開平03-079078(JP,A)  
1995年(平成7年)春季第42回応用物理学関係連合講演会講演予稿集, No.2, (特許庁受入日:1995-4-18), p.18  
電子情報通信学会技術研究報告, (1995-01-27), Vol.94, No.469(SDM94-172-183), p.19-24

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 29/78  
H01L 21/336  
H01L 21/28  
H01L 21/44  
H01L 29/40  
H01L 21/3205  
H01L 21/3213  
H01L 21/768