



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0137527  
(43) 공개일자 2013년12월17일

(51) 국제특허분류(Int. Cl.)  
G06F 12/06 (2006.01) G06F 9/46 (2006.01)

G06F 11/10 (2006.01)

(21) 출원번호 10-2013-0051321

(22) 출원일자 2013년05월07일

심사청구일자 없음

(30) 우선권주장

13/490,849 2012년06월07일 미국(US)

(71) 출원인

엘에스아이 코포레이션

미국 캘리포니아주 95131, 새너제이, 라이더 파크  
드라이브 1320

(72) 발명자

웬 존슨

미국 캘리포니아주 94539 프레몬트 알라메다 로렐  
글렌 테라스 600

양 샤오후아

미국 캘리포니아주 95129 산 호세 엘카 애비뉴  
1477

(뒷면에 계속)

(74) 대리인

제일특허법인

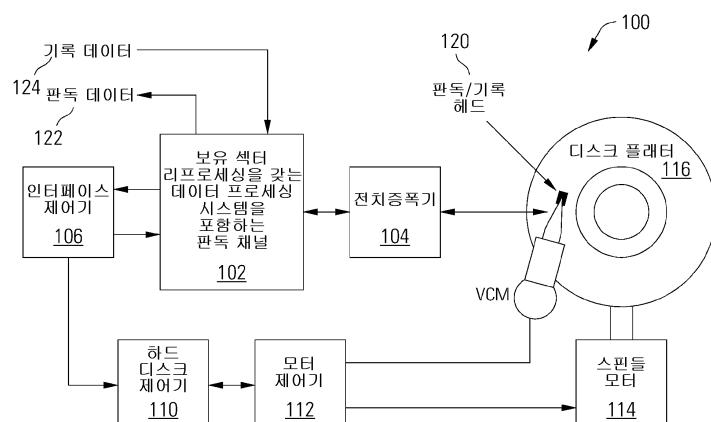
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템

### (57) 요 약

본 발명의 다양한 실시예에는 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 위한 장치 및 방법에 관한 것이다. 예를 들어, 데이터 블록을 프로세싱하고, 대응하는 프로세싱된 출력 데이터 블록을 산출하고, 요청시 리프로세싱을 위해 데이터 블록을 보유하도록 동작 가능한 데이터 프로세서와, 보유된 데이터 블록에 대한 리프로세싱 요청을 수신하고, 보유된 데이터 블록에 대해 데이터 프로세서 내에서 리프로세싱 동작을 개시하도록 동작 가능한 스케줄러를 포함하는 데이터 프로세싱 시스템이 개시된다.

### 대 표 도 - 도1



(72) 발명자

싱글레톤 제퍼슨 이

미국 콜로라도주 80021 웨스트미니스터 웨스트 10  
7번 드라이브 9707

월슨 브루스

미국 캘리포니아주 95119 산 호세 마틴베일 레인  
254

칼루리 마두수단

미국 캘리포니아주 94085 서니베일 아파트먼츠 제  
이2080 에스칼론 애비뉴 1000

## 특허청구의 범위

### 청구항 1

데이터 프로세싱 시스템에 있어서,

데이터 블록을 프로세싱하고, 대응하는 프로세싱된 출력 데이터 블록을 산출하고, 요청시에 리프로세싱을 위해 상기 데이터 블록을 보유하도록 동작 가능한 데이터 프로세서와,

상기 보유된 데이터 블록에 대한 리프로세싱 요청을 수신하고, 상기 보유된 데이터 블록에 대해 상기 데이터 프로세서 내에서 리프로세싱 동작을 개시하도록 동작 가능한 스케줄러를 포함하는

데이터 프로세싱 시스템.

### 청구항 2

제 1 항에 있어서,

상기 데이터 프로세서는 상기 데이터 블록 내의 데이터값을 반복적으로 검출하도록 동작 가능한 데이터 디코더 및 데이터 검출기를 포함하는

데이터 프로세싱 시스템.

### 청구항 3

제 2 항에 있어서,

상기 데이터 디코더는 저밀도 패리티 검사 디코더(a low density parity check decoder)를 포함하는  
데이터 프로세싱 시스템.

### 청구항 4

제 2 항에 있어서,

상기 데이터 프로세서는 데이터 검출기와 데이터 디코더 사이에 메모리를 더 포함하고, 상기 보유된 데이터 블록은 상기 메모리 내에 저장되는

데이터 프로세싱 시스템.

### 청구항 5

제 1 항에 있어서,

상기 스케줄러는 상기 데이터 블록을 프로세싱할 때보다 상기 데이터 블록을 리프로세싱할 때 상기 데이터 프로세서 내에 더 많은 프로세싱 리소스를 할당하도록 동작 가능한

데이터 프로세싱 시스템.

### 청구항 6

제 5 항에 있어서,

상기 프로세싱 리소스는 다수의 프로세싱 반복 및 적어도 하나의 재시도 프로세싱 동작을 포함하는

데이터 프로세싱 시스템.

#### 청구항 7

제 1 항에 있어서,

상기 스케줄러는 상기 데이터 블록을 위한 판독 요청 및 상기 데이터 블록을 위한 보유 명령을 수신하도록 더 동작 가능한

데이터 프로세싱 시스템.

#### 청구항 8

제 1 항에 있어서,

상기 데이터 프로세서는 대응 데이터 블록이 보유 가능한지 여부를 판정하기 위해 프로세싱 후에 하드 디스크 제어기에 프로세싱된 출력 데이터 블록을 전송하고, 보유 가능하면 상기 대응 데이터 블록을 보유하도록 동작 가능한

데이터 프로세싱 시스템.

#### 청구항 9

제 8 항에 있어서,

상기 데이터 프로세서는 상기 대응 데이터 블록이 보유되는지 여부의 표시를 하드 디스크 제어기에 전송하도록 더 동작 가능한

데이터 프로세싱 시스템.

#### 청구항 10

제 1 항에 있어서,

상기 데이터 프로세싱 시스템은 접적 회로로서 구현되는

데이터 프로세싱 시스템.

#### 청구항 11

제 1 항에 있어서,

상기 데이터 프로세싱 시스템은 저장 디바이스 내에 통합되는

데이터 프로세싱 시스템.

#### 청구항 12

제 1 항에 있어서,

상기 데이터 프로세싱 시스템은 독립 디스크의 종복 어레이를 포함하는 저장 시스템 내에 통합되는

데이터 프로세싱 시스템.

### 청구항 13

제 1 항에 있어서,  
상기 데이터 프로세싱 시스템은 전송 시스템 내에 통합되는  
데이터 프로세싱 시스템.

### 청구항 14

데이터 프로세싱 방법에 있어서,  
판독 요청이 수신될 때 데이터값을 검출하기 위해 데이터 섹터를 프로세싱하는 단계와,  
상기 데이터 섹터를 위한 데이터값을 출력하는 단계와,  
상기 판독 요청으로 수신된 보유 명령에 적어도 부분적으로 기초하여 메모리 내에 데이터 섹터를 보유해야 하는  
지 여부를 판정하는 단계와,  
상기 데이터 섹터가 보유되었는지 여부의 표시를 출력하는 단계와,  
리프로세싱 요청이 데이터 섹터에 대해 수신될 때 새로운 데이터값을 생성하도록 상기 데이터 섹터를 리프로세  
싱하는 단계와,  
새로운 데이터값을 출력하는 단계를 포함하는  
데이터 프로세싱 방법.

### 청구항 15

제 14 항에 있어서,  
상기 데이터 섹터를 위한 데이터값을 출력할 때 데이터값이 성공적으로 검출되었는지 여부의 표시를 출력하는  
단계를 더 포함하는  
데이터 프로세싱 방법.

### 청구항 16

제 14 항에 있어서,  
상기 메모리가 상기 데이터 섹터를 보유하기 위해 충분한 자유 공간을 갖는지 여부를 판정하는 단계를 더 포함  
하는  
데이터 프로세싱 방법.

### 청구항 17

제 14 항에 있어서,  
상기 데이터 섹터를 프로세싱하는 단계는 상기 데이터 섹터가 수렴할 때까지 사전 결정된 수의 반복까지 저밀도  
패리티 검사 디코더 내에서 상기 데이터 섹터를 디코딩하는 단계를 포함하는  
데이터 프로세싱 방법.

### 청구항 18

제 17 항에 있어서,

상기 데이터 섹터를 리프로세싱하는 단계는 상기 데이터 섹터가 수렴할 때까지 더 큰 제 2 사전 결정된 수의 반복까지 저밀도 패리티 검사 디코더 내에서 상기 데이터 섹터를 디코딩하는 단계를 포함하는  
데이터 프로세싱 방법.

### 청구항 19

제 18 항에 있어서,

상기 데이터 섹터를 리프로세싱하는 단계는 저밀도 패리티 검사 디코더 내에서 적어도 하나의 재시도 동작을 수행하는 단계를 더 포함하는

데이터 프로세싱 방법.

### 청구항 20

저장 시스템에 있어서,

데이터 세트를 유지하는 저장 매체와,

상기 저장 매체 상의 데이터 세트를 감지하고 상기 데이터 세트에 대응하는 아날로그 출력을 제공하도록 동작 가능한 판독/기록 헤드 조립체와,

디지털 출력을 산출하기 위해 연속적인 신호를 샘플링하도록 동작 가능한 아날로그 대 디지털 컨버터와,

데이터 프로세싱 시스템을 포함하고,

상기 데이터 프로세싱 시스템은,

상기 디지털 출력 내 데이터 블록을 프로세싱하고, 대응하는 프로세싱된 출력 데이터 블록을 산출하고, 리프로세싱이 요청될 때 리프로세싱을 위해 상기 데이터 블록을 보유하도록 동작 가능한 데이터 프로세서와,

상기 보유된 데이터 블록에 대한 리프로세싱 요청을 수신하고, 상기 보유된 데이터 블록에 대해 상기 데이터 프로세서 내에서 리프로세싱 동작을 개시하도록 동작 가능한 스케줄러를 포함하는

저장 시스템.

## 명세서

### 배경기술

[0001] 다양한 데이터 프로세싱 시스템이 저장 시스템, 휴대폰 시스템 및 무선 전송 시스템과 같은 용례에 사용을 위해 개발되어 왔다. 각각의 시스템에서, 데이터는 몇몇 매체를 경유하여 송신기로부터 수신기로 전송된다. 예를 들어, 저장 시스템에서, 데이터는 송신기(즉, 기록 기능)로부터 저장 매체를 경유하여 수신기(즉, 판독 기능)로 송신된다. 정보는 디지털 데이터의 형태로 저장되고 전송되기 때문에, 보정되지 않으면 데이터를 손상시키고 정보를 사용 불가능하게 할 수 있는 에러가 도입된다. 임의의 전송의 유효성은 다양한 팩터에 의해 발생된 데이터 내의 임의의 손실에 의해 영향을 받는다. 다수의 유형의 데이터 프로세서가 디지털 데이터 내의 에러를 검출하고 보정하기 위해 개발되어 왔다. 예를 들어, 최대 사후 확률(Maximum a Posteriori: MAP) 검출기 및 저밀도 패리티 검사(LDPC) 디코더와 같은 데이터 검출기 및 디코더가 저장 또는 전송 시스템으로부터 검색된 데이터 비트 및 다중 비트 심벌의 값을 검출하고 디코딩하는데 사용될 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0002]

저장 시스템으로부터의 데이터의 섹터 또는 데이터의 다른 블록은 신호 대 노이즈비(SNR)에 있어서 다양할 수 있고, 따라서 저장 또는 전송 후에 원시 데이터를 복구하는 어려움이 있다. 데이터가 순차적으로 검색되거나 수신됨에 따라, 메모리 버퍼가 프로세싱되는 데이터를 저장하기 위해 데이터 프로세싱 시스템 내에 제공될 수 있다. 그러나, 프로세싱이 완료됨에 따라, 데이터는 프로세싱될 새로운 데이터를 위한 장소를 만들기 위해 메모리 버퍼로부터 킥아웃(kick out)된다. 데이터가 메모리 버퍼로부터 킥아웃되기 전에 데이터가 데이터 프로세싱 시스템 내에서 성공적으로 프로세싱되지 않으면, 데이터는 프로세싱이 다음에 성공적일 것이라고 기대하여 프로세싱을 반복하도록 재차 검색되거나 수신될 수 있다.

### 과제의 해결 수단

[0003]

본 발명의 다양한 실시예는 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 위한 장치 및 방법에 관한 것이다. 데이터 프로세싱 시스템은 데이터 블록에 여러 검출 및 보정과 같은 기능을 수행하고, 정상 킥아웃 기준이 도달한 후에 데이터 섹터를 보유하는 것이 가능하다. 이를 보유 섹터는 부가의 프로세싱 리소스 또는 시간을 갖는 몇몇 경우에 데이터 프로세싱 시스템 내에서 리프로세싱될 수 있다. 몇몇 실시예에서, 데이터 프로세싱 시스템은 비터비형(Viterbi-type) 검출기 및 저밀도 패리티 검사(LDPC) 디코더를 사용하여, 데이터를 반복적으로 프로세싱하기 위해 자기 하드 디스크 드라이브를 위한 판독 채널을 포함한다. 이러한 경우에, 데이터가 상기 디코더 내에서 수렴하거나, 국부적 디코딩 반복에 대한 제한이 상기 디코더 내에서 도달하거나, 전역 반복에 대한 제한이 상기 검출기 및 상기 디코더 내에서 도달하거나, 버퍼가 풀이고 새로운 데이터가 프로세싱을 위해 수신되면 데이터 섹터는 중앙 메모리로부터 일반적으로 킥아웃된다. 판독 채널은 중앙 메모리 내에 특정 데이터 섹터를 보유하도록 명령받을 수 있고, 채널이 가외의 대역폭을 가지거나 또는 하드 디스크 드라이브 내의 판독 헤드가 트랙들 사이에서 이동할 때와 같이 여분의 시간이 있을 때, 리프로세싱될 수 있다. 리프로세싱되는 보유 섹터는 판독 채널 내에서 정상적으로 프로세싱되거나 또는 부가의 프로세싱 리소스 또는 시간으로 프로세싱될 수 있다. 예를 들어, Targeted Symbol Flipping(TSF), Y-average, No SyncMark Retry(NSM) 등과 같은 채널 또는 디코더 내의 재시도 특징이 보유 섹터를 리프로세싱할 때 가능화될 수 있다. 섹터는 리프로세싱 중에 수렴하면, 섹터를 식별하기 위해 섹터 태그와 함께 하드 디스크 제어기로 포워딩될 수 있고, 이어서 중앙 메모리로부터 소거될 수 있다.

[0004]

데이터 프로세싱 시스템의 몇몇 실시예에 제어 신호가 제공되어, 데이터 섹터의 리프로세싱이 요청될 수 있고, 킥아웃 규칙이 일반적으로 메모리로부터 데이터 섹터들을 소거한 후에 데이터 섹터가 데이터 프로세싱 시스템 내의 메모리 내에 보유되는지 여부를 제어하게 한다.

[0005]

이 요약 설명은 본 발명에 따른 몇몇 실시예의 일반적인 개요만을 제공한다. 본 발명의 다른 목적, 특징, 장점 및 다른 실시예는 이하의 상세한 설명, 첨부된 청구범위 및 첨부 도면으로부터 더 완전히 명백해질 것이다.

### 도면의 간단한 설명

[0006]

본 발명의 다양한 실시예의 추가의 이해는 명세서의 나머지 부분에 설명되어 있는 도면을 참조하여 실현될 수 있다. 도면에서, 유사한 도면 부호가 유사한 구성 요소를 나타내기 위해 다수의 도면 전체에 걸쳐 사용될 수 있다.

도 1은 본 발명의 몇몇 실시예에 따른 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 포함하는 저장 시스템을 도시하는 도면.

도 2는 본 발명의 몇몇 실시예에 따른 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 포함하는 무선 통신 시스템을 도시하는 도면.

도 3은 본 발명의 몇몇 실시예에 따른 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템의 블록 다이어그램.

도 4는 본 발명의 몇몇 실시예에 따른 보유 섹터 리프로세싱을 갖는 예시적인 데이터 프로세싱 시스템 내의 하드 디스크 제어기와 판독 채널 사이의 접속부 및 입력/출력(I/O) 포트를 도시하는 도면.

도 5는 본 발명의 몇몇 실시예에 따른 보유 섹터 리프로세싱을 갖는 데이터 프로세싱을 위한 방법을 도시하는

흐름도.

### 발명을 실시하기 위한 구체적인 내용

[0007]

본 발명의 다양한 실시예는 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 위한 장치 및 방법에 관한 것이다. 데이터 프로세싱 시스템은 데이터 블록에 여러 검출 및 보정과 같은 기능을 수행하고, 정상 킥아웃 기준이 도달한 후에 데이터 섹터를 보유하는 것이 가능하다. 이를 보유 섹터는 부가의 프로세싱 리소스 또는 시간을 갖는 몇몇 경우에 데이터 프로세싱 시스템 내에서 리프로세싱될 수 있다. 몇몇 실시예에서, 데이터 프로세싱 시스템은 비터비형 검출기 및 저밀도 패리티 검사(LDPC) 디코더를 사용하여, 데이터를 반복적으로 프로세싱하기 위해 자기 하드 디스크 드라이브를 위한 판독 채널을 포함한다. 이러한 경우에, 데이터가 상기 디코더 내에서 수렴하거나, 국부적 디코딩 반복에 대한 제한이 상기 디코더 내에서 도달하거나, 전역 반복에 대한 제한이 상기 검출기 및 상기 디코더 내에서 도달하거나, 버퍼가 풀이고 새로운 데이터가 프로세싱을 위해 수신되면 데이터 섹터가 중앙 메모리로부터 일반적으로 킥아웃된다. 판독 채널은 중앙 메모리 내에 특정 데이터 섹터를 보유하도록 명령받을 수 있고, 채널이 가외의 대역폭을 가질 때 또는 하드 디스크 드라이브 내의 판독 헤드가 트랙들 사이에서 이동할 때와 같이 여분의 시간이 있을 때, 리프로세싱될 수 있다. 리프로세싱되는 보유 섹터는 판독 채널 내에서 정상적으로 프로세싱될 수 있거나 부가의 프로세싱 리소스 또는 시간으로 프로세싱될 수 있다. 예를 들어, Targeted Symbol Flipping(TSF), Y-average, No SyncMark Retry(NSM) 등과 같은 채널 또는 디코더 내의 재시도 특징이 보유 섹터를 리프로세싱할 때 가능화될 수 있다. 섹터는 리프로세싱 중에 수렴하면, 섹터를 식별하기 위해 섹터 태그와 함께 하드 디스크 제어기로 포워딩될 수 있고, 이어서 중앙 메모리로부터 소거될 수 있다.

[0008]

데이터 프로세싱 시스템의 몇몇 실시예에 제어 신호가 제공되어, 데이터 섹터의 리프로세싱이 요청될 수 있고, 킥아웃 규칙이 일반적으로 메모리로부터 데이터 섹터들을 소거한 후에 데이터 섹터가 데이터 프로세싱 시스템 내의 메모리 내에 보유되는지 여부를 제어하게 한다.

[0009]

본 명세서에 개시된 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템은 사실상 임의의 채널 내에 저장되거나 전송된 데이터 프로세싱 또는 사실상 임의의 매체 상의 정보의 저장에 적용 가능하다. 전송 용례는 이들에 한정되는 것은 아니지만, 광 파이버, 무선 주파수 채널, 유선 또는 무선 근거리 통신망, 디지털 가입자 라인 기술, 무선 셀룰러, 구리 또는 광 파이버와 같은 임의의 매체를 통한 이더넷, 케이블 텔레비전과 같은 케이블 채널 및 지상 위성 통신을 포함한다. 저장 용례는 이들에 한정되는 것은 아니지만, 하드 디스크 드라이브, 콤팩트 디스크, 디지털 비디오 디스크, 자기 테이프 및 DRAM, NAND 플래시, NOR 플래시, 다른 비휘발성 메모리 및 고체 상태 드라이브와 같은 메모리 디바이스를 포함한다. 예를 들어, 데이터 프로세싱 시스템은 이들에 한정되는 것은 아니지만, 자기 하드 디스크 드라이브 내의 판독 채널, 드라이브로부터 검출 및 디코딩 데이터 섹터일 수 있다.

[0010]

용어 "섹터"는 다수의 예시적인 실시예와 관련하여 본 명세서에 사용되지만, 데이터의 소스 또는 포맷과 무관하게, 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템에서 프로세싱된 데이터 블록을 일반적으로 칭하는 것으로 고려될 수 있다.

[0011]

본 명세서에 개시된 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템은 임의의 특정 용례에 한정되는 것은 아니지만, 용례의 다수의 예가 본 발명의 실시예로부터 이익을 얻는 도 1 및 도 2에 제시되어 있다. 도 1을 참조하면, 저장 시스템(100)은 본 발명의 몇몇 실시예에 따른 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템의 예시적인 용례로서 도시되어 있다. 저장 시스템(100)은 본 발명의 몇몇 실시예에 따른 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 갖는 판독 채널 회로(102)를 포함한다. 저장 시스템(100)은 예를 들어, 하드 디스크 드라이브일 수 있다. 저장 시스템(100)은 전치증폭기(104), 인터페이스 제어기(106), 하드 디스크 제어기(110), 모터 제어기(112), 스픈들 모터(114), 디스크 플래터(platter)(116) 및 판독/기록 헤드 조립체(120)를 또한 포함한다. 인터페이스 제어기(106)는 디스크 플래터(116)로부터 데이터의 어드레싱 및 타이밍을 제어한다. 디스크 플래터(116) 상의 데이터는 조립체가 디스크 플래터(116) 상에 적절하게 위치될 때 판독/기록 헤드 조립체(120)에 의해 검출될 수 있는 자기 신호의 그룹으로 이루어진다. 일 실시예에서, 디스크 플래터(116)는 종방향 또는 수직 헤드코딩 방향에 따라 헤드코딩된 자기 신호를 포함한다.

[0012]

통상의 판독 동작에서, 판독/기록 헤드 조립체(120)는 디스크 플래터(116) 상의 원하는 데이터 트랙 상에 모터 제어기(112)에 의해 정확하게 위치된다. 모터 제어기(112)는 디스크 플래터(116)와 관련하여 판독/기록 헤드 조립체(120)를 위치시키고 하드 디스크 제어기(110)의 지령 하에서 디스크 플래터(116) 상의 적절한 데이터 트랙으로 판독/기록 헤드 조립체(120)를 이동시킴으로써 스픈들 모터(114)를 구동한다. 스픈들 모터(114)는 정해

진 스핀 속도(RPM)로 디스크 플래터(116)를 스핀한다. 일단 판독/기록 헤드 조립체(120)가 적절한 데이터 트랙에 인접하여 위치되면, 디스크 플래터(116) 상의 데이터를 표현하는 자기 신호는 디스크 플래터(116)가 스핀들 모터(114)에 의해 회전됨에 따라 판독/기록 헤드 조립체(120)에 의해 감지된다. 감지된 자기 신호는 디스크 플래터(116) 상의 자기 데이터를 표현하는 연속적인 미세한 아날로그 신호로서 제공된다. 이 미세한 아날로그 신호는 판독/기록 헤드 조립체(120)로부터 전치증폭기(104)를 경유하여 판독 채널 회로(102)로 전송된다. 전치증폭기(104)는 디스크 플래터(116)로부터 액세스된 미세한 아날로그 신호를 증폭하도록 동작 가능하다. 이어서, 판독 채널 회로(102)는 수신된 아날로그 신호를 디코딩하고 디지털화하여 디스크 플래터(116)에 원래 기록된 정보를 재생성한다. 이 데이터는 판독 데이터(122)로서 수신 회로에 제공된다. 수신된 정보를 디코딩하는 부분으로서, 판독 채널 회로(102)는 비순차적 전송을 갖는 데이터 프로세싱 시스템을 사용하여 수신된 신호를 프로세싱한다. 이러한 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템은 도 3 및 도 4와 관련하여 이하에 개시되는 것에 따라 구현될 수도 있다. 몇몇 경우에, 데이터 프로세싱은 도 5와 관련하여 이하에 개시되는 흐름도에 따라 수행될 수 있다. 기록 동작은 이전의 판독 동작과 실질적으로 반대이고 기록 데이터(124)가 판독 채널 회로(102)에 제공된다. 이 데이터는 이어서 인코딩되어 디스크 플래터(116)에 기록된다.

[0013]

저장 시스템(100)은 예를 들어, RAID(저장 디스크의 중복 어레이 또는 독립 디스크의 중복 어레이) 기반 저장 시스템과 같은 더 대형의 저장 시스템에 통합될 수 있다는 것이 주목되어야 한다. 이러한 RAID 저장 시스템은 중복성을 통해 안정성 및 신뢰성을 증가시켜, 다수의 디스크를 논리 유닛으로서 조합한다. 데이터는 다양한 알고리즘에 따라 RAID 저장 시스템 내에 포함된 다수의 디스크를 가로질러 확산되고 이것이 단일 디스크인 것처럼 운영 체계에 의해 액세스될 수 있다. 예를 들어, 데이터는 RAID 저장 시스템 내의 다수의 디스크에 미러링될 수 있고, 또는 다수의 기술에서 다수의 디스크를 가로질러 슬라이스되고 분배될 수 있다. RAID 저장 시스템 내의 소수의 디스크가 고장나거나 이용 불가능해지면, 여러 보정 기술이 RAID 저장 시스템 내의 다른 디스크로부터 데이터의 나머지 부분에 기초하여 누락 데이터를 재생성하는데 사용될 수 있다. RAID 저장 시스템 내의 디스크는 이에 한정되는 것은 아니지만, 저장 시스템(100)과 같은 개별 저장 시스템일 수 있고, 서로 근접하여 위치되거나 증가된 보안을 위해 더 광범위하게 분배될 수 있다. 기록 동작에서, 기록 데이터는 예를 들어 기록 데이터를 미러링하거나 스트립핑함으로써, 디스크를 가로질러 기록 데이터를 저장하는 제어기에 제공된다. 판독 동작에서, 제어기는 디스크로부터 데이터를 검색한다. 제어기는 이어서 RAID 저장 시스템이 단일 디스크인 것처럼 최종 판독 데이터를 산출한다.

[0014]

도 2를 참조하면, 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 갖는 수신기(204)를 포함하는 무선 통신 시스템(200) 또는 데이터 전송 디바이스가 본 발명의 몇몇 실시예에 따라 도시되어 있다. 통신 시스템(200)은 당 기술 분야에 공지된 바와 같이 전송 매체(206)를 경유하여 인코딩된 정보를 전송하도록 동작 가능한 송신기(202)를 포함한다. 인코딩된 데이터는 수신기(204)에 의해 전송 매체(206)로부터 수신된다. 수신기(204)는 비순차적 전송을 갖는 데이터 프로세싱 시스템을 구비한다. 보유 섹터 리프로세싱을 갖는 이러한 데이터 프로세싱 시스템은 도 3 및 도 4와 관련하여 이하에 설명된 것에 따라 구현될 수 있다. 몇몇 경우에, 데이터 프로세싱은 도 5와 관련하여 이하에 설명된 흐름도에 따라 행해질 수 있다.

[0015]

도 3을 참조하면, 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템(300)이 본 발명의 하나 이상의 실시예에 따라 도시되어 있다. 데이터 프로세싱 시스템(300)은 아날로그 신호(304)를 수신하는 아날로그 프론트 엔드 회로(302)를 포함한다. 아날로그 프론트 엔드 회로(302)는 아날로그 신호(304)를 프로세싱하고, 프로세싱된 아날로그 신호(306)를 아날로그 대 디지털 컨버터 회로(310)에 제공한다. 아날로그 프론트 엔드 회로(302)는 이들에 한정되는 것은 아니지만, 당 기술 분야에 공지된 바와 같은 아날로그 필터 및 증폭기 회로를 포함할 수 있다. 본 명세서에 제공된 개시 내용에 기초하여, 당업자는 아날로그 프론트 엔드 회로(302)의 부분으로서 포함될 수 있는 다양한 회로를 인식할 수 있을 것이다. 몇몇 경우에, 아날로그 신호(304)는 저장 매체(예를 들어, 116)와 관련하여 배치된 판독/기록 헤드 조립체(예를 들어, 120)로부터 유도된다. 다른 경우에, 아날로그 신호(304)는 전송 매체(예를 들어, 206)로부터 신호를 수신하도록 동작 가능한 수신기 회로(예를 들어, 204)로부터 유도된다. 전송 매체는 유선 또는 무선일 수 있다. 본 명세서에 제공된 개시 내용에 기초하여, 당업자는 아날로그 입력(304)이 유도될 수 있는 다양한 소스를 인식할 수 있을 것이다.

[0016]

아날로그 대 디지털 컨버터 회로(310)는 프로세싱된 아날로그 신호(306)를 대응 일련의 디지털 샘플(312)로 변환한다. 아날로그 대 디지털 컨버터 회로(310)는 아날로그 입력 신호에 대응하는 디지털 샘플을 생성하는 것이 가능한 당 기술 분야에 공지된 임의의 회로일 수 있다. 본 명세서에 제공된 개시 내용에 기초하여, 당업자는 본 발명의 상이한 실시예와 관련하여 사용될 수 있는 다양한 아날로그 대 디지털 컨버터 회로를 인식할 수 있을 것이다. 디지털 샘플(312)은 균등화기 회로(314)에 제공된다. 균등화기 회로(314)는 균등화된 출력(316)을 산

출하기 위해 균등화 알고리즘을 디지털 샘플(312)에 적용한다. 본 발명의 몇몇 실시예에서, 균등화기 회로(314)는 당 기술 분야에 공지된 바와 같이 디지털 유한 임펄스 응답 필터이다. 몇몇 경우에, 균등화기(314)는 데이터 검출기 회로(320)가 프로세싱을 위해 이용 가능할 때까지 하나 이상의 코드워드를 유지하기 위해 충분한 메모리를 포함한다. 균등화된 출력(316)은 예를 들어 고체 상태 저장 시스템 내의 저장 디바이스로부터 직접 수신될 수 있는 것이 가능할 수도 있다. 이러한 경우에, 아날로그 프론트 엔드 회로(302), 아날로그 대 디지털 컨버터 회로(310) 및 균등화기 회로(314)가 배제될 수 있고 여기서 데이터가 디지털 데이터 입력으로서 수신된다.

[0017]

데이터 검출기 회로(320)는 수신된 코드워드 또는 데이터 세트에 데이터 검출 알고리즘을 적용하도록 동작 가능하고, 몇몇 경우에 데이터 검출기 회로(320)는 2개 이상의 코드워드를 별별로 프로세싱할 수 있다. 본 발명의 몇몇 실시예에서, 데이터 검출기 회로(320)는 당 기술 분야에 공지된 바와 같은 비터비 알고리즘(Viterbi algorithm) 데이터 검출기 회로이다. 본 발명의 다른 실시예에서, 데이터 검출기 회로(320)는 당 기술 분야에 공지된 바와 같이 최대 사후 확률 데이터 검출기 회로이다. 중요하게는, 일반적인 구문 "비터비 데이터 검출 알고리즘" 또는 "비터비 알고리즘 데이터 검출기 회로"는 이들에 한정되는 것은 아니지만 양방향성 비터비 검출 알고리즘 또는 양방향성 비터비 알고리즘 검출기 회로를 포함하는 임의의 비터비 검출 알고리즘 또는 비터비 알고리즘 검출기 회로 또는 이들의 변형을 의미하도록 이들의 가장 광범위한 의미로 사용된다. 또한, 일반적인 구문 "최대 사후 확률 데이터 검출 알고리즘" 또는 "최대 사후 확률 데이터 검출기 회로"는 이들에 한정되는 것은 아니지만, 간단화된 최대 사후 확률 데이터 검출 알고리즘 및 최대-로그 최대 사후 확률 데이터 검출 알고리즘 또는 대응 검출기 회로를 포함하는 임의의 최대 사후 확률 검출 알고리즘 또는 검출기 회로 또는 이들의 변형을 의미하도록 이들의 가장 광범위한 의미로 사용된다. 본 명세서에 제공된 개시 내용에 기초하여, 당업자는 본 발명의 상이한 실시예와 관련하여 사용될 수 있는 다양한 데이터 검출기 회로를 인식할 수 있을 것이다. 데이터 검출기 회로(320)는 균등화기 회로(314)로부터 또는 중앙 메모리 회로(330)로부터 데이터 세트의 이용 가능성을 기초하여 시동된다.

[0018]

완료시에, 데이터 검출기 회로(320)는 검출기 출력(322)을 제공한다. 검출기 출력(322)은 소프트 데이터를 포함한다. 본 명세서에 사용될 때, 구문 "소프트 데이터"는 대응 비트 위치 또는 비트 위치의 그룹이 정확하게 검출되어 있는 우도(a likelihood)를 표시하는 신뢰도 데이터의 각각의 인스턴스를 갖는 신뢰도 데이터를 의미하도록 이들의 가장 광범위한 의미로 사용된다. 본 발명의 몇몇 실시예에서, 소프트 데이터 또는 신뢰도 데이터는 당 기술 분야에 공지된 바와 같이 로그 우도 비율 데이터이다. 검출된 출력(322)은 국부적 인터리버 회로(324)에 제공된다. 국부적 인터리버 회로(324)는 검출된 출력(322)으로서 포함된 데이터 세트의 서브-부분(즉, 국부적 청크)을 셔플하도록 동작 가능하고, 중앙 메모리 회로(330)에 저장된 인터리빙된 코드워드(326)를 제공한다. 인터리버 회로(324)는 재배열된 데이터 세트를 산출하기 위해 데이터 세트를 셔플링하는 것이 가능한 당 기술 분야에 공지된 임의의 회로일 수 있다. 인터리빙된 코드워드(326)는 중앙 메모리 회로(330)에 저장된다. 인터리빙된 코드워드(326)는 저장된 코드워드(332)로서 중앙 메모리 회로(330)로부터 액세스되고 전역 인터리버/디인터리버 회로(334)에 의해 전역 인터리빙된다. 전역 인터리버/디인터리버 회로(334)는 코드워드를 전역 재배열하는 것이 가능한 당 기술 분야에 공지된 임의의 회로일 수 있다. 전역 인터리버/디인터리버 회로(334)는 저밀도 패리티 검사(LDPC)(340) 내에 디코더 입력(336)을 제공한다. 본 명세서에 제공된 개시 내용에 기초하여, 당업자는 본 발명의 상이한 실시예와 관련하여 사용될 수 있는 다른 디코딩 알고리즘을 인식할 수 있을 것이다. LDPC 디코더(340)는 다양한 수의 국부적 반복으로 디코더 입력(336)에 데이터 디코딩 알고리즘을 적용한다.

[0019]

LDPC 디코더(340)가 수렴이 실패하고(즉, 원래 기록된 데이터 세트를 산출하는 것을 실패함) LDPC 디코더(340)를 통한 다수의 국부적 반복이 임계치를 초과하는 경우에, 최종 디코딩된 출력은 디코딩된 출력(342)으로서 중앙 메모리 회로(330)에 재차 제공되고, 여기서 저장되어 데이터 검출기 회로(320) 및 LDPC 디코더(340)를 통한 다른 전역 반복을 대기한다. 다수의 섹터가 데이터 프로세싱 시스템(300) 내에서 동시에 프로세싱될 수 있고, 부가의 섹터는 다른 섹터가 LDPC 디코더(340) 내에서 수렴할 때 데이터 검출기(320)에 승인되고 Y 큐(318) 및 LE 큐(330)로부터 출력되어 소거된다.

[0020]

중앙 메모리 회로(330)로의 디코딩된 출력(342)의 저장에 앞서, 디코딩된 출력(342)은 전역적으로 디인터리빙되어 중앙 메모리 회로(330)에 저장되는 전역적으로 디인터리빙된 출력(344)을 산출한다. 전역 디인터리빙은 저장된 코드워드(332)에 초기에 인가된 전역 인터리빙을 반전하여 디코더 출력(336)을 산출한다. 일단 데이터 검출기 회로(320)가 이용 가능하면, 미리 저장된 디인터리빙된 출력(344)은 중앙 메모리 회로(330)로부터 액세스되어 디인터리버 회로(346)에 의해 국부적으로 디인터리빙된다. 디인터리버 회로(346)는 인터리버 회로(324)에

의해 원래 수행된 셔플링을 반전하도록 디코더 출력(350)을 재배열한다. 최종적인 디인터리빙된 출력(352)은 데이터 디코더 회로(320)에 제공되고, 여기서 균등화된 출력(316)으로서 수신된 대응 데이터 세트의 후속의 검출을 안내하는데 사용된다.

[0021] 대안적으로, 디코딩된 출력이 비-2진 LDPC 디코더(340) 내에서 수렴하는 경우에(즉, 원래 기록된 데이터 세트를 산출함), 최종 디코딩된 출력은 디인터리버 회로(356)에 출력 코드워드(354)로서 제공된다. 디인터리버 회로(356)는 디인터리빙된 출력(360)을 산출하기 위해 데이터에 인가된 전역 및 국부적 인터리빙의 모두를 반전시키기 위해 데이터를 재배열한다. 디인터리빙된 경판정 출력(360)은 제어기(362)에 제공된다. 몇몇 실시예에서, 제어기(362)는 자기 저장 디바이스의 판독 동작을 개시하고 최종 데이터를 수신하고 이를 범용 컴퓨터 시스템과 같은 외부 디바이스에 제공하는 하드 디스크 제어기 회로이다. 몇몇 실시예에서, 하드 디스크 제어기(362)는 판독 채널(300)의 외부의 구성 요소이고, 판독 채널(300)과 통신하는 개별 소자인 것으로 고려될 수도 있다.

[0022] 스케줄러(370)는 예를 들어, 검출되고 디코딩되는 각각의 코드워드의 위치를 할당함으로써 그리고 수행된 최대 수의 국부적 및 전역 반복을 관리하고 제어 신호(372) 상에 출력 데이터에 대한 상태를 제공함으로써, 검출기(320) 및 LDPC 디코더(340)를 통해 그리고 데이터 프로세싱 시스템(330) 내의 내부 메모리 큐(330)를 통해 데이터 흐름을 스케줄링하는데 사용된다.

[0023] 몇몇 실시예에서, 스케줄러(370)는 상이한 데이터 블록 또는 섹터에 대해 상이한 프로세싱 전력을 탄력적으로 제공하도록 동작 가능하다. 스케줄러(370)는 입력 제어 신호(372) 뿐만 아니라 전력 관리 방안 및 섹터 동작 메트릭과 같은 다른 팩터에 기초하여 프로세싱 중에 섹터에 상이한 우선순위 레벨을 할당한다. 스케줄러(370)는 데이터 프로세싱 시스템(300) 내에 리소스를 할당하고, 우선순위 레벨에 따라 섹터에 상이한 레벨의 프로세싱 능력을 제공한다. 예를 들어, 스케줄러(370)는 Y-average, Targeted Symbol Flipping(TSF), No SyncMark Retry(NSM) 등과 같은 LDPC 디코딩 반복의 수, 재시도 특징을 제어할 수 있다. 이러한 재시도 특징은 LDPC 디코더(340) 내의 불만족 패리티 검사의 수와 같은 진단 메트릭 및 예를 들어 정상 프로세싱 대 리프로세싱과 같은 동작 모드에 기초하여 스케줄러(370)에 의해 개시될 수도 있다.

[0024] 도 3과 관련하여, 용어 데이터 프로세싱 시스템은 아날로그 입력(304)으로부터 제어기(362)에 제공된 경판정 출력(360)까지 전체 도시된 판독 채널을 칭하는데 사용된다. 그러나, 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템은 이 예시적인 용례에 한정되는 것은 아니다. 더 일반적으로, 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템은 리프로세싱을 위해 데이터 섹터를 보유할 수 있는 임의의 방식으로 데이터를 프로세싱하기 위한 임의의 디바이스 또는 시스템을 포함할 수 있다. 몇몇 실시예에서, 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템은 하드 디스크 제어기(362)와 같은 제어기가 보유 섹터의 리프로세싱을 요청하고 특정 섹터를 보유하도록 스케줄러에 명령할 수 있게 하는 제어 인터페이스를 제공하는 것을 또한 포함한다.

[0025] 스케줄러(370)는 데이터 섹터가 하드 디스크 제어기(362)에 출력될 때 및 데이터 섹터가 중앙 메모리 회로(330)로부터 소거될 때를 제어하기 위한 킥아웃 규칙을 구현한다. 몇몇 실시예에서, 데이터 섹터는 데이터 섹터가 LDPC 디코더(340)에 수렴할 때 또는 국부적 디코딩 반복에 대한 제한이 LDPC 디코더(340) 내에 도달할 때, 또는 전역 반복이 데이터 검출기(320) 및 LDPC 디코더(340) 내에 도달할 때, 또는 중앙 메모리 회로(330)가 풀이고 새로운 데이터가 아날로그 입력(304)에서 프로세싱을 위해 수신되면, 중앙 메모리 회로(330)로부터 하드 디스크 제어기(362)로 킥아웃(또는 그로부터 출력)된다. 몇몇 실시예에서, 데이터 섹터는 패리티 검사가 만족되는 디코딩 반복 중에 값들에 이를 안정시킬 때 수렴한다. 국부적 및 전역 디코딩 반복에 제한을 가하는 킥아웃 규칙은 스케줄러(370)에서 하드 코딩될 수 있고, 또는 예를 들어 최대 수의 국부적 디코딩 반복을 설정하기 위한 MAX\_LOCAL 레지스터 및 최대 수의 전역 검출 및 디코딩 반복을 설정하기 위한 MAX\_GLOBAL 레지스터와 같은 레지스터를 사용하여 프로그램 가능할 수 있다.

[0026] 스케줄러(370)는 또한 부가의 시간 및/또는 프로세싱 리소스 또는 기술을 할당할 수 있는 리프로세싱 동작 중에 적용될 킥아웃 규칙을 구현한다. 몇몇 실시예에서, 스케줄러(370)는 리프로세싱 중에 최대 수의 국부적 디코딩 반복을 설정하기 위한 RSR\_MAX\_LOCAL 레지스터 및 리프로세싱 중에 최대 수의 전역 검출 및 디코딩 반복을 설정하기 위한 RSR\_MAX\_GLOBAL 레지스터와 같은 레지스터를 사용하고, 뿐만 아니라 리프로세싱 중에 Y-average, Targeted Symbol Flipping 및/또는 No SyncMark Retry(NSM)와 같은 재시도 특징을 가능하게 하여 하드 코딩되거나 또는 맞춤화된 킥아웃 규칙을 갖고 프로그램 가능하다. 본 명세서에 제공된 개시 내용에 기초하여, 당업자는 하드 디스크 제어기(362)에 의해 명령받는 바와 같은 섹터를 보유하고 상이한 킥아웃 기준을 적용하고 보유 섹터를 리프로세싱하면서 부가의 프로세싱 리소스를 할당하기 위해 스케줄러(370) 내에 포함될 수 있는 다양한 회로 또는 코드를 인식할 수 있을 것이다.

- [0027] 데이터 섹터는 따라서 정상 킥아웃 기준이 도달된 후에, 하드 디스크 제어기(362)에 의해 요청되는 바와 같이, 스케줄러(370)에 의해 중앙 메모리 회로(330) 내에 보유될 수 있다. 이를 보유 섹터들은 판독 채널(300)기 가 외의 대역폭을 가질 때 또는 판독 동작들 사이에 여분의 시간이 있을 때, 예를 들어 판독 헤드(120)가 디스크 플래터(116) 상의 데이터 트랙들 사이에서 이동할 때, 부가의 국부적 및/또는 전역 디코딩 반복을 갖고 리프로 세싱될 수 있다.
- [0028] 보유 섹터 리프로세싱은 저속 수렴 섹터 상에 더 많은 국부적 및/또는 전역 반복을 실행함으로써 판독 채널(300)이 신호 대 노이즈비(SNR) 이득을 성취할 수 있게 한다. 다른 SNR 이득은 다른 재시도 특징과 보유 섹터의 리프로세싱을 조합함으로써 성취될 수 있다. 시스템 액세스 시간은 LDPC 디코더(340) 내의 디코딩 실패 섹터 상의 자동 재시도 동작을 스kip하고 하드 디스크 제어기(362)가 리프로세싱이 수행되어야 할 때를 결정하는 것을 허용함으로써 감소될 수 있다. LDPC 디코더(340) 내의 시간 소모적인 재시도 실패는 따라서 시스템이 가 외의 대역폭 또는 아이들 시간을 가질 때까지 지연될 수 있다. 몇몇 실시예에서, 섹터는 순서대로 수신되고, 프로세싱되고, 판독 채널(300)로부터 킥아웃되어, 시스템이 다른 방식으로 아이들 상태일 때 상이한 섹터의 리프로세싱을 여전히 제공하면서, 판독 채널(300)의 디자인을 단순화한다. 리프로세싱된 섹터는 이들이 더 긴 반복 프로세싱을 갖고 또는 재시도 특징을 갖고 수렴한 후에 중앙 메모리 회로(330) 내의 버퍼 공간을 해제하기 위해 섹터에 의해 즉시 하드 디스크 제어기(362)에 포워딩될 수 있다. 이는 다른 수신 데이터 섹터를 위해 더 조기에 판독 채널(300) 내의 중앙 메모리 회로(330) 내의 메모리 공간을 해제할 수 있다.
- [0029] 도 4를 참조하면, 본 발명의 몇몇 실시예에 따른 판독 채널(402) 및 하드 디스크 제어기(404)를 포함하는 예시적인 데이터 프로세싱 시스템(400)이 도시되어 있다. 외부 호스트(도시 생략)는 하드 디스크 제어기(404)와 통신할 수 있어, 자기 저장 디바이스 상에 저장되어 있는 데이터를 요청한다. 하드 디스크 제어기(404)는 데이터를 포함하는 섹터를 검출하고 디코딩하도록 판독 채널(402)에 명령한다. 하드 디스크 제어기(404)는 또한 가능하다면 프로세싱 후에 보유되어야 하고 예를 들어 판독 헤드(120)가 디스크 플래터(116) 상의 트랙들 사이에서 이동할 때와 같이 시간이 허용할 때 또는 가외의 대역폭이 이용 가능할 때 보유 섹터의 리프로세싱을 요청하지 않아야 할 뿐만 아니라 요청하는 섹터를 지정할 수 있다. 몇몇 실시예에서, 이를 명령은 또한 도 1과 관련하여 전술된 바와 같이 판독/기록 헤드 조립체 의해 디스크 플래터 상의 자기 신호의 감지를 트리거링한다.
- [0030] 섹터가 판독 채널(402)에 의해 검출되어 디코딩되어 있을 때, 이를 섹터는 이들이 전송됨에 따라 섹터를 태그하는 신호와 함께 하드 디스크 제어기(404)에 전송되어, 이를 신호를 식별한다. 판독 채널(402)과 하드 디스크 제어기(404) 사이에 사용될 수 있는 제어 신호(406)의 일부가 본 발명의 몇몇 실시예에 따라 도 4에 도시되어 있다. 하드 디스크 제어기(404)는 rdgate 신호(410)를 사용하여 정상 프로세싱을 갖는 판독 동작을 수행하도록 판독 채널(402)에 명령한다. 판독 채널(402)은 데이터 섹터를 검출하고 디코딩하기 위해 전술된 것들과 같은 프로세싱 기능을 수행할 수 있다. 하드 디스크 제어기(404)는 retrygate 신호(412)를 사용하여 최종 판독되었던 보유 섹터를 리프로세싱하도록 판독 채널(402)에 명령하고, 이는 부가의 프로세싱 시간 및 기술이 보유 섹터를 리프로세싱하는 동안 적용될 수 있게 할 수 있다.
- [0031] 몇몇 실시예에서, rdgate 신호(410)를 사용하여 판독된 모든 섹터는, 하드 디스크 제어기(404)가 rdgate 신호(410)와 함께 metacmd 신호(414)를 어서트하여 섹터가 판독 채널(402) 내부에 보유 불가능하다는 것을 표시하지 않으면, 정상 프로세싱 후에 판독 채널(402) 내에 보유되는 것이 바람직하다. 예를 들어, 하드 디스크 제어기(404)는 곧 요청될 가능성이 있는 섹터에 대한 미리 판독(read-ahead) 동작인 추측 판독(speculative read)이 있으면 보유 불가능한 것으로서 섹터를 식별할 수 있다. 추측 판독의 경우에, 하드 디스크 제어기(404)는 섹터가 보유되지 않았다는 것을 설명하여, 실제 데이터 판독 동작이 추측 판독에 비해 선행할 수 있게 한다. 하드 디스크 제어기(404)는 또한 데이터 섹터를 수신한 후에 nrz\_clear 신호(416)를 어서트할 수 있어, 섹터가 리프로세싱되지 않았다는 것을 하드 디스크 제어기(404) 내에서 판정한 후에 메모리로부터 최종 섹터를 소거하도록 판독 채널(402)에 명령한다. 하드 디스크 제어기(404)는 판독 채널(402)을 플러시하기 위해 nrz\_clear 신호(416)를 사용할 수 있어, 다른 섹터를 판독하기 위해 메모리에 여유 공간을 만든다.
- [0032] 데이터 섹터가 판독 채널(402)에 의해 프로세싱되어 있을 때, 예를 들어 섹터를 위한 데이터값이 디코더 내에 수렴되어 있고 패리티 검사가 만족될 때, 판독 채널(402)은 하드 디스크 제어기(404)에 데이터를 전송한다. 판독 채널(402)로부터 하드 디스크 제어기(404)로의 data\_valid\_r 신호(416)는 유효 데이터가 전송되고 있다는 것을 표시한다.
- [0033] 섹터가 rdgate 신호(410) 또는 retrygate 신호(412)에 응답하여 판독 채널(402)에 의해 검출되어 디코딩되고 대응 킥아웃 기준이 부합되어 있을 때, 예를 들어 섹터를 위한 데이터값이 디코더 내에 수렴되어 있고 패리티 검

사가 만족될 때, 섹터는 하드 디스크 제어기(404)에 전송된다. 섹터는 데이터를 전송하기 위한 nrz\_data 신호(424), 데이터를 클럭킹하기 위한 nrz\_clk 신호(422) 및 nrz\_data 신호(424) 상의 데이터가 유효하다는 것을 표시하기 위한 data\_valid\_r 신호(420)를 사용하여 판독 채널(402)로부터 하드 디스크 제어기(404)로 전송된다. 몇몇 실시예에서, 데이터 섹터는 비제로 복귀 포맷으로 전송된다. 판독 채널(402)로부터 하드 디스크 제어기(404)로의 sector\_tag 신호(426)가 전송되는 섹터를 식별하는데 사용될 수 있다. 섹터는 예를 들어 섹터 번호에 의해서와 같이 임의의 적합한 방식으로 식별될 수 있다. 제어 신호(406)는 프로세싱된 섹터가 프로세싱 후에 패리티 검사 또는 다른 여러 검사를 통과했는지 여부를 표시하는 상태 신호를 또한 포함할 수 있다. 몇몇 실시예에서, 판독 채널(402)은 섹터들이 요청되어 판독되는 순서로 하드 디스크 제어기(404)에 섹터들을 전송하는데, 즉 판독 채널(402)은 디코딩 수렴 결과에 무관하게 rdgate 명령의 시퀀스에 따라 하드 디스크 제어기(404)에 연관 플래그를 갖는 섹터 데이터를 순차적으로 전송한다.

[0034] 섹터가 수렴이 실패할 때, 판독 채널(402)은 metacmd 신호(414)가 섹터를 위한 rdgate 신호(410) 중에 어서트되어 있는지 여부에 기초하여, 섹터가 리프로세싱을 위해 버퍼 내에 보유될 수 있는지 및 버퍼 내에 충분한 공간이 있는지 여부를 판정한다. 판독 채널(402)이 버퍼 내에 실패된 섹터를 보유하는 것으로 판정하면, nrz\_sector\_retained 신호(430)는 섹터가 판독 채널(402)로부터 하드 디스크 제어기(404)로 전송되는 동안 어서트된다. nrz\_sector\_fail 신호(432) 또는 nrz\_sector\_marginal 신호(434)는 또한 전송 중에 어서트될 수 있어, 섹터에 대한 디코딩 상태에 대한 메트릭을 하드 디스크 제어기(404)에 제공한다. 예를 들어, nrz\_sector\_fail 신호(432)는 섹터가 수렴이 실패하면 전송 중에 어서트된다. nrz\_sector\_marginal 신호(434)는 섹터가 완벽하게 수렴하지 않으면, 예를 들어 패리티 검사 위반의 수가 0보다 크지만 사전 결정된 범위를 가지면 전송 중에 어서트된다. 섹터는 초기 개시된 기준에 부합하면 보유되어, 하드 디스크 제어기(404)가 리프로세싱 동작을 개시하도록 retrygate 신호(412)를 발행하거나 nrz\_clear 신호(416)가 버퍼로부터 섹터를 플러시하도록 하드 디스크 제어기(404)에 의해 어서트될 때까지 버퍼 내에 체류한다. 몇몇 실시예에서, 보유 섹터는 공간이 rdgate 명령에 응답하여 다른 섹터를 프로세싱할 필요가 있으면, 심지어 하드 디스크 제어기(404)가 보유 섹터에 대해 retrygate 신호(412)를 발행하지 않더라도, 판독 채널(402)에 의해 버퍼로부터 결국에는 소거될 수 있다. 보유를 위한 섹터의 수는 판독 채널(402) 내의 버퍼 내의 이용 가능한 공간에 기초할 수 있고, 또는 또한 버퍼 및 각각의 섹터의 크기에 기초하여 사전 결정된 수의 섹터에 제한될 수도 있다.

[0035] 하드 디스크 제어기(404)로부터 판독 채널(402)로의 신호는 버스와 같은 다른 메커니즘을 사용하여 조합되거나 전송될 수 있다. 신호는 단방향성 또는 양방향성일 수 있다. 예를 들어, nrz\_clk 신호(422)는 판독 채널(402) 또는 하드 디스크 제어기(404) 내에서 생성되고 판독 채널(402)과 하드 디스크 제어기(404) 사이에서 양 방향으로 다른 신호를 동기화하는데 사용될 수 있고 또는 개별 클럭 신호가 판독 채널(402)과 하드 디스크 제어기(404) 사이에 사용될 수 있다.

[0036] 도 5를 참조하면, 흐름도(500)는 본 발명의 다양한 실시예에 따른 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템에서 데이터를 프로세싱하기 위한 방법을 도시한다. 도 5의 방법은 예를 들어 도 3 및 도 4에 개시된 것들과 같은 회로에 의해 수행될 수 있다. 흐름도(500)에 따르면, 데이터 섹터가 먼저 정상적으로 프로세싱된다(블록 502). 하드 디스크 제어기로부터 판독 채널로의 데이터 섹터에 대한 판독 요청은 예를 들어 rdgate 신호를 사용하여 판독 동작 및 데이터 섹터의 프로세싱을 개시하는데 사용될 수 있다. 정상 프로세싱은 예를 들어 비터비 또는 MAP-형 검출기에서의 검출 및 판독 채널 내의 LDPC 디코더 내의 디코딩을 포함할 수 있다. 섹터가 수렴되었는지 여부에 대한 판정이 행해진다(블록 504). 만일 그러면, 섹터는 하드 디스크 제어기로 전송되고, 섹터는 판독 채널 내의 버퍼로부터 소거되고, nrz\_sector\_fail 신호(432)가 0으로 설정되어 섹터가 수렴된 것을 표시하고, nrz\_sector\_retained 신호(430)는 0으로 설정되어 섹터가 버퍼로부터 소거되어 있는 것을 표시한다(블록 506). 섹터가 수렴되지 않았으면, 섹터가 판독 채널의 버퍼 내에 보유 가능한지 여부에 대한 판정이 행해진다(블록 510). 예를 들어, metacmd 신호(414)가 섹터를 위한 rdgate 신호(410) 중에 하드 디스크 제어기(404)에 의해 어서트되어 있으면, 섹터는 보유 가능하지 않다. 섹터가 보유 가능하지 않으면, 섹터는 하드 디스크 제어기(404)에 전송되고, 섹터는 판독 채널 내의 버퍼로부터 소거되고, nrz\_sector\_fail 신호(432)는 1로 설정되어 섹터가 수렴되지 않았다는 것을 표시하고, nrz\_sector\_retained 신호(430)는 0으로 설정되어 섹터가 버퍼로부터 소거되어 있다는 것을 표시한다(블록 512).

[0037] 섹터가 수렴되지 않았고(블록 504) 보유 가능하면(블록 510), 섹터에 대한 버퍼 내에 충분한 공간이 존재하는지 여부에 대한 판정이 행해진다(블록 514). 이 판정은 버퍼 내에 남아 있는 자유 공간에 기초할 수 있고, 몇몇 실시예에서 버퍼 내의 섹터의 수에 대한 제한이 미리 도달되어 있는지 여부에 기초할 수 있다. 충분한 공간이 존재하지 않으면, 섹터는 하드 디스크 제어기(404)에 전송되고, 섹터는 판독 채널 내의 버퍼로부터 소거되고,

nrz\_sector\_fail 신호(432)가 1로 설정되어 섹터가 수렴되지 않았다는 것을 표시하고, nrz\_sector\_retained 신호(430)는 0으로 설정되어 섹터가 버퍼로부터 소거되어 있다는 것을 표시한다(블록 512). 프로세싱은 이어서 다른 섹터로 계속된다(블록 502).

[0038] 섹터를 위한 버퍼 내에 충분한 공간이 존재하면(블록 514), 섹터는 버퍼 내에 보유되고, 수렴이 실패한 섹터는 하드 디스크 제어기(404)에 전송되고, nrz\_sector\_fail 신호(432)는 1로 설정되어 섹터가 수렴되지 않았다는 것을 표시하고, nrz\_sector\_retained 신호(430)는 1로 설정되어 섹터가 버퍼 내에 보유되어 있다는 것을 표시한다. 이 프로세스 중에, rdgate 신호(410)는 다른 섹터에 대해 어서트되면(블록 520), 프로세싱이 그 섹터에 대해 계속된다. 수렴이 실패한 원래 섹터가 버퍼 내에 여전히 보유되어 있는 동안에, retrygate 신호가 섹터에 대해 어서트되면(블록 522), 보유 섹터는 리프로세싱되고, 이어서 하드 디스크 제어기에 전송된다(블록 524).

[0039] 섹터가 순서대로 전송되는 몇몇 실시예에서, retrygate 신호(412)는 전송될 최종 섹터를 칭한다. 다른 실시예에서, 하드 디스크 제어기(404)는 retrygate 신호(412)가 어서트될 때 리프로세싱될 보유 섹터를 식별할 수도 있다.

[0040] 명백하게, 도 5의 단계가 수행되는 순서는 도시된 것에 한정되는 것은 아니고, 단계들은 병행하여 수행될 수도 있다.

[0041] 몇몇 실시예에서, retrygate 신호(412)는 보유 섹터에 대해 1회 초과 발행될 수 있고, 판독 채널의 동작 특징이 섹터를 정확하게 디코딩하려는 시도시에 각각의 리프로세싱 동작 사이에 조정된다.

[0042] 상기 명세서에 설명된 다양한 블록은 다른 기능과 함께 집적 회로에 구현될 수 있다는 것이 주목되어야 한다. 이러한 집적 회로는 소정의 블록, 시스템 또는 회로, 또는 블록, 시스템 또는 회로의 기능의 부분의 모든 기능을 포함할 수 있다. 또한, 블록, 시스템 또는 회로의 요소는 다수의 집적 회로를 가로질러 구현될 수 있다. 이러한 집적 회로는 이들에 한정되는 것은 아니지만, 모노리식 집적 회로, 플립칩 집적 회로, 멀티칩 모듈 집적 회로 및/또는 혼합 신호 집적 회로를 포함하는 당 기술 분야에 공지된 임의의 유형의 집적 회로일 수 있다. 본 명세서에 설명된 블록, 시스템 또는 회로의 다양한 기능은 소프트웨어 또는 펌웨어로 구현될 수 있다는 것이 또한 주목되어야 한다. 몇몇 이러한 경우에, 전체 시스템, 블록 또는 회로는 그 소프트웨어 또는 펌웨어 등가물을 사용하여 구현될 수 있다. 다른 경우에, 소정의 시스템, 블록 또는 회로의 일 부분은 소프트웨어 또는 펌웨어로 구현될 수 있고, 다른 부분은 하드웨어로 구현된다.

[0043] 본 명세서에 개시된 보유 섹터는 전체 지연을 감소시키기 위해 다른 방식으로 행해질 수 있는 것보다 더 신속하게 몇몇 섹터를 캐시하면서, 대역폭 및 프로세싱 리소스가 이용 가능할 때 문제가 있는 데이터 섹터가 정상보다 많은 프로세싱 리소스를 수신하는 것을 가능하게 한다. 보유 섹터를 위한 중앙 메모리 회로 내에 공간을 할당함으로써, 하드 드라이브 제어기는 하드 디스크로부터 데이터를 재판독할 수 있는 전체 판독 동작을 반복해야 할 필요 없이 섹터의 부가의 프로세싱을 요청할 수 있다.

[0044] 결론으로서, 본 발명은 보유 섹터 리프로세싱을 갖는 데이터 프로세싱 시스템을 위한 신규한 장치, 시스템 및 방법을 제공한다. 본 발명의 하나 이상의 실시예의 상세한 설명이 상기에 제공되었지만, 다양한 대안, 수정 및 등가물이 본 발명의 사상으로부터 벗어나지 않고 당업자들에게 명백할 것이다. 따라서, 상기 설명은 첨부된 청구범위에 의해 정의된 본 발명의 범주를 한정하는 것으로서 취해져서는 안된다.

## 부호의 설명

100: 저장 시스템	102: 판독 채널 회로
104: 전치증폭기	106: 인터페이스 제어기
110: 하드 디스크 제어기	112: 모터 제어기
114: 스픈들 모터	116: 디스크 플래터
202: 송신기	204: 수신기
206: 전송 매체	304: 아날로그 입력

310: 아날로그 대 디지털 컨버터 320: 데이터 검출기

324: 국부적 인터리버

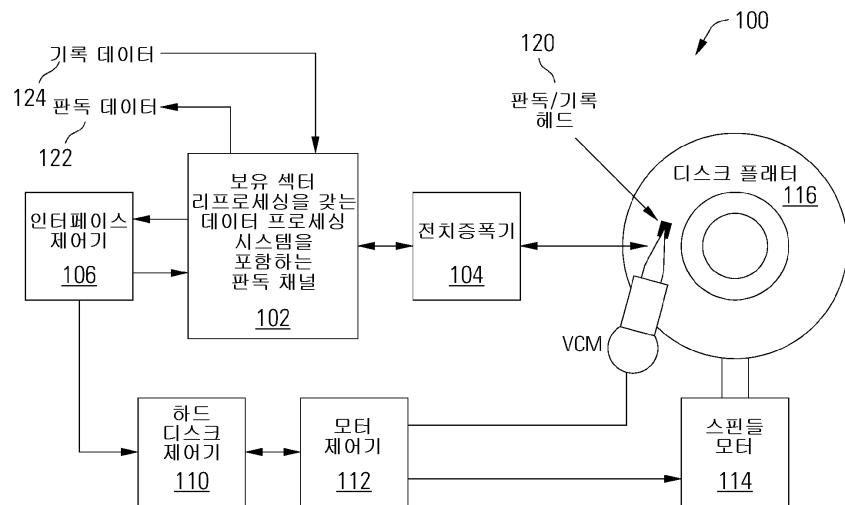
346: 국부적 디인터리버

370: 스케줄러

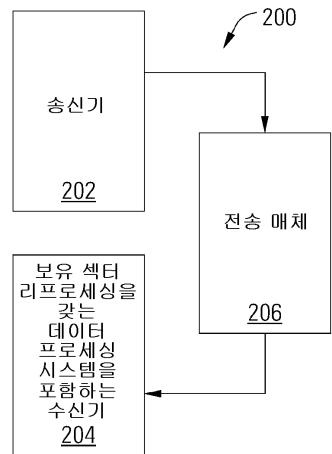
402: 판독 채널

## 도면

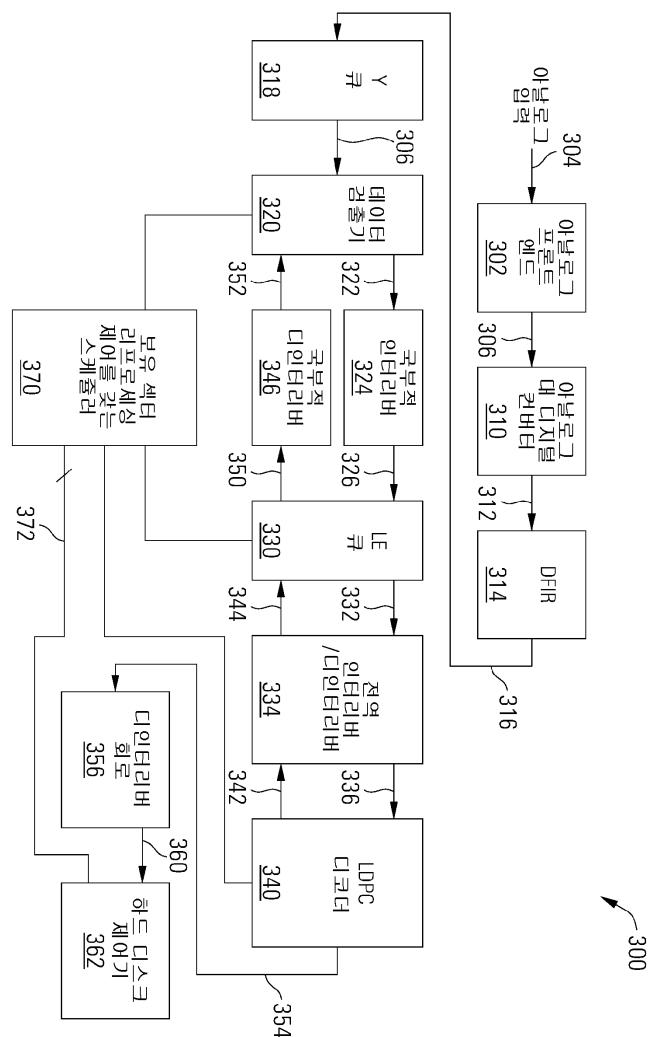
### 도면1



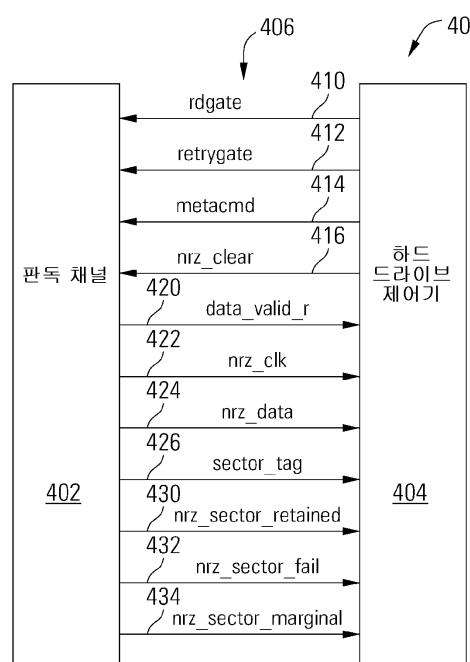
### 도면2



도면3



도면4



도면5

