



# (12) 发明专利申请

(10) 申请公布号 CN 116995076 A

(43) 申请公布日 2023. 11. 03

(21) 申请号 202310472914.7

H01L 29/423 (2006.01)

(22) 申请日 2023.04.27

(30) 优先权数据

10-2022-0054036 2022.05.02 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 裴德汉 严命允 李留利 林善美

田俊秀

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理人 屈玉华

(51) Int. Cl.

H01L 27/088 (2006.01)

H01L 29/10 (2006.01)

H01L 29/417 (2006.01)

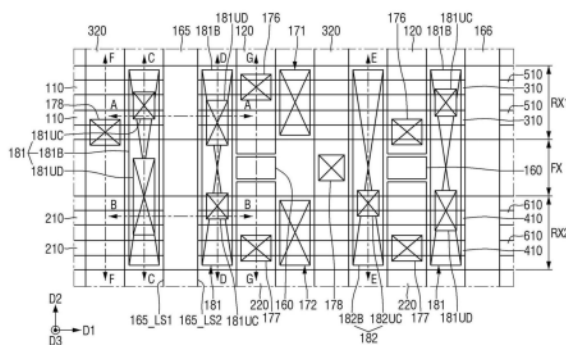
权利要求书4页 说明书19页 附图29页

(54) 发明名称

半导体器件

(57) 摘要

一种半导体器件包括：元件隔离结构，具有彼此相反的第一侧壁和第二侧壁；与第一侧壁接触并在第二方向上延伸的第一鳍形图案；与第一侧壁接触并在第二方向上延伸的第二鳍形图案；在第一鳍形图案上的第一栅电极；在第一和第二鳍形图案上并在第一栅电极和元件隔离结构之间延伸的第一源极/漏极接触；以及在第一源极/漏极接触上并连接到第一源极/漏极接触的布线结构，其中第一源极/漏极接触包括与第一和第二鳍形图案交叉的下接触区、从下接触区突出的上接触区、以及虚设接触区，布线结构接触上接触区而不接触虚设接触区。



1. 一种半导体器件,包括:

元件隔离结构,具有在第一方向上延伸的第一侧壁和第二侧壁,所述第一侧壁在第二方向上与所述第二侧壁相反;

第一鳍形图案,与所述元件隔离结构的所述第一侧壁接触,所述第一鳍形图案在所述第二方向上延伸;

第二鳍形图案,与所述元件隔离结构的所述第一侧壁接触,所述第二鳍形图案在所述第二方向上延伸并在所述第一方向上与所述第一鳍形图案间隔开;

第一栅电极,在所述第一鳍形图案上在所述第一方向上延伸;

第一源极/漏极接触,在所述第一鳍形图案和所述第二鳍形图案上,所述第一源极/漏极接触在所述第一栅电极与所述元件隔离结构之间在所述第一方向上延伸;以及

布线结构,在所述第一源极/漏极接触上连接到所述第一源极/漏极接触,

其中所述第一源极/漏极接触包括与所述第一鳍形图案和所述第二鳍形图案交叉的第一下接触区、从所述第一下接触区突出的第一上接触区、以及第一虚设接触区,所述布线结构与所述第一上接触区的上表面接触并且不与所述第一虚设接触区的上表面接触。

2. 如权利要求1所述的半导体器件,其中在所述第一源极/漏极接触与所述元件隔离结构之间未设置栅电极。

3. 如权利要求1所述的半导体器件,还包括在所述第一栅电极上连接到所述第一栅电极的第一栅极接触,所述第一栅极接触在所述第二方向上不与所述第一上接触区和所述第一虚设接触区重叠。

4. 如权利要求3所述的半导体器件,其中所述第一栅电极在所述第二鳍形图案上,所述第一栅电极与所述第一鳍形图案和所述第二鳍形图案交叉。

5. 如权利要求3所述的半导体器件,还包括:

第二栅电极,在所述第二鳍形图案上并在所述第一方向上与所述第一栅电极间隔开,所述第一源极/漏极接触在所述第二栅电极和所述元件隔离结构之间;以及

第二栅极接触,在所述第二栅电极上连接到所述第二栅电极,所述第二栅极接触在所述第二方向上不与所述第一上接触区和所述第一虚设接触区重叠。

6. 如权利要求5所述的半导体器件,还包括在所述第一栅电极和所述第二栅电极之间的栅极隔离结构,所述栅极隔离结构在所述第二方向上不与所述第一上接触区和所述第一虚设接触区重叠。

7. 如权利要求1所述的半导体器件,还包括:

与所述元件隔离结构的所述第二侧壁接触的第三鳍形图案,所述第三鳍形图案在所述第二方向上延伸;

与所述元件隔离结构的所述第二侧壁接触的第四鳍形图案,所述第四鳍形图案在所述第二方向上延伸并在所述第一方向上与所述第三鳍形图案间隔开;以及

第二源极/漏极接触,在所述第三鳍形图案和所述第四鳍形图案上且最靠近所述元件隔离结构,

其中所述第二源极/漏极接触包括与所述第三鳍形图案和所述第四鳍形图案交叉的第二下接触区以及从所述第二下接触区突出的第二上接触区,所述第二上接触区的上表面与所述布线结构接触。

8. 如权利要求7所述的半导体器件,其中所述第二源极/漏极接触还包括从所述第二下接触区突出的第二虚设接触区,所述第二虚设接触区的上表面不与所述布线结构接触。

9. 如权利要求7所述的半导体器件,其中所述第二源极/漏极接触还包括从所述第二下接触区突出的第三上接触区,所述第三上接触区的上表面与所述布线结构接触。

10. 如权利要求1所述的半导体器件,还包括:

与所述元件隔离结构的所述第二侧壁接触的第三鳍形图案,所述第三鳍形图案在所述第二方向上延伸;

与所述元件隔离结构的所述第二侧壁接触的第四鳍形图案,所述第四鳍形图案在所述第二方向上延伸并在所述第一方向上与所述第三鳍形图案间隔开;

第二源极/漏极接触,在所述第三鳍形图案上并且最靠近所述元件隔离结构;以及

第三源极/漏极接触,在所述第四鳍形图案上并且最靠近所述元件隔离结构,所述第二源极/漏极接触在所述第一方向上与所述第三源极/漏极接触间隔开。

11. 如权利要求1所述的半导体器件,其中:

所述第一下接触区包括在所述第一上接触区和所述第一虚设接触区之间的连接部分以及在所述第一方向上从所述第一上接触区和所述第一虚设接触区突出的突出部分,以及所述第一上接触区和所述第一虚设接触区各自在所述第一下接触区的所述连接部分和所述第一下接触区的所述突出部分之间。

12. 如权利要求1所述的半导体器件,还包括在所述第一鳍形图案上与所述第一鳍形图案间隔开的片图案,所述第一栅电极环绕所述片图案。

13. 一种半导体器件,包括:

在第一方向上延伸的第一鳍形图案;

第二鳍形图案,在所述第一方向上延伸并在第二方向上与所述第一鳍形图案间隔开;

在所述第一方向上延伸的第三鳍形图案;

第四鳍形图案,在所述第一方向上延伸并在所述第二方向上与所述第三鳍形图案间隔开;

元件隔离结构,在所述第二方向上延伸并且与所述第一鳍形图案和所述第二鳍形图案接触;

第一栅电极,在所述第二方向上延伸并在所述第一鳍形图案上;

第二栅电极,在所述第二方向上延伸并在所述第三鳍形图案上;

第三栅电极,在所述第二方向上延伸并在所述第四鳍形图案上;

第一源极/漏极接触,在所述第一栅电极和所述元件隔离结构之间在所述第一鳍形图案和所述第二鳍形图案上,所述第一源极/漏极接触在所述第二方向上延伸;

第二源极/漏极接触,在所述第二栅电极和所述第三栅电极之间在所述第三鳍形图案和所述第四鳍形图案上,所述第二源极/漏极接触在所述第二方向上延伸;以及

在所述第一源极/漏极接触和所述第二源极/漏极接触上的布线结构,所述布线结构连接到所述第一源极/漏极接触和所述第二源极/漏极接触,

其中:

所述第一源极/漏极接触包括与所述第一鳍形图案和所述第二鳍形图案交叉的第一下接触区以及从所述第一下接触区突出的第一上接触区,

所述第二源极/漏极接触包括与所述第三鳍形图案和所述第四鳍形图案交叉的第二下接触区以及从所述第二下接触区突出的第二上接触区，

所述布线结构包括与所述第一上接触区和所述第二上接触区接触的通路插塞，

所述通路插塞的底表面在所述第二方向上具有通路宽度，

所述第一上接触区的上表面在所述第二方向上的宽度大于或等于所述通路宽度的1.5倍，以及

所述第二上接触区的上表面在所述第二方向上的宽度小于或等于所述通路宽度的1.2倍。

14. 如权利要求13所述的半导体器件，其中所述第一源极/漏极接触包括从所述第一下接触区突出的一个接触区。

15. 如权利要求13所述的半导体器件，还包括：

在所述第一方向上与所述第一鳍形图案相邻的第五鳍形图案；

在所述第一方向上与所述第二鳍形图案相邻的第六鳍形图案；以及

在所述第五鳍形图案和所述第六鳍形图案上的第三源极/漏极接触，所述第三源极/漏极接触在所述第二方向上延伸，

其中：

所述元件隔离结构将所述第一鳍形图案和所述第五鳍形图案与所述第二鳍形图案和所述第六鳍形图案分开，

所述第三源极/漏极接触包括与所述第五鳍形图案和所述第六鳍形图案交叉的第三下接触区以及从所述第三下接触区突出的第三上接触区，以及

所述第三上接触区的上表面与所述布线结构接触。

16. 如权利要求15所述的半导体器件，其中所述第三源极/漏极接触还包括从所述第三下接触区突出的第三虚设接触区，所述第三虚设接触区的上表面不与所述布线结构接触。

17. 如权利要求15所述的半导体器件，其中所述第三源极/漏极接触包括从所述第三下接触区突出的一个接触区，所述第三上接触区的上表面在所述第二方向上的宽度大于或等于所述通路宽度的1.5倍。

18. 一种半导体器件，包括：

在第一方向上延伸的第一鳍形图案；

第二鳍形图案，在第二方向上与所述第一鳍形图案间隔开并在所述第一方向上延伸；

第三鳍形图案，在所述第一方向上与所述第一鳍形图案间隔开并在所述第一方向上延伸；

第四鳍形图案，在所述第一方向上与所述第二鳍形图案间隔开并在所述第一方向上延伸；

第一源极/漏极接触，在所述第一鳍形图案和所述第二鳍形图案上并在所述第二方向上延伸；

第二源极/漏极接触，在所述第三鳍形图案和所述第四鳍形图案上并在所述第二方向上延伸；

元件隔离结构，将所述第一鳍形图案和所述第二鳍形图案与所述第三鳍形图案和所述第四鳍形图案分开并在所述第二方向上延伸；以及

布线结构,在所述第一源极/漏极接触和所述第二源极/漏极接触上并连接到所述第一源极/漏极接触和所述第二源极/漏极接触,

其中:

所述第一源极/漏极接触包括与所述第一鳍形图案和所述第二鳍形图案交叉的第一下接触区、从所述第一下接触区突出的第一上接触区、以及第一虚设接触区,

所述第二源极/漏极接触包括与所述第三鳍形图案和所述第四鳍形图案交叉的第二下接触区以及从所述第二下接触区突出的第二上接触区,以及

所述布线结构与所述第一上接触区的上表面和所述第二上接触区的上表面接触,而不与所述第一虚设接触区的上表面接触。

19.如权利要求18所述的半导体器件,其中所述第二源极/漏极接触还包括从所述第二下接触区突出的第二虚设接触区,所述第二虚设接触区的上表面不与所述布线结构接触。

20.如权利要求18所述的半导体器件,其中所述第二源极/漏极接触包括从所述第二下接触区突出的一个接触区。

## 半导体器件

### 技术领域

[0001] 实施方式涉及一种半导体器件。

### 背景技术

[0002] 作为用于增加半导体器件的密度的缩放技术之一,已经提出了多栅极晶体管,其中在衬底上形成具有鳍或纳米线形状的多沟道有源图案(或硅体)并且在多沟道有源图案的表面上形成栅极。由于这种多栅极晶体管利用三维沟道,因此容易进行缩放。此外,即使不增加多栅极晶体管的栅极长度,也可以提高电流控制能力。此外,可以有效地抑制其中沟道区的电位受漏极电压影响的SCE(短沟道效应)。

### 发明内容

[0003] 根据本公开的一方面,提供了一种半导体器件,包括:元件隔离结构,包括在第一方向上延伸的第一侧壁和第二侧壁,元件隔离结构的第一侧壁在第二方向上与元件隔离结构的第二侧壁相反;第一鳍形图案,与元件隔离结构的第一侧壁接触并在第二方向上延伸;第二鳍形图案,与元件隔离结构的第一侧壁接触,在第一方向上与第一鳍形图案间隔开,并且在第二方向上延伸;第一栅电极,在第一方向上延伸并且设置在第一鳍形图案上;第一源极/漏极接触,在第一栅电极与元件隔离结构之间设置在第一鳍形图案和第二鳍形图案上,并且在第一方向上延伸;以及布线结构,连接到第一源极/漏极接触并且设置在第一源极/漏极接触上,其中第一源极/漏极接触包括与第一鳍形图案和第二鳍形图案交叉的第一下接触区、从第一下接触区突出的第一上接触区、以及第一虚设接触区,布线结构与第一上接触区的上表面接触并且不与第一虚设接触区的上表面接触。

[0004] 根据本公开的另一方面,提供了一种半导体器件,包括:在第一方向上延伸的第一鳍形图案;第二鳍形图案,在第二方向上与第一鳍形图案间隔开并在第一方向上延伸;在第一方向上延伸的第三鳍形图案;第四鳍形图案,在第二方向上与第三鳍形图案间隔开并在第一方向上延伸;元件隔离结构,与第一鳍形图案和第二鳍形图案接触并在第二方向上延伸;第一栅电极,在第二方向上延伸并设置在第一鳍形图案上;第二栅电极,在第二方向上延伸并设置在第三鳍形图案上;第三栅电极,在第二方向上延伸并且设置在第四鳍形图案上;第一源极/漏极接触,在第一栅电极和元件隔离结构之间设置在第一鳍形图案和第二鳍形图案上,并且在第二方向上延伸;第二源极/漏极接触,在第二栅电极和第三栅电极之间设置在第三鳍形图案和第四鳍形图案上,并且在第二方向上延伸;以及布线结构,设置在第一源极/漏极接触和第二源极/漏极接触上并且连接到第一源极/漏极接触和第二源极/漏极接触,其中第一源极/漏极接触包括与第一鳍形图案和第二鳍形图案交叉的第一下接触区以及从第一下接触区突出的第一上接触区,第二源极/漏极接触包括与第三鳍形图案和第四鳍形图案交叉的第二下接触区以及从第二下接触区突出的第二上接触区,布线结构包括与第一上接触区和第二上接触区接触的通路插塞,通路插塞的底表面在第二方向上具有通路宽度,第一上接触区的上表面在第二方向上的宽度大于或等于通路宽度的1.5倍,第二

上接触区的上表面在第二方向上的宽度小于或等于通路宽度的1.2倍。

[0005] 根据本公开的又一方面,提供了一种半导体器件,包括:在第一方向上延伸的第一鳍形图案;第二鳍形图案,在第二方向上与第一鳍形图案间隔开并在第一方向上延伸;第三鳍形图案,在第一方向上与第一鳍形图案间隔开并在第一方向上延伸;第四鳍形图案,在第一方向上与第二鳍形图案间隔开并在第一方向上延伸;第一源极/漏极接触,设置在第一鳍形图案和第二鳍形图案上并在第二方向上延伸;第二源极/漏极接触,设置在第三鳍形图案和第四鳍形图案上并在第二方向上延伸;元件隔离结构,将第一鳍形图案和第二鳍形图案与第三鳍形图案和第四鳍形图案分开并在第二方向上延伸;以及布线结构,设置在第一源极/漏极接触和第二源极/漏极接触上并连接到第一源极/漏极接触和第二源极/漏极接触,其中第一源极/漏极接触包括与第一鳍形图案和第二鳍形图案交叉的第一下接触区、从第一下接触区突出的第一上接触区、以及第一虚设接触区,第二源极/漏极接触包括与第三鳍形图案和第四鳍形图案交叉的第二下接触区以及从第二下接触区突出的第二上接触区,布线结构与第一上接触区的上表面和第二上接触区的上表面接触,而不与第一虚设接触区的上表面接触。

### 附图说明

[0006] 通过参照附图详细描述示例性实施方式,特征对于本领域技术人员将变得明显,附图中:

[0007] 图1是根据一些实施方式的半导体器件的布局图;

[0008] 图2至图8分别是沿图1的A-A、B-B、C-C、D-D、E-E、F-F和G-G截取的剖视图;

[0009] 图9是图6的部分P的放大图;

[0010] 图10至图12是根据一些实施方式的半导体器件的图;

[0011] 图13是根据一些实施方式的半导体器件的布局图;

[0012] 图14和图15是根据一些实施方式的半导体器件的图;

[0013] 图16和图17是根据一些实施方式的半导体器件的图;

[0014] 图18和图19是根据一些实施方式的半导体器件的图;

[0015] 图20是根据一些实施方式的半导体器件的布局图;

[0016] 图21至图25是根据一些实施方式的半导体器件的图;

[0017] 图26至图30是根据一些实施方式的半导体器件的图。

### 具体实施方式

[0018] 根据一些实施方式的半导体器件的附图示出了包括鳍形图案形状的沟道区的鳍形晶体管(FinFET)、包括纳米线或纳米片的晶体管、以及MBCFET<sup>TM</sup>(多桥沟道场效应晶体管)作为示例。然而,根据实施方式的半导体器件可以应用于其他晶体管,例如隧穿晶体管(隧穿FET)、三维(3D)晶体管、平面晶体管、基于二维材料的晶体管(基于2D材料的FET)及其异质结构等。此外,根据一些实施方式的半导体器件还可以包括双极结型晶体管、横向扩散金属氧化物半导体(LDMOS)等。

[0019] 图1是用于说明根据一些实施方式的半导体器件的示例性布局图。图2至图8分别是沿图1的线A-A、B-B、C-C、D-D、E-E、F-F和G-G截取的剖视图。图9是图6的部分P的放大图。

为了便于说明,图1未示出层间绝缘膜190、191和192、布线结构205等。

[0020] 参照图1至图9,根据一些实施方式的半导体器件可以包括在衬底100上的第一至第六鳍形图案110、210、310、410、510和610、第一至第三栅电极120、220和320、第一和第二元件隔离结构165和166、第一源极/漏极接触171、第二源极/漏极接触172、第一和第二连接源极/漏极接触181和182以及栅极隔离结构160。

[0021] 例如,衬底100可以是体硅衬底或SOI(绝缘体上硅)。在另一示例中,衬底100可以是硅衬底,并且可以包括例如硅锗、SGOI(绝缘体上硅锗)、铟锑化物、铅碲化合物、铟砷化物、铟磷化物、镓砷化物或镓锑化物。

[0022] 第一鳍形图案110、第三鳍形图案310和第五鳍形图案510可以设置在衬底100上。第一鳍形图案110、第三鳍形图案310和第五鳍形图案510可以形成在衬底100的第一有源区RX1中。第一鳍形图案110、第三鳍形图案310和第五鳍形图案510可以沿着第一方向D1(例如,纵向地)延伸得较长。第一鳍形图案110、第三鳍形图案310和第五鳍形图案510可以沿着第一方向D1排成一行。

[0023] 第一鳍形图案110和第三鳍形图案310可以由在第一方向D1上延伸的鳍沟槽FT限定。鳍沟槽FT可以限定第一鳍形图案110和第三鳍形图案310的侧壁。第五鳍形图案510可以由鳍沟槽FT限定。

[0024] 第二鳍形图案210、第四鳍形图案410和第六鳍形图案610可以设置在衬底100上。第二鳍形图案210、第四鳍形图案410和第六鳍形图案610可以形成在第二有源区RX2中。第二鳍形图案210、第四鳍形图案410和第六鳍形图案610可以沿着第一方向D1(例如,纵向地)延伸得较长。第二鳍形图案210、第四鳍形图案410和第六鳍形图案610可以沿着第一方向D1排成一行。

[0025] 第二鳍形图案210和第四鳍形图案410可以由在第一方向D1上延伸的鳍沟槽FT限定。第二鳍形图案210可以在第二方向D2上与第一鳍形图案110间隔开。第四鳍形图案410可以在第二方向D2上与第三鳍形图案310间隔开。第六鳍形图案610可以在第二方向D2上与第五鳍形图案510间隔开。这里,第一方向D1可以与第二方向D2和第三方向D3交叉。此外,第二方向D2可以与第三方向D3交叉。第三方向D3可以是垂直于衬底100的上侧的方向。

[0026] 场区FX可以设置在第一有源区RX1和第二有源区RX2之间。场区FX可以由比鳍沟槽FT更深的深沟槽DT限定。深沟槽DT可以限定第一有源区RX1和第二有源区RX2。例如,深沟槽DT可以在第一方向D1上(例如,纵向地)延伸得较长。深沟槽DT可以例如连续地形成在第一鳍形图案110和第二鳍形图案210之间、第三鳍形图案310和第四鳍形图案410之间以及第五鳍形图案510和第六鳍形图案610之间。在根据一些实施方式的半导体器件中,深沟槽DT可以区分第一有源区RX1和第二有源区RX2。

[0027] 作为示例,第一有源区RX1和第二有源区RX2中的一个可以是NMOS形成区,另一个可以是PMOS形成区。在另一实施方式中,第一有源区RX1和第二有源区RX2可以是PMOS形成区。在又一实施方式中,第一有源区RX1和第二有源区RX2可以是NMOS形成区。

[0028] 第一至第六鳍形图案110、210、310、410、510和610中的每个可以是衬底100的一部分,并且可以包括从衬底100生长的外延层。第一至第六鳍形图案110、210、310、410、510和610中的每个可以包括例如硅或锗,其是元素半导体材料。此外,第一至第六鳍形图案110、210、310、410、510和610中的每个可以包括化合物半导体,并且可以包括例如IV-IV族化合

物半导体或III-V族化合物半导体。

[0029] IV-IV族化合物半导体可以是例如包括碳(C)、硅(Si)、锗(Ge)和锡(Sn)中的至少两种或更多种的二元化合物或三元化合物,或通过用IV族元素掺杂这些元素而获得的化合物。III-V族化合物半导体可以是例如通过组合作为III族元素的铝(Al)、镓(Ga)和铟(In)中的至少一种以及作为V族元素的磷(P)、砷(As)和锑(Sb)中的一种形成的二元化合物、三元化合物或四元化合物中的一种。

[0030] 作为示例,设置在第一有源区RX1中的鳍形图案110、310和510可以包括与设置在第二有源区RX2中的鳍形图案210、410和610相同的材料。作为另一示例,设置在第一有源区RX1中的鳍形图案110、310和510可以包括与设置在第二有源区RX2中的鳍形图案210、410和610不同的材料。

[0031] 第一鳍形图案110和第二鳍形图案210将作为示例被描述。设置在第一有源区RX1中的第一鳍形图案110的数量与设置在第二有源区RX2中的第二鳍形图案210的数量相同。例如,设置在第一有源区RX1中的第一鳍形图案110和设置在第二有源区RX2中的第二鳍形图案210的数量被示为两个,但是设置在第一有源区RX1中的第一鳍形图案110的数量和设置在第二有源区RX2中的第二鳍形图案210的数量可以是一个或三个或更多。

[0032] 下面的描述将使用第一至第四鳍形图案110、210、310和410来提供。

[0033] 场绝缘膜105可以设置在第一至第四鳍形图案110、210、310和410周围。尽管未示出,场绝缘膜105可以设置在第五鳍形图案510和第六鳍形图案610周围。场绝缘膜105可以填充深沟槽DT。场绝缘膜105可以填充鳍沟槽FT的一部分。第一鳍形图案110和第二鳍形图案210将作为示例被描述。场绝缘膜105可以形成在第一鳍形图案110的侧壁的一部分和第二鳍形图案210的侧壁的一部分上。

[0034] 第一至第四鳍形图案110、210、310和410可以各自向上突出超过场绝缘膜105的上表面,例如各自向上突出到场绝缘膜105的上表面之上。第五鳍形图案510和第六鳍形图案610也可以突出超过场绝缘膜105的上表面。场绝缘膜105可以包括例如氧化物膜、氮化物膜、氮氧化物膜或其组合。

[0035] 第一元件隔离结构165和第二元件隔离结构166可以分别设置在第一有源区RX1和第二有源区RX2之上。第一元件隔离结构165和第二元件隔离结构166可以每个在第二方向D2上(例如,纵向地)延伸得较长。

[0036] 第一元件隔离结构165可以将在第一方向D1上彼此相邻的第一鳍形图案110和第三鳍形图案310分开。第一元件隔离结构165可以将在第一方向D1上彼此相邻的第二鳍形图案210和第四鳍形图案410分开。

[0037] 第二元件隔离结构166可以将在第一方向D1上彼此相邻的第三鳍形图案310和第五鳍形图案510分开。第二元件隔离结构166可以将在第一方向D1上彼此相邻的第四鳍形图案410和第六鳍形图案610分开。由于第二元件隔离结构166的描述可以与第一元件隔离结构165的描述基本相同,因此下面的描述将集中于第一元件隔离结构165。

[0038] 第一元件隔离结构165可以包括第一侧壁165\_LS1和第二侧壁165\_LS2。第一元件隔离结构的第一侧壁165\_LS1和第一元件隔离结构的第二侧壁165\_LS2可以各自在第二方向D2上(例如,纵向地)延伸得较长。第一元件隔离结构的第一侧壁165\_LS1在第一方向D1上与第一元件隔离结构的第二侧壁165\_LS2相反。

[0039] 第一鳍形图案110和第二鳍形图案210中的每个与第一元件隔离结构的第一侧壁165\_LS1接触。第一鳍形图案110和第二鳍形图案210可以从第一元件隔离结构的第一侧壁165\_LS1在第一方向D1上延伸。第三鳍形图案310和第四鳍形图案410中的每个与第一元件隔离结构的第二侧壁165\_LS2接触。第三鳍形图案310和第四鳍形图案410可以从第一元件隔离结构的第二侧壁165\_LS2在第一方向D1上延伸。例如,第一元件隔离结构165的上表面165US可以与稍后将描述的栅极盖图案145、245和345的上表面在同一平面上,或者在不同的水平处。

[0040] 第一元件隔离结构165和第二元件隔离结构166可以包括例如硅氮化物(SiN)、硅氮氧化物(SiON)、硅氧化物(SiO<sub>2</sub>)、硅氧碳氮化物(SiOCN)、硅硼氮化物(SiBN)、硅氧硼氮化物(SiOBN)、硅氧碳化物(SiOC)、铝氧化物(AlO)及其组合中的至少一种。第一元件隔离结构165和第二元件隔离结构166中的每个可以是单层膜或多层膜。

[0041] 例如,如图2中所示,隔离结构间隔物165SP可以沿着第一元件隔离结构的第一侧壁165\_LS1的一部分延伸。隔离结构间隔物165SP可以沿着第一元件隔离结构的第二侧壁165\_LS2的一部分延伸。隔离结构间隔物165SP可以包括与下面将描述的栅极间隔物140、240和340相同的材料。在另一示例中,隔离结构间隔物165SP可以不设置在第一元件隔离结构的侧壁165\_LS1和165\_LS2上。

[0042] 第一至第三栅电极120、220和320中的每个可以在第二方向D2上延伸。第一至第三栅电极120、220和320可以各自设置在场绝缘膜105上。

[0043] 第一栅电极120可以设置在第一有源区RX1上而不设置在第二有源区RX2上,例如,第一栅电极120可以仅设置在第一有源区RX1上。第一栅电极120可以设置在设置于第一有源区RX1中的鳍形图案110、310和510上。第一栅电极120可以不设置在设置于第二有源区RX2中的鳍形图案210、410和610上。

[0044] 第二栅电极220可以设置在第二有源区RX2上而不设置在第一有源区RX1上,例如,第二栅电极220可以仅设置在第二有源区RX2上。第二栅电极220可以设置在设置于第二有源区RX2中的鳍形图案210、410和610上。第二栅电极220可以不设置在设置于第一有源区RX1中的鳍形图案110、310和510上。

[0045] 第三栅电极320可以例如连续地设置在第一有源区RX1和第二有源区RX2之上。第三栅电极320可以设置在设置于第一有源区RX1中的鳍形图案110、310和510上。第三栅电极320可以设置在设置于第二有源区RX2中的鳍形图案210、410和610上。

[0046] 第一栅电极120和第二栅电极220可以在第二方向D2上彼此间隔开并且在第二方向D2上彼此对齐。第一栅电极120可以设置为对应于第二栅电极220,例如,与第二栅电极220对齐。第三栅电极320可以在第一方向D1上与第一栅电极120间隔开。第三栅电极320可以在第一方向D1上与第二栅电极220间隔开。

[0047] 例如,如图1中所示,第一栅电极120和第二栅电极220可以具有一一对应关系。在另一示例中,第一栅电极120中的至少一个可以面对设置在第二有源区RX2中并在第二方向D2上延伸的绝缘材料栅极。在又一示例中,第二栅电极220中的至少一个可以面对设置在第一有源区RX1中并在第二方向D2上延伸的绝缘材料栅极。绝缘材料栅极可以类似于上述的元件隔离结构165和166。

[0048] 例如,如图2-3所示,栅电极120、220和320的上表面可以包括凹曲面。在形成稍后

将描述的栅极盖图案145、245和345之前,可以去除栅电极120、220和320的一部分。通过去除栅电极120、220和320的一部分的蚀刻工艺,栅电极120、220和320的上表面的至少一部分可以变成凹曲面。例如,第一栅电极120的上表面和第二栅电极220的上表面在如图8中的剖视图中可以具有凹形。

[0049] 第一至第三栅电极120、220和320中的每个可以包括例如钛氮化物(TiN)、钽碳化物(TaC)、钽氮化物(TaN)、钛硅氮化物(TiSiN)、钽硅氮化物(TaSiN)、钽钛氮化物(TaTiN)、钛铝氮化物(TiAlN)、钽铝氮化物(TaAlN)、钨氮化物(WN)、钌(Ru)、钛铝(TiAl)、钛铝碳氮化物(TiAlC-N)、钛铝碳化物(TiAlC)、钛碳化物(TiC)、钽碳氮化物(TaCN)、钨(W)、铝(Al)、铜(Cu)、钴(Co)、钛(Ti)、钽(Ta)、镍(Ni)、铂(Pt)、镍铂(Ni-Pt)、铌(Nb)、铌氮化物(NbN)、铌碳化物(NbC)、钼(Mo)、钼氮化物(MoN)、钼碳化物(MoC)、钨碳化物(WC)、铑(Rh)、钯(Pd)、铱(Ir)、锇(Os)、银(Ag)、金(Au)、锌(Zn)、钒(V)及其组合中的至少一种。第一至第三栅电极120、220和320可以各自包括导电金属氧化物、导电金属氮氧化物等,并且可以包括上述材料的氧化形式。

[0050] 第一栅电极120和第二栅电极220可以通过栅极隔离结构160分开。栅极隔离结构160可以在第二方向D2上将第一栅电极120和第二栅电极220彼此分开。

[0051] 栅极隔离结构160设置在场区FX上。栅极隔离结构160可以设置在场绝缘膜105上。栅极隔离结构160可以将彼此对应的第一栅电极120和第二栅电极220分开。栅极隔离结构160可以是例如硅氮化物(SiN)、硅氮氧化物(SiON)、硅氧化物(SiO<sub>2</sub>)、硅氧碳氮化物(SiOCN)、硅硼氮化物(SiBN)、硅氧硼氮化物(SiOBN)、硅氧碳化物(SiOC)、铝氧化物(AlO)及其组合中的至少一种。尽管栅极隔离结构160被示为单层膜,但不限于此。

[0052] 例如,如图8中所示,栅极隔离结构160的一部分可以延伸到场绝缘膜105中。例如,栅极隔离结构的上表面160US可以设置在与第一栅极盖图案145的上表面和第二栅极盖图案245的上表面相同的平面上。

[0053] 第一栅极间隔物140可以设置在第一栅电极120的侧壁上。第二栅极间隔物240可以设置在第二栅电极220的侧壁上。第三栅极间隔物340可以设置在第三栅电极320的侧壁上。第一至第三栅极间隔物140、240和340可以沿第二方向D2延伸。第一至第三栅极间隔物140、240和340可以包括例如硅氮化物(SiN)、硅氮氧化物(SiON)、硅氧化物(SiO<sub>2</sub>)、硅氧碳氮化物(SiOCN)、硅硼氮化物(SiBN)、硅氧硼氮化物(SiOBN)、硅氧碳化物(SiOC)及其组合中的至少一种。

[0054] 第一栅极绝缘膜130可以沿着第一栅电极120的侧壁和底表面延伸。第一栅极绝缘膜130可以设置在第一栅电极120与设置于第一有源区RX1中的鳍形图案110、310和510之间。第二栅极绝缘膜230可以沿着第二栅电极220的侧壁和底表面延伸。第二栅极绝缘膜230可以设置在第二栅电极220与设置于第二有源区RX2中的鳍形图案210、410和610之间。第三栅极绝缘膜330可以沿着第三栅电极320的侧壁和底表面延伸。第三栅极绝缘膜330可以设置在第三栅电极320与设置于第一有源区RX1中的鳍形图案110、310和510之间。第三栅极绝缘膜330可以设置在第三栅电极320与设置于第二有源区RX2中的鳍形图案210、410和610之间。

[0055] 例如,如图8中所示,第一栅极绝缘膜130可以沿着突出到场绝缘膜105之上的第三鳍形图案310的轮廓和场绝缘膜105的上表面形成。第二栅极绝缘膜230可以沿着突出到场

绝缘膜105之上的第四鳍形图案410的轮廓和场绝缘膜105的上表面形成。例如,如图7中所示,第三栅极绝缘膜330可以沿着突出到场绝缘膜105之上的第一鳍形图案110和第二鳍形图案210的轮廓和场绝缘膜105的上表面形成。例如,第一栅极绝缘膜130可以包括沿着突出到场绝缘膜105之上的第三鳍形图案310的轮廓的界面膜,例如,界面膜可以包括硅氧化物。

[0056] 例如,如图8中所示,第一栅极绝缘膜130可以沿着在第二方向D2上彼此面对的第一栅电极120的侧壁和栅极隔离结构160的侧壁延伸。第二栅极绝缘膜230可以沿着在第二方向D2上彼此面对的第二栅电极220的侧壁和栅极隔离结构160的侧壁延伸。

[0057] 第一至第三栅极绝缘膜130、230和330可以包括例如硅氧化物、硅氮氧化物、硅氮化物或具有比硅氧化物的介电常数高的介电常数的高介电常数材料。高介电常数材料可以包括例如硼氮化物、钪氧化物、钪硅氧化物、钪铝氧化物、镧氧化物、镧铝氧化物、锆氧化物、锆硅氧化物、钽氧化物、钛氧化物、钡锶钛氧化物、钡钛氧化物、锶钛氧化物、钇氧化物、铝氧化物、铅钪钽氧化物或铈酸铅锌中的一种或更多种。

[0058] 根据一些实施方式的半导体器件可以包括使用负电容器的NC(负电容)FET。例如,第一至第三栅极绝缘膜130、230和330可以包括具有铁电特性的铁电材料膜和具有顺电特性的顺电材料膜。

[0059] 铁电材料膜可以具有负电容,顺电材料膜可以具有正电容。例如,如果两个或更多个电容器串联连接并且每个电容器的电容具有正值,则总电容从每个单独电容器的电容减少。另一方面,如果串联连接的两个或更多个电容器的电容中的至少一个具有负值,则总电容可以大于每个单独电容的绝对值,同时具有正值。

[0060] 当具有负电容的铁电材料膜和具有正电容的顺电材料膜串联连接时,串联连接的铁电材料膜和顺电材料膜的整体电容值可以增加。通过使用增加的总电容值,包括铁电材料膜的晶体管在室温下可以具有低于60mV/decade的亚阈值摆幅(SS)。

[0061] 铁电材料膜可以具有铁电特性。铁电材料膜可以包括例如钪氧化物、钪锆氧化物、钡锶钛氧化物、钡钛氧化物和铅锆钛氧化物中的至少一种。例如,钪锆氧化物可以通过用锆(Zr)掺杂钪氧化物获得的材料。作为另一示例,钪锆氧化物可以是钪(Hf)、锆(Zr)和氧(O)的化合物。

[0062] 铁电材料膜还可以包括掺杂的掺杂剂。例如,掺杂剂可以包括铝(Al)、钛(Ti)、铌(Nb)、镧(La)、钇(Y)、镁(Mg)、硅(Si)、钙(Ca)、铈(Ce)、镝(Dy)、铒(Er)、钆(Gd)、锆(Ge)、钪(Sc)、锶(Sr)和锡(Sn)中的至少一种。包括在铁电材料膜中的掺杂剂的类型可以取决于包括在铁电材料膜中的铁电材料的类型而变化。

[0063] 当铁电材料膜包括钪氧化物时,包括在铁电材料膜中的掺杂剂可以包括例如钆(Gd)、硅(Si)、锆(Zr)、铝(Al)和钇(Y)中的至少一种。

[0064] 当掺杂剂是铝(Al)时,铁电材料膜可以包括3至8at%(原子%)的铝。这里,掺杂剂的比例可以是铝与钪和铝的总和的比例。

[0065] 当掺杂剂是硅(Si)时,铁电材料膜可以包括2至10at%的硅。当掺杂剂是钇(Y)时,铁电材料膜可以包括2至10at%的钇。当掺杂剂是钆(Gd)时,铁电材料膜可以包括1至7at%的钆。当掺杂剂是锆(Zr)时,铁电材料膜可以包括50至80at%的锆。

[0066] 顺电材料膜可以具有顺电特性。顺电材料膜可以包括例如硅氧化物和具有高介电常数的金属氧化物中的至少一种。包括在顺电材料膜中的金属氧化物可以包括例如钪氧化

物、锆氧化物和铝氧化物中的至少一种。

[0067] 铁电材料膜和顺电材料膜可以包括相同的材料。铁电材料膜具有铁电性，但是顺电材料膜可以不具有铁电性。例如，当铁电材料膜和顺电材料膜包括钪氧化物时，铁电材料膜中包含的钪氧化物的晶体结构不同于顺电材料膜中包含的钪氧化物的晶体结构。

[0068] 铁电材料膜可以具有赋予铁电特性的厚度。铁电材料膜的厚度可以是例如0.5至10nm。由于显示铁电特性的临界厚度对于每种铁电材料可以不同，因此铁电材料膜的厚度可以取决于铁电材料而变化。

[0069] 作为示例，第一至第三栅极绝缘膜130、230和330中的每个可以包括一个铁电材料膜。作为另一示例，第一至第三栅极绝缘膜130、230和330中的每个可以包括彼此间隔开的多个铁电材料膜。第一至第三栅极绝缘膜130、230和330可以具有其中多个铁电材料膜和多个顺电材料膜交替堆叠的堆叠膜结构。

[0070] 第一至第三栅极盖图案145、245和345可以设置在第一至第三栅电极120、220和320上。此外，第一至第三栅极盖图案145、245和345可以设置在第一至第三栅极间隔物140、240和340的上表面上。第一至第三栅极盖图案145、245和345中的每个可以包括例如硅氮化物(SiN)、硅氮氧化物(SiON)、硅氧化物(SiO<sub>2</sub>)、硅碳氮化物(SiCN)、硅氧碳氮化物(SiOCN)及其组合中的至少一种。

[0071] 与所示不同，第一至第三栅极盖图案145、245和345中的每个可以设置在第一至第三栅极间隔物140、240和340之间。在这种情况下，第一栅极盖图案145将作为示例描述。第一栅极盖图案145的上表面可以设置在与第一栅极间隔物140的上表面相同的平面上。

[0072] 第一源极/漏极图案150可以设置在第一鳍形图案110上。第一源极/漏极图案150可以连接到第一鳍形图案110。第三源极/漏极图案350可以设置在第三鳍形图案310上。第三源极/漏极图案350可以连接到第三鳍形图案310。第一源极/漏极图案150和第三源极/漏极图案350可以设置在第一有源区RX1中。

[0073] 第二源极/漏极图案250可以设置在第二鳍形图案210上。第二源极/漏极图案250可以连接到第二鳍形图案210。第四源极/漏极图案450可以设置在第四鳍形图案410上。第四源极/漏极图案450可以连接到第四鳍形图案410。第二源极/漏极图案250和第四源极/漏极图案450可以设置在第二有源区RX2中。

[0074] 第二源极/漏极图案250在第二方向D2上与第一源极/漏极图案150分开。也就是，第二源极/漏极图案250不直接连接到第一源极/漏极图案150。第三源极/漏极图案350在第二方向D2上与第四源极/漏极图案450分开。

[0075] 第一源极/漏极图案150可以连接到多个第一鳍形图案110。第二源极/漏极图案250可以连接到多个第二鳍形图案210。第三源极/漏极图案350可以连接到多个第三鳍形图案310。第四源极/漏极图案450可以连接到多个第四鳍形图案410。第一至第四源极/漏极图案150、250、350和450中的每个可以是共享的外延图案。第一至第四源极/漏极图案150、250、350和450中的每个可以包括在使用第一至第四鳍形图案110、210、310和410作为沟道区的晶体管的源极/漏极中。

[0076] 例如，源极/漏极图案可以设置在第五鳍形图案510和第六鳍形图案610上。以下描述将使用第一至第四源极/漏极图案150、250、350和450提供。

[0077] 源极/漏极蚀刻停止膜156可以设置在第一至第三栅电极120、220和320的侧壁上

以及在第一至第四源极/漏极图案150、250、350和450上。源极/漏极蚀刻停止膜156可以包括相对于稍后将描述的下层间绝缘膜190具有蚀刻选择性的材料。源极/漏极蚀刻停止膜156可以包括例如硅氮化物(SiN)、硅氮氧化物(SiON)、硅氧碳氮化物(SiOCN)、硅硼氮化物(SiBN)、硅氧硼氮化物(SiOBN)、硅氧碳化物(SiOC)及其组合中的至少一种。

[0078] 下层间绝缘膜190可以设置在源极/漏极蚀刻停止膜156上。下层间绝缘膜190可以不覆盖第一至第三栅极盖图案145、245和345的上表面。例如,下层间绝缘膜190的上表面可以设置在与第一栅极盖图案145的上表面、第二栅极盖图案245的上表面和第三栅极盖图案345的上表面相同的平面上。下层间绝缘膜190的上表面可以设置在与第一器件结构的上表面165US相同的平面上。

[0079] 下层间绝缘膜190可以包括例如硅氧化物、硅氮化物、硅氮氧化物和低介电常数材料中的至少一种。低介电常数材料可以包括例如氟化正硅酸乙酯(FTEOS)、氢倍半硅氧烷(HSQ)、双苯并环丁烯(BCB)、四甲基正硅酸盐(TMOS)、八甲基环四硅氧烷(OMCTS)、六甲基二硅氧烷(HMDS)、三甲基甲硅烷硼酸酯(TMSB)、二乙酰氧基二叔丁氧基硅氧烷(DADBS)、三甲基硅烷磷酸酯(TMSP)、聚四氟乙烯(PTFE)、TOSZ(东燃硅氮烷)、FSG(氟硅酸盐玻璃)、聚酰亚胺纳米泡沫(例如,聚环氧丙烷)、CDO(碳掺杂的硅氧化物)、OSG(有机硅酸盐玻璃)、SiLK、无定形氟化碳、二氧化硅气凝胶、二氧化硅干凝胶、中孔二氧化硅或其组合中的至少一种。

[0080] 第一连接源极/漏极接触181和第二连接源极/漏极接触182可以设置在第一有源区RX1和第二有源区RX2之上。第一连接源极/漏极接触181和第二连接源极/漏极接触182可以各自在第二方向D2上(例如,纵向地)延伸得较长。

[0081] 第一连接源极/漏极接触181和第二连接源极/漏极接触182可以设置在设置于第一有源区RX1中的源极/漏极图案150和350以及设置于第二有源区RX2中的源极/漏极图案250和450上。第一连接源极/漏极接触181和第二连接源极/漏极接触182同时连接到设置于第一有源区RX1中的源极/漏极图案150和350以及设置于第二有源区RX2中的源极/漏极图案250和450。第一连接源极/漏极接触181和第二连接源极/漏极接触182可以设置在设置于第一有源区RX1中的鳍形图案110和310以及设置于第二有源区RX2中的鳍形图案210和410上。

[0082] 第一源极/漏极接触171可以设置在设置于第一有源区RX1中的源极/漏极图案150和350上。第二源极/漏极接触172可以设置在设置于第二有源区RX2中的源极/漏极图案250和450上。第一源极/漏极接触171连接到第一和第三源极/漏极图案150和350,但不连接到第二和第四源极/漏极图案250和450。第二源极/漏极接触172连接到第二和第四源极/漏极图案250和450,但不连接到第一和第三源极/漏极图案150和350。

[0083] 例如,第二连接源极/漏极接触182、第一源极/漏极接触171和第二源极/漏极接触172可以另外设置在第一源极/漏极图案150和/或第二源极/漏极图案250上。第一连接源极/漏极接触181、第二连接源极/漏极接触182、第一源极/漏极接触171和第二源极/漏极接触172可以各自设置在下层间绝缘膜190内。

[0084] 第一硅化物膜155可以形成在第一源极/漏极图案150与源极/漏极接触181、182和171之间。第二硅化物膜255可以形成在第二源极/漏极图案250与源极/漏极接触181、182和172之间。第三硅化物膜355可以形成在第三源极/漏极图案350与源极/漏极接触181、182和171之间。第四硅化物膜455可以形成在第四源极/漏极图案350与源极/漏极接触181、182和

172之间。第一至第四硅化物膜155、255、355和455中的每个可以包括例如金属硅化物材料。

[0085] 第一连接源极/漏极接触181可以设置在元件隔离结构165和166与栅电极120、220和320之间。元件隔离结构165和166设置在第一连接源极/漏极接触181的一侧，栅电极120、220和320可以设置在第一连接源极/漏极接触181的另一侧。

[0086] 第一连接源极/漏极接触181可以是例如在第一方向D1上最靠近元件隔离结构165和166的连接源极/漏极接触。例如，如图1中所示，元件隔离结构165可以在两个第一连接源极/漏极接触181之间。也就是，元件隔离结构165和166与和其相邻的第一连接源极/漏极接触181之间没有栅电极120、220和320。

[0087] 在根据一些实施方式的半导体器件中，第一连接源极/漏极接触181可以设置在例如元件隔离结构165和166的每个的两侧。可选地，元件隔离结构165和166可以设置在沿第一方向D1彼此相邻的第一连接源极/漏极接触181之间。

[0088] 例如，连接到第一源极/漏极图案150和第二源极/漏极图案250的第一连接源极/漏极接触181可以在第一元件隔离结构165和第三栅电极320之间。在另一示例中，连接到第一源极/漏极图案150和第二源极/漏极图案250的第一连接源极/漏极接触181可以设置在第一元件隔离结构165和第一栅电极120之间，以及在第一元件隔离结构165和第二栅电极220之间。

[0089] 例如，连接到第三源极/漏极图案350和第四源极/漏极图案450的第一连接源极/漏极接触181可以在第一元件隔离结构165和第一栅电极120之间，以及在第一元件隔离结构165和第二栅电极220之间。在另一示例中，连接到第三源极/漏极图案350和第四源极/漏极图案450的第一连接源极/漏极接触181可以设置在第一元件隔离结构165和第三栅电极320之间。

[0090] 由于对最靠近第二元件隔离结构166的第一连接源极/漏极接触181的描述可以与对最靠近第一元件隔离结构165的第一连接源极/漏极接触181的描述基本相同，因此，下面的描述将集中于第一元件隔离结构165。

[0091] 第二连接源极/漏极接触182可以设置在沿第一方向D1彼此相邻的栅电极120、220和320之间。第二连接源极/漏极接触182不是最靠近元件隔离结构165和166的连接源极/漏极接触。也就是，至少一个或更多个栅电极120、220和320设置在第二连接源极/漏极接触182与元件隔离结构165和166之间。

[0092] 例如，如图1中所示，第一栅电极120和第二栅电极220可以在第二连接源极/漏极接触182的一侧，第三栅电极320可以在第二连接源极/漏极接触182的另一侧。在另一示例中，第一栅电极120和第二栅电极220可以设置在第二连接源极/漏极接触182的一侧和在第二连接源极/漏极接触182的另一侧。在又一示例中，第二连接源极/漏极接触182可以设置在第三栅电极320之间。

[0093] 例如，如图1中所示，第一连接源极/漏极接触181和第二连接源极/漏极接触182可以一起设置在第三鳍形图案310和第四鳍形图案410上。在另一示例中，附加的第三元件隔离结构可以设置在第一连接源极/漏极接触181和第二连接源极/漏极接触182之间。在这种情况下，第一连接源极/漏极接触181可以在第三鳍形图案310和第四鳍形图案410上，但是第二连接源极/漏极接触182可以不在第三鳍形图案310和第四鳍形图案410上。第二连接源极/漏极接触182可以在第二元件隔离结构166和第三元件隔离结构之间在第七和第八鳍形

图案上。

[0094] 在下面的描述中,第一连接源极/漏极接触181和第二连接源极/漏极接触182将被描述为一起设置在第三鳍形图案310和第四鳍形图案410上。

[0095] 第一连接源极/漏极接触181可以包括第一下接触区181B、第一上接触区181UC和第一虚设接触区181UD。

[0096] 第一下接触区181B可以与第一鳍形图案110和第二鳍形图案210交叉。第一下接触区181B同时连接到第一源极/漏极图案150和第二源极/漏极图案250,例如,第一下接触区181B可以同时连接到第一源极/漏极图案150和第二源极/漏极图案250两者。第一下接触区181B可以与第三鳍形图案310和第四鳍形图案410交叉。第一下接触区181B同时连接到第三源极/漏极图案350和第四源极/漏极图案450。

[0097] 第一上接触区181UC和第一虚设接触区181UD可以在第三方向D3上(例如,在远离鳍形图案取向的方向上)从第一下接触区181B突出。第一上接触区181UC和第一虚设接触区181UD可以在第二方向D2上彼此分开(例如,间隔开)。第一连接源极/漏极接触181可以包括在第三方向D3上从第一下接触区181B突出的多个接触区。

[0098] 第一下接触区181B直接连接到第一上接触区181UC和第一虚设接触区181UD。第一下接触区181B、第一上接触区181UC和第一虚设接触区181UD可以具有一体结构,例如,由相同材料形成的均匀且无缝的结构。例如,在制作过程中,在形成第一连接源极/漏极接触181的预结构之后,可以去除预结构的一部分。第一连接源极/漏极接触181的预结构的上表面可以与下层间绝缘膜190的上表面在同一平面上(例如,共面)。第一下接触区181B,第一上接触区181UC和第一虚设接触区181UD可以通过去除预结构的一部分来形成。由于第一连接源极/漏极接触区181的预结构的一部分被蚀刻以形成第一上接触区181UC和第一虚设接触区181UD,所以不存在第一下接触区181B和第一上接触区181UC被分割的边界线以及第一下接触区181B和第一虚设接触区181UD被分割的边界线,即,第一下接触区181B与第一上接触区181UC和第一虚设接触区181UD的每个之间没有可见的边界线。

[0099] 第一连接源极/漏极接触181的上表面可以是第一上接触区181UC的上表面181UC\_US和第一虚设接触区181UD的上表面181UD\_US。第一上接触区的上表面181UC\_US和第一虚设接触区的上表面181UD\_US可以设置在与下层间绝缘膜190的上表面相同的平面上。

[0100] 第一下接触区181B可以包括连接部分181B\_CR和突出部分181B\_PR。第一下接触区的连接部分181B\_CR设置在第一上接触区181UC和第一虚设接触区181UD之间。第一下接触区的突出部分181B\_PR可以是在第二方向D2上从第一上接触区181UC和第一虚设接触区181UD突出的部分。第一上接触区181UC和第一虚设接触区181UD中的每个可以设置在第一下接触区的连接部分181B\_CR与第一下接触区的相应突出部分181B\_PR之间。

[0101] 第一上接触区181UC可以是稍后要描述的通路插塞206着落的部分。第一连接源极/漏极接触181通过第一上接触区181UC与布线结构205连接。布线结构205与第一上接触区的上表面181UC\_US接触。

[0102] 第一虚设接触区181UD是通路插塞206没有落在其上的部分。布线结构205不与第一虚设接触区的上表面181UD\_US接触。稍后将描述的第一蚀刻停止膜196可以例如连续地覆盖第一虚设接触区的整个上表面181UD\_US。在第三方向D3上从第一下接触区181B突出的多个接触区中的一些(例如,穿过第一蚀刻停止膜196)与通路插塞206接触,其余的(例如,

由于第一蚀刻停止膜196的完全覆盖)不与通路插塞206接触。

[0103] 作为示例,如图4所示,第一虚设接触区的上表面181UD\_US在第二方向D2上的宽度W12可以大于或等于第一上接触区的上表面181UC\_US在第二方向D2上的宽度W11。作为另一示例,第一虚设接触区的上表面181UD\_US在第二方向D2上的宽度W12可以小于第一上接触区的上表面181UC\_US在第二方向D2上的宽度W11。

[0104] 例如,如图4中所示,第一下接触区181B可以包括在第一源极/漏极图案150和第二源极/漏极图案250之间朝衬底100突出的第一向下突出区181\_DP。在另一示例中,第一向下突出区181\_DP可以与源极/漏极蚀刻停止膜156或场绝缘膜105接触。第一下接触区181B可以包括一个第一向下突出区181\_DP。

[0105] 第二连接源极/漏极接触182可以包括第二下接触区182B和第二上接触区182UC。第二下接触区182B可以与第三鳍形图案310和第四鳍形图案410交叉。第二下接触区182B可以同时连接到第三源极/漏极图案350和第四源极/漏极图案450。

[0106] 第二上接触区182UC可以在第三方向D3上从第二下接触区182B突出。第二连接源极/漏极接触182可以包括在第三方向D3上从第二下接触区182B突出的一个接触区。

[0107] 第二下接触区182B直接连接到第二上接触区182UC。第二下接触区182B和第二上接触区182UC可以具有一体结构。

[0108] 第二连接源极/漏极接触182的上表面可以是第二上接触区的上表面182UC\_US。第二上接触区的上表面182UC\_US可以设置在与下层间绝缘膜190的上表面相同的平面上。

[0109] 第二上接触区182UC可以是通路插塞206在其上着落的部分。第二连接源极/漏极接触182通过第二上接触区182UC与布线结构205连接。布线结构205与第二上接触区的上表面182UC\_US接触。

[0110] 例如,如图6中所示,第二连接源极/漏极接触182可以具有类似于旋转180度的“T”形的形状。取决于第二上接触区182UC的位置,第二连接源极/漏极接触182可以具有类似于“L”的形状。

[0111] 例如,如图6中所示,第二下接触区182B可以包括在第三源极/漏极图案350和第四源极/漏极图案450之间朝衬底100突出的第二向下突出区182\_DP。在另一示例中,第二向下突出区182\_DP可以与源极/漏极蚀刻停止膜156或场绝缘膜105接触。第二下接触区182B可以包括一个第二向下突出区182\_DP。

[0112] 其中图1的第一源极/漏极接触171和第二源极/漏极接触172在第二方向D2上被切割的剖视图可以类似于图15。其中第一源极/漏极接触171和第二源极/漏极接触172在第二方向D2上被切割的剖视图可以是旋转180度的“T”形或“L”形之一。

[0113] 第一连接源极/漏极接触181可以包括第一源极/漏极阻挡膜181BM和第一源极/漏极填充膜181FM。第二连接源极/漏极接触182可以包括第二源极/漏极阻挡膜182BM和第二源极/漏极填充膜182FM。

[0114] 第一栅极接触176可以设置在第一栅电极120上。第二栅极接触177可以设置在第二栅电极220上。第三栅极接触178可以设置在第三栅电极320上。第一栅极接触176将作为示例被描述。第一栅极接触176可以穿透第一栅极盖图案145并连接到第一栅电极120。

[0115] 第一栅极接触176可以包括第一栅极阻挡膜176BM和第一栅极填充膜176FM。第二栅极接触177可以包括第二栅极阻挡膜177BM和第二栅极填充膜177FM。第三栅极接触178可

以包括第三栅极阻挡膜178BM和第三栅极填充膜178FM。

[0116] 从俯视图的角度来看,连接到最靠近第一连接源极/漏极接触181的栅电极120、220和320的栅极接触176、177和178在第一方向D1上不与第一上接触区181UC和第一虚设接触区181UD重叠。在图1中,以与第一鳍形图案110和第二鳍形图案210交叉的第一连接源极/漏极接触181为例,第一上接触区181UC和第一虚设接触区181UD在第一方向D1不与第三栅极接触178重叠。

[0117] 在根据一些实施方式的半导体器件中,最靠近第一连接源极/漏极接触181的第一栅电极120和第二栅电极220之间的栅极隔离结构160在第一方向D1上不与上接触区181UC和第一虚设接触区181UD重叠。在图1中,以与第三鳍形图案310和第四鳍形图案410交叉的第一连接源极/漏极接触181为例,第一上接触区181UC和第一虚设接触区181UD在第一方向D1上不与第一栅极接触176、第二栅极接触177和栅极隔离结构160重叠。

[0118] 从俯视图的角度来看,连接到最靠近第二连接源极/漏极接触182的栅电极120、220和320的栅极接触176、177和178在第一方向D1上不与第二上接触区182UC重叠。在根据一些实施方式的半导体器件中,最靠近第二连接源极/漏极接触182的第一栅电极120和第二栅电极220之间的栅极隔离结构160在第一方向D1上不与第二上接触区182UC重叠。

[0119] 源极/漏极阻挡膜181BM和182BM以及栅极阻挡膜176BM、177BM和178BM可以包括例如钽(Ta)、钽氮化物(TaN)、钛(Ti)、钛氮化物(TiN)、钛硅氮化物(TiSiN)、钌(Ru)、钴(Co)、镍(Ni)、镍硼(NiB)、钨(W)、钨氮化物(WN)、钨碳氮化物(WCN)、锆(Zr)、锆氮化物(ZrN)、钒(V)、钒氮化物(VN)、铌(Nb)、铌氮化物(NbN)、铂(Pt)、铱(Ir)、铑(Rh)、二维(2D)材料中的至少一种。在根据一些实施方式的半导体器件中,二维材料可以是金属材料 and/或半导体材料。2D材料可以包括2D同素异形体或2D化合物,并且可以包括石墨烯、二硫化钼( $\text{MoS}_2$ )、二硒化钼( $\text{MoSe}_2$ )、二硒化钨( $\text{WSe}_2$ )和二硫化钨( $\text{WS}_2$ )中的至少一种。源极/漏极填充膜181FM和182FM以及栅极填充膜176FM、177FM和178FM可以包括例如铝(Al)、钨(W)、钴(Co)、钌(Ru)、铜(Cu)、银(Ag)、金(Au)、锰(Mn)和钼(Mo)中的至少一种。

[0120] 第一蚀刻停止膜196和第一上层间绝缘膜191可以顺序地设置在第一和第二连接源极/漏极接触181和182上。第一蚀刻停止膜196和第一上层间绝缘膜191可以设置在下层间绝缘膜190上。

[0121] 第一蚀刻停止膜196可以包括相对于第一上层间绝缘膜191具有蚀刻选择性的材料。第一蚀刻停止膜196可以包括例如硅氮化物(SiN)、硅氮氧化物(SiON)、硅氧碳氮化物(SiOCN)、硅硼氮化物(SiBN)、硅氧硼氮化物(SiOBN)、硅氧碳化物(SiOC)、铝氧化物(AlO)、铝氮化物(AlN)、铝氧碳化物(AlOC)及其组合中的至少一种。与所示的不同,可以不形成第一蚀刻停止膜196。第一上层间绝缘膜191可以包括例如硅氧化物、硅氮化物、硅氮氧化物和低介电常数材料中的至少一种。

[0122] 通路插塞206可以设置在第一蚀刻停止膜196和第一上层间绝缘膜191内。通路插塞206穿过第一蚀刻停止膜196和第一上层间绝缘膜191,并且可以连接到第一和第二连接源极/漏极接触181和182以及第一和第二源极/漏极接触171和172。通路插塞206与第一上接触区的上表面181UC\_US和第二上接触区的上表面182UC\_US接触。然而,通路插塞206不与第一虚设接触区的上表面181UD\_US接触。通路插塞206穿过第一蚀刻停止膜196和第一上层间绝缘膜191,并且可以连接到栅极接触176、177和178。

[0123] 通路插塞206可以具有单层膜结构。通路插塞206可以具有由单层膜形成的结构。也就是,通路插塞206可以具有单一导电膜结构。通路插塞206可以包括例如铝(Al)、钨(W)、钴(Co)、钌(Ru)、银(Ag)、金(Au)、锰(Mn)和钼(Mo)中的一种。

[0124] 连接到源极/漏极接触171、172、181和182的通路插塞206可以是源极/漏极通路插塞。连接到栅极接触176、177和178的通路插塞206可以是栅极通路插塞。例如,源极/漏极通路插塞和栅极通路插塞中的一个可以具有单层膜结构,而源极/漏极通路插塞和栅极通路插塞中的另一个可以具有多层膜结构(例如,阻挡膜和填充膜的组合),诸如栅极接触176、177和178。在另一示例中,通路插塞206可以具有多层膜结构。

[0125] 参照图9,通路插塞206的底表面206BS可以具有在第二方向D2上的第一通路宽度W22。第二上接触区的上表面182UC\_US在第二方向D2上的宽度W21可以等于或大于第一通路宽度W22。此外,第二上接触区的上表面182UC\_US在第二方向D2上的宽度W21可以小于或等于第一通路宽度W22的1.2倍。

[0126] 例如,如图5和图6所示,第二蚀刻停止膜197和第二上层间绝缘膜192可以顺序设置在第一上层间绝缘膜191上。在另一示例中,可以不形成第二蚀刻停止膜197。第二蚀刻停止膜197和第二上层间绝缘膜192的材料的描述可以与第一蚀刻停止膜196和第一上层间绝缘膜191的材料的描述相同。

[0127] 布线线路207可以设置在第二上层间绝缘膜192和第二蚀刻停止膜197内。布线线路207可以与通路插塞206连接。布线线路207的至少一部分可以在第一方向D1上(例如,纵向地)延伸得较长。

[0128] 布线线路207可以包括布线阻挡膜207a和布线填充膜207b。布线阻挡膜207a可以包括例如钽(Ta)、钽氮化物(TaN)、钛(Ti)、钛氮化物(TiN)、钛硅氮化物(TiSiN)、钌(Ru)、钴(Co)、镍(Ni)、镍硼(NiB)、钨(W)、钨氮化物(WN)、钨碳氮化物(WCN)、锆(Zr)、锆氮化物(ZrN)、钒(V)、钒氮化物(VN)、铌(Nb)、铌氮化物(NbN)、铂(Pt)、铱(Ir)、铑(Rh)和二维(2D)材料中的至少一种。布线填充膜207b可以包括例如铝(Al)、铜(Cu)、钨(W)、钴(Co)、钌(Ru)、银(Ag)、金(Au)、锰(Mn)和钼(Mo)中的至少一种。

[0129] 布线结构205可以包括通路插塞206和布线线路207。布线结构205可以设置在源极/漏极接触171、172、181和182以及栅极接触176、177和178上。布线结构205可以连接到源极/漏极接触171、172、181和182。布线结构205可以连接到栅极接触176、177和178。

[0130] 与所示的不同,布线线路207和通路插塞206可以具有一体结构。在这种情况下,布线线路207和通路插塞206之间的边界可能无法区分,例如,可能不可见。

[0131] 图10至图12是用于说明根据一些实施方式的半导体器件的图。为了便于说明,说明将集中于与使用图1至图9说明的那些不同的点。供参考,图10是用于描述根据一些实施方式的半导体器件的示例性布局图。图11和图12是沿图10的线C-C和D-D截取的剖视图。

[0132] 参照图10至图12,根据一些实施方式的半导体器件可以包括最靠近第一元件隔离结构165的第三连接源极/漏极接触183。

[0133] 第三连接源极/漏极接触183可以设置在第一元件隔离结构165与栅电极120、220和320之间。第一元件隔离结构165可以设置在第三连接源极/漏极接触183的一侧,栅电极120、220和320可以设置在第三连接源极/漏极接触183的另一侧。

[0134] 第三连接源极/漏极接触183可以是最靠近第一元件隔离结构165的连接源极/漏

极接触。第一元件隔离结构165可以设置在沿第一方向D1彼此相邻的第三连接源极/漏极接触183之间。第三连接源极/漏极接触183代替第一连接源极/漏极接触(图1的181)可以设置在第一元件隔离结构165的两侧。

[0135] 第三连接源极/漏极接触183可以包括第三下接触区183B和第三上接触区183UC。

[0136] 第三下接触区183B可以与第一鳍形图案110和第二鳍形图案210交叉。第三下接触区183B可以同时连接到第一源极/漏极图案150和第二源极/漏极图案250。第三下接触区183B可以与第三鳍形图案310和第四鳍形图案410交叉。第三下接触区183B可以同时连接到第三源极/漏极图案350和第四源极/漏极图案450。

[0137] 第三上接触区183UC可以在第三方向D3上从第三下接触区183B突出。第三连接源极/漏极接触183可以包括在第三方向D3上从第三下接触区183B突出的一个接触区。第三下接触区183B和第三上接触区183UC可以具有一体结构。

[0138] 第三连接源极/漏极接触183的上表面可以是第三上接触区的上表面183UC\_US。第三上接触区的上表面183UC\_US可以设置在与下层间绝缘膜190的上表面相同的平面上。

[0139] 第三下接触区183B可以包括突出部分183B\_PR。第三下接触区的突出部分183B\_PR可以是在第二方向D2上从第三上接触区183UC突出的部分。第三上接触区183UC可以设置在第三下接触区的突出部分183B\_PR之间。

[0140] 第三上接触区183UC可以是通路插塞206在其上着落的部分。第三连接源极/漏极接触183可以通过第三上接触区183UC与布线结构205连接。布线结构205可以接触第三上接触区的上表面183UC\_US。

[0141] 在图11中,第三下接触区183B可以包括在第一源极/漏极图案150和第二源极/漏极图案250之间朝衬底100突出的第三向下突出区183\_DP。第三连接源极/漏极接触183可以包括第三源极/漏极阻挡膜183BM和第三源极/漏极填充膜183FM。

[0142] 从俯视图的角度来看,连接到最靠近第三连接源极/漏极接触183的栅电极120、220和320的栅极接触176、177和178在第一方向D1上不与第三上接触区183UC重叠。在根据一些实施方式的半导体器件中,最靠近第三连接源极/漏极接触183的第一栅电极120和第二栅电极220之间的栅极隔离结构160在第一方向D1上不与第三上接触区183UC重叠。

[0143] 通路插塞206穿透第一蚀刻停止膜196和第一上层间绝缘膜191,并且可以连接到第三连接源极/漏极接触183。通路插塞206与第三上接触区的上表面183UC\_US接触。

[0144] 在图11中,通路插塞的底表面206BS可以具有在第二方向D2上的第二通路宽度W32。第三上接触区的上表面183UC\_US在第二方向D2上的宽度W31可以大于或等于第二通路宽度W32的1.5倍。第二通路宽度W32可以与图9的第一通路宽度W22相同。第三上接触区的上表面183UC\_US在第二方向D2上的宽度W31小于第三下接触区183B在第二方向D2上的宽度。在连接到第三源极/漏极图案350和第四源极/漏极图案450的第三连接源极/漏极接触183中,第三上接触区的上表面183UC\_US在第二方向D2上的宽度可以大于或等于第二通路宽度(图11的W32)的1.5倍。

[0145] 图13是用于说明根据一些实施方式的半导体器件的示例性布局图。为了便于说明,说明将集中于与使用图1至图12说明的那些不同的点。

[0146] 参照图13,在根据一些实施方式的半导体器件中,第一元件隔离结构165可以设置在第一连接源极/漏极接触181和第三连接源极/漏极接触183之间。设置在第一元件隔离结

构165的一侧的第一连接源极/漏极接触181包括第一虚设接触区181UD。然而,设置在第一元件隔离结构165的另一侧的第三连接源极/漏极接触183不包括虚设接触区。

[0147] 图14和图15是用于说明根据一些实施方式的半导体器件的图。为了便于说明,说明将集中于与使用图1至图9说明的那些不同的点。供参考,图14是用于描述根据一些实施方式的半导体器件的示例性布局图。图15是沿图14的线D-D截取的剖视图。

[0148] 参照图14和图15,在根据一些实施方式的半导体器件中,第一元件隔离结构165可以设置在第一连接源极/漏极接触181和第一源极/漏极接触171之间,以及在第一连接源极/漏极接触181和第二源极/漏极接触172之间。

[0149] 第一源极/漏极接触171和第二源极/漏极接触172可以设置为最靠近第一元件隔离结构165。第一连接源极/漏极接触181可以设置在第一元件隔离结构165的一侧。第一源极/漏极接触171和第二源极/漏极接触172可以设置在第一元件隔离结构165的另一侧。

[0150] 第一源极/漏极接触171可以包括第一单下接触区171B和第一单上接触区171UC。第二源极/漏极接触172可以包括第二单下接触区172B和第二单上接触区172UC。第一源极/漏极接触171和第二源极/漏极接触172包括在第三方向D3上从单下接触区171B和172B突出的一个接触区。

[0151] 第一单下接触区171B连接到第三源极/漏极图案350,但不连接到第四源极/漏极图案450。第二单下接触区172B连接到第四源极/漏极图案450,但不连接到第三源极/漏极图案350。

[0152] 第一单上接触区171UC可以在第三方向D3上从第一单下接触区171B突出。第二单上接触区172UC可以在第三方向D3上从第二单下接触区172B突出。

[0153] 第一源极/漏极接触171可以包括第一单源极/漏极阻挡膜171BM和第一单源极/漏极填充膜171FM。第二源极/漏极接触172可以包括第二单源极/漏极阻挡膜172BM和第二单源极/漏极填充膜172FM。

[0154] 从俯视图的角度来看,连接到最靠近第一元件隔离结构165的栅电极120、220和320的栅极接触176、177和178在第一方向D1上不与第一单上接触区171UC和第二单上接触区172UC重叠。通路插塞206连接到第一源极/漏极接触171和第二源极/漏极接触172。

[0155] 图16和图17是用于说明根据一些实施方式的半导体器件的图。为了便于说明,说明将集中于与使用图1至图9说明的那些不同的点。供参考,图16是用于描述根据一些实施方式的半导体器件的示例性布局图。图17是沿图16的线D-D截取的剖视图。

[0156] 参照图16和图17,在根据一些实施方式的半导体器件中,第一元件隔离结构165可以设置在第一连接源极/漏极接触181和第二连接源极/漏极接触182之间。第二连接源极/漏极接触182可以最靠近第一元件隔离结构165设置。第一连接源极/漏极接触181可以设置在第一元件隔离结构165的一侧。第二连接源极/漏极接触182可以最靠近第一元件隔离结构165的另一侧设置。

[0157] 图18和图19是用于说明根据一些实施方式的半导体器件的图。为了便于说明,说明将集中于与使用图1至图9说明的那些不同的点。供参考,图18是用于描述根据一些实施方式的半导体器件的示例性布局图。图19是沿图18的线D-D截取的剖视图。

[0158] 参照图18和图19,在根据一些实施方式的半导体器件中,第一元件隔离结构165可以设置在第一连接源极/漏极接触181和第四连接源极/漏极接触184之间。第四连接源极/

漏极接触184可以包括第四下接触区184B和多个第四上接触区184UC。

[0159] 第四下接触区184B可以与第三鳍形图案310和第四鳍形图案410交叉。第四下接触区184B可以同时连接到第三源极/漏极图案350和第四源极/漏极图案450。

[0160] 多个第四上接触区184UC可以在第三方向D3上从例如相同的第四下接触区184B突出。多个第四上接触区184UC可以在第二方向D2上彼此间隔开。

[0161] 每个第四上接触区184UC可以是通路插塞206在其上着落的部分。第四连接源极/漏极接触184通过相应的第四上接触区184UC与布线结构205连接。布线结构205与每个第四上接触区的上表面184UC\_US接触。多个第四上接触区184UC可以包括在第二方向D2上彼此间隔开的第一子接触区和第二子接触区。第一子接触区和第二子接触区可以各自与通路插塞206接触。

[0162] 第一子接触区的上表面和第二子接触区的上表面可以与布线结构205接触。

[0163] 例如,第四连接源极/漏极接触184可以是最靠近第一元件隔离结构165的连接源极/漏极接触。第四连接源极/漏极接触184可以包括第四源极/漏极阻挡膜184BM和第四源极/漏极填充膜184FM。

[0164] 图20是用于说明根据一些实施方式的半导体器件的示例性布局图。图21至图25是用于说明根据一些实施方式的半导体器件的图。为了便于说明,说明将集中于与使用图1至图9说明的那些不同的点。供参考,图21至图24是沿图1的线C-C截取的剖视图。图25是沿图1的线G-G截取的剖视图。

[0165] 参照图20,在根据一些实施方式的半导体器件中,第四连接源极/漏极接触184可以设置在沿第一方向彼此相邻的栅电极120、220和320之间。例如,第四连接源极/漏极接触184可以不是最靠近元件隔离结构165和166的连接源极/漏极接触。第四连接源极/漏极接触184的结构描述可以与使用图18和图19描述的相同。

[0166] 参照图21,在根据一些实施方式的半导体器件中,第一下接触区181B可以包括在第一源极/漏极图案150和第二源极/漏极图案250之间朝衬底100突出的多个第一向下突出区181\_DP。例如,第一下接触区181B可以包括两个第一向下突出区181\_DP。

[0167] 与所示的不同,多个第一向下突出区181\_DP中的至少一个可以与源极/漏极蚀刻停止膜156或场绝缘膜105接触。此外,与所示的不同,场绝缘膜105的一部分可以在沿第二方向D2彼此相邻的第一向下突出区181\_DP之间突出。尽管未示出,第二下接触区(图6的182B)也可以包括多个向下突出区。

[0168] 参照图22,在根据一些实施方式的半导体器件中,第一下接触区181B可以包括一个第一向下突出区181\_DP和一个第一向上缩进区181\_UP。下层间绝缘膜190的一部分可以缩进到第一下接触区181B中。在第一向上缩进区181\_UP中,下层间绝缘膜190可以缩进到第一下接触区181B中。

[0169] 在第一向下突出区181\_DP中,第一下接触区181B在第三方向D3上的厚度可以随着其远离第一源极/漏极图案150而增加然后减小。在第一向上缩进区181\_UP中,第一下接触区181B在第三方向D3上的厚度可以减小然后增加。

[0170] 参照图23,在根据一些实施方式的半导体器件中,第一下接触区181B的底表面可以在第一源极/漏极图案150和第二源极/漏极图案250之间是平坦的。也就是,第一下接触区181B可以不包括第一向下突出区(图4的181\_DP)。

[0171] 参照图24,在根据一些实施方式的半导体器件中,场区FX可以由虚设鳍图案DFP限定。第一有源区RX1和第二有源区RX2可以由虚设鳍图案DFP限定。

[0172] 可选地,第一有源区RX1和第二有源区RX2可以限定在虚设鳍图案DFP之间。虚设鳍图案DFP的上表面可以由场绝缘膜105完全覆盖。虚设鳍图案DFP的上表面低于场绝缘膜105的上表面。虚设鳍图案DFP可以包括例如与第一鳍形图案110和/或第二鳍形图案210相同的材料。

[0173] 参照图25,在根据一些实施方式的半导体器件中,第一栅极绝缘膜130不沿着在第二方向D2上彼此面对的第一栅电极120的侧壁和栅极隔离结构160的侧壁延伸。第二栅极绝缘膜230不沿着在第二方向D2上彼此面对的第二栅电极220的侧壁和栅极隔离结构160的侧壁延伸。

[0174] 在这种情况下,最靠近第一连接源极/漏极接触181的第一栅电极120和第二栅电极220之间的栅极隔离结构160可以在第一方向D1上与第一上接触区(图1的181UC)和第一虚设接触区(图1的181UD)重叠。此外,最靠近第二连接源极/漏极接触(图1的182)的第一栅电极120和第二栅电极220之间的栅极隔离结构160可以在第一方向D1上与第二上接触区(图1的182UC)重叠。

[0175] 图26至图30是用于说明根据一些实施方式的半导体器件的图。图26是用于说明根据一些实施方式的半导体器件的示例性布局图。图27和图28是沿图26的线A-A截取的剖视图。图29是沿图26的线C-C截取的剖视图。图30是沿图26的线F-F截取的剖视图。为了便于说明,说明将集中于与使用图1至图9说明的那些不同的点。

[0176] 参照图26至图30,根据一些实施方式的半导体器件还可以包括在第三方向D3上与第一鳍形图案110间隔开的第一片图案NS1、在第三方向D3上与第二鳍形图案210间隔开的第二片图案NS2、以及在第三方向D3上与第三鳍形图案310间隔开的第三片图案NS3。尽管未示出,但是片图案可以设置在图4至图6的鳍形图案410、510和610中的每个上。

[0177] 第一有源区RX1和第二有源区RX2可以被第一鳍形图案110和第二鳍形图案210分割。此外,第一有源区RX1和第二有源区RX2可以被第三鳍形图案310和第四鳍形图案410分割。

[0178] 第一片图案NS1可以设置在第一鳍形图案110上以与第一鳍形图案110间隔开。第一片图案NS1可以包括多个片图案。第二片图案NS2可以设置在第二鳍形图案210上以与第二鳍形图案210间隔开。第二片图案NS2可以包括多个片图案。第三片图案NS3可以设置在第三鳍形图案310上以与第三鳍形图案310间隔开。尽管示出了第一片图案NS1、第二片图案NS2和第三片图案NS3的每个中的三个,但这仅是为了便于说明。

[0179] 第一栅极绝缘膜130可以环绕第三片图案NS3。第三栅极绝缘膜330可以环绕第一片图案NS1和第二片图案NS2。

[0180] 第一栅电极120可以设置在第三鳍形图案310上。第一栅电极120可以与第三鳍形图案310交叉。第一栅电极120可以围绕第三片图案NS3。

[0181] 第三栅电极320可以设置在第一鳍形图案110和第二鳍形图案210上。第三栅电极320可以与第一鳍形图案110和第二鳍形图案210交叉。第三栅电极320可以围绕第一片图案NS1和第二片图案NS2。

[0182] 在图27中,第一栅极间隔物140可以不设置在第三鳍形图案310和第三片图案NS3

之间以及相邻的第三片图案NS3之间。此外,第三栅极间隔物340可以不设置在第一鳍形图案110和第一片图案NS1之间以及相邻的第一片图案NS1之间。

[0183] 在图28中,第一栅极间隔物140可以设置在第三鳍形图案310和第三片图案NS3之间以及相邻的第三片图案NS3之间。第三栅极间隔物340可以设置在第一鳍形图案110和第一片图案NS1之间以及相邻的第一片图案NS1之间。沿第二鳍形图案210截取的剖视图可以类似于图29和图30中的一个。

[0184] 第一源极/漏极图案150可以连接到在第一方向D1上相邻的第一片图案NS1。第三源极/漏极图案350可以连接到在第一方向D1上相邻的第三片图案NS3。尽管未示出,第二源极/漏极图案250可以连接到在第一方向D1上相邻的第二片图案NS2。

[0185] 通过总结和回顾,本公开的方面提供了一种具有改善的可靠性和性能的半导体器件。也就是,根据实施方式,为了防止长的源极/漏极接触在其制造期间断开,可以添加不连接到布线的虚设接触区,或者连接到布线的接触区的宽度可以大于通路的底表面的宽度。

[0186] 示例实施方式已经在本文中公开,并且尽管使用了特定术语,但是它们仅在一般和描述性意义上被使用和解释,而不是为了限制的目的。在一些情况下,正如在提交本申请时对于本领域的普通技术人员将明显的那样,结合特定实施方式描述的特征、特性和/或元件可以单独使用或与结合其它实施方式描述的特征、特性和/或元件组合使用,除非另有具体说明。因此,本领域的技术人员将理解,在不脱离如所附权利要求中所产生的本发明的精神和范围的情况下,可以在形式和细节上做出各种改变。

[0187] 本申请要求享有2022年5月2日在韩国知识产权局提交的第10-2022-0054036号韩国专利申请的优先权及由其产生的所有权益,该韩国专利申请的内容通过引用全文在此合并。



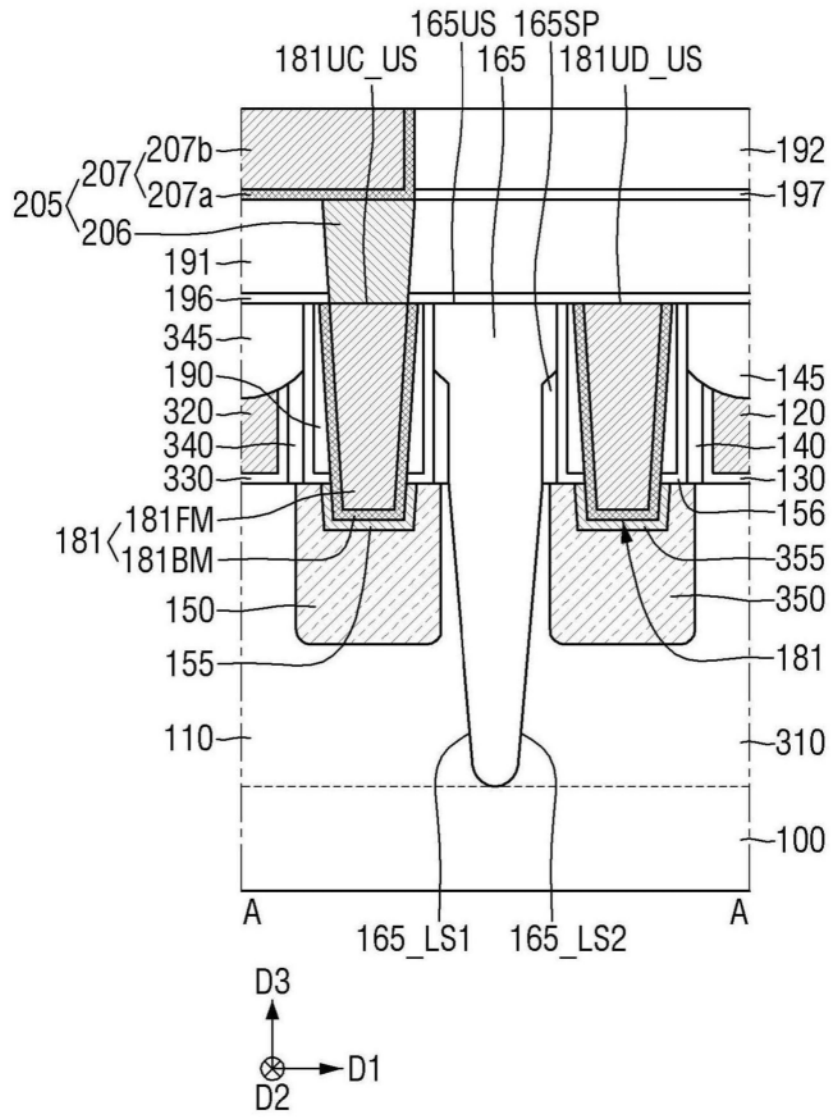


图2

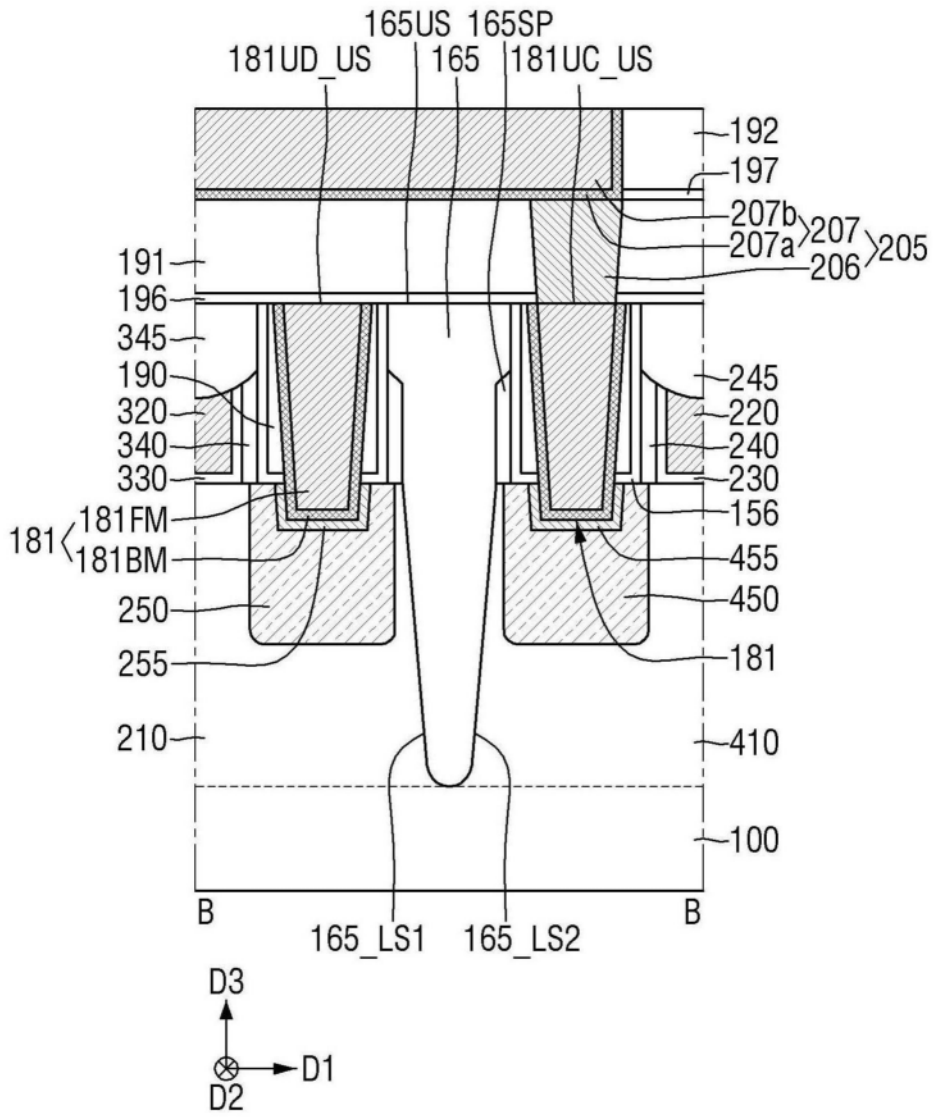


图3

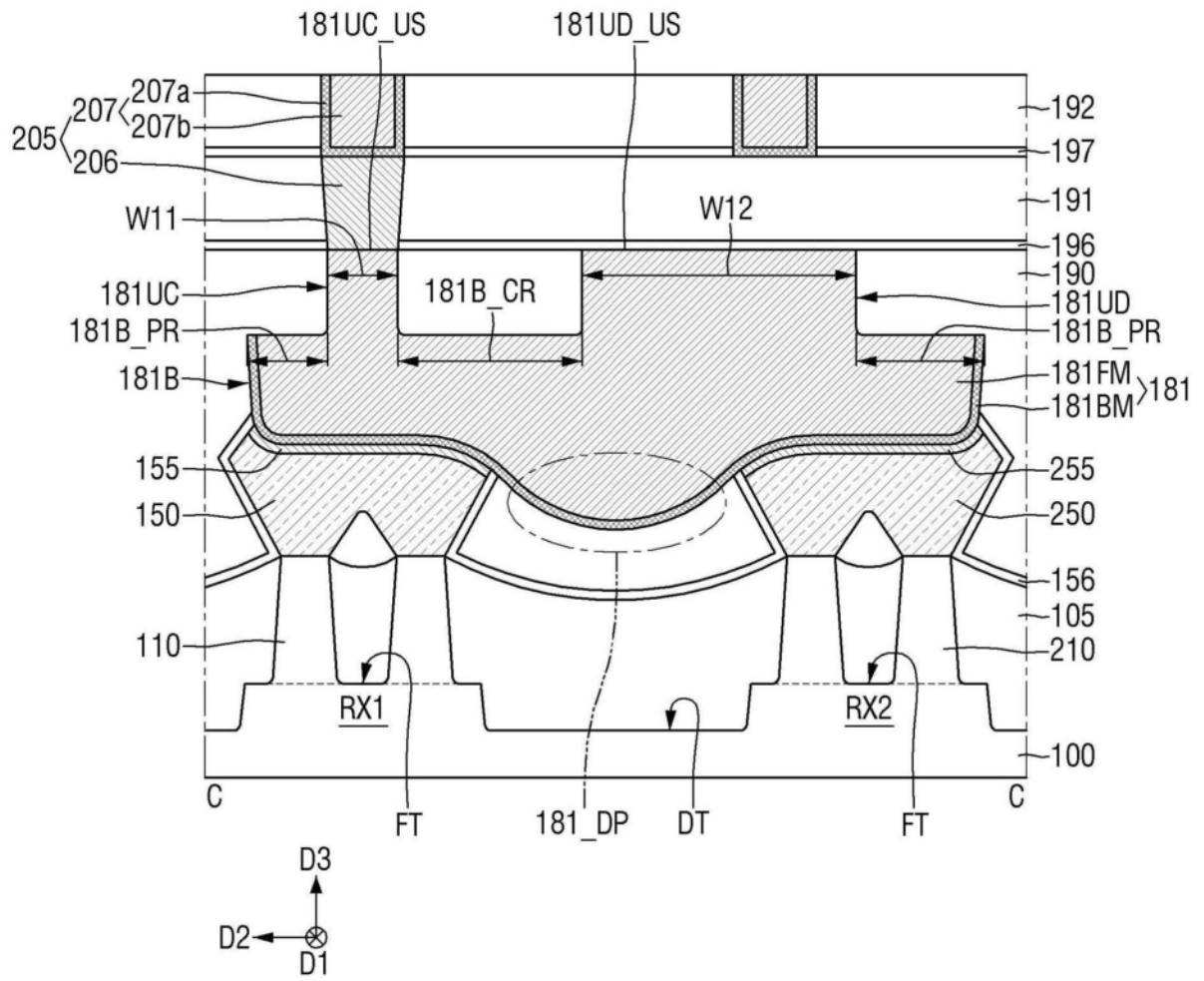


图4

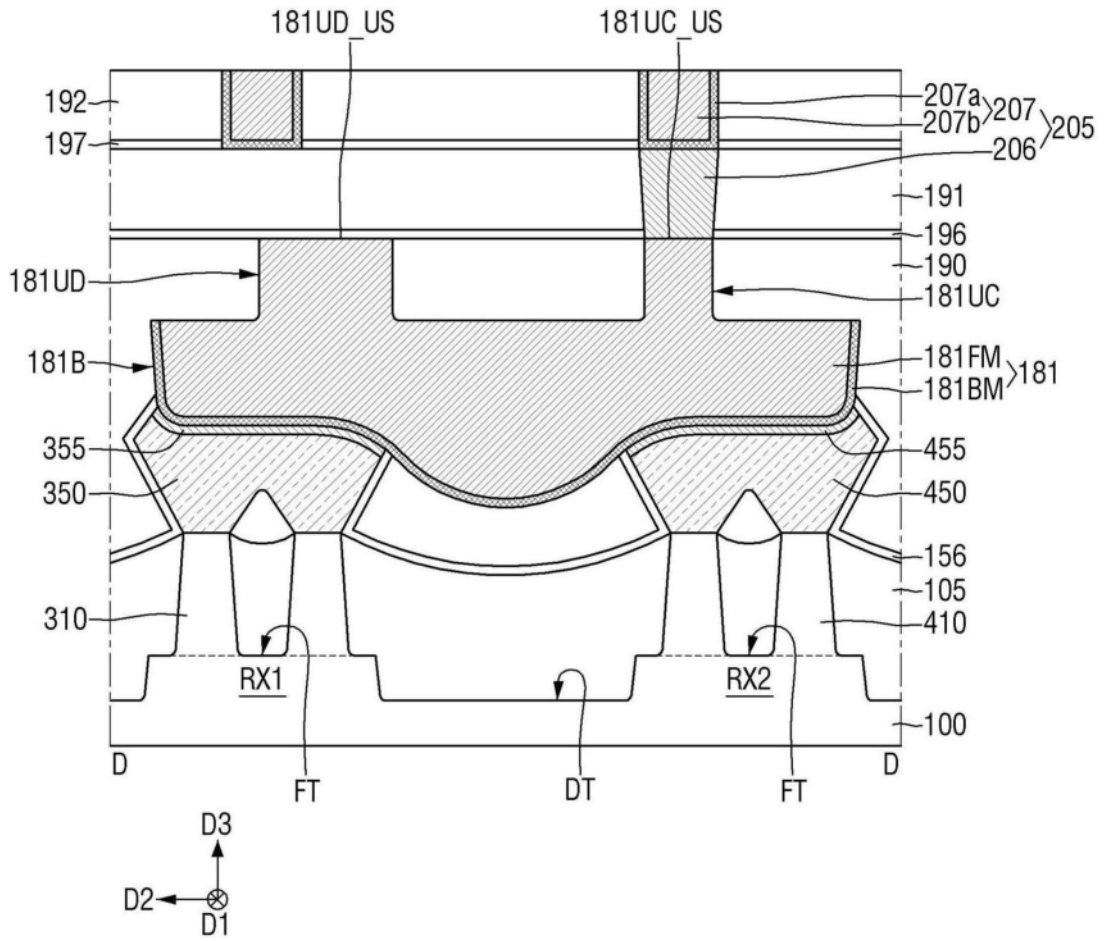


图5

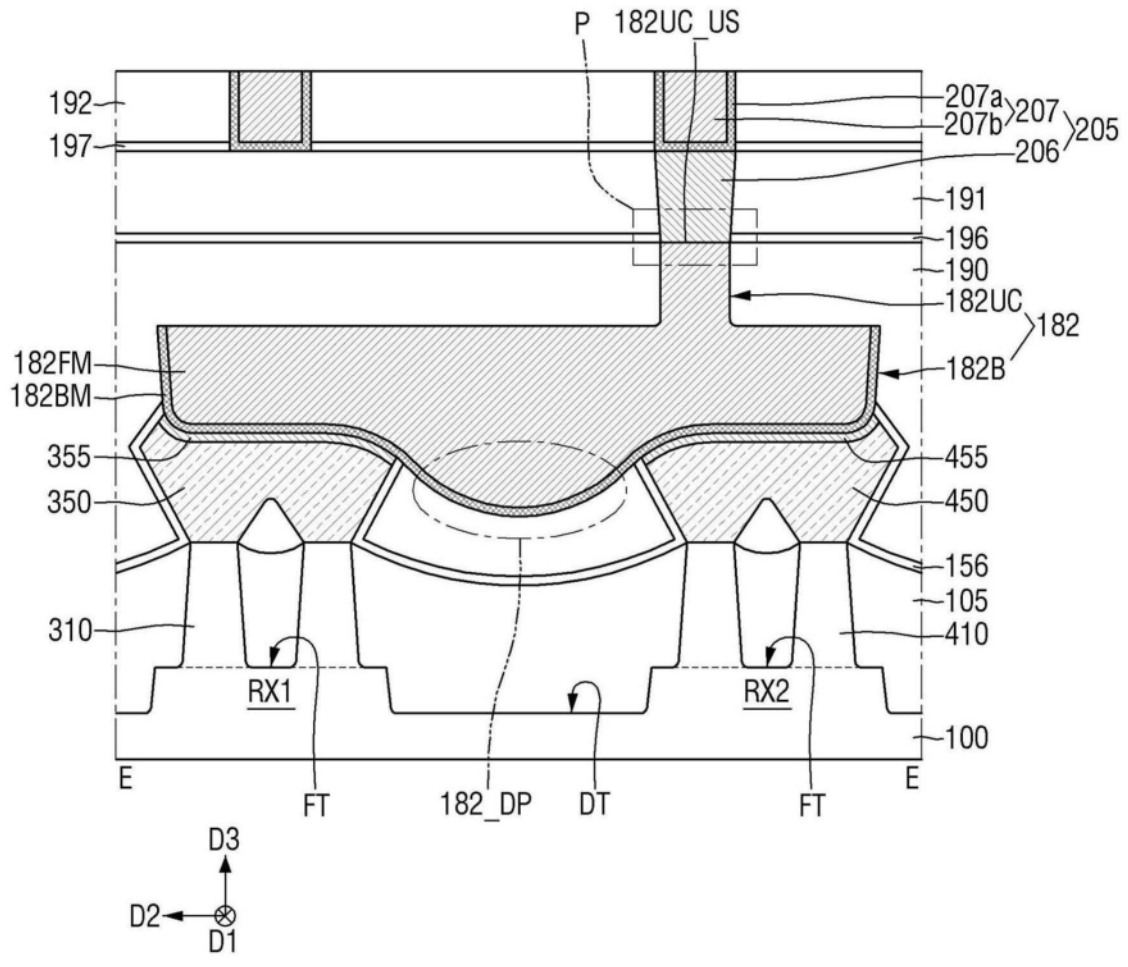


图6

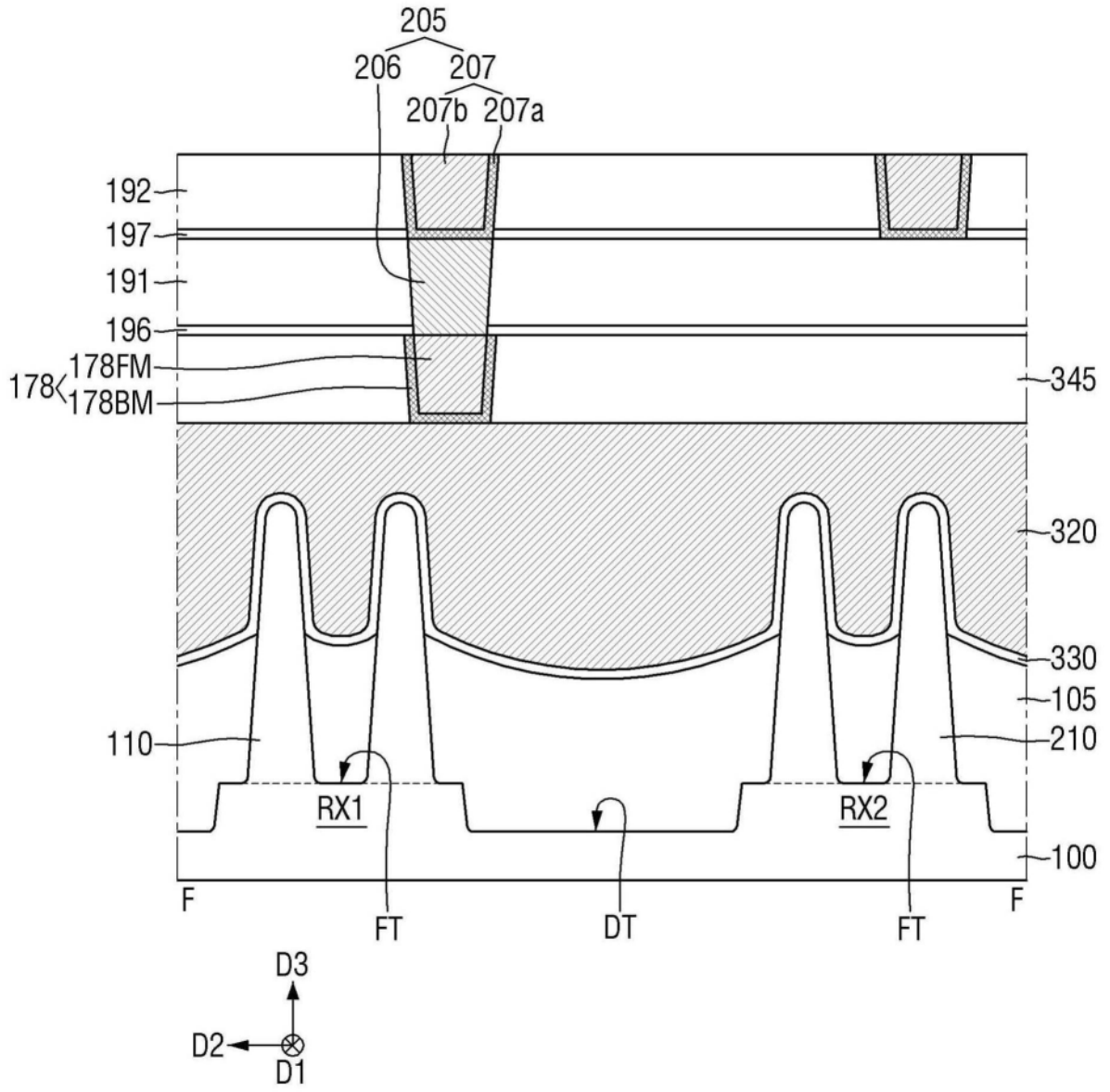


图7





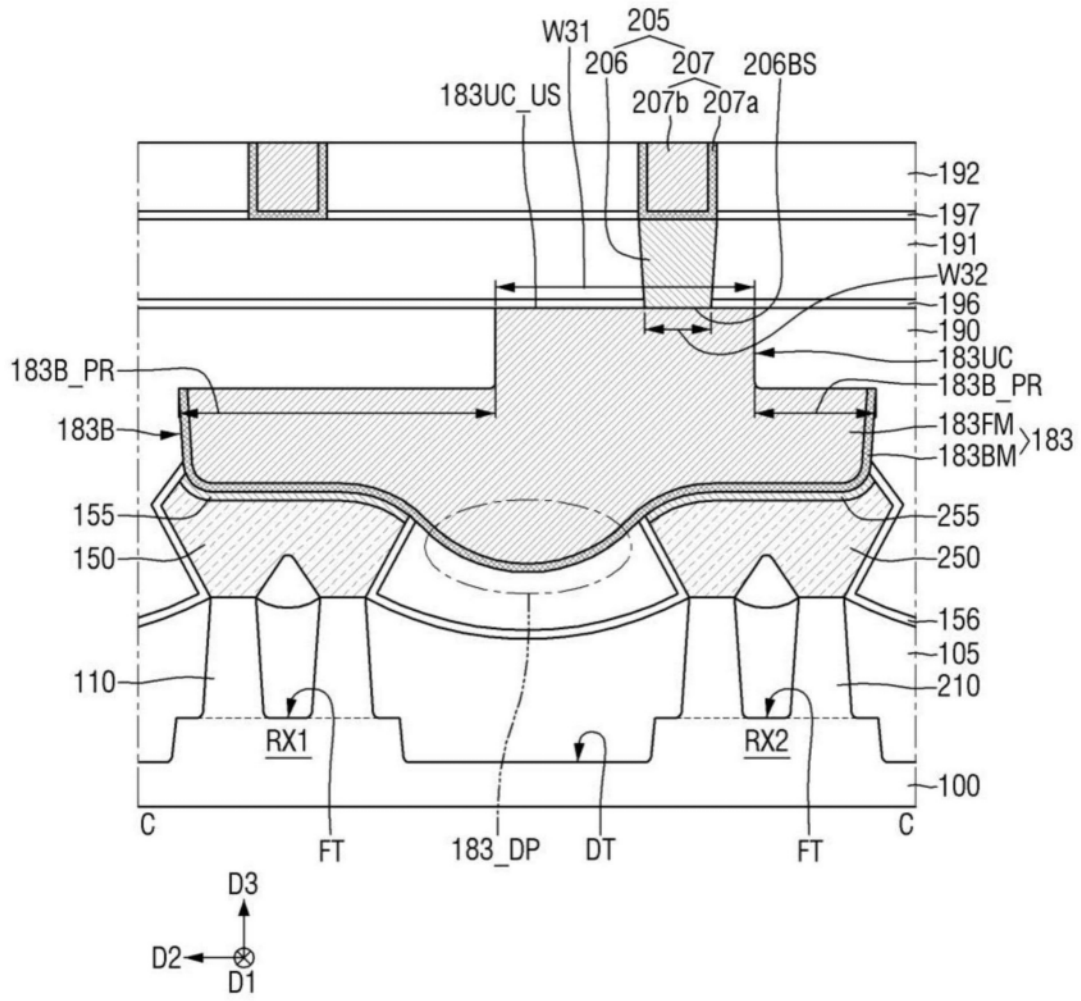


图11

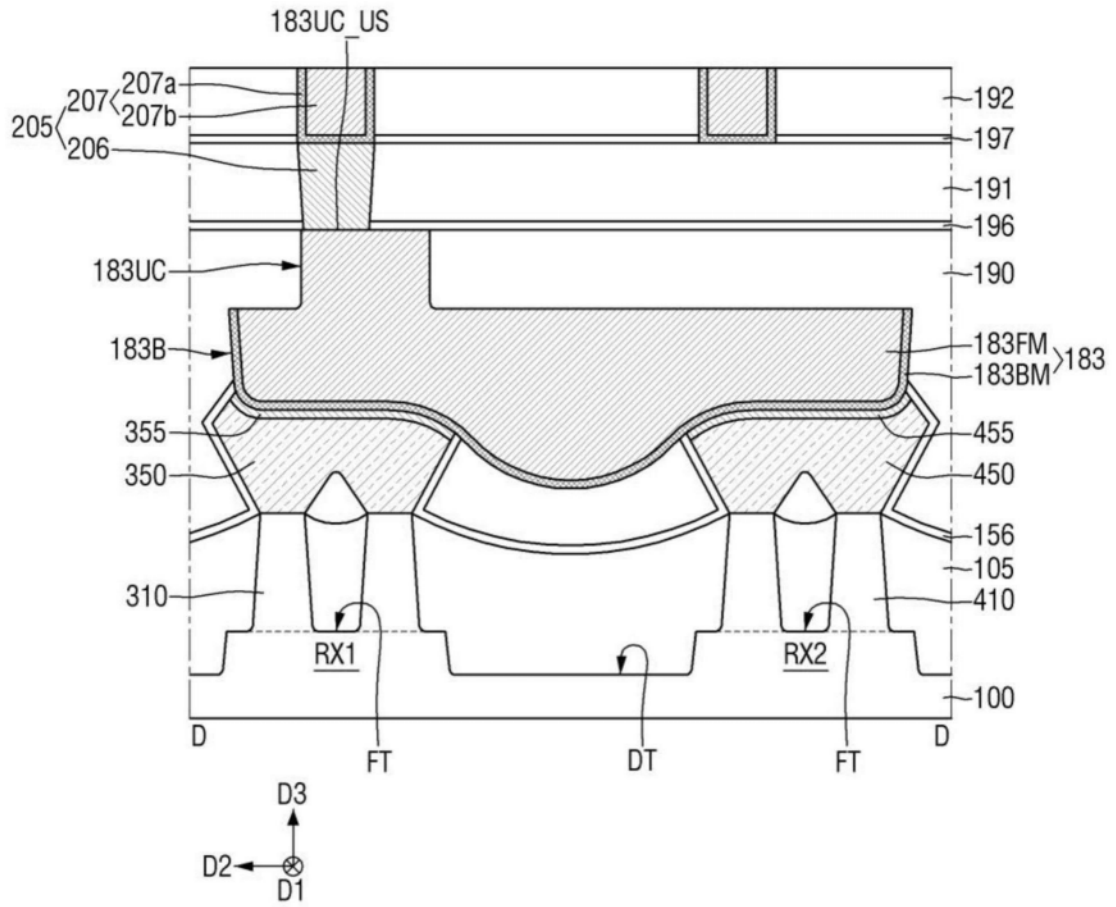


图12





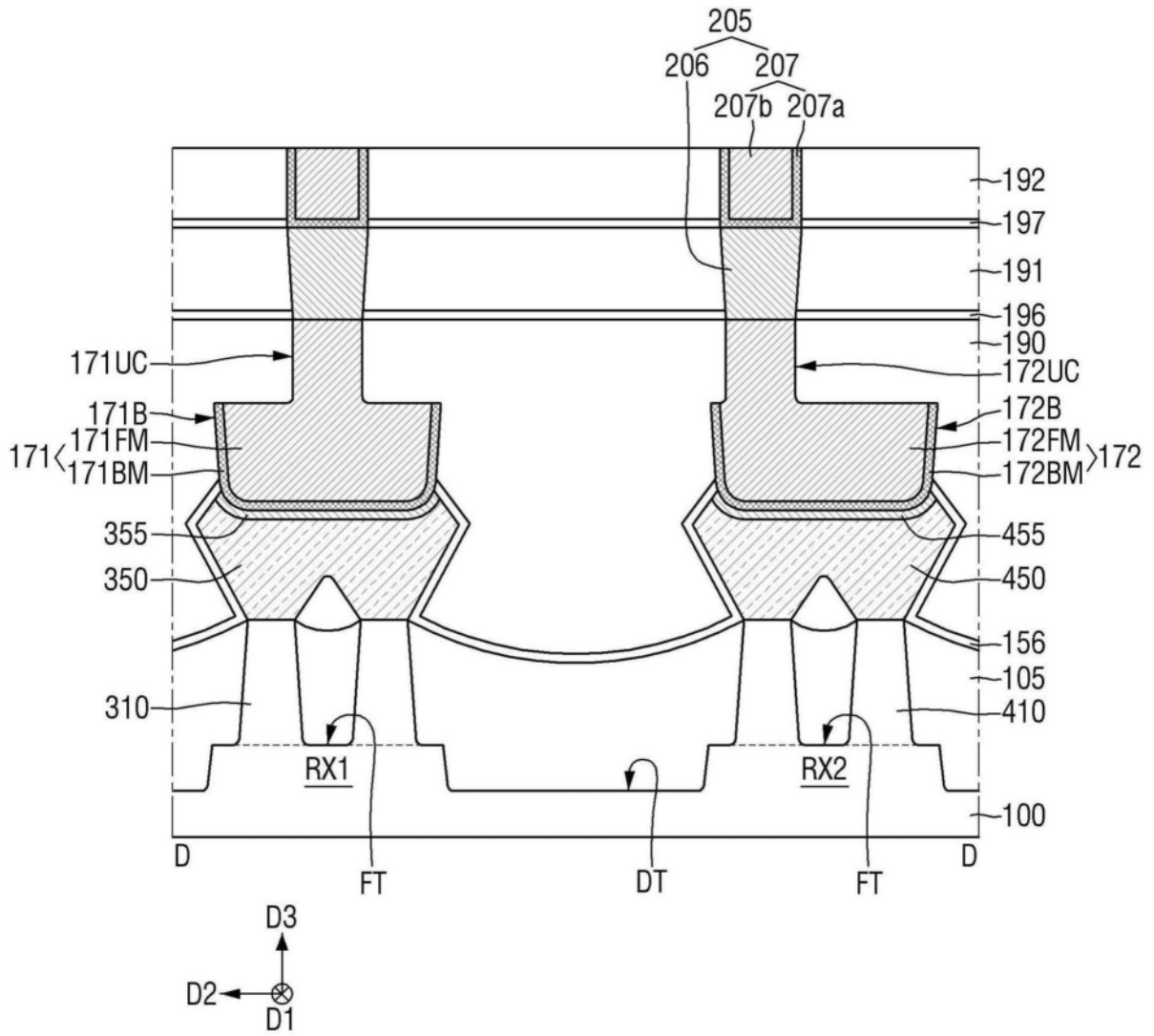
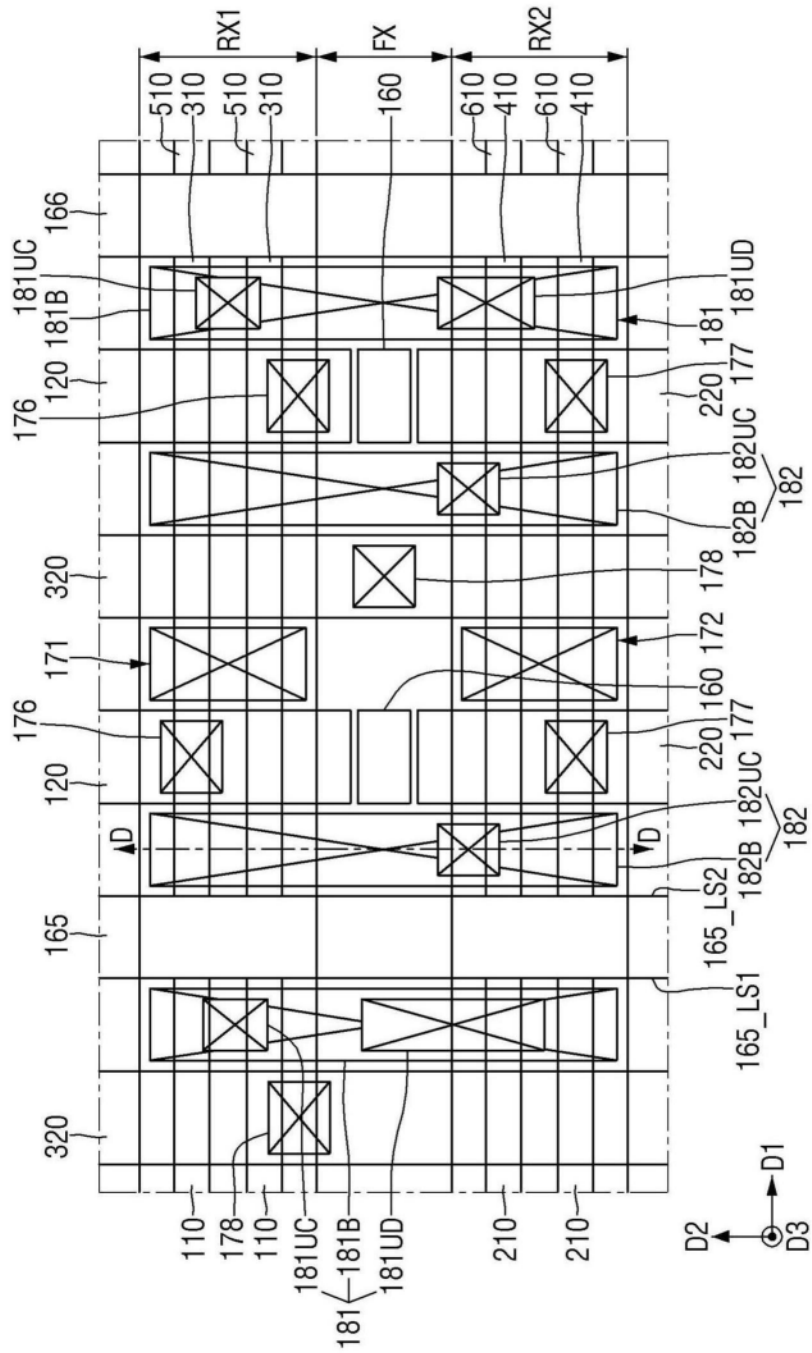


图15



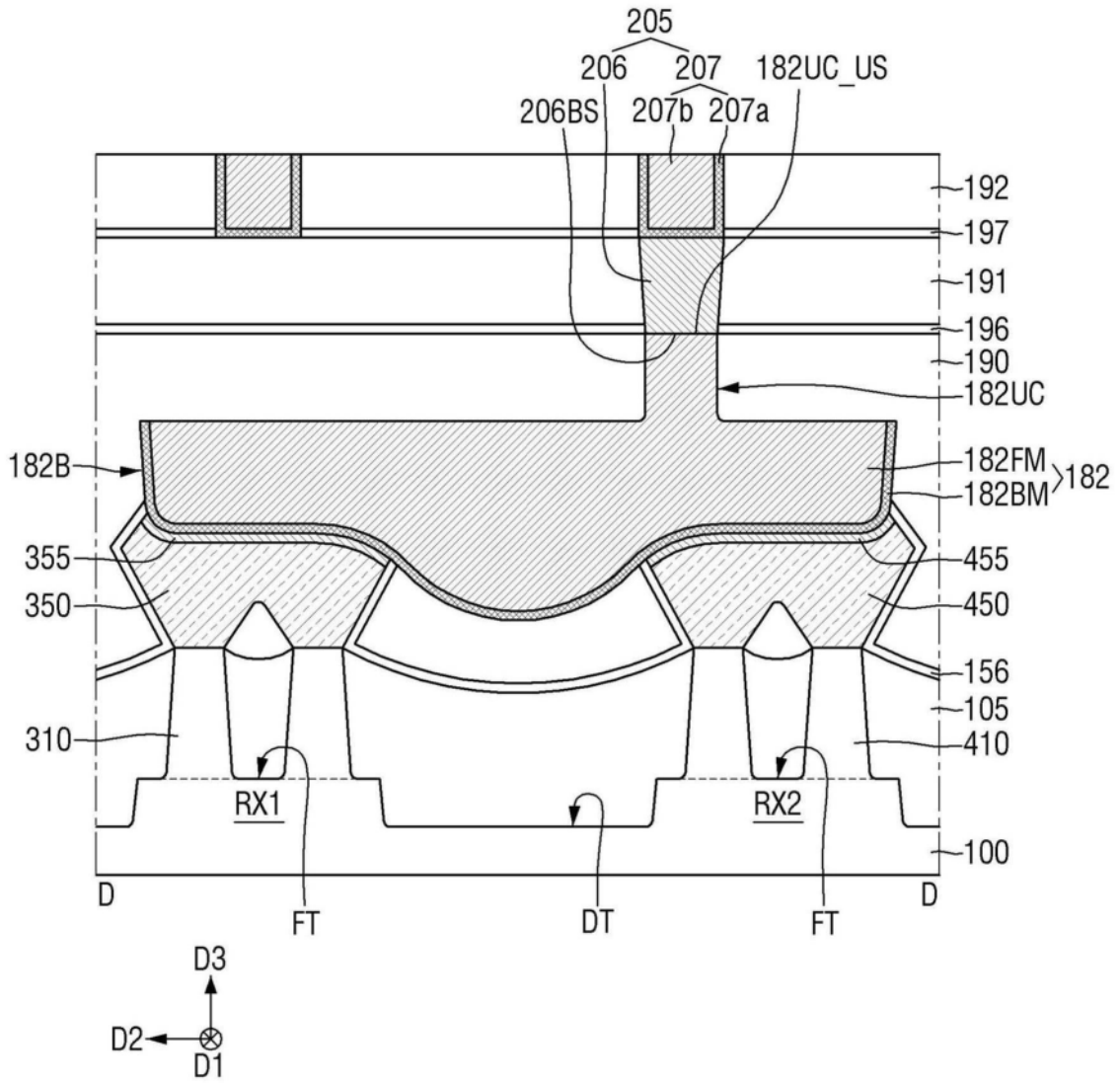


图17

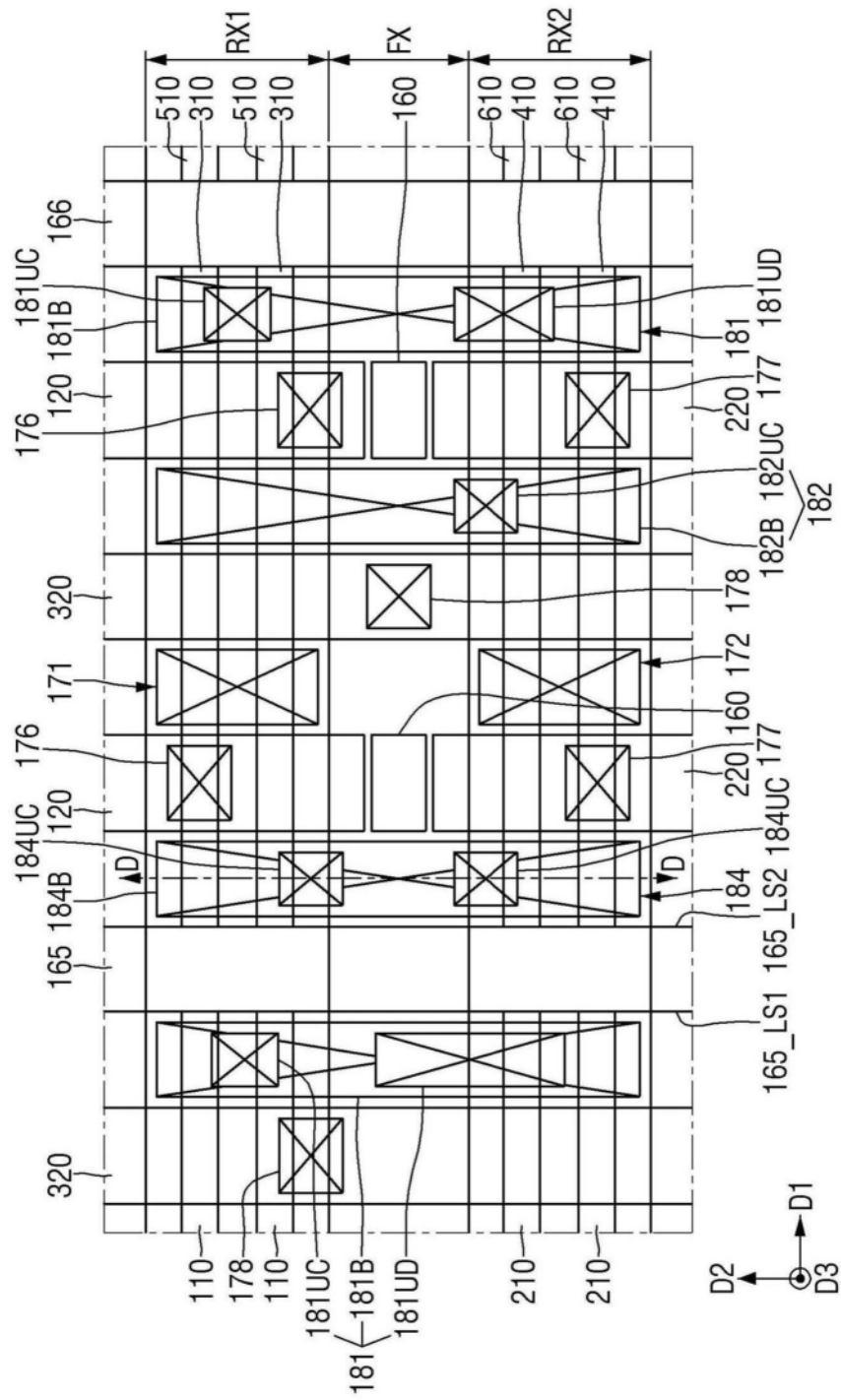


图18

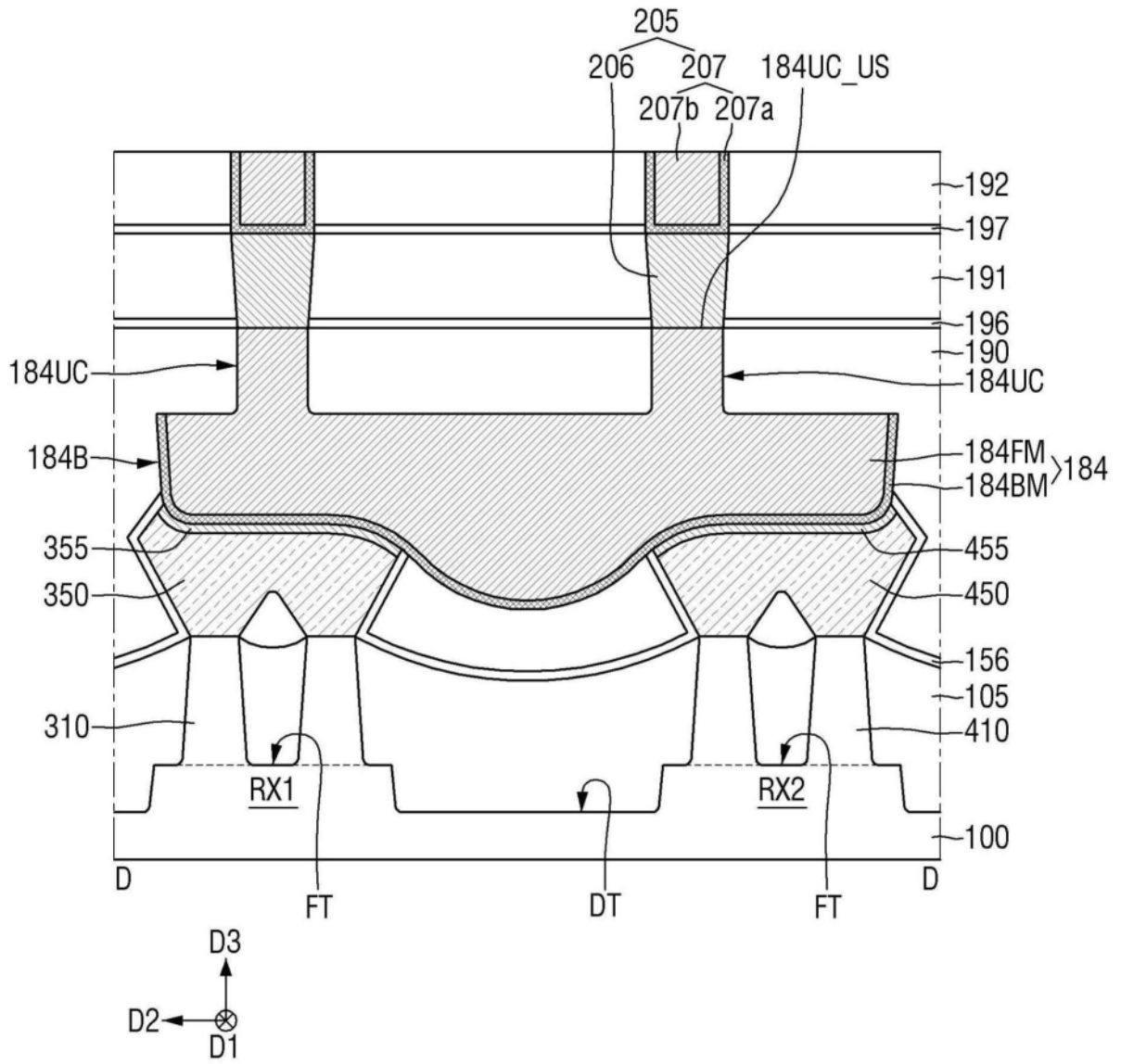


图19



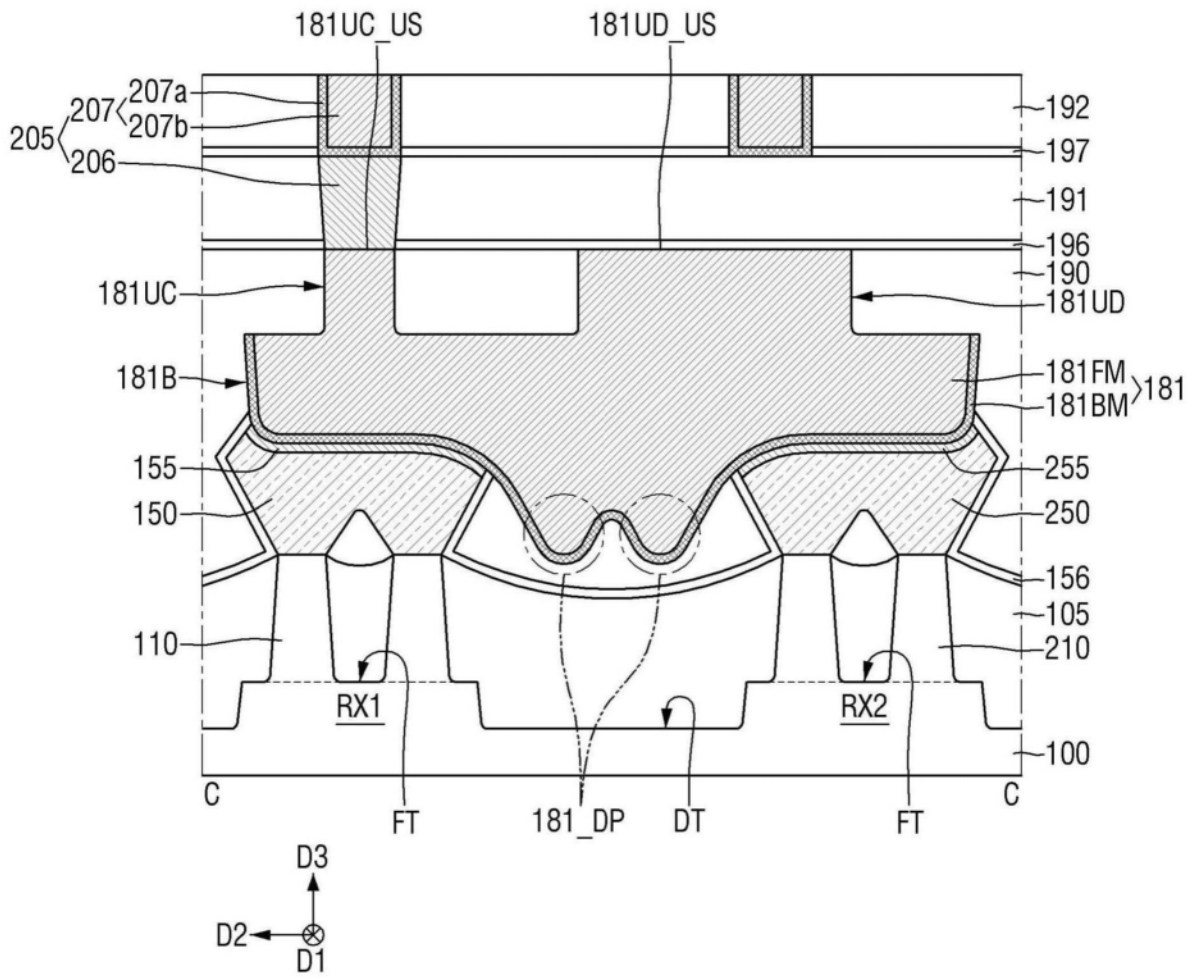


图21

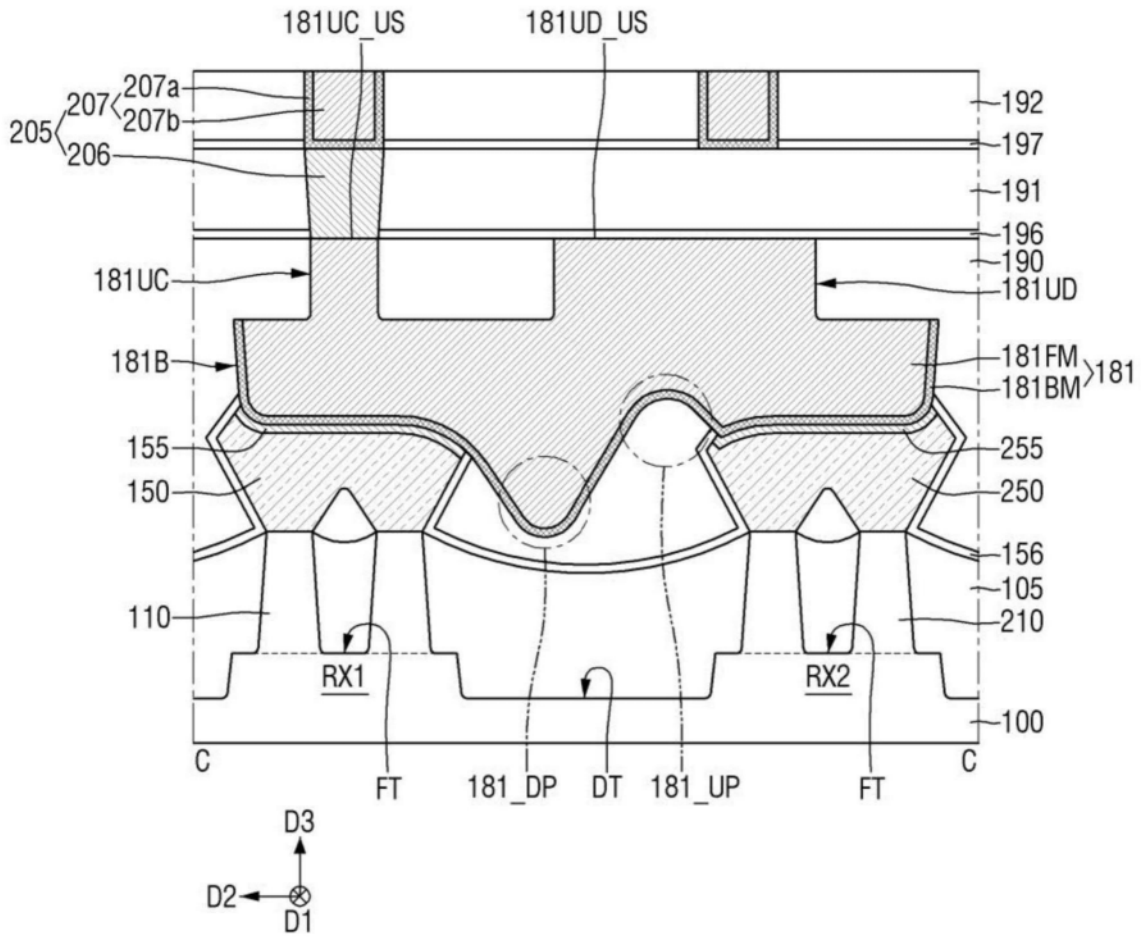


图22

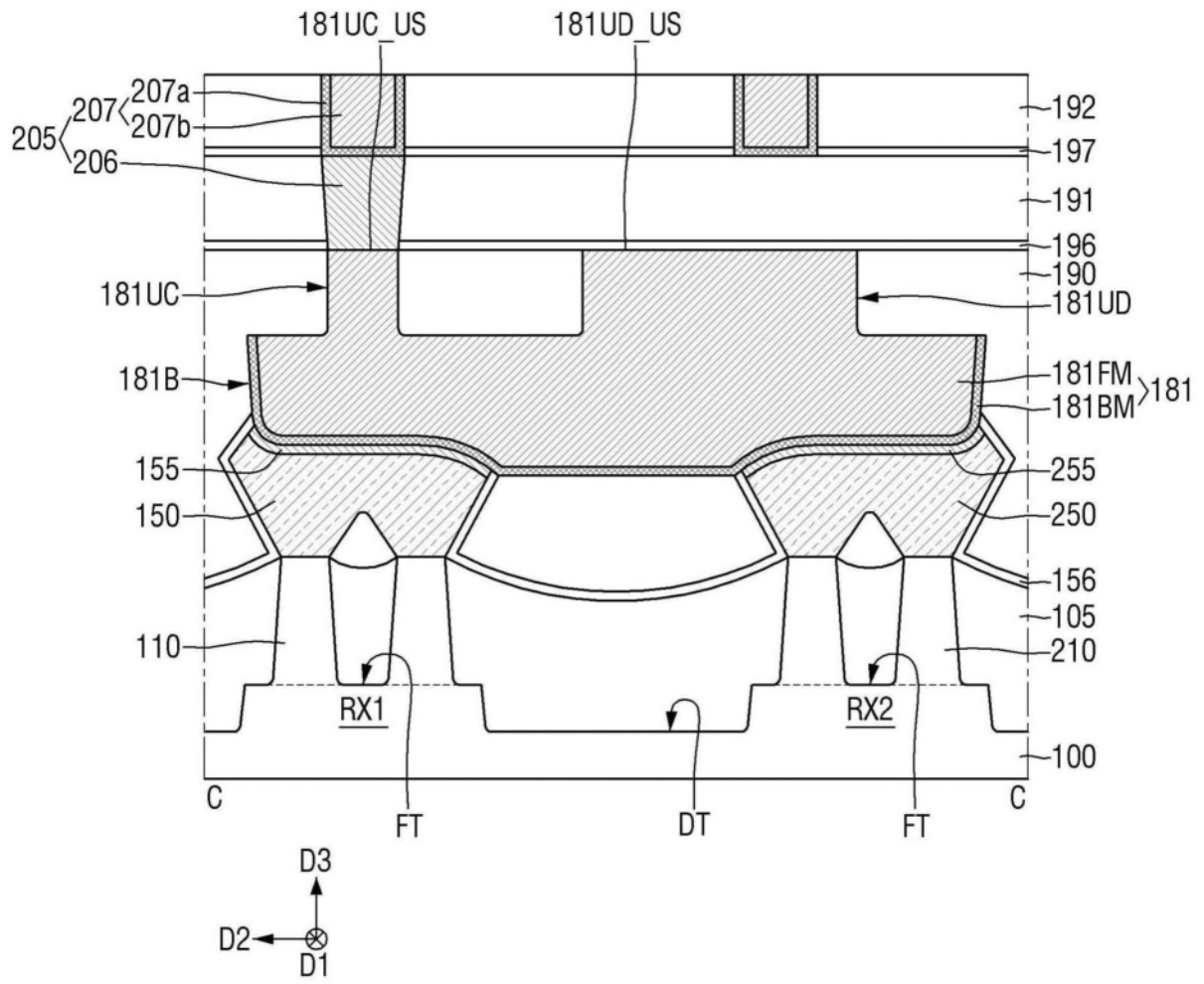


图23



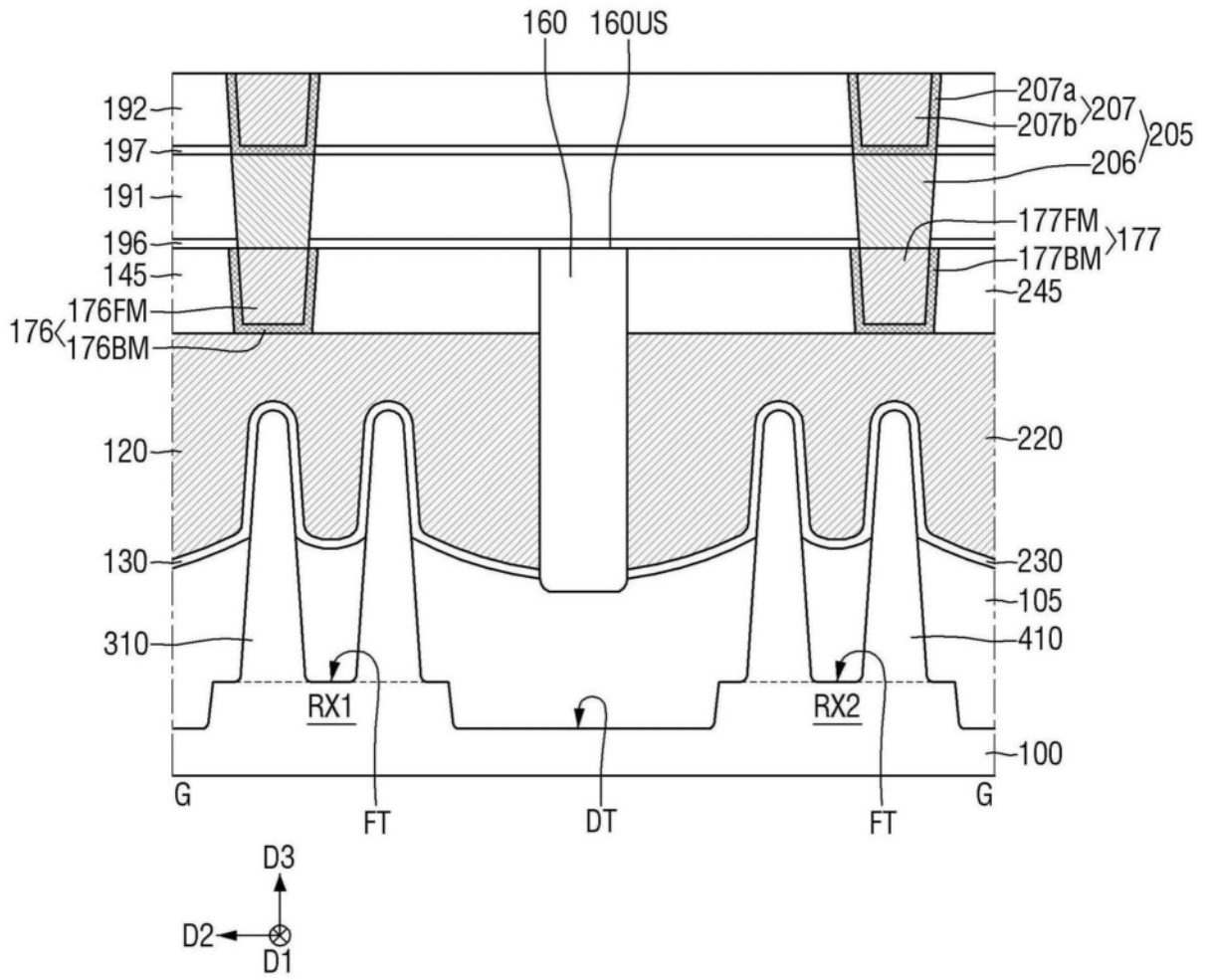


图25

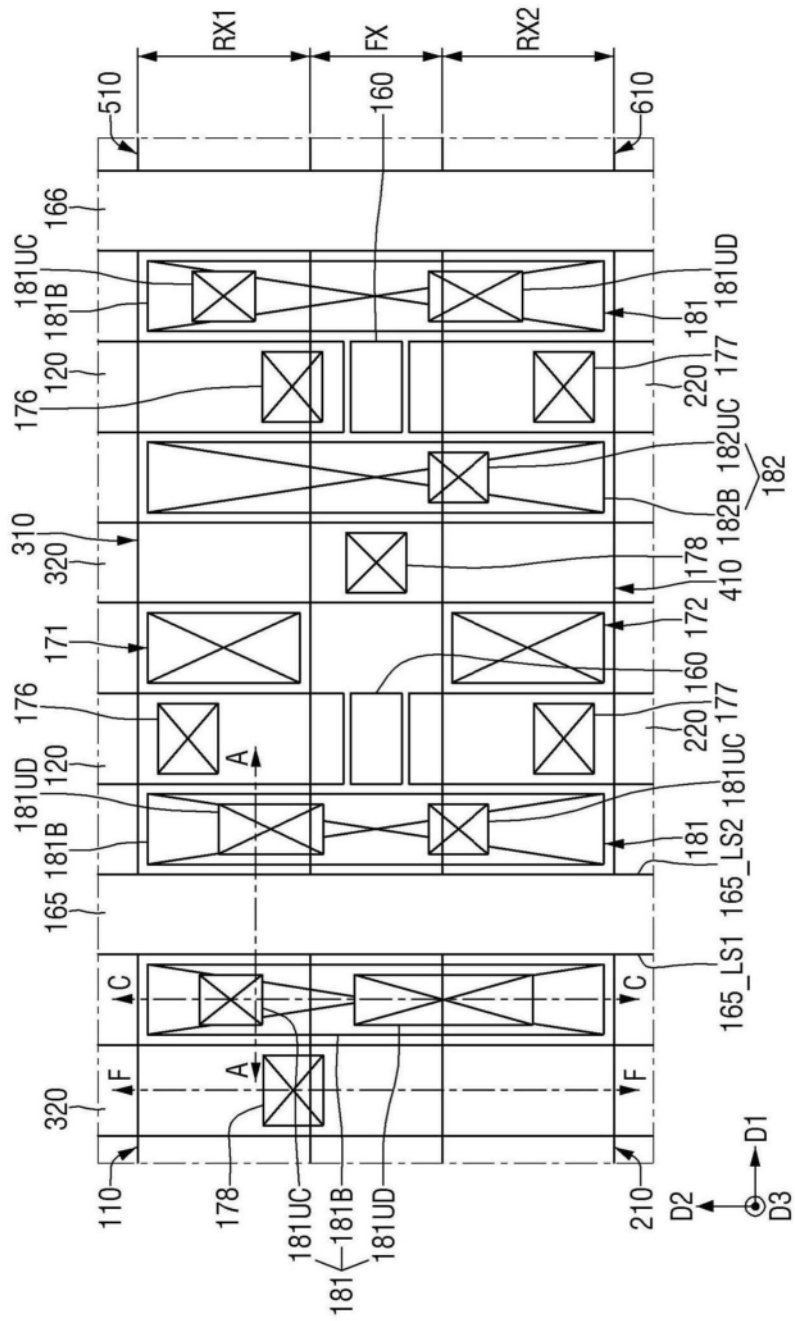


图26

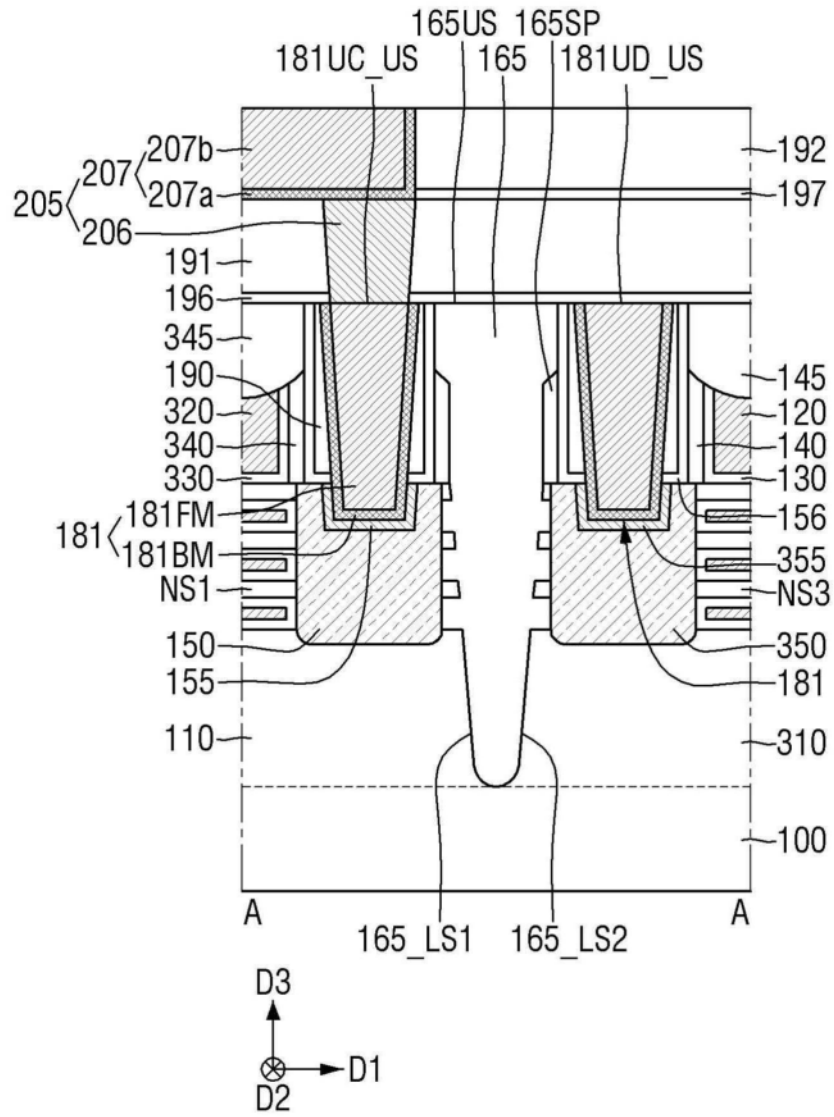


图27

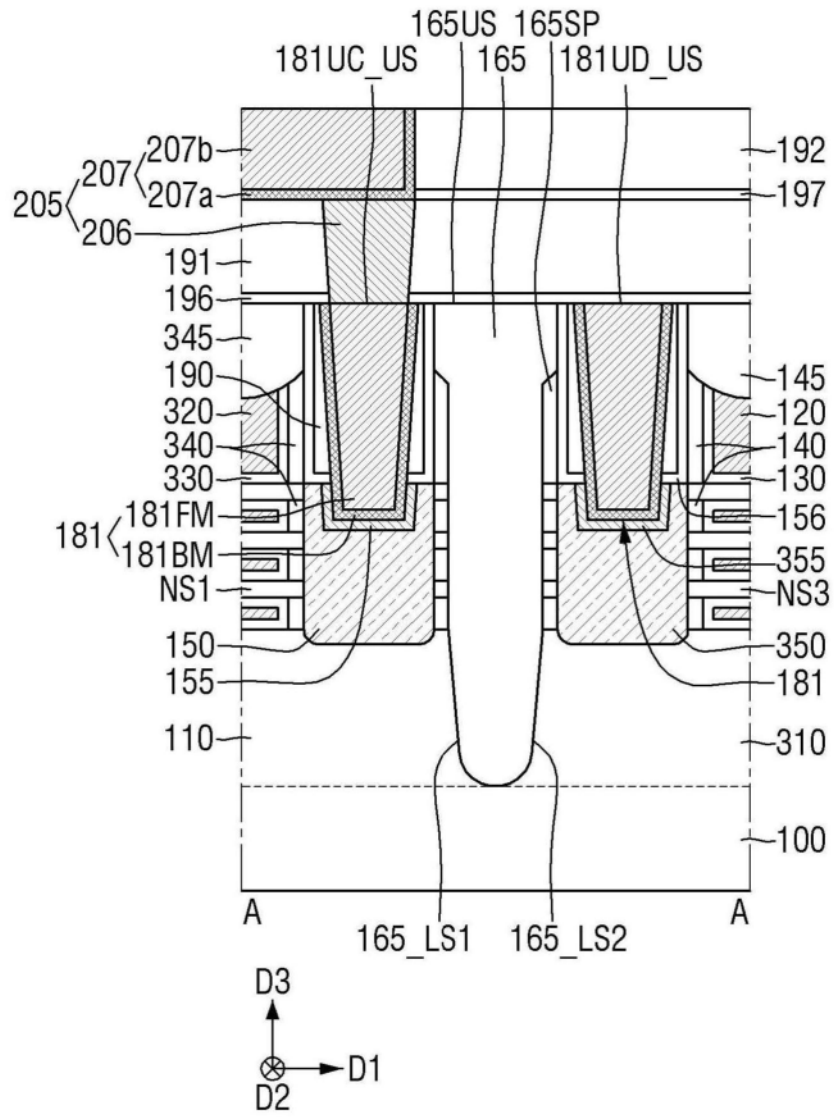


图28

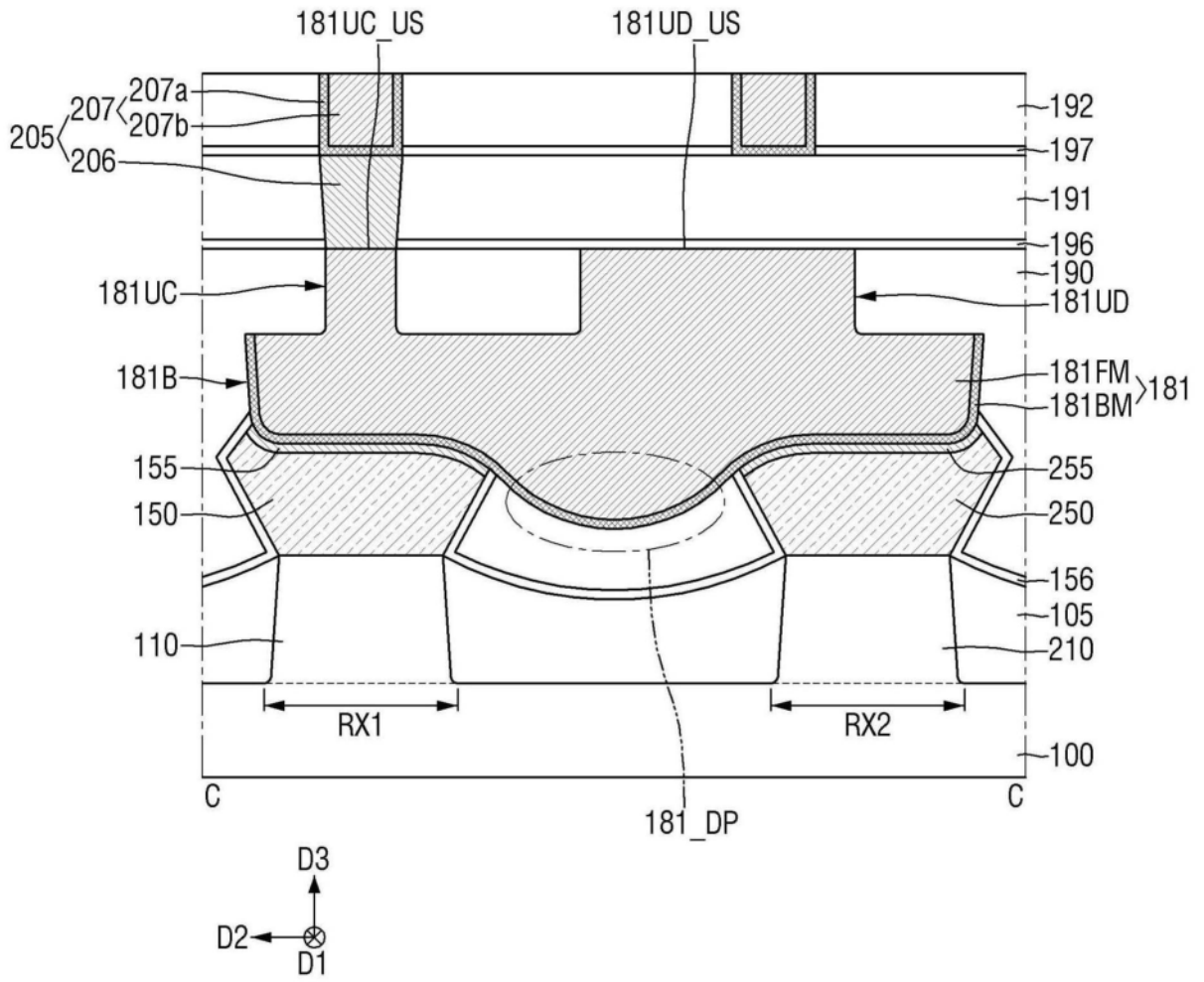


图29

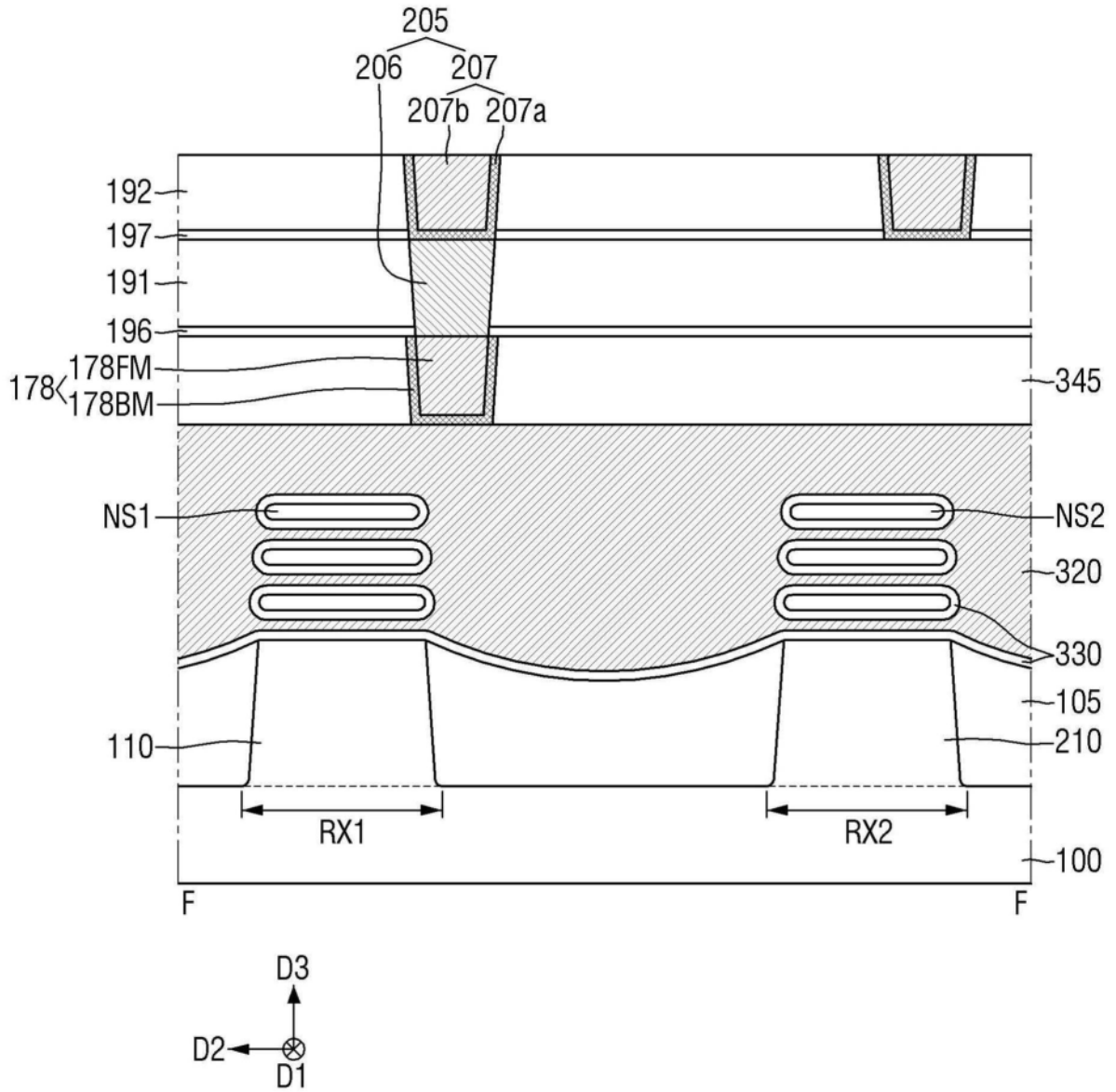


图30