



(12) 发明专利

(10) 授权公告号 CN 103430299 B

(45) 授权公告日 2016. 08. 24

(21) 申请号 201280014856. 3

(22) 申请日 2012. 03. 12

(30) 优先权数据

2011-065210 2011. 03. 24 JP

2011-108886 2011. 05. 14 JP

(85) PCT国际申请进入国家阶段日

2013. 09. 24

(86) PCT国际申请的申请数据

PCT/JP2012/056801 2012. 03. 12

(87) PCT国际申请的公布数据

W02012/128189 EN 2012. 09. 27

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 小林英智 前桥幸男

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 叶晓勇 汤春龙

(51) Int. Cl.

H01L 21/822(2006. 01)

G06F 15/78(2006. 01)

G11C 14/00(2006. 01)

H01L 21/336(2006. 01)

H01L 21/8234(2006. 01)

H01L 21/8242(2006. 01)

H01L 27/04(2006. 01)

H01L 27/08(2006. 01)

H01L 27/088(2006. 01)

H01L 27/10(2006. 01)

H01L 27/105(2006. 01)

H01L 27/108(2006. 01)

H01L 29/786(2006. 01)

H03K 3/356(2006. 01)

(56) 对比文件

US 2003/0052352 A1, 2003. 03. 20,

US 2005/0190597 A1, 2005. 09. 01,

CN 101258607 A, 2008. 09. 03,

JP 特开平 11-120778 A, 1999. 04. 30,

审查员 周文龙

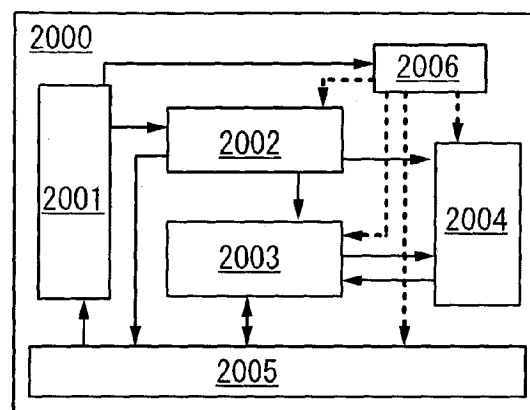
权利要求书3页 说明书45页 附图34页

(54) 发明名称

信号处理电路

(57) 摘要

提供一种包含具有新颖结构的非易失性存储电路的信号处理电路,该信号处理电路包括算术部、存储器以及用于控制算术部及存储器的控制部。控制部包含易失性存储电路及用以存储易失性存储电路中保持的数据的第一非易失性存储电路的组,存储器包含多个第二非易失性存储电路,并且第一非易失性存储电路及第二非易失性存储电路各包含其沟道形成在氧化物半导体层中的晶体管及电容器,该电容器的一对电极之一电连接到当晶体管关闭时处于浮动状态的节点。



1.一种信号处理电路,包括:

算术部;

存储器;以及

控制部,用以控制所述算术部及所述存储器,

其中,所述控制部包含第一易失性存储电路及用以存储所述第一易失性存储电路中保持的数据的第一非易失性存储电路的组;

其中,所述存储器包含以矩阵配置的多个第二非易失性存储电路,

其中,所述第一非易失性存储电路及所述多个第二非易失性存储电路各包含晶体管、电容器和节点,

其中,所述晶体管包括氧化物半导体层中的沟道形成区,

其中,在所述第一非易失性存储电路及所述多个第二非易失性存储电路的每个中,所述电容器的一对电极之一电连接到所述节点,以及

其中,在所述第一非易失性存储电路及所述多个第二非易失性存储电路的每个中,当所述晶体管关闭时所述节点处于浮动状态。

2.根据权利要求1所述的信号处理电路,其中,包含在所述第一非易失性存储电路中的所述电容器的所述一对电极之另一及包含在所述多个第二非易失性存储电路的每一个中的所述电容器的所述一对电极之另一共同地设置而未彼此分开,并设置为覆盖包含在所述算术部中的晶体管、包含在所述存储器中的所述晶体管以及包含在所述控制部中的所述晶体管。

3.一种信号处理电路,包括:

算术部;

存储器;以及

控制部,用以控制所述算术部及所述存储器,

其中,所述控制部包含第一易失性存储电路及用以存储所述第一易失性存储电路中保持的数据的第一非易失性存储电路的组;

其中,所述存储器包含以矩阵配置的多个第二非易失性存储电路,

其中,所述算术部包含第二易失性存储电路及用以存储在所述第二易失性存储电路中保持的数据的第三非易失性存储电路的组,

其中,所述第一非易失性存储电路、所述多个第二非易失性存储电路以及所述第三非易失性存储电路各包含晶体管、电容器和节点,

其中,所述晶体管包括氧化物半导体层中的沟道形成区,

其中,在所述第一非易失性存储电路、所述多个第二非易失性存储电路以及所述第三非易失性存储电路的每个中,所述电容器的一对电极之一电连接到所述节点,以及

其中,在所述第一非易失性存储电路及所述多个第二非易失性存储电路的每个中,当所述晶体管关闭时所述节点处于浮动状态。

4.根据权利要求3所述的信号处理电路,其中,包含在所述第一非易失性存储电路中的所述电容器的所述一对电极之另一、包含在所述多个第二非易失性存储电路的每一个中的所述电容器的所述一对电极之另一以及包含在所述第三非易失性存储电路中的所述电容器的所述一对电极之另一共同地设置而未彼此分开,并设置为覆盖包含在所述算术部中的

所述晶体管、包含在所述存储器中的所述晶体管以及包含在所述控制部中的所述晶体管。

5. 一种信号处理电路, 包括:

算术部;

存储器; 以及

控制部, 用以控制所述算术部及所述存储器,

其中, 所述控制部包含:

解码器, 用以将命令解码;

寄存器, 用以存储输入到所述算术部的数据及从所述算术部输出的数据;

控制电路, 用以控制所述寄存器及所述算术部; 以及

电源电路, 用以控制将电源电压供应到所述算术部、所述控制电路、所述寄存器以及所述存储器中至少之一,

其中, 所述存储器包含以矩阵配置的多个第二非易失性存储电路,

其中, 所述寄存器包含第三易失性存储电路及用以存储所述第三易失性存储电路中保持的数据的第四非易失性存储电路的组,

其中, 所述控制电路包含第四易失性存储电路及用以存储所述第四易失性存储电路中保持的数据的第五非易失性存储电路的组,

其中, 所述多个第二非易失性存储电路、所述第四非易失性存储电路以及所述第五非易失性存储电路各包含晶体管、电容器和节点,

其中, 所述晶体管包括氧化物半导体层中的沟道形成区,

其中, 在所述多个第二非易失性存储电路、所述第四非易失性存储电路以及所述第五非易失性存储电路的每个中, 所述电容器的一对电极之一电连接到所述节点, 以及

其中, 在所述多个第二非易失性存储电路中, 当所述晶体管关闭时所述节点处于浮动状态。

6. 根据权利要求5所述的信号处理电路, 其中, 包含在所述多个第二非易失性存储电路的每一个中的所述电容器的所述一对电极之另一、包含在所述第四非易失性存储电路中的所述电容器的所述一对电极之另一以及包含在所述第五非易失性存储电路中的所述电容器的所述一对电极之另一共同地设置而未彼此分开, 并设置为覆盖包含在所述算术部中的晶体管、包含在所述存储器中的所述晶体管以及包含在所述控制部中的所述晶体管。

7. 一种信号处理电路, 包括:

算术部;

存储器; 以及

控制部, 用以控制所述算术部及所述存储器,

其中, 所述控制部包含:

解码器, 用以将命令解码;

寄存器, 用以存储输入到所述算术部的数据及从所述算术部输出的数据;

控制电路, 用以控制所述寄存器及所述算术部; 以及

电源电路, 用以控制将电源电压供应到所述算术部、所述控制电路、所述寄存器以及所述存储器中至少之一,

其中, 所述存储器包含以矩阵配置的多个第二非易失性存储电路,

其中,所述算术部包含第二易失性存储电路及用以存储所述第二易失性存储电路中保持的数据的第三非易失性存储电路的组,

其中,所述寄存器包含第三易失性存储电路及用以存储所述第三易失性存储电路中保持的数据的第四非易失性存储电路的组,

其中,所述控制电路包含第四易失性存储电路及用以存储所述第四易失性存储电路中保持的数据的第五非易失性存储电路的组,

其中,所述多个第二非易失性存储电路、所述第三非易失性存储电路、所述第四非易失性存储电路以及所述第五非易失性存储电路各包含晶体管、电容器和节点,

其中,所述晶体管包括氧化物半导体层中的沟道形成区,

其中,在所述多个第二非易失性存储电路、所述第三非易失性存储电路、所述第四非易失性存储电路以及所述第五非易失性存储电路的每个中,所述电容器的一对电极之一电连接到所述节点,以及

其中,在所述多个第二非易失性存储电路中,当所述晶体管关闭时所述节点处于浮动状态。

8.根据权利要求7所述的信号处理电路,所述寄存器还包括为所述第三易失性存储电路设置的另一第四非易失性存储电路。

9.根据权利要求7所述的信号处理电路,其中,包含在所述多个第二非易失性存储电路的每一个中的所述一对电极之另一、包含在所述第三非易失性存储电路中的所述电容器的所述一对电极之另一、包含在所述第四非易失性存储电路中的所述电容器的所述一对电极之另一以及包含在所述第五非易失性存储电路中的所述电容器的所述一对电极之另一共同地设置而未彼此分开,并设置为覆盖包含在所述算术部中的所述晶体管、包含在所述存储器中的所述晶体管以及包含在所述控制部中的所述晶体管。

10.根据权利要求1、3、5以及7中任一项所述的信号处理电路,其中,所述氧化物半导体层包含非晶相的晶体区。

11.根据权利要求1、3、5以及7中任一项所述的信号处理电路,其中,所述氧化物半导体层包括铟及镓中至少之一。

12.一种包含根据权利要求1、3、5以及7中任一项所述的信号处理电路的电子设备。

信号处理电路

技术领域

[0001] 本发明的一个方式涉及一种包含非易失性存储电路的信号处理电路,该非易失性存储电路即使在电源关闭时也能够保持存储的逻辑状态。此外,本发明的一个方式涉及一种包含信号处理电路的电子设备。

背景技术

[0002] 如中央处理单元(CPU)等信号处理电路根据其应用而具有各种各样的结构,其通常除了设置有用存储数据或程序的主存储器以外,还设置有如寄存器及高速缓冲存储器等某些存储电路。

[0003] 在如寄存器及高速缓冲存储器等存储电路中,数据的读取及写入需要以比主存储器快的速度进行。因此,一般而言,使用触发器等作为寄存器,并使用静态随机存取存储器(SRAM)等作为高速缓冲存储器。亦即,以易失性存储电路用于寄存器、高速缓冲存储器、等等,在易失性存储电路中,当停止供应电源电压时数据会遗失。

[0004] 为了降低耗电,已提出了在数据未输入及输出的期间暂时停止将电源电压供应到信号处理电路的方法。在该方法中,将非易失性存储电路设置于如寄存器或高速缓冲存储器等易失性存储电路的周围,以将数据暂时存储在非易失性存储电路中。因此,即使当在信号处理电路中停止电源电压的供应时,寄存器、高速缓冲存储电路、等等仍然能够保持数据(例如,参考专利文献1)。

[0005] 此外,在信号处理电路中长时间停止电源电压供应的情况下,在停止供应电源电压之前,将易失性存储电路中的数据传送到如硬盘或闪存等外部记忆器件,以防止数据被擦除。

[0006] [参考文献]

[0007] [专利文献1] 日本专利申请公开H10-078836。

发明内容

[0008] 在专利文献1中揭示的信号处理电路中,将铁电材料用于包含在非易失性存储电路中的存储元件。在包含铁电材料的存储元件中,铁电材料因重复的数据写入而疲劳,这会造成如写入错误等问题。结果,重写次数受限。此外,如读取及写入数据的速度等数据处理速度(以下也称为存取速度)慢。

[0009] 在使用闪存作为非易失性存储电路的情况下,施加高电压以产生隧道电流,由此进行电子的注入或释放。因此,会有存储元件因重复地进行数据重写而明显退化的问题,由此重写次数受限。此外,存取速度慢。

[0010] 在信号处理电路中当停止电源电压供应时将易失性存储电路中的数据存储于外部记忆器件中的情况下,将数据从外部记忆器件归还到易失性存储电路需要长时间。因此,该信号处理电路不适合短时间停止供电以降低耗电的情况。

[0011] 鉴于上述问题,本发明的一个方式的目的是:提供一种包含具有新颖结构的存储

电路的信号处理电路,其中,即使当停止供电时,存储的逻辑状态仍然不会遗失。

[0012] 本发明的信号处理电路的一个方式包括:算术部;存储器;以及控制部,用以控制所述算术部及所述存储器,其中,控制部包含第一易失性存储电路及用以存储第一易失性存储电路中保持的数据的第一非易失性存储电路的组,并且存储器包含第二非易失性存储电路。注意,存储器也可以包含以矩阵配置的多个第二非易失性存储电路。在控制部中,当有电源电压供应时将保持在第一易失性存储电路中的数据输入及存储在第二非易失性存储电路中(以下也称为数据提供)。既可在第一易失性存储电路中保持预定数据的同时存储数据,又可在在第二非易失性存储电路中保持预定数据之后存储数据。然后,使存储在第二非易失性存储电路中的数据不响应于来自第一易失性存储电路的信号而改变(以下也称为数据备用)。具体而言,在第二非易失性存储电路中,将保持对应于数据的信号电位的节点设定为浮动状态。在数据备用之后,在整个控制部中(或大部分的控制部中)停止电源电压供应。即使在停止电源电压供应之后,也在第二非易失性存储电路中保持第二易失性存储电路中的数据。然后,根据需要,将电源电压选择性地供应到整个控制部或其一部分。然后,在选取了电源电压供应的部分控制部中,将保持在第二非易失性存储电路中的数据转移到第二易失性存储电路(以下也称为数据提供)。因此,在选取了电源电压供应的部分控制部中,第二易失性存储电路能够进行预定工作。

[0013] 依此方式,通过使用如上所述的只有需要时供应电源电压的驱动方法(以下也称为常关闭(normally-off)驱动方法),可以大幅地降低信号处理电路的耗电。此外,第二易失性存储电路的写入及读取数据的速度快于第二非易失性存储电路。因此,在选取了电源电压供应的部分控制部中的工作速度得到提高。因此,信号处理电路能够进行高速工作。此外,即使在停止供应电源电压之后,存储器也能够继续保持数据。

[0014] (非易失性存储电路的结构)

[0015] 上述非易失性存储电路(第一非易失性存储电路及第二非易失性存储电路均)包含具有极低关态电流(off-state current)的晶体管以及电容器,该电容器的一对电极之一(以下称为一电极)电连接到当晶体管关闭时处于浮动状态的节点。通过根据数据而控制电容器的一电极的电位(或是对应于电位的电荷量),将数据储存(记忆)在非易失性存储电路中。例如,使预定电荷累积(也称为充电)在电容器中的状态对应于数据“1”的状态,而使预定电荷不累积在电容器中的状态对应于数据“0”,由此可以储存1位的数据。至于具有极低关态电流的晶体管,可以使用沟道形成在包含能带隙比硅还宽的半导体的层或衬底中的晶体管。化合物半导体是能带隙比硅还宽的半导体实例。化合物半导体的实例包含氧化物半导体、氮化物半导体、等等。例如,使用具有沟道形成在氧化物半导体层中的晶体管作为具有极低关态电流的晶体管。

[0016] 当在非易失性存储电路中具有极低关态电流的晶体管关闭时,即使在电源电压供应停止之后电容器的一电极的电位也可以保持长时间。因此,在包括具有上述结构的非易失性存储电路的存储器中,不需进行定时的数据重写(以下也称为刷新工作),或者,可以显著地降低刷新工作的频率。

[0017] 此外,这种非易失性存储电路采用以如下方式储存数据的结构:对应于数据的信号电位输入到预定节点(电容器的一电极),具有极低关态电流的晶体管关闭,由此节点处于浮动状态。因此,在非易失性存储电路中,可以减缓因重复写入数据而造成的疲劳,并可

以增加数据写入次数。

[0018] 这里,包含在第一非易失性存储电路(控制部的非易失性存储电路)中的具有极低关态电流的晶体管以及包含在第二非易失性存储电路中的具有极低关态电流的晶体管(存储器的非易失性存储电路)能在同一步骤中形成。例如,通过蚀刻一个导电膜,可以形成这些晶体管的栅电极;通过蚀刻一个导电膜,可以形成这些晶体管的源电极和漏电极;以及通过蚀刻一个半导体层,可以形成这些晶体管的活化层(沟道形成区的半导体层)。

[0019] 此外,包含在第一非易失性存储电路(控制部的非易失性存储电路)中的电容器以及包含在第二非易失性存储电路(存储器的非易失性存储电路)中的电容器可以在同一步骤中形成。例如,通过蚀刻一个导电膜,形成这些电容器的各电极;以及通过蚀刻一个绝缘膜,形成这些电容器的介电层。注意,这些电容器的介电层可以共同地设置而未彼此分开。此外,例如,通过蚀刻一个导电膜,形成这些电容器的一对电极之另一(以下称为各另一电极)。注意,这些电容器的各另一电极可以共同地设置而未彼此分开。在此情况下,共同地设置而未彼此分开的导电层可以用作屏蔽层或遮光层。例如,通过将导电层设置为覆盖如包含在信号处理电路中的晶体管等元件,可以减少给包含在信号处理电路中的元件带来的外部电场等不利影响。此外,例如,通过将导电层设置为覆盖其上形成有如包含在信号处理电路中的晶体管等元件的衬底的表面(前表面或后表面)时,可以减少给包含在信号处理电路中的元件带来的外部电场等不利影响。如上所述,通过将电容器的各另一电极均用作屏蔽层或遮光层,可以提供高可靠性信号处理电路,却不增加工序数目。

[0020] (易失性存储电路的结构)

[0021] 第一易失性存储电路(包含在控制部中的易失性存储电路)包含至少两个算术电路,以构成反馈环,其中这些算术电路之一的输出被输入到这些算术电路之另一,而这些算术电路之另一的输出被输入到这些算术电路之一。以触发器电路及锁存电路为例说明具有此结构的存储电路。

[0022] 注意,CPU、例如微处理机、图像处理电路、数字信号处理机(DSP)或现场可编程门阵列(FPGA)等大规模集成电路(LSI)等包括在本发明的信号处理电路的范畴内。算术部也可以称为算术逻辑单元(ALU)。存储器可以用作用于储存数据或程序的主存储器。

[0023] (算术部的变形例)

[0024] 算术部可以包含第二易失性存储电路及用以储存保持在第二易失性存储电路中的数据的第三非易失性存储电路的组。第三非易失性存储电路可以具有类似于第一非易失性存储电路及第二非易失性存储电路的结构。例如,与时钟信号同步地输入及输出数据的触发器电路可以用作第二易失性存储电路(算术部的易失性存储电路)。

[0025] 包含在第三非易失性存储电路(算术部的非易失性存储电路)中的具有极低关态电流的晶体管、包含在第一非易失性存储电路(控制部的非易失性存储电路)中的具有极低关态电流的晶体管以及包含在第二非易失性存储电路(存储器的非易失性存储电路)中的具有极低关态电流的晶体管可以在同一步骤中形成。例如,通过蚀刻一个导电膜,可以形成这些晶体管的栅电极;通过蚀刻一个导电膜,可以形成这些晶体管的源电极和漏电极;以及通过蚀刻一个半导体层,可以形成这些晶体管的活化层(沟道形成区的半导体层)。

[0026] 此外,包含在第三非易失性存储电路(算术部的非易失性存储电路)中的电容器、包含在第一非易失性存储电路(控制部的非易失性存储电路)中的电容器以及包含在第二

非易失性存储电路(存储器的非易失性存储电路)中的电容器可以在同一步骤中形成。例如,通过蚀刻一个导电膜,可以形成这些电容器的各一电极;以及通过蚀刻一个绝缘膜,可以形成这些电容器的介电层。注意,这些电容器的介电层可以共同地设置而未彼此分开。此外,例如,通过蚀刻一个导电膜,可以形成这些电容器的各另一电极。注意,这些电容器的各另一电极可以共同地设置而未彼此分开。在此情况下,共同地设置而未彼此分开的导电层可以用作屏蔽层或遮光层。例如,通过将导电层设置为覆盖如包含在信号处理电路中的晶体管等元件,可以减少给包含在信号处理电路中的元件带来的如外部电场等不利影响。此外,例如,通过将导电层设置为覆盖其上形成有如包含在信号处理电路中的晶体管等元件的衬底的表面(前表面或后表面),可以减少给包含在信号处理电路中的元件带来的如外部电场等不利影响。如上所述,通过将电容器的各另一电极均用作屏蔽层或遮光层,可以提供高可靠性信号处理电路,却不增加工序数目。

[0027] (控制部的变形例)

[0028] 控制部可以包括解码器、控制电路、寄存器以及电源电路。

[0029] 解码器将命令解码。此外,解码器可以具有当停止将电源电压供应到存储器时通过来自外部的输入将控制信号输入到电源电路或控制电路的功能。此外,解码器可以具有计数器(定时器),并具有当停止将电源电压供应到存储器时通过计数器(定时器)将控制信号输入到电源电路或控制电路的功能。控制电路根据经过解码的命令而控制寄存器、算术部以及存储器。寄存器暂时地储存输入到算术部的数据及从算术部输出的数据。电源电路由解码器控制,电源电路控制将电源电压供应到算术部、控制电路、寄存器以及存储器。注意,算术部、控制电路、寄存器以及存储器也均称为模块。这里,电源电路能够选取各模块中的电源电压的供应及停止。亦即,电源电路既可将电源电压供应到所有模块(算术部、控制电路、寄存器以及存储器)又可将电源电压选择性地供应到某些模块(算术部、控制电路、寄存器以及存储器中的任意模块)。

[0030] 寄存器可以包含第三易失性存储电路及用以储存保持在第三易失性存储电路中的数据的第四非易失性存储电路的组,而控制电路可以包含第四易失性存储电路及用以储存保持在第四易失性存储电路中的数据的第五非易失性存储电路的组。第三易失性存储电路及第四易失性存储电路均对应于第一易失性存储电路(控制部的易失性存储电路)。第四非易失性存储电路及第五非易失性存储电路均对应于第一非易失性存储电路(控制部的非易失性存储电路)。

[0031] 例如,可以使用与时钟信号同步地输入及输出数据的触发器电路或锁存电路作为寄存器的第三易失性存储电路。此外,例如,可以使用与时钟信号同步地输入及输出数据的触发器电路作为控制部的第四易失性存储电路。

[0032] 注意,在寄存器中,可以设置多个储存1位数据的第四非易失性存储电路以分别用于储存1位数据的各第三易失性存储电路。这里,多个第四非易失性存储电路也均称为存储体。依此方式,当在采用常关闭驱动方法的情况下选取电源电压的供应时,从多个第四非易失性存储电路(多个存储体)中选取一个第四非易失性存储电路(存储体),并将保持在被选取的第四非易失性存储电路(存储体)中的1位数据提供给第三易失性存储电路(数据提供),以致于从多个状态中选取寄存器的状态。

[0033] 通过使用具有新颖结构的上述非易失性存储电路以用于信号处理电路,即使在停

止供应电源电压之后,信号处理电路也可以继续长时间地保持数据。如此,可以采用常关闭驱动方法。因此,信号处理电路的耗电显著地降低。在选取电源电压供应之后,信号处理电路立即开始以所保持的数据进行预定处理。因此,在信号处理电路中,选取电源电压供应之后直到开始进行预定处理的时间可以缩短。此外,因为在被供应电源电压的模块中使用易失性存储电路进行预定处理,所以可以提高信号处理电路的存取速度。此外,因为使用能够写入数据的次数多的高可靠性电路作为用于信号处理电路的非易失性存储电路,所以可以提高信号处理电路的耐用性及可靠性。

[0034] 尤其是,通过将易失性存储电路及用以储存保持在易失性存储电路中的数据的非易失性存储电路的组提供给各寄存器及控制部的控制电路或各寄存器、控制部的控制电路及算术部,将非易失性存储电路提供给存储器,并由电源电路控制对各模块供应电源电压,可以得到下述有利效果。

[0035] 在停止电源电压供应之前及之后,可以进行数据的供应及备用,而不用在模块之间移动数据。因此,无须提供特别的信号路径(路径或扫描路径)以用于在模块之间进行数据的供应及备用,并可以容易增大信号处理电路的规模。

附图说明

- [0036] 图1A至1E示出信号处理电路的结构;
- [0037] 图2A和2B示出存储器的结构;
- [0038] 图3A至3C示出读出放大器及预充电电路的结构;
- [0039] 图4是示出信号处理电路的驱动方法的流程图;
- [0040] 图5是示出信号处理电路的驱动方法的流程图;
- [0041] 图6A和6B是示出信号处理电路的结构的截面图及透视图;
- [0042] 图7是示出信号处理电路的结构的截面图;
- [0043] 图8A至8D是示出信号处理电路的工序的截面图;
- [0044] 图9A至9C是示出信号处理电路的工序的截面图;
- [0045] 图10A至10D是示出信号处理电路的工序的截面图;
- [0046] 图11A至11C是示出具有设在氧化物半导体层中的沟道的晶体管的结构的截面图;
- [0047] 图12A和12B是示出具有设在氧化物半导体层中的沟道的晶体管的结构的截面图;
- [0048] 图13是便携式电子设备的方框图;
- [0049] 图14是电子书阅读器的方框图;
- [0050] 图15是示出信号处理电路的驱动方法的流程图;
- [0051] 图16A至16E均示出氧化物材料的晶体结构;
- [0052] 图17A至17C示出氧化物材料的晶体结构;
- [0053] 图18A至18C示出氧化物材料的晶体结构;
- [0054] 图19示出计算取得的迁移率的栅电压依赖性;
- [0055] 图20A至20C示出计算取得的漏电流及迁移率的栅电压依赖性;
- [0056] 图21A至21C示出计算取得的漏电流及迁移率的栅电压依赖性;
- [0057] 图22A至22C示出计算取得的漏电流及迁移率的栅电压依赖性;
- [0058] 图23A和23B示出计算时使用的晶体管的截面结构;

- [0059] 图24A至24C示出包含氧化物半导体膜的晶体管的特性；
- [0060] 图25A和25B示出样品1的晶体管的BT测试后的 V_g - I_d 特性曲线；
- [0061] 图26A和26B示出样品2的晶体管之BT测试后的 V_g - I_d 特性曲线；
- [0062] 图27示出样品A和样品B的XRD光谱；
- [0063] 图28示出晶体管的关态电流与测量时衬底温度之间的关系；
- [0064] 图29示出 I_d 及场效应迁移率的 V_g 依赖性；
- [0065] 图30A示出衬底温度与阈值电压之间的关系，图30B示出衬底温度与场效应迁移率之间的关系；
- [0066] 图31A和31B是示出晶体管的结构例的俯视图及截面图；
- [0067] 图32A和32B是示出晶体管的结构例的俯视图及截面图。

具体实施方式

[0068] 以下，参照附图说明本发明的实施方式及实施例。但是，本发明不局限于以下说明，所属技术领域的普通技术人员很容易地理解一个事实就是其方式和详细内容可以被变换为各种各样的方式，而不脱离本发明的范围及精神。由此，本发明不应该被解释为局限于以下实施方式及实施例的说明内容。

[0069] 注意，在使用具有不同极性的晶体管的情况下或者在电路工作时电流方向改变的情况下，“源极”和“漏极”可以互换。因此，在本说明书中，“源极”和“漏极”可以分别表示漏极和源极。

[0070] 注意，“电连接”包括多个组件经由“具有任何电功能的物体”而连接的情形。只要可以在经由物体而连接的多个组件之间传送及接收电信号，就对于具有任何电功能的物体没有特别的限定。

[0071] 此外，在电路图中独立的组件彼此电连接的情况下，也有时一个导电膜具有多个组件的功能，例如部分布线用作电极或端子。在本说明书中，“电连接”包括一个导电膜具有多个组件的功能的情况。

[0072] 在说明组件之间的实体关系时，“在…之上”及“在…之下”等词不一定必须意味着“直接在…之上”及“直接在…之下”。例如，“栅极绝缘层上的栅电极”可以意味着在栅极绝缘层与栅电极之间有其它组件的情况。

[0073] 注意，为了容易理解，在某些情况下，附图等所示的每一组件的位置、尺寸、范围等未准确地表示。因此，所公开的本发明不局限于附图等所示的位置、尺寸、范围等。

[0074] 使用例如“第一”、“第二”及“第三”等序数词，以避免组件之间的混淆。

[0075] 实施方式1

[0076] 将说明信号处理电路的一方式。图1A是示出信号处理电路的结构方框图，信号处理电路2000包含解码器2001、控制电路2002、ALU 2003、寄存器2004、存储器2005以及电源电路2006。

[0077] 解码器2001将命令解码。控制电路2002根据经过解码的命令，控制寄存器2004、ALU 2003以及存储器2005。寄存器2004暂时地储存输入到ALU 2003的数据及从ALU 2003输出的数据。也在ALU 2003与存储器2005之间进行数据输入/输出。电源电路2006由解码器2001控制，并且电源电路2006控制对ALU 2003、控制电路2002、寄存器2004以及存储器2005

供应电源电压。这里,电源电路2006能够停止对所有模块(ALU 2003、控制电路2002、寄存器2004以及存储器2005)供应电源电压,并能够将电源电压供应到所有模块。或者,电源电路2006能够将电源电压选择性地供应到某些模块(ALU 2003、控制电路2002、寄存器2004以及存储器2005中的任意模块),并能够停止将电源电压供应到其他模块。

[0078] (非易失性存储电路)

[0079] 控制电路2002、寄存器2004以及存储器2005均可以包含图1B所示的非易失性存储电路100。注意,ALU 2003也可以包含图1B所示的非易失性存储电路100。在图1B中,非易失性存储电路100包含晶体管101及电容器102。晶体管101的栅电极电连接到端子W。晶体管101的源极和漏极之一电连接到端子B。晶体管101的源极和漏极之另一极电连接到电容器102的一电极。电容器102的另一电极电连接到端子C。

[0080] 这里,使用具有极低关态电流的晶体管作为晶体管101。电容器102的一电极电连接到当晶体管101关闭时处于浮动状态的节点。通过根据数据而控制电容器102的一电极的电位(或对应于电位的电荷量),将数据存储在非易失性存储电路100中。例如,使预定电荷累积在电容器102中的状态对应于数据“1”,而使预定电荷不累积在电容器102中的状态对应于数据“0”,由此能够储存1位的数据。这里,作为具有极低关态电流的晶体管101,可以使用沟道形成在包含能带隙比硅还宽的半导体的层或衬底中的晶体管。化合物半导体是能带隙比硅还宽的半导体实例。化合物半导体的实例包含氧化物半导体、氮化物半导体、等等。例如,使用沟道形成在氧化物半导体层中的晶体管。图1B示出使用沟道形成在氧化物半导体层中的晶体管作为晶体管101的例子,在其旁边标示有“0S”。

[0081] (非易失性存储电路100的驱动方法)

[0082] 在非易失性存储电路100中,晶体管101响应于输入到端子W的控制信号而开启,并且对应于数据的信号电位输入到端子B。然后,当晶体管101根据输入到端子W的控制信号而关闭时,可以保持数据。非易失性存储电路100具有将给定的电位供应到端子C的结构。例如,将接地电位供应到端子C。由于晶体管101的关态电流极低,所以即使在停止电源电压的供应之后,也可以长时间地保持电容器102的一电极的电位。以下述方式,从非易失性存储电路100读取数据:晶体管101响应于输入到端子W的控制信号而开启,并且从端子B检测出电容器102的一电极的电位(或对应于电位的电荷量)。非易失性存储电路100以下述方式储存数据:对应于数据的信号电位输入到预定节点(电容器102的一对电极之一),具有极低关态电流的晶体管101关闭,并且节点处于浮动状态。因此,在非易失性存储电路100中,因重复写入数据而造成的非易失性存储电路100的疲劳可以减少,并可以增加数据写入次数。

[0083] (控制电路2002、寄存器2004以及ALU 2003的结构)

[0084] 这里,控制电路2002及寄存器2004或控制电路2002、寄存器2004以及ALU 2003均可以包含易失性存储电路及图1B所示的非易失性存储电路100的组。图1C示出组的结构。图1C示出对用以储存1位数据的易失性存储电路200提供两个图1B中的非易失性存储电路100(非易失性存储电路100-1及非易失性存储电路100-2)的例子。本发明不局限于此,也可以对用以储存1位数据的易失性存储电路200提供一个图1B中的非易失性存储电路100或三个或更多的图1B中的非易失性存储电路100。尤其是,在寄存器2004中,可以采用包括对用以储存1位数据的易失性存储电路200提供了多个非易失性存储电路100的组的结构。在控制电路2002及ALU 2003中,均可以采用包括对用以储存1位数据的易失性存储电路200提供了

一个非易失性存储电路100的组的结构。

[0085] 易失性存储电路200可以包含至少两个算术电路,该两个算术电路可以构成反馈环,其中,这些算术电路之一的输出被输入到这些算术电路之另一,而这些算术电路之另一的输出被输入到这些算术电路之一。在图1C中,包括构成反馈环的算术电路201及算术电路202,其中,算术电路201的输出被输入到算术电路202,而算术电路202的输出被输入到算术电路201。算术电路的实例包含反相器电路及NAND电路。作为具有此结构的非易失性存储电路200,可以举出触发器电路及锁存电路。

[0086] 非易失性存储电路100-1的端子B及非易失性存储电路100-2的端子B电连接到存在于算术电路202的输入端与算术电路201的输出端之间的节点M。易失性存储电路200包含用以选取节点M与算术电路201的输出端之间的电连接的开关203。由控制信号SEL0选取开关203的导通状态或非导通状态。注意,在算术电路201是响应于控制信号(例如,时钟信号)而选择性地输出信号的电路的情况下,开关203不一定必须要设置且可以省略。控制信号SEL1输入到非易失性存储电路100-1的端子W,而控制信号SEL2输入到非易失性存储电路100-2的端子W。注意,同一电位输入到非易失性存储电路100-1的端子C及非易失性存储电路100-2的端子C。

[0087] 接着,将说明图1C所示的易失性存储电路200、非易失性存储电路100-1以及非易失性存储电路100-2的组的驱动方法。

[0088] (电源电压供应期间的工作)

[0089] 在将电源电压供应到组的期间,亦即,在将电源电压供应到包含组的模块的期间,通过控制信号SEL0,使开关203处于导通状态。依此方式,易失性存储电路200通过算术电路201及算术电路202构成的反馈环来储存数据。亦即,在图1C所示的组中,输入数据由易失性存储电路200的反馈环保持,并且数据从易失性存储电路200的反馈环输出。通过易失性存储电路200的反馈环,可以高速地保持及输出数据。

[0090] (储存数据的工作)

[0091] 如上所述,在数据由易失性存储电路200的反馈环保持的期间或之后,通过控制信号SEL0而使开关203处于导通状态,非易失性存储电路100-1的晶体管101或非易失性存储电路100-2的晶体管101响应于控制信号SEL1及控制信号SEL2而选择性地开启。例如,非易失性存储电路100-1的晶体管101开启,而非易失性存储电路100-2的晶体管101关闭。依此方式,易失性存储电路200的节点M的电位输入到非易失性存储电路100-1的电容器102的一电极,以致于可以将易失性存储电路200中保持的数据储存在非易失性存储电路100-1中。因此,可以储存数据。

[0092] (数据备用的工作)

[0093] 在储存数据之后,通过关闭非易失性存储电路100-1的晶体管101,使存储在非易失性存储电路100-1中的数据不响应于来自易失性存储电路200的信号而改变。如此,进行数据的备用。

[0094] 在对储存1位数据的易失性存储电路200提供多个图1B中的非易失性存储电路100的结构中,在易失性存储电路200在不同的期间中保持不同的数据的情况下,可以将对应于多个期间的多个数据储存在不同的非易失性存储电路100中。尤其是,在寄存器中,在采用包括对用以储存1位数据的易失性存储电路200提供了多个非易失性存储电路100的组的结

构的情况下,多个非易失性存储电路100均可以称为存储体。依此方式,可以将不同期间的寄存器的各状态储存在多个存储体中。

[0095] 注意,即使在采用包括对用以储存1位数据的易失性存储电路200提供了一个非易失性存储电路100的组的结构的情况下,保持在易失性存储电路200中的数据经类似于上述工作的工作而储存在非易失性存储电路100中。如此,进行数据的备用。

[0096] 如上所述,在数据备用之后,停止电源电压的供应。

[0097] (供应数据的工作)

[0098] 在选取将电源电压供应到组之后,亦即,在开始将电源电压供应到包含组的模块之后,使开关203通过控制信号SEL0而成为非导通,并且非易失性存储电路100-1的晶体管101或非易失性存储电路100-2的晶体管101响应于控制信号SEL1及控制信号SEL2而选择性地开启。例如,非易失性存储电路100-1的晶体管101开启,而非易失性存储电路100-2的晶体管101关闭。依此方式,非易失性存储电路100-1的电容器102的一电极的电位(或对应于电位的电荷量)输入到易失性存储电路200的节点M。之后,使开关203通过控制信号SEL0而成为导通。依此方式,可以将保持在非易失性存储电路100-1中的数据输入到易失性存储电路200且由反馈环保持。如此,数据供应到易失性存储电路200。这里,易失性存储电路200的数据写入及读取速度高于非易失性存储电路100-1或非易失性存储电路100-2。因此,被选取电源电压供应的组具有更高的工作速度。

[0099] 在对储存1位数据的易失性存储电路200提供多个图1B中的非易失性存储电路100的结构中,可以将多个非易失性存储电路100中选取的非易失性存储电路100中所保持的数据供应到易失性存储电路200。尤其是,在寄存器中,在采用包括对用以储存1位数据的易失性存储电路200提供了多个非易失性存储电路100的组的结构的情况下,数据从多个存储体选择性地供应到易失性存储电路200,以致于在选取电源电压供应之后的寄存器状态可以从多个状态中选取。

[0100] 注意,即使在采用包括对用以储存1位数据的易失性存储电路200提供了一个非易失性存储电路100的组的结构的情况下,保持在非易失性存储电路100中的数据经类似于上述工作的工作而输入到易失性存储电路200。如此,数据供应到易失性存储电路200。

[0101] 注意,在采用算术电路201用作响应于控制信号(例如时钟信号)而选择性地输出信号的电路且省略开关203的结构的情况下,算术电路201被控制为当开关203如上所述处于非导通状态时没有来自算术电路201的输出(亦即,来自算术电路201的输出是受限制的组合)。除了算术电路201以外的组件的驱动方法类似于上述驱动方法。

[0102] 上述是图1C所示的易失性存储电路200、非易失性存储电路100-1以及非易失性存储电路100-2的组的驱动方法的说明。

[0103] (易失性存储电路及非易失性存储电路的组的变形例)

[0104] 易失性存储电路及用以储存保持在易失性存储电路中的数据的数据的非易失性存储电路的组的结构不限于图1C中的结构。例如,使用图1E所示的结构。注意,在图1E中,与图1C中相同的部分以相同的符号表示并省略其说明。在具有图1E中的结构的组中,非易失性存储电路100包含在易失性存储电路200中。在图1E中,非易失性存储电路100的端子F是如图1D所示那样电连接到电容器102的一电极的端子。

[0105] 将说明具有图1E中的结构的组的驱动方法。

[0106] (电源电压供应期间的工作)

[0107] 在将电源电压供应到组的期间,亦即,在将电源电压供应到包含组的模块的期间,响应于控制信号SEL,使非易失性存储电路100的晶体管101开启。依此方式,易失性存储电路200通过算术电路201及算术电路202构成的反馈环来储存数据。亦即,在图1E所示的组中,输入数据由易失性存储电路200的反馈环保持,并且数据从易失性存储电路200的反馈环输出。通过易失性存储电路200的反馈环,可以高速地保持及输出数据。

[0108] (储存数据的工作)

[0109] 如上所述,在数据由易失性存储电路200的反馈环保持的期间,易失性存储电路200的节点M的电位输入到非易失性存储电路100的电容器102的一电极,以致于易失性存储电路200中保持的数据可以储存在非易失性存储电路100中。如此,数据被存储。

[0110] (数据备用的工作)

[0111] 在储存数据之后,通过关闭非易失性存储电路100的晶体管101,使存储在非易失性存储电路100中的数据不响应于来自易失性存储电路200的算术电路201的信号而改变。如此,进行数据的备用。

[0112] 如上所述,在数据备用之后,停止电源电压的供应。

[0113] (供应数据的工作)

[0114] 在选取将电源电压供应到组之后,亦即,在再开始将电源电压供应到包含组的模块之后,非易失性存储电路100的晶体管101响应于控制信号SEL开启。依此方式,非易失性存储电路100的电容器102的一电极的电位(或对应于电位的电荷量)输入到易失性存储电路200的节点M。依此方式,可以将保持在非易失性存储电路100中的数据输入到易失性存储电路200的反馈环。如此,数据供应到易失性存储电路200。这里,易失性存储电路200的数据写入及读取速度高于非易失性存储电路100。因此,被选取电源电压供应的组具有更高的工作速度。

[0115] 注意,当供应数据时,优选采用如下结构:在选取电源电压供应之后,非易失性存储电路100的晶体管101响应于控制信号SEL而开启的情况下,信号未从算术电路201输出(亦即,算术电路201的输出是受限制的组合)。例如,优选使用响应于控制信号(例如,时钟信号)而选择性地输出信号的电路作为算术电路201。此外,例如,开关等设置在算术电路201的输出端与易失性存储电路100的端子B之间。在这种情况下,在选取电源电压的供应之后,非易失性存储电路100的晶体管101响应于控制信号SEL而开启的情况下,优选使开关成为非导通。

[0116] 上述是图1E所示的易失性存储电路200及非易失性存储电路100的驱动方法的说明。

[0117] 对于寄存器2004及控制电路2002的每一个或寄存器2004、控制电路2002以及ALU 2003的每一个,可以提供具有图1C或1E中的结构的组,并且对每一模块的电源电压的供应由电源电路2006控制。依此方式,通过使用常关闭驱动方法,可以大幅地降低信号处理电路的耗电,在常关闭驱动方法中,仅在需要时才供应电源电压。在电源电压供应之前及之后,可以进行数据的供应及备用,而不用在模块之间移动数据。因此,不需要设置用于进行模块之间的数据供应及备用的特别信号路径(路径或扫描路径),并可以容易增大信号处理电路的电路规模。

[0118] (存储器2005的结构)

[0119] (存储单元阵列的结构)

[0120] 存储器2005包含存储单元阵列,存储单元阵列包含以矩阵配置的多个图1B中的非易失性存储电路100。例如,可以将图2B中的结构用于存储单元阵列。图2B所示的存储单元阵列400包含 $m \times n$ (m 是自然数, n 是自然数)非易失性存储电路100(i, j) (i 是 m 或更小的自然数, j 是 n 或更小的自然数)。非易失性存储电路100(i, j)可为图1B中的非易失性存储电路100。以下,非易失性存储电路100(i, j)也称为存储单元。

[0121] 在图2B中,配置在同一列中的存储单元共同使用电连接到端子B的布线(BL j)。例如,配置在第一列中的存储单元共同使用电连接到端子B的布线BL1。布线BL j 可以称为位线。

[0122] 在图2B中,配置在同一行中的存储单元共同使用电连接到端子W的布线(WL i)。例如,配置在第一行中的存储单元共同使用电连接到端子W的布线WL1。布线WL i 可以称为字线。

[0123] 但是,本实施方式不限于此结构。既可使多个布线BL j 设置在配置在同一列中的存储单元,又可使多个布线WL i 设置在配置在同一行中的存储单元。在 $m \times n$ 存储单元中,端子C既可电连接到同一电极或同一布线又可电连接到不同的电极或不同的布线。

[0124] 在图2B所示的存储单元阵列400中,对相应于输入到布线WL i 的信号而指定的行中的存储单元选择性地写入及读取数据。具体而言,在数据写入的第 i 行存储单元以外的其他行存储单元中的晶体管101关闭,且数据写入的第 i 行存储单元中的晶体管101响应于输入到布线WL i 的信号而开启,由此选择性地写入数据。此外,在数据被读取的第 i 行存储单元以外的其他行存储单元中的晶体管101关闭,且数据被读取的第 i 行存储单元中的晶体管101响应于输入到布线WL i 的信号而开启,由此选择性地读取数据。注意,对指定的存储单元写入及读取数据的方法类似于上述非易失性存储电路100的驱动方法,由此省略其说明。

[0125] (存储单元阵列以外的结构)

[0126] 存储器2005可以包含:行解码器、列解码器、预充电电路、读出放大器以及暂时存储电路中的一部或全部;以及存储单元阵列400。注意,这些电路可以部分合并成单一电路。例如,读出放大器可以用作暂时存储电路。

[0127] 行解码器及列解码器均具有选取存储单元阵列400中给定的存储单元的功能。存储器2005对由行解码器及列解码器选取的存储单元写入及读取数据。预充电电路具有在从存储单元读取数据之前将包含于存储单元阵列400中的位线的电位设定(预充电)为预定电位的功能。由于在利用预充电电路将位线的电位设定(预充电)为预定电位之后从存储单元读取数据,所以可以提高从存储单元读取数据的速度。读出放大器具有放大对应于保持在存储单元中的数据的数据的位线的电位并输出所放大的电位的功能。数据可以由读出放大器更快速地及更准确地读取。暂时存储电路也称为页缓冲器或锁存电路,并具有暂时地保持从存储器2005的外部输入的数据的功能。暂时存储电路还可以具有保持从存储单元阵列读取的数据的功能。

[0128] 图2A示出存储器2005的结构的一方式。在图2A中,存储器2005包含存储单元阵列400、列解码器403、行解码器404、预充电电路402以及读出放大器401。

[0129] 注意,虽然图2A示出预充电电路402及读出放大器401设置在存储单元阵列400设

有列解码器403的一侧的结构,但是本发明的一方式不限于此。预充电电路402及读出放大器401中的一方或双方可以设置在隔着存储单元阵列400面对列解码器403的一侧。预充电电路402及读出放大器401也可以合并于单一电路中。

[0130] 这里,电路的结构不限于图2A所示的结构,图2A所示的结构仅为存储器2005的结构的一种方式。例如,实际上,其它电路(列解码器403、行解码器404、预充电电路402以及读出放大器401)可以形成为与存储单元阵列400重叠。此外,存储单元阵列400可以被分割,该被分割的存储单元阵列彼此重叠(可为多层的)。依此方式,存储容量增加,而存储单元阵列400的面积缩小。

[0131] (读出放大器的结构)

[0132] 接着,将说明图2A中的读出放大器401的结构的具体方式。读出放大器401可以包含多个读出放大器。该多个读出放大器的每一个可以设置于在存储单元阵列400中设置的每一位线。位线的电位可以由这些读出放大器的每一个放大,并由这些读出放大器的每一个的输出端检测出。这里,位线的电位是基于保持在电连接到位线且数据被读取的存储单元中的信号电位的。因此,从这些读出放大器的每一个的输出端输出的信号对应于数据被读取的存储单元中保持的数据。依此方式,保持在存储单元阵列400中的各存储单元中的数据由读出放大器401检测出。

[0133] 可以使用反相器或缓冲器形成读出放大器。例如,可以使用锁存电路(锁存读出放大器)形成读出放大器。锁存读出放大器能够放大输入的信号并保持所放大的信号。因此,即使当从存储单元(非易失性存储电路100)读取数据时对应于保持在电容器102中的信号电位的电荷改变(受损),也可以将对应于信号电位的信号保持在锁存读出放大器中并再次写入到存储单元(非易失性存储电路100)。

[0134] 以下,将参考图3A及3B,说明读出放大器401的更具体的一实施方式。

[0135] 图3A及3B所示的读出放大器401是包含锁存电路443(由锁存电路443构成)的锁存读出放大器的实例。例如,使用反相器444及反相器445形成锁存电路443。读出放大器401包含n个锁存电路443,该n个锁存电路443中的每一个设置在存储单元阵列400中设置的位线BL1至BLn中。位线BL1至BLn的电位由n个锁存电路443放大且从输出端OUT1至OUTn输出。这里,位线的电位是基于电连接到位线且数据被选择地读取的存储单元中保持的信号电位的。因此,从锁存电路443的输出端输出的信号(放大的信号)对应于数据被选择地读取的存储单元中保持的数据。依此方式,保持在存储单元阵列400的各存储单元中的数据由包含n个锁存电路443的读出放大器401检测出。

[0136] 此外,n个锁存电路443中的每一锁存电路保持放大的信号。因此,即使在从存储单元阵列400中的存储单元读取数据时数据受损,也可以将所对应的信号保持在n个锁存电路443中并再次写入到存储单元。

[0137] 由于包含图3A及3B的每一个所示的锁存电路443的读出放大器401具有如上所述地保持信号的功能,所以读出放大器401可以用作暂时存储电路。例如,包含锁存电路443的读出放大器401可以用作用于暂时地保持从存储器2005的外部输入的数据的电路(例如,页缓冲器)。

[0138] (预充电电路的结构)

[0139] 接着,将参考图3C说明图2A中的预充电电路402的一具体实施方式。在图3C中,预

充电电路402包含预充电线PR及多个开关446。各开关446设在存储单元阵列400中的位线BL1至BLn。各位线与预充电线PR之间的电连接由各开关446选取,并且预充电线PR的电位(预充电电位)输入到各位线。例如,模拟开关、晶体管等可以用作开关446。或者,时钟信号及时钟信号的反相信号之一方或双方输入的算术电路可以用作开关446。

[0140] 上述是存储器2005的说明。

[0141] 如上所述,在包含非易失性存储电路100的存储器2005中,不需要周期性的数据重写(以下也称为刷新工作)或者刷新工作的频度显著地降低。通过使用存储器2005,可以容易地采用常关闭驱动方法以及降低信号处理电路的耗电。

[0142] 如上所述,由于即使在停止电源电压的供应之后,本实施方式所述的信号处理电路2000也可以继续长时间地保持数据,所以可以采用常关闭驱动方法。因此,信号处理电路2000的耗电显著地降低。在选取电源电压供应之后,信号处理电路2000立即开始以所保持的数据进行预定处理。因此,在信号处理电路2000中,选取电源电压供应之后直到开始进行预定处理的时间可以缩短。此外,因为在被供应电源电压的模块中使用易失性存储电路进行预定处理,所以可以提高信号处理电路2000的存取速度。此外,因为使用能够写入数据的次数多的高可靠性电路作为用于信号处理电路2000的非易失性存储电路100,所以可以提高信号处理电路的耐用性及可靠性。

[0143] 尤其是,通过将易失性存储电路200及用以储存保持在易失性存储电路200中的数据的非易失性存储电路100的组提供给各寄存器2004及控制电路2002或各寄存器2004、控制电路2002及ALU 2003,将非易失性存储电路100提供给存储器2005,并由电源电路2006控制对各模块供应电源电压,可以得到下述有利效果。

[0144] 在电源电压供应之前及之后,可以进行数据的供应及备用,而不用在模块之间移动数据。因此,无须提供特别的信号路径(路径或扫描路径)以用于在模块之间进行数据的供应及备用,并可以容易增大信号处理电路2000的电路规模。

[0145] 本实施方式可以与其他实施方式适当地组合。

[0146] 实施方式2

[0147] 将参考流程图,更详细地说明本发明的信号处理电路的常关闭驱动方法的一种方式。图15是示出在信号处理电路的所有模块中到达电源电压供应的状态(以下,该状态也称为备用模式)的工作的流程图。图5是示出备用模式之后选取将电源电压供应到所有模块或部分模块的工作的流程图。图4是示出在将电源电压供应到所有模块或部分模块之后且在所有模块或部分模块中停止电源电压供应之前的工作的流程图。注意,在图1A至1E中使用的符号用来进行说明。

[0148] 图15示出在信号处理电路2000的所有模块中到达停止电源电压供应的状态(备用模式)的解码器2001、控制电路2002、ALU 2003、寄存器2004、存储器2005以及电源电路2006的工作。

[0149] 当将电源电压供应到信号处理电路2000时,将数据储存在控制电路2002、ALU 2003以及寄存器2004中(图15中的“电源电压供应期间储存数据”)。在控制电路2002、ALU 2003以及寄存器2004中的数据储存的工作类似于实施方式1。此外,数据写入到存储器2005(图15中的“数据储存”)。

[0150] 之后,解码器2001向控制电路2002输出命令(这里称为备用命令)以停止所有模式

中的电源电压的供应(图15中的“向控制电路输出备用命令”)。依此方式,备用命令输入到控制电路2002(图15中的“输入备用命令”)。根据输入的备用命令,控制电路2002将备用命令输出到所有模块。在图15中,在控制电路2002、ALU 2003、寄存器2004以及存储器2005中停止电源电压的供应,因此,控制电路2002将备用命令输出到ALU 2003及寄存器2004(图15中的“将备用命令输出到ALU及寄存器”),并且控制电路2002中的易失性存储电路中的数据在与易失性存储电路形成组的非易失性存储电路中成为备用状态(在图15中的“数据备用”)。控制电路2002中的组的结构及数据备用工作类似于实施方式1。此外,当备用命令从控制电路2002输入到ALU 2003时(图15中的“输入备用命令”),ALU 2003使易失性存储电路中保持的数据在与易失性存储电路形成组的非易失性存储电路中处于备用(图15中的“数据备用”)。ALU 2003中的组的结构及数据备用工作类似于实施方式1。当备用命令从控制电路2002输入到至寄存器2004时(图15中的“输入备用命令”),寄存器2004使易失性存储电路中保持的数据在与易失性存储电路形成组的非易失性存储电路中处于备用(图15中的“数据备用”)。寄存器2004中的组的结构及数据备用工作类似于实施方式1。

[0151] 依此方式,在控制电路2002、ALU 2003以及寄存器2004中完成数据备用之后,解码器2001将备用命令输出到电源电路2006(图15中“将备用命令输出到电源电路”)。当备用命令输入到电源电路2006时(图15中“输入备用命令”),电源电路2006根据备用命令而停止将电源电压供应到模块(图15中“停止将电源电压供应到所有模块(备用模式)”)。注意,如实施方式1所述,由于存储器2005包含即使停止供应电源电压也能够继续保持数据的非易失性存储电路作为存储单元,所以可以停止电源电压的供应,而不用进行数据备份等。这里,“在预定的模块中停止电源电压的供应”意味着:在将相当于高电源电位与低电源电位之间的差值的电压作为电源电位供应到模块的情况下,停止电位之一的供应的工作或者使这些电位之一与这些电位之另一相等的工作。

[0152] 上述是到达信号处理电路2000的所有模块中停止电源电压供应的状态(备用模式)的工作的说明。接着,将说明备用模式之后选取将电源电压供应到所有模块或部分模块的模式的工作。

[0153] 图5示出备用模式之后一直到在所有模块或部分模块中选取电源电压供应为止的解码器2001、控制电路2002、ALU 2003、寄存器2004、存储器2005以及电源电路2006的工作。

[0154] 首先,解码器2001选取被供应电源电压的模块(图5中的“选取被供应电源电压的模块”)。关于先前已由解码器2001接收的命令的历史信息可以用于此选取。例如,将工作的模块可以预测,并可以选取对模块的电源电压供应。图5示出在控制电路2002、ALU 2003、寄存器2004以及存储器2005中再开始供应电源电压的实例。但是,电源电压可以选择性地供应到这些模块中的部分模块。

[0155] 在选取被供应电源电压的模块之后,关于被供应电源电压的模块的信息(以下称为供应信息)输出到电源电路2006(图5中的“将供应信息输出到电源电路”)。当供应信息以此方式输入到电源电路2006时(图5中的“输入供应信息”),电源电路2006根据供应信息而将电源电压供应到模块(图5中的“开始将电源电压供应到被选取电源电压供应的模块”)。注意,在存储器2005包含在被选取电源电压供应的模块中的情况下,电源电压也供应到存储器2005。

[0156] 在供应电源电压之后,解码器2001将供应信息输出到控制电路2002(图5中的“将

供应信息输出到控制电路”。依此方式,供应信息输入到控制电路2002(图5中的“输入供应信息”)。根据输入到控制电路2002的供应信息,将供应信息输出到被供应电源电压的模块。图5示出电源电压供应到控制电路2002、ALU 2003、寄存器2004以及存储器2005的实例。控制电路2002将供应信息输出到ALU 2003及寄存器2004(图5中的“将供应信息输出到ALU及寄存器”),并且控制电路2002中的非易失性存储电路中的数据输入到与非易失性存储电路形成组的易失性存储电路(图5中的“数据供应”)。控制电路2002中的组的结构及数据供应工作类似于实施方式1。此外,当供应信息从控制电路2002输入到ALU 2003时(图5中的“输入供应信息”),ALU 2003将保持在其非易失性存储电路中的数据输入到与非易失性存储电路形成组的易失性存储电路(图5中的“数据供应”)。ALU 2003中的组的结构及数据供应工作类似于实施方式1。当供应信息从控制电路2002输入到寄存器2004时(图5中的“输入供应信息”),寄存器2004将保持在其非易失性存储电路中的数据输入到与非易失性存储电路形成组的易失性存储电路(图5中的“数据供应”)。寄存器2004中的组的结构及数据供应工作类似于实施方式1。注意,如实施方式1所述,存储器2005包含即使当停止电源电压的供应时仍然能继续保持数据的非易失性存储电路作为存储单元。

[0157] 如上所述,电源电压可以供应到控制电路2002、ALU 2003、寄存器2004以及存储器2005,并且这些模块可以工作并立即进行预定处理(图5中的“所有模块工作”)。注意,虽然在图5中示出将电源电压供应到控制电路2002、ALU 2003、寄存器2004以及存储器2005的实例,但是本发明的一方式不限于此。当电源电压供应到这些模块中的部分模块时,在其他部分模块中保持停止电源电压的供应。在此情况下,只在被供应电源电压的模块中根据供应信息进行数据供应工作,并且部分模块处于工作状态。

[0158] 上述是备用模式之后一直到在所有模块或部分模块中选取供应电源电压的模式为止的工作的说明。

[0159] 图4示出电源电压供应到所有模块或部分模块之后一直到在所有模块或部分模块中停止电源电压的供应为止的解码器2001、控制电路2002、ALU 2003、寄存器2004、存储器2005以及电源电路2006的工作。

[0160] 首先,解码器2001选取被停止供应电源电压的模块(图4中的“选取断电的模块”)。与先前已由解码器2001接收的关于命令的历史信息及供应信息可以用于此选取。例如,在有不要求特定模块的工作的命令的连续接收等有关历史信息且电源电压根据供应信息供应到模块的情况下,通过预测该模块有段时间不工作,可以选取停止对该模块供应电源电压。解码器2001能够在每一给定期间取得最新的历史信息。图4示出在电源电压供应到所有模块(控制电路2002、ALU 2003、寄存器2004以及存储器2005)(图4中的“在所有模块中工作”)之后,停止对所有模块供应电源电压的实例。但是,也可以在部分模块中选择性地停止电源电压的供应。

[0161] 在选取被停止供应电源电压的模块之后,与被停止供应电源电压的模块有关的信息(以下称为断电信息)输出到控制电路2002(图4中的“将断电信息输出到控制电路”)。依此方式,断电信息输入到控制电路2002(图4中的“输入断电信息”)。根据输入到控制电路2002的断电信息,将断电信息输出到被停止供应电源电压的模块。图4示出控制电路2002、ALU 2003、寄存器2004以及存储器2005中停止电源电压供应的实例。控制电路2002将断电信息输出到ALU 2003及寄存器2004(图4中的“将断电信息输出到ALU及寄存器”),并且控制

电路2002中的易失性存储电路中的数据在与易失性存储电路形成组的非易失性存储电路中成为备用状态(图4中的“数据备用”)。控制电路2002中的组的结构及数据备用工作类似于实施方式1。此外,当断电信息从控制电路2002输入到ALU 2003时(图4中的“输入断电信息”),ALU 2003将保持在其易失性存储电路中的数据输入到与易失性存储电路形成组的非易失性存储电路(图4中的“数据备用”)。ALU 2003中的组的结构及数据备用工作类似于实施方式1。当断电信息从控制电路2002输入到寄存器2004时(图4中的“输入断电信息”),寄存器2004使保持在其易失性存储电路中的数据在与易失性存储电路形成组的非易失性存储电路中成为备用状态(图4中的“数据备用”)。寄存器2004中的组的结构及数据备用工作类似于实施方式1。

[0162] 依此方式,在被停止电源电压供应的模块中的控制电路2002、ALU 2003以及寄存器2004中完成数据备用之后,解码器2001将断电信息输出到电源电路2006(图4中的“将断电信息输出到电源电路”)。当将断电信息输入到电源电路2006时(图4中的“输入断电信息”),电源电路2006根据断电信息而停止对模块的电源电压供应(图4中的“停止将电源电压供应到被选取断电的模块”)。注意,在存储器2005包含在被选取断电的模块中的情况下,也停止将电源电压供应到存储器2005。注意,如实施方式1所述,由于存储器2005包含即使停止供应电源电压也能够继续保持数据的非易失性存储电路作为存储单元,所以可以停止电源电压的供应,而不用进行数据备份等。这里,“在预定的模块中停止电源电压的供应”意味着:在将相当于高电源电位与低电源电位之间的差值的电压作为电源电位供应到模块的情况下,停止电位之一的供应的工作或者使这些电位之一与这些电位之另一相等的工作。

[0163] 上述是在电源电压供应到所有模块或部分模块之后一直到在所有模块或部分模块中停止电源电压的供应为止的工作的说明。

[0164] 如上所述,信号处理电路2000进行常关闭驱动方法,其中,只当有需要时供应电源电压,以使所有模块或部分模块工作。因此,信号处理电路2000的耗电大幅降低。在选取电源电压的供应之后,信号处理电路2000中的每一模块能够立即以所保持的数据开始预定处理。因此,在信号处理电路2000中,从选取电源电压供应至开始预定处理的时间可以缩短。此外,在被供应电源电压的模块中使用易失性存储电路进行预定处理,由此可以提高信号处理电路2000的存取速度。此外,使用数据写入次数多的高可靠性电路作为用于信号处理电路2000的非易失性存储电路100,由此可以提高信号处理电路2000的耐用性及可靠性。

[0165] 尤其是,通过将易失性存储电路200及用以储存保持在易失性存储电路200中的数据的非易失性存储电路100的组提供给各寄存器2004及控制电路2002或各寄存器2004、控制电路2002及ALU 2003,将非易失性存储电路100提供给存储器2005,并由电源电路2006控制对各模块供应电源电压,可以得到下述有利效果。

[0166] 在电源电压供应之前及之后,可以进行数据的供应及备用,而不用在模块之间移动数据。因此,无须提供特别的信号路径(路径或扫描路径)以用于在模块之间进行数据的供应及备用,并可以容易增大信号处理电路2000的电路规模。

[0167] 本实施方式可以与其他实施方式适当地组合。

[0168] 实施方式3

[0169] 在本实施方式中,将说明实施方式1所述的信号处理电路2000的更具体结构。注意,将使用在图1A至1E中使用的符号进行说明。

[0170] 图6A是信号处理电路2000的截面图。在图6A中,左半边是形成有控制电路2002、ALU 2003以及寄存器2004的区域的截面图。在控制电路2002、ALU 2003以及寄存器2004中的易失性存储电路200及非易失性存储电路100的组中,典型地示出包含在易失性存储电路200中的晶体管103a、包含在非易失性存储电路100中的晶体管101a(对应于图1B或1D中的晶体管101)以及电容器102a(对应于图1B或1D中的电容器102)。在图6A中,右半边是形成有存储器2005的区域的截面图。典型地示出包含在存储器2005的存储单元(非易失性存储电路100)中的晶体管101b(对应于图1B或1D中的晶体管101)及电容器102b(对应于图1B或1D中的电容器102)。注意,例如,晶体管103b设在包含于存储器2005的存储单元中的晶体管101b下而彼此重叠。在图6A中,晶体管103a及晶体管103b形成在衬底700上,晶体管101a及晶体管101b形成在晶体管103a和晶体管103b上而以层间绝缘层设于其间,并且电容器102a和电容器102b形成在晶体管101a和晶体管101b上。

[0171] 在图6A中,可以在同一步骤中形成晶体管103a和晶体管103b。可以在同一步骤中形成晶体管101a和晶体管101b。这里,“在同一步骤中形成多个晶体管”是指:通过蚀刻一个导电膜形成多个晶体管的栅电极;通过使用一个绝缘膜(或者通过蚀刻一个绝缘膜)形成多个晶体管的栅极绝缘膜;以及,通过蚀刻一个导电膜形成多个晶体管的源电极和漏电极。注意,在具有形成于半导体层中的沟道的晶体管中,同一步骤包含通过蚀刻一个半导体层(半导体膜)形成多个晶体管的活化层。

[0172] 在图6A中,可以在同一步骤中形成电容器102a及电容器102b。这里,“在同一步骤中形成多个电容器”是指:通过蚀刻一个导电膜形成多个电容器的一对电极之一;通过使用一个绝缘膜(或者通过蚀刻一个绝缘膜)形成多个电容器的介电层;以及,通过使用一个导电膜(或者通过蚀刻一个导电膜)形成多个电容器的一对电极之另一。

[0173] 注意,在图6A及6B中,电容器102a包含一对电极之一301a、介电层302a以及一对电极之另一303。电容器102b包含一对电极之一301b、介电层302a以及一对电极之另一303。可以共同地设置电容器102a的介电层302a及电容器102b的介电层302a,而不用彼此分开。此外,可以共同地设置电容器102a的一对电极之另一303与电容器102b的一对电极之另一303,而不用彼此分开。在此情况下,共同设置而不用彼此分开的导电层(电容器102a的一对电极之另一303与电容器102b的一对电极之另一303)可以用作信号处理电路2000的屏蔽层(例如,电场屏蔽层)或遮光层。例如,当将导电层设置为遮盖例如包含在信号处理电路2000中的晶体管等元件(例如晶体管103a、晶体管103b、晶体管101a以及晶体管101b)时,可以降低外部电场等对包含在信号处理电路2000中的元件的不利影响。如上所述,当电容器102a的一对电极之另一303及电容器102b的一对电极之另一303用作屏蔽层或遮光层时,可以提供高可靠性信号处理电路2000,而不增加工序(或步骤)数目。

[0174] 图6B是示出信号处理电路2000的结构的透视图。信号处理电路2000包含:形成在衬底700上且包含类似于晶体管103a和晶体管103b的晶体管的电路组1103;电路组1101和电路组1111,它们设置在电路组1103上且与电路组1103重叠,并包含类似于晶体管101a和晶体管101b的晶体管;以及区域,该区域设置在电路组1101和电路组1111上并与电路组1101和电路组1111重叠,并包含类似于电容器102a和电容器102b的多个电容器(在图6B中,仅典型地示出每一电容器的一对电极之另一303)。这里,电容器102a的一对电极之另一303及电容器102b的一对电极之另一303共同地设置而不用彼此分开,以遮盖电路组1103、电路

组1101以及电路组1111。依此方式,电容器102a的一对电极之另一303及电容器102b的一对电极之另一303用作信号处理电路2000的屏蔽层。

[0175] 电路组1103可以为非易失性存储电路100以外的包含在信号处理电路2000中的电路。电路组1103包含:包括在易失性存储电路200中的元件;包括在存储器2005(存储单元阵列400以外)中的元件(例如行解码器404、列解码器403、读出放大器401以及预充电电路402)等。例如,电路组1111包含包括在非易失性存储电路100中的晶体管101,该非易失性存储电路100与包含在信号处理电路2000中的电路中的易失性存储电路200形成组。例如,电路组1101可以设有包含在存储器2005的存储单元阵列400的非易失性存储电路100中的晶体管101,该存储器2005在包含在信号处理电路2000中的电路中。包含在非易失性存储电路100中的电容器102设置在这些电路组上,该非易失性存储电路100在包含在信号处理电路2000中的电路中。

[0176] 这里,电路组1103的部分1101b优选设有包含在存储器2005(存储单元阵列400以外)中的元件(例如,行解码器404、列解码器403、读出放大器401以及预充电电路402),并且此区域(部分1101b)优选与电路组1101重叠。这里,电路组1101设有包含在存储单元阵列400中的非易失性存储电路100中的晶体管101。因此,用来控制数据输入/输出的电路部设置为接近存储单元阵列400。

[0177] 虽然图6A及6B示出一结构,其中晶体管101a及晶体管101b形成在晶体管103a及晶体管103b上,而电容器102a和电容器102b形成在晶体管101a和晶体管101b上,但是本发明的一种方式不限于此。包含晶体管101a和晶体管101b的层及包含电容器102a和电容器102b的层可以层叠在晶体管103a和晶体管103b上。图7示出此情况下的结构例。在图7中,在晶体管103a和晶体管103b上,设置有包含晶体管101a和晶体管101b的层、包含电容器102a和电容器102b的层、包含晶体管101c和晶体管101d的层以及包含电容器102c和电容器102d的层。这里,与图6B中的结构不同,电容器102a的一对电极之另一与电容器102b的一对电极之另一彼此分开。这是将设在电容器102a和电容器102b上的电路与设在电容器102a和电容器102b下的电路彼此电连接。在图7中,共同设置而未彼此分开的电容器102c的一对电极之另一与电容器102d的一对电极之另一可以用作信号处理电路2000的屏蔽层。依此方式,在设在晶体管103a和晶体管103b上的包含晶体管101a和晶体管101b的层及包含电容器102a和电容器102b的层的多层结构中,设在最上层中的电容器102c的一对电极之另一与电容器102d的一对电极之另一共同地设置而未彼此分开且可均用作屏蔽层。

[0178] 本实施方式可以与其他实施方式适当地组合。

[0179] 实施方式4

[0180] 将说明图1A所示的信号处理电路2000的形成方法。在本实施方式中,以晶体管103作为包含在包括于信号处理电路2000中的非易失性存储电路100以外的电路中的元件的实例,并以在氧化物半导体层中具有沟道的晶体管101和电容器102作为包含在包括于信号处理电路2000中的非易失性存储电路100中的元件的实例,来说明信号处理电路2000的形成方法。这里,以将使用在硅层中具有沟道的晶体管作为晶体管103的情况为例说明。

[0181] 首先,如图8A所示,绝缘膜701及与单晶半导体衬底分开的半导体膜702形成在衬底700上。

[0182] 虽然对于作为衬底700的材料并无特别限制,但是材料必须要至少具有充分高到

耐受后续热处理的程度的耐热性。例如,可以使用经熔融处理或浮法处理形成的玻璃衬底、石英衬底、半导体衬底、陶瓷衬底等作为衬底700。在后续热处理温度高的情况下,优选使用应变点高于或等于730℃的玻璃衬底作为玻璃衬底。

[0183] 在本实施方式中,作为形成晶体管103的方法,举出使用单晶硅形成半导体膜702的方法。注意,简述单晶半导体膜702的形成方法的具体实例。首先,包含由电场加速的离子的离子束进入单晶半导体衬底的接合衬底,由此在离接合衬底的表面有一定深度的区域中形成易脆层,该易脆层是由于晶体结构的局部失序而易脆的。通过离子束的加速能量及离子束的进入角度,可以调整易脆层形成处的深度。然后,使接合衬底与设有绝缘膜701的衬底700彼此附着,该绝缘膜701设于接合衬底与衬底700之间。在接合衬底与衬底700彼此重叠之后,约大于或等于1 N/cm²且小于或等于500N/cm²,优选为大于或等于11 N/cm²且小于或等于20 N/cm²的压力施加到部分接合衬底及部分衬底700,以致于这些衬底彼此附着。当压力施加到部分接合衬底及部分衬底700时,接合衬底与绝缘膜701之间的接合从这些部分开始,造成接合衬底与绝缘膜701彼此紧密接触的整个表面的接合。然后,进行热处理,使存在于易脆层中的微孔相结合,并且微孔的体积增加。因此,接合衬底的一部分的单晶半导体膜沿着易脆层与接合衬底分开。将热处理的温度设定为不会超过衬底700的应变点。然后,通过蚀刻等,将单晶半导体膜加工为所需形状,以形成半导体膜702。

[0184] 为了控制阈值电压,例如硼、铝或镓等赋予p型导电型的杂质元素,或者,例如磷或砷等赋予n型导电率的杂质元素可以添加到半导体膜702。用于控制阈值电压的杂质元素可以添加到未被蚀刻为具有预定形状的半导体膜或者可以添加到被蚀刻为具有预定形状的半导体膜702。或者,用于控制阈值电压的杂质元素可以添加到接合衬底。或者,杂质元素也可以先添加到接合衬底以概略地控制阈值电压,再添加到未被蚀刻为具有预定形状的半导体膜或被蚀刻为具有预定形状的半导体膜702以便精密地控制阈值电压。

[0185] 注意,虽然在本实施方式中使用单晶半导体膜,但是本发明不限于此结构。例如,可以使用以气相沉积形成于绝缘膜701上的多晶、微晶或非晶半导体膜。或者,也可以以已知的技术使半导体膜晶化。关于已知的晶化技术,可以使用利用激光束的激光晶化或利用催化元素的晶化。或者,可以组合地使用使用催化元素的晶化及激光晶化。当使用例如石英衬底等耐热衬底时,可以使用与使用电炉的热晶化、使用红外光的灯加热晶化、使用催化元素的晶化或约950℃的高温加热组合的晶化。

[0186] 接着,如图8B所示,将半导体膜702加工为预定形状,以形成半导体层704。然后,将栅极绝缘膜703形成于半导体层704上。

[0187] 例如,可以通过等离子体增强CVD或溅射等使用包含氧化硅、氮氧化硅、氧氮化硅、氮化硅、氧化钪、氧化铝、氧化钽、氧化钼、硅酸钪(HfSi_xO_y ($x>0, y>0$))、添加氮的硅酸钪($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$))、添加氮的铝酸钪($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$))等的膜的单层或叠层形成栅极绝缘膜703。

[0188] 注意,在本说明书中,氧氮化物是包含的氧比氮更多的物质,氮氧化物是包含的氮比氧更多的物质。

[0189] 例如,栅极绝缘膜703的厚度为大于或等于1 nm且小于或等于100 nm,优选为大于或等于10 nm且小于或等于50 nm。在本实施方式中,以等离子体增强CVD形成含有氧化硅的单层绝缘膜作为栅极绝缘膜703。

[0190] 然后,如图8C所示,形成栅电极707。

[0191] 形成导电膜,然后将其加工为预定形状,来可以形成栅电极707。可以以CVD法、溅射法、气相沉积、旋转涂敷等形成导电膜。关于导电膜,可以使用钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、铌(Nb)等。可以使用含有该金属作为主成分的合金或含有该金属的化合物。或者,可以使用掺杂有赋予导电型的杂质元素如磷的多晶硅等半导体膜。

[0192] 注意,虽然在本实施方式中使用单层导电膜形成栅电极707,但是,本实施方式不限于此结构。栅电极707可以由多个叠层导电膜形成。

[0193] 作为两个导电膜的组合,可以将氮化钽或钽用于第一导电膜,并可以将钨用于第二导电膜。除了该实例以外,可以使用任何下述组合:氮化钨及钨;氮化钼及钼;铝及钽;铝及钛等。由于钨及氮化钽具有高耐热性,所以在形成两个导电膜之后的步骤中可以进行用于热活化的热处理。或者,关于两个导电膜的组合,例如,可以使用掺杂有赋予n型导电型的杂质元素的硅及硅化镍、掺杂有赋予n型导电型的杂质的硅及硅化钨等。

[0194] 在层叠有三个以上的导电膜的三层结构中,优选使用钼膜、铝膜以及钼膜的叠层结构。

[0195] 可以使用氧化铟、铟锡氧化物、铟锌氧化物、氧化锌、锌铝氧化物、锌铝氧氮化物、镓锌氧化物等透光氧化物导电膜作为栅电极707。

[0196] 或者,也可以通过未使用掩模的液滴喷射法选择性地形成栅电极707。液滴喷射法是通过从孔口排放或喷射含有预定成分的液滴以形成预定图案的方法,并且喷墨法包括在其范畴内。

[0197] 此外,栅电极707可以以如下方式形成:形成导电膜,然后,在适当地控制条件下(例如,施加到线圈电极层的电力量、施加到衬底一侧电极层的电力量以及衬底一侧的电极温度),以感应耦合等离子体(ICP)蚀刻法将导电膜蚀刻成所希望的锥形。此外,可以通过掩模的形状控制锥形的角度等。注意,关于蚀刻气体,可以适当地使用:例如氯、氯化硼、氯化硅或四氯化碳等氯类气体;例如四氟化碳、氟化硫或氟化氮等氟类气体;或氧。

[0198] 接着,如图8D所示,当以栅电极707作为掩模将赋予一导电型的杂质元素添加到半导体层704时,在半导体层704中形成与栅电极707重叠的沟道形成区710及沟道形成区710设于其间的一对杂质区709。

[0199] 在本实施方式中,以将赋予p型导电型的杂质元素(例如硼)添加到半导体层704的情况为例进行说明。

[0200] 接着,如图9A所示,形成绝缘膜712和绝缘膜713以覆盖栅极绝缘膜703及栅电极707。具体而言,可以使用氧化硅、氮化硅、氮氧化硅、氧氮化硅、氮化铝、氮氧化铝等作为绝缘膜712和绝缘膜713。特别地,由于可以充分地降低起因于电极或布线的重叠的电容,所以优选使用低介电常数(low-k)材料形成绝缘膜712和绝缘膜713。注意,可以使用包含此材料的多孔绝缘膜作为绝缘膜712和绝缘膜713。由于多孔绝缘膜具有比致密绝缘膜更低的介电常数,所以可以进一步降低起因于电极或布线的寄生电容。

[0201] 在本实施方式中,说明将氧氮化硅用于绝缘膜712并将氮氧化硅用于绝缘膜713的实例。此外,在本实施方式中,虽然示出在栅电极707上形成绝缘膜712和绝缘膜713的实例,但是,在本发明中,也可以只有一个绝缘膜形成于栅电极707上,或者,也可以层叠三层以上的多个绝缘膜。

[0202] 接着,如图9B所示,对绝缘膜713进行化学机械抛光(CMP)或蚀刻,以使绝缘膜713的上表面平坦化。注意,为了提高之后形成的晶体管101的特性,优选尽量使绝缘膜713的表面平坦化。

[0203] 经上述步骤,可以形成晶体管103。

[0204] 接着,说明用于形成晶体管101的方法。首先,如图9C所示,在绝缘膜713上形成氧化物半导体层716。

[0205] 将形成于绝缘膜713上的氧化物半导体膜加工为所需形状,来可以形成氧化物半导体层716。氧化物半导体膜的厚度大于或等于2 nm且小于或等于200 nm,优选为大于或等于3 nm且小于或等于50 nm,更优选为大于或等于3 nm且小于或等于20 nm。通过溅射沉积氧化物半导体膜。或者,也可以在稀有气体(例如,氩)气氛、氧气氛或稀有气体(例如,氩)及氧的混合气氛中以溅射形成氧化物半导体膜。

[0206] 注意,在以溅射沉积氧化物半导体膜之前,优选通过导入氩气并产生等离子体的反溅射去除绝缘膜713的表面上的灰尘。反溅射是指如下方法:电压未施加到靶材一侧,在氩气氛中使用RF电源将电压施加到衬底一侧,而使等离子体产生在衬底附近,以对衬底表面进行改性。注意,可以使用氮、氦等代替氩气氛。或者,可以使用添加有氧、氧化亚氮等的氩气氛。或者,可以使用添加有氯、四氟化碳等的氩气氛。

[0207] 所使用的氧化物半导体优选至少含有铟(In)或锌(Zn)。尤其是,优选含有In和Zn。优选的是,除了In和Zn之外,还含有镓(Ga)作为降低包含氧化物半导体的晶体管的电特性偏差的稳定剂。优选含有锡(Sn)作为稳定剂。优选含有铪(Hf)作为稳定剂。优选含有铝(Al)作为稳定剂。

[0208] 作为其他稳定剂,可以含有例如镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)或镥(Lu)等镧元素的一种或多种。

[0209] 举例而言,可以使用氧化铟;氧化锡;氧化锌;例如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物或In-Ga类氧化物等二元金属氧化物;例如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物或In-Lu-Zn类氧化物等三元金属氧化物;或是,例如In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物或In-Hf-Al-Zn类氧化物等四元金属氧化物。此外,例如,任何上述氧化物半导体也可以含有In、Ga、Sn、及Zn以外的其它要素,例如SiO₂。

[0210] 注意,这里,例如,“In-Ga-Zn类氧化物”是指含有In、Ga以及Zn作为主成分的氧化物,且对于In、Ga、及Zn的比例并无特别限定。In-Ga-Zn类氧化物也可以含有In、Ga、及Zn以外的金属元素。

[0211] 可以使用由InM₃(ZnO)_m(满足m>0,且m不是整数)表示的材料作为氧化物半导体。注意,M表示选自Ga、Fe、Mn以及Co中的一种或多种金属元素。或者,可以使用由In₃SnO₅(ZnO)_n(n>0,n是整数)表示的材料作为氧化物半导体。

[0212] 例如,可以使用原子比为In:Ga:Zn=1:1:1($=1/3:1/3:1/3$)或In:Ga:Zn=2:2:1($=2/5:2/5:1/5$)的In-Ga-Zn类氧化物或其成分在上述成分附近的任何氧化物。或者,可以使用原子比为In:Sn:Zn=1:1:1($=1/3:1/3:1/3$)、In:Sn:Zn=2:1:3($=1/3:1/6:1/2$)或In:Sn:Zn=2:1:5($=1/4:1/8:5/8$)的In-Sn-Zn类氧化物或其成分在上述成分附近的任何氧化物。

[0213] 但是,成分不限于上述,可以根据所需的半导体特性(例如,迁移率、阈值电压以及偏差)而使用具有适当成分的材料。为了取得所需半导体特性,优选将载流子浓度、杂质浓度、缺陷密度、金属元素与氧之间的原子比、原子间距离、密度等设定为适当的数值。

[0214] 例如,在使用In-Sn-Zn氧化物的情况下,比较容易地获取高迁移率。但是,在使用In-Ga-Zn类氧化物的情况下,也可以通过降低块体中的缺陷密度而提高迁移率。

[0215] 注意,例如,“以In:Ga:Zn=a:b:c($a+b+c=1$)的原子比包含In、Ga及Zn的氧化物的成分在以In:Ga:Zn=A:B:C($A+B+C=1$)的原子比包含In、Ga及Zn的氧化物的成分附近”是指a、b以及c满足下述关系: $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$,例如,r可以是0.05。同理可用于其它氧化物。

[0216] 氧化物半导体既可是单晶又可是非单晶。在后一情况下,氧化物半导体既可是非晶又可是多晶。此外,氧化物半导体既可具有包含结晶性部分的非晶结构又可具有不是非晶的结构。

[0217] 在非晶状态的氧化物半导体中,比较容易地获取平坦表面,由此当使用氧化物半导体制造晶体管时,可以降低界面散射,并可以比较容易地获取相当高的迁移率。

[0218] 在具有结晶性的氧化物半导体中,可以进一步降低块体中的缺陷,并且当表面平坦性改善时,可以获取高于非晶状态的氧化物半导体的迁移率。为了提高表面平坦性,优选在平坦表面上形成氧化物半导体。具体而言,氧化物半导体可以形成于平均表面粗糙度(R_a)小于或等于1 nm,优选为小于或等于0.3nm、更优选为小于或等于0.1 nm的表面上。

[0219] 注意,通过将由JIS B 0601定义的中心线平均粗糙度扩张为三维以应用于平面,获取 R_a 。 R_a 可以表示为“从参考表面至特定表面的偏差的绝对值的平均值”,且由下述公式定义。

[0220] [公式1]

$$[0221] \quad Ra = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |f(x, y) - Z_0| dx dy$$

[0222] 在上述公式中, S_0 表示测量的平面的面积(由坐标 (x_1, y_1) 、 (x_1, y_2) 、 (x_2, y_1) 、及 (x_2, y_2) 表示的四点所界定的长方形区),而 Z_0 表示要测量的平面的平均高度。可以使用原子力显微镜(AFM)测量 R_a 。

[0223] 在本实施方式中,使用30 nm厚的In-Ga-Zn类氧化物半导体薄膜作为氧化物半导体膜,该In-Ga-Zn类氧化物半导体薄膜使用包含铟(In)、镓(Ga)、及锌(Zn)的靶材以溅射法获取的。例如,可以使用金属的组成比为In:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1或In:Ga:Zn=1:1:2的靶材。包含In、Ga、及Zn的靶材的填充率高于或等于90%且低于或等于100%,优选高于或等于95%且低于100%。通过使用具有高填充率的靶材,形成致密的氧化物半导体膜。

[0224] 在本实施方式中,以下述方式沉积氧化物半导体膜:将衬底固定于保持减压状态

的处理室中,去除残留在处理室中的湿气,将去除了氢及湿气的溅射气体导入,并使用上述靶材。在沉积期间,衬底温度可以为高于或等于100℃且低于或等于600℃,优选为高于或等于200℃且低于或等于400℃。通过在加热衬底的同时沉积氧化物半导体膜,可以降低包含于沉积的氧化物半导体膜中的杂质浓度。此外,可以降低溅射造成的损坏。为了去除残留在处理室中的湿气,优选使用吸附型真空泵。例如,优选使用低温泵、离子泵或钛升华泵。也可以使用增设冷阱的涡轮泵作为抽真空机构。例如,通过使用低温泵,从处理室中抽除氢原子、例如水(H₂O)等含有氢原子的化合物(优选为含有碳原子的化合物)等。因此,可以降低在处理室中沉积的氧化物半导体膜中含有的杂质浓度。

[0225] 关于沉积条件的实例,使用下述条件:衬底与靶材之间的距离为100 mm,压力0.6 Pa,直流(DC)功率为0.5 kW,气氛为氧气氛(氧流量比率为100%)气氛。注意,由于脉冲式直流(DC)电源可以降低沉积时产生的粉尘并且膜厚均匀,所以优选使用脉冲式直流(DC)电源。

[0226] 此外,通过将溅射设备的处理室的漏气率设定为低于或等于 1×10^{-10} Pa • m³/秒,可以减少例如碱金属或氢化物等杂质进入通过溅射而形成的氧化物半导体膜。此外,通过使用吸附型真空泵作为抽真空系统,可以降低来自抽真空系统的例如碱金属、氢原子、氢分子、水、羟基或氢化物等杂质的倒流。

[0227] 当靶材的纯度设定于99.99%或更高时,可以降低混入于氧化物半导体膜中的碱金属、氢原子、氢分子、水、羟基、氢化物等等。此外,通过使用上述靶,可以降低氧化物半导体膜中例如锂、钠或钾等碱金属的浓度。

[0228] 注意,为了在氧化物半导体膜中含有尽可能少的氢、羟基、及湿气,优选的是在溅射设备的预热室中将有绝缘膜712和绝缘膜713形成于其上的衬底700预热作为沉积的预处理,以消除及排除吸附于衬底700上的例如氢或湿气等杂质。预热的温度是高于或等于100℃且低于或等于400℃,优选高于或等于150℃且低于或等于300℃。关于设置在预热室中的抽真空单元,低温泵是优选的。注意,可以省略预热处理。在以后步骤中沉积栅极绝缘膜721之前,也可以对导电层719和导电层720形成于其上的衬底700类似地进行此预热。

[0229] 注意,用于形成氧化物半导体层716的蚀刻可以是干蚀刻、湿蚀刻或干蚀刻及湿蚀刻。关于用于干蚀刻的蚀刻气体,优选使用含氯的气体(例如氯(Cl₂)、三氯化硼(BCl₃)、四氯化硅(SiCl₄)或四氯化碳(CCl₄)等氯类气体)。或者,使用含有氟的气体(例如四氟化碳(CF₄)、氟化硫(SF₆)、氟化氮(NF₃)或三氟甲烷(CHF₃)等氟类气体)、溴化氢(HBr)、氧(O₂)、这些气体中任何添加例如氦(He)或氩(Ar)等稀有气体的气体等。

[0230] 关于干蚀刻,可以使用平行板反应离子蚀刻(RIE)或感应耦合等离子体(ICP)蚀刻。为将膜蚀刻成具有所需形状,适当地调整蚀刻条件(例如,施加到线圈电极的电力量、施加到衬底一侧的电极的电力量、衬底一侧的电极的温度)。

[0231] 关于用于湿蚀刻的蚀刻液,使用例如磷酸、醋酸以及硝酸的混合溶液、例如柠檬酸或草酸等有机酸、等等。在本实施方式中,使用ITO-07N(由KANTO CHEMICAL CO., Inc.制造)。

[0232] 以喷墨法形成用于形成氧化物半导体层716的抗蚀剂掩模。当以喷墨法形成抗蚀剂掩模时,未使用光掩模,由此制造成本降低。

[0233] 注意,优选的是在后续步骤中形成导电膜之前进行反溅射,以致于去除附着于氧

化物半导体层716及绝缘膜713的表面上的残留抗蚀剂等。

[0234] 注意,在某些情况下,由溅射等沉积的氧化物半导体膜含有湿气或氢(包含羟基)作为杂质。湿气或氢容易形成施主能级并因而作为氧化物半导体中的杂质。因此,在本发明的一方式中,为了降低氧化物半导体膜中例如湿气或氢等杂质(为了进行脱氢或脱水),氧化物半导体层716在减压气氛、如氮、稀有气体等惰性气体气氛、氧气气氛或超干空气(在使用光腔衰荡光谱技术(CRDS)以露点仪进行测量的情况下,湿气量是20 ppm或更低(转换成露点, -55℃)),优选为1 ppm或更低,更优选为10 ppb或更低)中,接受热处理。

[0235] 通过对氧化物半导体层716进行热处理,消除氧化物半导体层716中的湿气或氢。具体而言,在高于或等于250℃且低于或等于750℃,优选高于或等于400℃且低于衬底的应变点的温度下,进行热处理。例如,以500℃进行热处理约3分钟以上且6分钟以下。当以RTA用于热处理时,短时间地进行脱水或脱氢,由此即使在高于玻璃衬底的应变点的温度下也可以进行处理。

[0236] 在本实施方式中,使用热处理设备之一的电炉。

[0237] 注意,热处理设备不限于电炉,可以设有以来自例如电阻式加热器等加热器的热传导或热辐射加热物体的装置。例如,使用例如气体快速热退火(GRTA)设备或灯快速热退火(LRTA)设备等快速热退火(RTA)设备。LRTA设备是通过例如卤素灯、金卤灯、氙电弧灯、碳电弧灯、高压钠灯或高压水银灯等灯发射的光(电磁波)的辐射加热物体。GRTA设备是使用高温气体进行热处理的设备。使用不会因热处理而与物体起反应的惰性气体作为气体,例如氮或稀有气体(例如氩)。

[0238] 在热处理中,优选的是湿气、氢等不包含于氮或例如氦、氖或氩等稀有气体中。或者,导入于热处理设备中的氮或例如氦、氖或氩等稀有气体的纯度优选为等于或高于6N(99.9999%),更优选为高于或等于7N(99.99999%)(亦即,杂质浓度为低于或等于1 ppm,优选为低于或等于0.1ppm)。

[0239] 注意,已有文献指出氧化物半导体对于杂质不敏感,当多量的金属杂质含于膜中时不会有问题,以及,可以使用含有多量例如钠等碱金属且不昂贵的钠钙玻璃(Kamiya, Nomura, and Hosono "Carrier Transport Properties and Electronic Structure of Amorphous Oxide Semiconductors: The present status", KOTAI BUTSURI(SOLID STATE PHYSICS), 2009, Vol. 44, pp. 621-633)。但是此考虑并不适当。碱金属不是包含于氧化物半导体中的元素,因此是杂质。在碱土金属不是包含于氧化物半导体中的情况下,碱土金属也是杂质。在碱金属中,特别地,Na在接触氧化物半导体层的绝缘膜是氧化物时变成 Na^+ 且Na扩散到绝缘层中。此外,在氧化物半导体层中,Na切断或进入包含于氧化物半导体中的金属与氧之间的键。结果,例如,发生例如起因于阈值电压在负方向上偏移的晶体管常开状态或迁移率降低等晶体管特性劣化。也发生特性偏差。当氧化物半导体层中的氢浓度极低时,起因于杂质的特性偏差及晶体管特性劣化出现。因此,当氧化物半导体层中的氢浓度低于或等于 $1 \times 10^{18} \text{cm}^{-3}$,优选低于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 时,杂质浓度优选降低。具体而言,通过二次离子质谱技术测量的Na浓度优选为低于或等于 $5 \times 10^{16} / \text{cm}^3$,更优选为低于或等于 $1 \times 10^{16} / \text{cm}^3$,进一步优选为低于或等于 $1 \times 10^{15} / \text{cm}^3$ 。类似地,Li浓度的测量值优选为低于或等于 $5 \times 10^{15} / \text{cm}^3$,更优选为低于或等于 $1 \times 10^{15} / \text{cm}^3$ 。类似地,K浓度的测量值优选为低于或等于 $5 \times 10^{15} / \text{cm}^3$,更优选为低于或等于 $1 \times 10^{15} / \text{cm}^3$ 。

[0240] 经由上述步骤,可以降低氧化物半导体层716中的氢浓度。因此,氧化物半导体层是稳定的。此外,通过在低于或等于玻璃转变温度的温度下进行热处理,可以形成具有极低载流子密度及宽能带隙的氧化物半导体层。因此,可以使用大型衬底形成晶体管,由此可以提高量产性。此外,通过使用氢浓度降低的氧化物半导体层,可以制造具有高耐受电压及极低的关态电流的晶体管。可以在沉积氧化物半导体层之后的任何时间进行热处理。

[0241] 注意,氧化物半导体层既可是非晶又可是结晶。可以使用例如C轴取向结晶氧化物半导体(CAAC-OS)膜形成具有结晶性的氧化物半导体层。

[0242] CAAC-OS膜不完全是单晶的,也不完全是非晶的。CAAC-OS膜是具有晶体-非晶混合相结构的氧化物半导体膜,其中,晶体部分(晶体区)及非晶部分(非晶区)包含于非晶相中。注意,在大多情况下,晶体部分被容纳在一边长小于100 nm的立方体内部。从透射电子显微镜(TEM)取得的观测图像中,CAAC-OS膜中的非晶部分与晶体部分之间的边界并不清楚。此外,通过TEM,未发现CAAC-OS膜中的晶粒边界。因此,在CAAC-OS膜中,可以抑制起因于晶粒边界的电子迁移率的降低。

[0243] 在包含于CAAC-OS膜中的每一晶体部分中,C轴取向于与CAAC-OS膜形成处的表面的法线向量或CAAC-OS膜的表面的法线向量平行的方向,形成从垂直于a-b平面的方向观察到的三角形或六角形的原子排列,并且当从垂直于c轴的方向观察时,金属原子以层状方式排列或者金属原子与氧原子以层状方式排列。注意,在晶体部分中,一晶体部分的a轴及b轴的方向与另一晶体部分不同。在本说明书中,简要的术语“垂直”包含从85°至95°的范围。此外,简要的术语“平行”含从-5°至5°的范围。

[0244] 在CAAC-OS膜中,晶体部分的分布不一定是均匀的。例如,在CAAC-OS膜的形成工序中,在从氧化物半导体膜的表面侧开始晶体生长的情况下,在氧化物半导体膜的表面附近的晶体部分的比例有时高于氧化物半导体膜形成的表面附近的晶体部分的比例。此外,当杂质添加到CAAC-OS膜时,有时在添加杂质的区域中的晶体部分变成非晶。

[0245] 由于包含在CAAC-OS膜中的晶体部分的C轴取向于与CAAC-OS膜形成处的表面的法线向量或CAAC-OS膜的表面的法线向量平行的方向,所以c轴的方向可以根据CAAC-OS膜的形状(CAAC-OS膜形成处的表面的截面形状或CAAC-OS膜的表面的截面形状)而彼此不同。注意,当形成CAAC-OS膜时,晶体部分的C轴方向是与CAAC-OS膜形成处的表面的法线向量或CAAC-OS膜的表面的法线向量平行的方向。通过膜形成或膜形成后进行例如热处理等晶化处理,形成晶体部分。

[0246] 通过在晶体管中使用CAAC-OS膜,可以减少起因于可见光或紫外光照射的晶体管电特性变化。因此,晶体管具有高可靠性。

[0247] 氮可以取代CAAC-OS膜的组成的氧的部分。

[0248] CAAC-OS膜根据其成分等而变成导体、半导体或绝缘体。CAAC-OS膜根据其成分等而透射可见光或者不透射可见光。

[0249] 关于此CAAC-OS膜的例子,有形成膜状且当从与膜的表面或支撑衬底的表面垂直的方向观测时具有三角形或六角形的原子排列的晶体,其中,当观测膜的截面时金属原子以层状方式排列或者金属原子与氧原子(或氮原子)以层状方式排列。

[0250] 将参考图16A至16E、图17A至17C、及图18A至18C,详述CAAC-OS膜的晶体结构的实例。在图16A至16E、图17A至17C以及图18A至18C中,除非另外指明,否则,垂直方向相当于C

轴方向及垂直于c轴方向的平面相当于a-b平面。在简单地使用“上半部”及“下半部”说明的情况下,它们是指在a-b平面上方的上半部及在a-b平面下方的下半部(相对于a-b平面的上半部及下半部)。此外,在图16A至16E中,由圆圈围绕的O表示四配位O,由双圆圈围绕的O表示三配位O。

[0251] 图16A示出包含一个六配位In原子及接近In原子的六个四配位氧(以下称为四配位O)原子的结构。这里,包含一金属原子及接近其的氧原子的结构称为小集团。图16A中的结构实际上为八面体结构,但是,为了简明起见而显示为平面结构。注意,三个四配位O原子存在于图16A中的上半部及下半部中。在图16A所示的小集团中,电荷为0。

[0252] 图16B示出包含一个五配位Ga原子、接近Ga原子的三个三配位氧(以下称为三配位O)原子以及接近Ga原子(与Ga原子邻近)的两个四配位O原子的结构。所有三配位O原子存在于a-b平面上。一个四配位O原子存在于图16B中的上半部及下半部。由于In原子具有五个配位基,所以,In原子也具有图16B所示的结构。在图16B所示的小集团中,电荷为0。

[0253] 图16C示出包含一个四配位Zn原子及接近Zn原子的四个四配位O原子。在图16C中,一四配位O原子存在于上半部,三个四配位O原子存在以下半部中。在图16C所示的小集团中,电荷为0。

[0254] 图16D示出包含一个六配位Sn原子及接近Sn原子的六个四配位O原子。在图16D中,三个四配位O原子存在于上半部及下半部中。在图16D所示的小集团中,电荷为+1。

[0255] 图16E示出包含两个Zn原子的小集团。在图16E中,一个四配位O原子存在于上半部及下半部中。在图16E所示的小集团中,电荷为-1。

[0256] 这里,多个小集团形成中集团,并且多个中集团形成大集团(也称为单位晶胞)。

[0257] 现在,将说明小集团之间的键合规则。图16A中相对于六配位In原子的上半部中的三个O原子均在向下方向上具有三个接近的In原子,且在下半部中的三个O原子在向上方向上均具有三个接近的In原子。图16B中相对于五配位Ga原子的上半部中的一个O原子在向下方向上具有一个接近的Ga原子,且在下半部中的一个O原子在向上方向上具有一个接近的Ga原子。图16C中相对于一个四配位Zn原子的上半部中的一个O原子在向下方向上具有一个接近的Zn原子,且在下半部中的三个O原子在向上方向上具有三个接近的Zn原子。依此方式,在金属原子上方的四配位O原子的数目等于接近四配位O原子且在四配位O原子的下方的金属原子数目;类似地,在金属原子下方的四配位O原子的数目等于接近四配位O原子且在四配位O原子的上方的金属原子的数目。由于四配位O原子配位数是4,所以,接近O原子及在O原子的下方的金属原子数目与接近O原子且在O原子的上方的金属原子数目的总和为4。因此,当在金属原子上方的四配位O原子的数目与在另一金属原子下方的四配位O原子的数目的总和为4时,二种包含金属原子的小集团可以彼此键合。例如,在六配位金属(In或Sn)原子经由下半部中的三个四配位O原子键合的情况下,其键合到五配位金属(Ga或In)原子或四配位金属(Zn)原子。

[0258] 配位数为4、5或6的金属原子经由c轴方向上的四配位O而键合到另一金属原子。此外,通过结合多个小集团以致于叠层结构的总电荷为0,也可以以不同方式形成中集团。

[0259] 图17A示出包含于In-Sn-Zn类氧化物的叠层结构中的中集团的模型。图17B示出包含三个中集团的大集团。图17C示出从c轴方向观测图17B中叠层结构的原子排列。

[0260] 在图17A中,为简明起见而省略三配位O原子,以及,以圆圈表示四配位O原子;圆圈

中的数目表示四配位O原子的数目。例如,存在于相对于Sn原子的上半部及下半部中的各部中的三个四配位O原子以圆圈3表示。类似地,在图17A中,存在于相对于In原子的上半部及下半部中的各部中的一个四配位O原子以圆圈1表示。图17A也示出接近下半部中的一个四配位O原子及上半部中的三个四配位O原子的Zn原子以及接近上半部中的一个四配位O原子及下半部中的三个四配位O原子的Zn原子。

[0261] 在包含于图17A中的In-Sn-Zn类氧化物的叠层结构中的中集团中,从顶部依序地,接近上半部及下半部中各部中的三个四配位O原子的Sn原子键合至接近上半部及下半部中各部中的一个四配位O原子的In原子、In原子键合至接近上半部中的三个四配位O原子的Zn原子、Zn原子经由相对于Zn原子的下半部中的一个四配位O原子而键合至接近上半部及下半部中各部中的三个四配位O原子的In原子、In原子键合至包含两个Zn原子且接近上半部中的一个四配位O原子的小集团,以及,小集团经由相对于小集团的下半部中一个四配位O原子而键合至接近上半部及下半部中各部中的三个四配位O原子的Sn原子。多个这些中集团键合,以致于形成大集团。

[0262] 这里,将三配位O原子的一键的电荷及四配位O原子的一键的电荷分别假定为-0.667和-0.5。例如,(六配位或五配位)In原子的电荷、(四配位)Zn原子的电荷、及(五配位或六配位)Sn原子的电荷分别为+3、+2、及+4。因此,包含Sn原子的小集团中的电荷为+1。因此,需要抵消+1的-1电荷以形成包含Sn原子的叠层结构。关于具有-1的电荷的结构,可为如图16E所示之包含两个Zn原子的一个小集团。例如,通过包含两个Zn原子的一个小集团,可以抵消包含Sn原子的小集团的电荷,以致于叠层结构的总电荷为0。

[0263] 当图17B所示的大集团重复时,取得In-Sn-Zn类氧化物的晶体($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意,取得的In-Sn-Zn-O为基础的晶体的叠层结构表示为组成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 为0或自然数)。

[0264] 上述规则也应用于下述氧化物:例如In-Sn-Ga-Zn类氧化物等四元金属氧化物;例如In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物或In-Lu-Zn类氧化物等三元金属氧化物;例如In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物或In-Ga类氧化物等二元金属氧化物。例如In类氧化物、Sn类氧化物或Zn类氧化物等单元金属氧化物;等等。

[0265] 例如,图18A示出包含于In-Ga-Zn类氧化物的叠层结构中的中集团的模型。

[0266] 在图18A中包含于In-Ga-Zn类氧化物的叠层结构中的中集团中,从顶部依序地,接近上半部及下半部中各部中的三个四配位O原子的In原子键合至接近上半部中的一个四配位O原子的Zn原子、Zn原子经由相对于Zn原子的下半部中三个四配位O原子而键合至接近上半部及下半部中各部中的一个四配位O原子的Ga原子、Ga原子经由相对于Ga原子的下半部中一个四配位O原子而键合至接近上半部及下半部中各部中的三个四配位O原子的In原子。多个这些中集团键合,以致于形成大集团。

[0267] 图18B示出包含三个中集团的大集团。注意,图18C显示从c轴方向观测图18B中的

叠层结构的情况下的原子排列。

[0268] 这里,由于(六配位或五配位)In原子的电荷、(四配位)Zn原子的电荷、及(五配位)Ga原子的电荷分别为+3、+2、+3,所以,包含In原子、Zn原子、及Ga原子中任何原子的小集团的电荷为0。结果,具有这些小集团的结合的中集团的总电荷总是0。

[0269] 为了形成In-Ga-Zn类氧化物的叠层结构,不仅使用图18A所示的中集团,也可使用In原子、Zn原子、及Ga原子的排列不同于图18A中的排列的中集团,以形成大集团。

[0270] 在CAAC-OS膜中,相较于非晶氧化物半导体膜中,金属原子及氧原子依有序方式而键合。也就是说,在氧化物半导体是非晶的情况下,不同金属原子之间的配位数不同,但是,在CAAC-OS膜中,金属原子的配位数几乎相同。因此,可以降低氧的微缺陷,并可以降低起因于氢原子(包含氢离子)或碱金属原子的附着及脱离的电荷不稳定性及移动。

[0271] 因此,通过使用包含CAAC-OS膜的氧化物半导体膜形成晶体管,可以降低在对晶体管进行光照射及偏压温度(BT)应力测试后发生的晶体管的阈值电压的偏移量。因此,可以形成具有稳定电特性的晶体管。

[0272] 接着,如图10A所示,形成接触氧化物半导体层716的导电层719以及接触氧化物半导体层716的导电层720。导电层719及导电层720用作源极和漏电极。

[0273] 具体而言,以溅射或真空气相沉积形成导电膜,然后将导电膜加工为预定形状,以此方式,可以形成导电层719和导电层720。

[0274] 关于用作导电层719和导电层720的导电膜,可以使用任何下述材料:选自铝、铬、铜、钼、钛、钨或钨的元素;含有任何这些元素的合金;包含上述元素组合的合金膜;等等。或者,可以使用例如铬、钼、钛、钨或钨等耐热金属膜层叠于铝、铜等金属膜上或下的结构。优选将铝或铜结合于耐热金属材料,以避免抗热性及腐蚀的有关问题。关于耐热金属材料,可以使用钼、钛、铬、钼、钨、钽、铪、钇、等等。

[0275] 此外,用作导电层719和导电层720的导电膜可以具有单层结构或两层以上的叠层结构。例如,可为含硅的铝膜的单层结构、钛膜层叠于铝膜上的双层结构、钛膜、铝膜以及钛膜依序层叠的三层结构、等等。Cu-Mg-Al合金、Mo-Ti合金、Ti、及Mo对氧化物膜具有高粘合性。因此,以包含Cu-Mg-Al合金、Mo-Ti合金、Ti或Mo的导电膜作为下层并以包含Cu的导电膜作为上层的叠层结构用于导电层719和导电层720。结果,在作为氧化物膜的绝缘膜与导电层719及导电层720之间的粘合性增强。

[0276] 关于用作导电层719和导电层720的导电膜,也可以使用导电金属氧化物。关于导电金属氧化物,可以使用氧化铟、氧化锡、氧化锌、铟锡氧化物、铟锌氧化物或含硅或氧化硅的导电金属氧化物材料。

[0277] 在导电膜形成之后进行热处理的情况下,导电膜优选具有足以耐受热处理的抗热性。

[0278] 注意,适当地调整每一材料及蚀刻条件,以致于在蚀刻导电膜时尽可能地不去除氧化物半导体层716。取决于蚀刻条件,氧化物半导体层716的暴露部被部分地蚀刻,而有时形成沟槽(凹部)。

[0279] 在本实施方式中,使用钛膜作为导电膜。因此,可以使用含有氨及过氧化氢水的溶液(过氧化氢氨混合物),以湿蚀刻选择性地蚀刻导电膜。具体而言,使用31 wt%的含氧水、28 wt%的氨水、及水以5:2:2的体积比混合的过氧化氢氨混合物。或者,也可以使用含氯

(Cl₂)、氯化硼(BCl₃)等的气体对导电膜进行干蚀刻。

[0280] 注意,为了降低光刻工序中使用的掩模数目及降低工序数目,可以利用使用多级灰度掩模而形成的抗蚀剂掩模,以进行蚀刻工序,多级灰度掩模是光透射过而具有多个强度的掩模。使用多级灰度掩模形成的抗蚀剂掩模具有多个厚度,并可以通过蚀刻改变抗蚀剂掩模的形状,因此可以在多个用于将膜加工为不同的图案的蚀刻工序中使用抗蚀剂掩模。因此,可以以一个多级灰度掩模形成对应于至少二种或更多种的不同图案的抗蚀剂掩模。因此,可以降低曝光掩模的数目及对应的光刻工序的数目,以致于简化工序。

[0281] 此外,在氧化物半导体层716与用作源电极及漏电极的导电层719及导电层720之间,设置用作源区和漏区的氧化物导电膜。氧化物导电膜的材料优选含有氧化锌作为成分以及优选未含有氧化铟。关于此氧化物导电膜,可以使用氧化锌、锌铝氧化物、锌铝氧氮化物、锌镓氧化物、等等。

[0282] 例如,在形成氧化物导电膜时,可以同时进行用于形成氧化物导电膜的蚀刻及用于形成导电层719和导电层720的蚀刻。

[0283] 通过设置用作源区和漏区的氧化物导电膜,可以降低氧化物半导体层716与导电层719及导电层720之间的电阻,以致于晶体管能够高速地工作。此外,通过设置用作源区和漏区的氧化物导电膜,可以提高晶体管的耐受电压。

[0284] 接着,使用例如N₂O、N₂或Ar等气体,进行等离子体处理。通过此等离子体处理,去除附着于暴露的氧化物半导体层的表面的水等。或者,可以使用氧及氩的混合气体进行等离子体处理。

[0285] 在等离子体处理之后,如图10B所示,形成栅极绝缘膜721以致于覆盖导电层719和导电层720以及氧化物半导体层716。然后,在栅极绝缘膜721上形成栅电极722以与氧化物半导体层716重叠。

[0286] 然后,在形成栅电极722之后,使用栅电极722作为掩模,将赋予n型导电型的掺杂剂添加到氧化物半导体层716,以形成一对高浓度区908。注意,隔着栅极绝缘膜721与栅电极722重叠的氧化物半导体层716的区域是沟道形成区。氧化物半导体层716包含位于一对高浓度区908之间的沟道形成区。可以以离子注入,进行用于形成一对高浓度区908的掺杂剂添加。例如,可以使用例如氢、氩或氙等稀有气体;例如氮、磷、砷或锑等15族元素;等等以作为掺杂剂。例如,在使用氮作为掺杂剂的情况下,高浓度区908中的氮原子的浓度优选为高于或等于 $5 \times 10^{19}/\text{cm}^3$ 且低于或等于 $1 \times 10^{22}/\text{cm}^3$ 。添加赋予n型导电型的掺杂剂的高浓度区908比氧化物半导体层716中的其它区域具有更高的导电率。因此,通过在氧化物半导体层716中设置一对高浓度区908,可以降低源电极与漏电极(导电层719与导电层720)之间的电阻。

[0287] 当源电极与漏电极(导电层719与导电层720)之间的电阻降低时,即使使晶体管101微型化,也可以确保高开态电流(on-state current)及高速工作。此外,通过使晶体管101微型化,可以降低包含晶体管的存储单元阵列的面积,以致于每单位面积的存储器容量增加。

[0288] 在以In-Ga-Zn类氧化物半导体用于氧化物半导体层716的情况下,在添加氮之后,以高于或等于300℃且低于或等于600℃的温度进行热处理一小时,一对高浓度区908中的氧化物半导体具有纤锌矿晶体结构。当一对高浓度区908中的氧化物半导体具有纤锌矿晶

体结构时,一对高浓度区908的导电率进一步可以增大且源电极与漏电极(导电层719与导电层720)之间的电阻可以进一步降低。注意,为了通过形成具有纤锌矿晶体结构的氧化物半导体而有效地降低源电极与漏电极(导电层719与导电层720)之间的电阻,在使用氮作为掺杂剂的情况下,高浓度区908中的氮原子的浓度优选高于或等于 $1 \times 10^{20}/\text{cm}^3$ 且低于或等于7at%。即使在氮原子的浓度低于上述范围的情况下,也可以有时取得具有纤锌矿晶体结构的氧化物半导体。

[0289] 可以使用类似于栅极绝缘膜703的材料及叠层结构形成栅极绝缘膜721。注意,栅极绝缘膜721优选包含尽可能少的例如湿气或氢等杂质,并可以使用单层绝缘膜或层叠的多个绝缘膜而形成。当在栅极绝缘膜721中含有氢时,氢进入氧化物半导体层716或者氧化物半导体层716中的氧由氢取出,使得氧化物半导体层716具有较低的电阻(n型导电型),而有可能形成寄生沟道。因此,重要的是利用未使用氢的沉积方法形成含有尽可能少的氢的栅极绝缘膜721。具有高阻挡特性的材料优选用于栅极绝缘膜721。关于具有高阻挡特性的绝缘膜,例如,可以使用氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜、等等。当使用层叠的多个绝缘膜时,在比具有高阻挡特性的绝缘膜更接近氧化物半导体层716的侧上,形成例如氧化硅膜或氧氮化硅膜等具有低比例的氮的绝缘膜。然后,形成具有高阻挡特性的绝缘膜以致于隔着具有低氮比例的绝缘膜与导电层719和导电层720以及氧化物半导体层716重叠。当使用具有高阻挡特性的绝缘膜时,可以防止例如湿气或氢等杂质进入氧化物半导体层716、栅极绝缘膜721或氧化物半导体层716与另一绝缘膜之间的界面及其附近。此外,形成例如氧化硅膜或氧氮化硅膜等具有低比例的氮的绝缘膜以接触氧化物半导体层716,以致于可以防止具有高阻挡特性的绝缘膜直接接触氧化物半导体层716。

[0290] 在本实施方式中,形成具有一结构的栅极绝缘膜721,在所述结构中,通过溅射而形成的100 nm厚的氮化硅层叠于通过溅射而形成的200 nm厚的氧化硅膜上。沉积期间的衬底温度在高于或等于室温且小于或等于300℃的范围,在本实施方式中为100℃。

[0291] 在形成栅极绝缘膜721之后,进行热处理。在氮气氛、超干空气或稀有气体(例如,氩或氦)气氛中,优选在高于或等于200℃且低于或等于400℃的温度下,例如,高于或等于250℃且低于或等于350℃的温度下,进行热处理。优选的是,气体中的水含量低于或等于20 ppm、优选低于或等于1 ppm、更佳地低于或等于10 ppb。在本实施方式中,例如,在氮气氛中,在250℃下进行热处理1小时。或者,以类似于在导电层719和导电层720形成之前对氧化物半导体层进行的用于降低湿气或氢的热处理的方式,进行短时间的高温RTA处理。即使在由对氧化物半导体层716进行的热处理使氧化物半导体层716中产生氧缺陷时,也可以在设置含有氧的栅极绝缘膜721之后进行热处理,使得氧从栅极绝缘膜721供应到氧化物半导体层716。通过将氧供应到氧化物半导体层716,可以降低氧化物半导体层716中作为施主的氧缺陷,并满足化学计量比例。氧化物半导体层716优选含有超过化学计量成分的氧。结果,可以使氧化物半导体层716成为实质上本征且能降低起因于氧缺陷的晶体管电特性的偏差,因此可以增进电特性。对于进行此热处理的时机并无特别限定,只要在形成栅极绝缘膜721之后进行即可。当此热处理在另一步骤中作为热处理(例如,形成树脂膜期间的热处理或降低透明导电膜的电阻的热处理)时,可以使氧化物半导体层716成为实质上本征而不增加步骤数目。

[0292] 或者,在氧气氛中对氧化物半导体层716进行热处理,以致于将氧添加到氧化物半

导体,可以降低氧化物半导体层716中作为施主的氧缺陷。例如,在高于或等于100℃且低于350℃的温度下,优选在高于或等于150℃且低于250℃的温度下,进行热处理。优选的是,用于氧气氛中的热处理的氧气未包含水、氢、等等。或者,导入到热处理设备的氧气的纯度优选为高于或等于6N(99.9999%),更优选为高于或等于7N(99.99999%)(亦即,氧中的杂质浓度低于或等于1 ppm,优选低于或等于0.1 ppm)。

[0293] 或者,通过离子注入、离子掺杂、等等,将氧添加到氧化物半导体层716,以致于降低作为施主的氧缺陷。例如,由2.45 GHz的微波制成等离子体的氧可以添加到氧化物半导体层716。

[0294] 在栅极绝缘膜721上形成导电膜并将该导电膜蚀刻,以此方式,可以形成栅电极722。可以使用类似于栅电极707、导电层719以及导电层720的材料形成栅电极722。

[0295] 栅电极722的厚度大于或等于10nm且小于或等于400 nm,优选高于或等于100 nm且低于或等于200 nm。在本实施方式中,使用钨靶材,以溅射形成用于栅电极的150 nm厚的导电膜,通过蚀刻将导电膜加工为所需形状,以致于形成栅电极722。以喷墨法形成抗蚀剂掩模。当以喷墨法形成抗蚀剂掩模时,未使用光掩模;因此,制造成本降低。

[0296] 经由上述步骤,形成晶体管101。

[0297] 在晶体管101中,源电极和漏电极(导电层719和导电层720)未与栅电极722重叠。换言之,比栅极绝缘膜721的厚度大的间隙设在源电极及漏电极(导电层719及导电层720)与栅电极722之间。因此,在晶体管101中,可以降低源电极及漏电极与栅电极之间形成的寄生电容。结果,可以进行高速操作。

[0298] 注意,晶体管101不限于在氧化物半导体层中具有沟道的晶体管,也可以使用在沟道形成区中包含如下半导体材料的晶体管,该半导体材料的能带隙大于硅的能带隙且其本征载流子密度比硅低。关于此半导体材料,例如,可以使用碳化硅、氮化镓等代替氧化物半导体。通过使用包含此半导体材料的沟道形成区,可以取得具有极低的关态电流的晶体管。

[0299] 虽然将晶体管101描述为单栅极晶体管,但是,在需要时,当包含电连接的多个栅电极时,形成包含多个沟道形成区的多栅极晶体管。

[0300] 注意,可以使用含有属于13族的元素及氧的绝缘材料形成接触氧化物半导体层716的绝缘膜(在本实施方式中,对应于栅极绝缘膜721)。很多氧化物半导体材料含有属于13族的元素,并且含有属于13族的元素的绝缘材料与氧化物半导体良好地作用。通过将含有属于13族的元素的此绝缘材料用于接触氧化物半导体层的绝缘膜,与氧化物半导体层之间的界面态可以保持良好。

[0301] 含有属于13族元素的绝缘材料是含有属于13族的一或更多元素的绝缘材料。含有属于13族元素的绝缘材料的例子包含氧化镓、氧化铝、铝镓氧化物以及镓铝氧化物。这里,铝镓氧化物是以原子百分比而言铝含量大于镓含量的材料,镓铝氧化物是以原子百分比而言镓含量大于或等于铝含量的材料。

[0302] 例如,在形成接触含镓的氧化物半导体层的绝缘膜的情况下,当以含氧化镓的材料用于绝缘膜时,在氧化物半导体层与绝缘膜之间的界面可以保持良好的特性。例如,当氧化物半导体层及含有氧化镓的绝缘膜设置为彼此接触时,可以降低氧化物半导体层与绝缘膜之间的界面的氢累积。注意,在将属于与氧化物半导体的构成元素相同的族的元素用于绝缘膜的情况下,可以取得类似的效果。例如,使用含有氧化铝的材料形成绝缘膜是有效

的。氧化铝不易透水。因此,优选的是使用包含氧化铝的材料以防止水进入氧化物半导体层。

[0303] 接触氧化物半导体层716的绝缘膜优选通过氧气氛中的热处理、氧掺杂等而含有高于化学计量成分的氧。“氧掺杂”是指氧添加到块体。注意,使用“块体”一词以清楚说明氧不仅添加到薄膜的表面,也添加到薄膜的内部。此外,“氧掺杂”包含“氧等离子体掺杂”,其中,被制成等离子体的氧添加到块体。可以通过离子注入或离子掺杂而进行氧掺杂。

[0304] 例如,在使用氧化镓形成接触氧化物半导体层716的绝缘膜的情况下,通过氧气氛中的热处理或氧掺杂,可以将氧化镓的成分设定为 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

[0305] 在使用氧化铝形成接触氧化物半导体层716的绝缘膜的情况下,通过氧气氛中的热处理或氧掺杂,可以将氧化铝的成分设定为 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

[0306] 在使用镓铝氧化物(铝镓氧化物)形成接触氧化物半导体层716的绝缘膜的情况下,通过氧气氛中的热处理或氧掺杂,可以将镓铝氧化物(铝镓氧化物)的成分设定为 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)。

[0307] 通过氧掺杂,可以形成包含其氧比例高于化学计量成分的氧比例的区域绝缘膜。当包含此区域的绝缘膜接触氧化物半导体层时,绝缘膜中过量存在的氧供应到氧化物半导体层,并且氧化物半导体层中或是氧化物半导体层与绝缘膜之间的界面处的氧缺乏降低。因此,氧化物半导体层可为本征的或实质上本征的氧化物半导体。

[0308] 包含其氧比例高于化学计量成分的氧比例的区域绝缘膜可以应用于设置于氧化物半导体层716的上侧的绝缘膜或设置于氧化物半导体层716的下侧的绝缘膜,它们接触氧化物半导体层716,但是优选的是将上述绝缘膜用于接触氧化物半导体层716的两个绝缘膜。通过一结构,可以增强上述有利效果,在该结构中,氧化物半导体层716夹在绝缘膜与绝缘膜之间,该绝缘膜均包含其氧比例高于化学计量成分的氧比例的区域,用于接触氧化物半导体层716的绝缘膜,并位于氧化物半导体层716的上侧及下侧。

[0309] 氧化物半导体层716的上侧及下侧的绝缘膜可以含有相同的构成元素或不同的构成元素。例如,可以都使用成分为 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)的氧化镓形成上侧及下侧的绝缘膜。或者,可以使用 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)形成上侧及下侧的绝缘膜之一并使用成分为 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)的氧化铝形成上侧及下侧的绝缘膜之另一。

[0310] 也可以以均包含其氧比例高于化学计量成分的氧比例的区域绝缘膜的叠层形成接触氧化物半导体层716的绝缘膜。例如,可以如下所述地形成氧化物半导体层716的上侧的绝缘膜:形成成分为 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)的氧化镓,并在其上形成成分为 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)的镓铝氧化物(铝镓氧化物)。注意,可以以均包含其氧比例高于化学计量成分的氧比例的区域绝缘膜的叠层形成氧化物半导体层716的下侧上的绝缘膜。或者,氧化物半导体层716的上侧及下侧上的绝缘膜可以都由均包含其氧比例高于化学计量成分的氧比例的区域绝缘膜的叠层形成。

[0311] 接着,如图10C所示,绝缘膜724形成覆盖栅极绝缘膜721及栅电极722。以PVD、CVD等形成绝缘膜724。使用包含例如氧化硅、氮化硅、氧化铝、氧化镓或氧化铝等无机绝缘材料的材料,形成绝缘膜724。注意,关于绝缘膜724,优选使用具有低介电常数的材料或具有低介电常数的结构(例如多孔结构)。当绝缘膜724的介电常数降低时,产生于布线或电极之间的寄生电容可以降低,造成更高速工作。注意,虽然在本实施方式中绝缘膜

724具有单层结构,但是,本发明的一方式不限于此结构。绝缘膜724可以具有两层或更多的叠层结构。

[0312] 接着,在栅极绝缘膜721和绝缘膜724中形成开口,以致于部分导电层720暴露。之后,经由开口接触导电层720的布线726形成于绝缘膜724上。

[0313] 以PVD或CVD形成导电膜,然后将导电膜蚀刻,以致于形成布线726。关于导电膜的材料,可以使用选自铝、铬、铜、钽、钛、钼或钨的元素;含有任何这些元素作为成分的合金;等等。可以使用包含锰、镁、锆、铍、钕及钐中之一或任何这些元素的组合的材料。

[0314] 具体而言,例如,可以采用一方法,其中,以PVD在包含绝缘膜724的开口的区域中形成薄钛膜并以PVD形成薄钛膜(具有约5 nm的厚度),然后,形成铝膜以致嵌入于开口中。这里,以PVD形成的钛膜具有降低形成于被形成有钛膜的表面上的氧化物膜(例如,自然氧化物膜)的功能,以降低与下电极等(这里,导电层720)之间的接触电阻。此外,可以防止铝膜的小丘。也可以在形成钛、氮化钛、等等的阻挡膜之后以镀覆法形成铜膜。

[0315] 接着,如图10D所示,形成绝缘膜727以覆盖布线726。此外,导电膜形成于绝缘膜727上,然后将导电膜蚀刻,以致于形成导电层7301。之后,形成绝缘膜7302以覆盖导电层7301,并且导电膜7303形成于绝缘膜7302上。依此方式,形成电容器102。电容器102的一对电极之一对应于导电层7301,电容器102的一对电极之另一对应于导电膜7303,并且电容器102的介电层对应于绝缘膜7302。这里,使用类似于其它绝缘膜及导电层的材料形成绝缘膜727、导电层7301、绝缘膜7302以及导电膜7303。

[0316] 经由上述步骤,可以形成信号处理电路2000。

[0317] 本实施方式可以与其他实施方式适当地组合。

[0318] 实施方式5

[0319] 在本实施方式中,将说明具有不同于实施方式4中的结构的包含氧化物半导体层的晶体管。注意,与图10A至10D中相同的部分由相同的符号表示并省略其说明。

[0320] 图11A所示的晶体管911是栅电极722形成在氧化物半导体层716上的顶栅极型晶体管,也是源电极和漏电极(导电层719和导电层720)形成在氧化物半导体层716下的底部接触型晶体管。

[0321] 氧化物半导体层716包含一对高浓度区918,一对高浓度区918在形成栅电极722之后通过将赋予n型导电型的掺杂剂添加到氧化物半导体层716而取得的。此外,隔着栅极绝缘膜721与栅电极722重叠的氧化物半导体层716的区域是沟道形成区919。氧化物半导体层716包含位于一对高浓度区918之间的沟道形成区919。

[0322] 以类似于实施方式4中所述的一对高浓度区908的方式,形成一对高浓度区918。

[0323] 图11B所示的晶体管911是栅电极722形成在氧化物半导体层716上的顶栅极型晶体管,也是源电极和漏电极(导电层719和导电层720)形成在氧化物半导体层716上的底部接触型晶体管。晶体管911又包含设在栅电极722的端部且由绝缘膜形成的侧壁930。

[0324] 氧化物半导体层716包含一对高浓度区928及一对低浓度区929,一对高浓度区928及一对低浓度区929在形成栅电极722之后通过将赋予n型导电型的掺杂剂添加到氧化物半导体层716而取得的。此外,隔着栅极绝缘膜721与栅电极722重叠的氧化物半导体层716的区域是沟道形成区931。氧化物半导体层716包含位于一对高浓度区928之间的一对低浓度区929以及在一对低浓度区929之间的沟道形成区931。此外,一对低浓度区929设在隔着栅

极绝缘膜721与侧壁930重叠的氧化物半导体层716的区域中。

[0325] 以类似于实施方式4中所述的一对高浓度区908的方式,形成一对高浓度区928及一对低浓度区929。

[0326] 图11C所示的晶体管911是栅电极722形成在氧化物半导体层716上的顶栅极型晶体管,也是源电极和漏电极(导电层719和导电层720)形成在氧化物半导体层716下的底部接触型晶体管。晶体管911又包含设在栅电极722的端部且由绝缘膜形成的侧壁950。

[0327] 氧化物半导体层716包含一对高浓度区948及一对低浓度区949,一对高浓度区948及一对低浓度区949在形成栅电极722之后通过将赋予n型导电型的掺杂剂添加到氧化物半导体层716而取得的。此外,隔着栅极绝缘膜721与栅电极722重叠的氧化物半导体层716的区域是沟道形成区951。氧化物半导体层716包含位于一对高浓度区948之间的一对低浓度区949以及在一对低浓度区949之间的沟道形成区951。此外,一对低浓度区949设在隔着栅极绝缘膜721与侧壁950重叠的氧化物半导体层716的区域中。

[0328] 以类似于实施方式4中所述的一对高浓度区908的方式,形成一对高浓度区948及一对低浓度区949。

[0329] 注意,关于经自对准工序而在包含氧化物半导体的晶体管中形成用作源区或漏区的高浓度区的方法之一,已揭示一方法,其中,暴露氧化物半导体层的表面,并进行氩等离子体处理,从而降低暴露于等离子体的氧化物半导体层中的区域的电阻(S. Jeon et al., "180 nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp. 504-507, 2010)。

[0330] 但是,在形成方法中,需要部分地去除栅极绝缘膜,以致于栅极绝缘膜形成之后暴露用作源区或漏区的区域。因此,当栅极绝缘膜被去除时,在栅极绝缘膜下的氧化物半导体层部分地被过蚀刻,以致于用作源区或漏区的区域的厚度降低。结果,源区或漏区的电阻增高且容易发生起因于过蚀刻的晶体管特性缺陷。

[0331] 为了使晶体管微型化,需要采用具有高处理准确度的干蚀刻。在使用无法充分地确保氧化物半导体层相对于栅极绝缘膜的选择性的干蚀刻的情况下,特别容易发生过蚀刻。

[0332] 例如,只要氧化物半导体层具有足够大的厚度,过蚀刻即不会成为问题。但是,在沟道长度小于或等于200 nm的情况下,作为沟道形成区的氧化物半导体层的区域的厚度须要小于或等于20 nm,优选小于或等于10 nm,以防止短沟道效应。在使用该薄氧化物半导体层的情况下,由于如上所述那样发生源区或漏区的电阻增高并发生晶体管的特征缺陷,所以氧化物半导体层的过蚀刻是不利的。

[0333] 但是,如本发明的一方式那样,当掺杂剂添加到氧化物半导体层,而氧化物半导体层未暴露且留下栅极绝缘膜时,可以防止氧化物半导体层的过蚀刻,并可以降低对氧化物半导体层的过度损伤。此外,在氧化物半导体层与栅极绝缘膜之间的界面保持清洁。因此,可以提高晶体管的特性及可靠性。

[0334] 本实施方式可以与其他实施方式适当地组合。

[0335] 实施方式6

[0336] 在本实施方式中,将说明结构不同于实施方式4及实施方式5的结构的包含氧化物半导体层的晶体管。注意,与图10A至10D相同的部分由相同的符号表示并省略其说明。在本

实施方式中所述的晶体管101中,栅电极722设置为与导电层719及导电层720重叠。此外,本实施方式的晶体管101与实施方式4或5中所述的晶体管101不同之处在于不使用栅电极722作为掩模将赋予导电型的杂质元素添加到氧化物半导体层716。

[0337] 图12A示出氧化物半导体层716设于导电层719及导电层720下的晶体管101的实例,而图12B示出氧化物半导体层716设于导电层719及导电层720上的晶体管101的实例。注意,虽然绝缘膜724的上表面在图12A及12B中均未被平坦化,但是本发明的一种方式不限于此结构。绝缘膜724的上表面可以被平坦化。

[0338] 本实施方式可以与其他实施方式适当地组合。

[0339] 实施方式7

[0340] 由于各种原因,真正测量到的栅极绝缘晶体管的场效应迁移率低于其原始迁移率,此现象不仅发生于使用氧化物半导体的情况。原因之一在于半导体内部的缺陷或半导体与绝缘膜之间的界面处的缺陷降低迁移率。当使用莱文森(Levinson)模式时,理论上能够计算无缺陷存在于半导体内部的条件下的场效应迁移率。在本实施方式中,依理论计算半导体内部无缺陷的理想氧化物半导体的场效应迁移率,并示出使用该氧化物半导体制成的微小晶体管的特性的计算结果。

[0341] 将半导体的原始迁移率和测量的场效应迁移率分别假设为 μ_0 和 μ ,并且势垒(例如晶粒边界)存在于半导体中时,以下述公式2表示测量的场效应迁移率 μ 。

[0342] [公式2]

$$[0343] \quad \mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0344] 这里,E表示势垒的高度,k表示波兹曼常数,T表示绝对温度。当势垒被假定为归因于缺陷时,根据莱文森模式,势垒的高度以下述公式表示。

[0345] [公式3]

$$[0346] \quad E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0347] 这里,e表示元电荷,N表示沟道中每单位面积的平均缺陷密度, ϵ 表示半导体的介电系数,n表示沟道中每单位面积的载流子数目, C_{ox} 表示每单位面积的电容, V_g 表示栅电压,t表示沟道的厚度。在半导体层的厚度小于或等于30 nm的情况下,沟道的厚度被视为与半导体层的厚度相同。线性区中的漏电流 I_d 以下述公式表示。

[0348] [公式4]

$$[0349] \quad I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0350] 这里,L表示沟道长度,W表示沟道宽度,L及W均为10 μ m。此外, V_d 表示漏电压。当以 V_g 除上述公式的两侧,然后两侧取对数时,得到下述公式。

[0351] [公式5]

$$[0352] \quad \ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_g}$$

[0353] 公式5的右侧是 V_g 的函数。由等式可知,从以 $\ln(I_d/V_g)$ 为纵轴及 $1/V_g$ 为横轴绘制真实测量值而取得的图形中的线的斜率,可以取得缺陷密度N。亦即,从晶体管的 I_d - V_g 特性曲

线,评估缺陷密度。铟(In)、锡(Sn)及锌(Zn)的比例为1:1:1的氧化物半导体的缺陷密度N约为 $1 \times 10^{12}/\text{cm}^2$ 。

[0354] 根据以此方式取得的缺陷密度,从公式2和公式3,计算出 μ_0 为 $120 \text{ cm}^2/\text{Vs}$ 。包含缺陷的In-Sn-Zn氧化物的测量迁移率约为 $40 \text{ cm}^2/\text{Vs}$ 。但是,假设无缺陷存在于半导体的内部及半导体与绝缘膜之间的界面,则预期氧化物半导体的迁移率 μ_0 为 $120 \text{ cm}^2/\text{Vs}$ 。

[0355] 注意,即使当无缺陷存在于半导体内部时,在沟道与栅极绝缘膜之间的界面散射仍影响晶体管的传输特性。换言之,在离沟道与栅极绝缘膜之间的界面有一距离x的位置的迁移率 μ_1 以下述公式表示。

[0356] [公式6]

$$[0357] \quad \frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

[0358] 这里,D表示栅极方向上的电场,B及G是常数。B及G是从真实的测量结果取得,根据上述测量结果,B是 $4.75 \times 10^7 \text{ cm/s}$,G是 10 nm (界面散射影响到达的深度)。当D增加(亦即,当栅电压增加时)时,公式6的第二项增加,以致于迁移率 μ_1 降低。

[0359] 图19示出晶体管的迁移率 μ_2 的计算结果,该晶体管具有包含半导体内部没有缺陷的理想氧化物半导体的沟道。关于计算,使用Synopsys Inc.制造的器件模拟软件Sentaurus Device,并将氧化物半导体的能带隙、电子亲和力、相对介电系数以及厚度分别假定为 2.8 eV 、 4.7 eV 、15及 15 nm 。这些值是通过测量溅射形成的薄膜而取得的。

[0360] 此外,栅极、源极和漏极的功函数分别假定为 5.5 eV 、 4.6 eV 、及 4.6 eV 。栅极绝缘层的厚度假定为 100 nm ,并且其相对介电系数假定为4.1。沟道长度及沟道宽度均假定为 $10 \mu\text{m}$,漏电压 V_d 假定为 0.1 V 。

[0361] 如图19所示,在栅电压稍微超过 1 V 处迁移率具有 $100 \text{ cm}^2/\text{Vs}$ 或更大的峰值,并由于界面散射的影响增大所以随着栅电压的增高而下降。注意,为了降低界面散射,优选的是半导体层的表面是原子等级上平坦的(原子层平坦)。

[0362] 使用具有此迁移率的氧化物半导体形成的微小晶体管的特性的计算结果示于图20A至20C、图21A至21C及图22A至22C。图23A及23B示出用于计算的晶体管的截面结构。图23A及23B所示的晶体管均包含半导体区803a和半导体区803c,该半导体区803a和该半导体区803c在氧化物半导体层中具有 n^+ 型导电型。半导体区803a的电阻率和半导体区803c的电阻率均是 $2 \times 10^{-3} \Omega \text{ cm}$ 。

[0363] 图23A中的晶体管形成于基底绝缘层801和嵌入于基底绝缘层801中且由氧化铝形成的嵌入绝缘体802上。晶体管包含半导体区803a、半导体区803c、设于半导体区803a与803c之间且作为沟道形成区的本征半导体区803b以及栅极805。栅极805的宽度是 33 nm 。

[0364] 栅极绝缘膜804形成于栅极805与半导体区803b之间。侧壁绝缘体806a及侧壁绝缘体806b形成于栅极805的两侧表面上,并且绝缘体807形成于栅极805上以防止栅极805与另一布线之间的短路。侧壁绝缘体具有 5 nm 的宽度。源极808a和漏极808b设置为分别接触半导体区803a和半导体区803c。注意,该晶体管的沟道宽度是 40 nm 。

[0365] 图23B中的晶体管与图23A中的晶体管相同之处在于其形成于基底绝缘层801及由氧化铝形成的嵌入绝缘体802上以及其包含半导体区803a、半导体区803c、设于它们之间的本征半导体区803b、具有 33 nm 宽度的栅极805、栅极绝缘膜804、侧壁绝缘体806a、侧壁绝缘

体806b、绝缘体807、源极808a以及漏极808b。

[0366] 图23A中的晶体管与图23B中的晶体管之间的不同之处在于侧壁绝缘体806a及侧壁绝缘体806b下的半导体区的导电型。在图23A中的晶体管中,侧壁绝缘体806a及侧壁绝缘体806b下的半导体区是具有n⁺型导电型的部分半导体区803a以及具有n⁺型导电型的部分半导体区803c,而在图23B中的晶体管中,侧壁绝缘体806a及侧壁绝缘体806b下的半导体区是部分本征半导体区803b。换言之,有宽度 L_{off} 的区域,其中,栅极805未与半导体区803a(半导体区803c)重叠。此区域称为偏移(offset)区,以及,宽度 L_{off} 称为偏移长度。由附图可知,偏移长度等于侧壁绝缘体806a(侧壁绝缘体806b)的宽度。

[0367] 计算中所使用的其它参数如上所述。关于计算,使用Synopsys Inc.制造的器件模拟软件Sentaurus Device。图20A至20C示出具有图23A所示的结构的晶体管的漏电流(I_d ,实线)及迁移率(μ ,虚线)的栅电压(V_g :栅极与源极之间的电位差)依赖性。在假设漏电压(漏极与源极之间的电位差)为+1V的情况下,通过计算取得漏电流 I_d ,并且在假设漏电压为+0.1 V的情况下,通过计算取得迁移率 μ 。

[0368] 图20A示出栅极绝缘层的厚度为15 nm的情况下晶体管的栅电压依赖性,图20B示出栅极绝缘层的厚度为10 nm的情况下晶体管的栅电压依赖性,图20C示出栅极绝缘层的厚度为5 nm的情况下晶体管的栅电压依赖性。随着栅极绝缘层的厚度减薄,特别是关闭状态时的漏电流 I_d (关态电流)显著地降低。相反地,迁移率 μ 的峰值及开启状态时的漏电流 I_d (开态电流)并无显著改变。图形示出在约1V的栅电压时漏电流 I_d 超过10 μ A。

[0369] 图21A至21C示出具有图23B中的结构且偏移长度 L_{off} 为5 nm的晶体管的漏电流 I_d (实线)及迁移率 μ (虚线)的栅电压 V_g 依赖性。在假设漏电压为+1V的情况下,通过计算取得漏电流 I_d ,并且在假设漏电压为+0.1 V的情况下,通过计算取得迁移率 μ 。图21A示出栅极绝缘层的厚度为15 nm的情况下晶体管的栅电压依赖性,图21B示出栅极绝缘层的厚度为10 nm的情况下晶体管的栅电压依赖性,图21C示出栅极绝缘层的厚度为5 nm的情况下晶体管的栅电压依赖性。

[0370] 图22A至22C示出具有图23B中的结构且偏移长度 L_{off} 为15 nm的晶体管的漏电流 I_d (实线)及迁移率 μ (虚线)的栅电压依赖性。在假设漏电压为+1V的情况下,通过计算取得漏电流 I_d ,并且在假设漏电压为+0.1 V的情况下,通过计算取得迁移率 μ 。图22A示出栅极绝缘层的厚度为15 nm的情况下晶体管的栅电压依赖性,图22B示出栅极绝缘层的厚度为10 nm的情况下晶体管的栅电压依赖性,图22C示出栅极绝缘层的厚度为5 nm的情况下晶体管的栅电压依赖性。

[0371] 在任一结构中,随着栅极绝缘膜的厚度减薄,关态电流显著地降低,而迁移率 μ 的峰值及开态电流并无明显改变。

[0372] 注意,在图20A至20C中迁移率 μ 的峰值约为80 cm^2/Vs ,在图21A至21C中约为60 cm^2/Vs ,并且在图22A至22C中约为40 cm^2/Vs ,因此迁移率 μ 的峰值随着偏移长度 L_{off} 的增加而降低。此外,同理可用于关态电流。开态电流也随着偏移长度 L_{off} 的增加而降低,但是开态电流的下降比关态电流的下降更缓和。此外,图形示出:在任一结构中,在栅电压约为1V时,漏电流超过存储元件等中被要求的10 μ A。

[0373] 本实施方式可以与其他实施方式适当地组合。

[0374] 实施方式8

[0375] 通过在加热衬底的同时沉积氧化物半导体或者在形成氧化物半导体膜之后进行热处理,可以使晶体管具有良好的特性,该晶体管在沟道形成区中包括包含In、Sn及Zn作为主成分的氧化物半导体,并可以用于根据本发明的一个方式的信号处理电路。注意,主成分是指成分中的含有比例为5at%以上的元素。

[0376] 在沉积包含In、Sn、及Zn作为主成分的氧化物半导体膜之后意图性地加热衬底,可以提高晶体管的场效应迁移率。此外,晶体管的阈值电压可以正向地偏移而使晶体管常关闭。

[0377] 例如,图24A至24C均示出晶体管的特性,该晶体管包括包含In、Sn、及Zn作为主成分且具有 $3\mu\text{m}$ 的沟道长度 L 及 $10\mu\text{m}$ 的沟道宽度 W 的氧化物半导体膜及厚度为 100 nm 的栅极绝缘膜。注意,将 V_d 设定于 10 V 。

[0378] 图24A示出晶体管的特性,该晶体管通过溅射法而未意图性地加热衬底而形成,该晶体管的氧化物半导体膜包含In、Sn、及Zn作为主成分。晶体管的场效应迁移率为 $18.8\text{ cm}^2/\text{Vs}$ 。另一方面,当在意图性地加热衬底的同时形成包含In、Sn、及Zn作为主成分的氧化物半导体膜时,可以提高场效应迁移率。图24B示出晶体管的特性,该晶体管的包含In、Sn、及Zn作为主成分的氧化物半导体膜是在 200°C 下加热衬底而形成的。晶体管的场效应迁移率为 $32.2\text{ cm}^2/\text{Vs}$ 。

[0379] 通过在形成包含In、Sn、及Zn作为主成分的氧化物半导体膜之后进行热处理,可以进一步提高场效应迁移率。图24C示出晶体管的特性,该晶体管的包含In、Sn、及Zn作为主成分的氧化物半导体膜是先在 200°C 下通过溅射而形成后接受 650°C 的热处理。晶体管的场效应迁移率为 $34.5\text{ cm}^2/\text{Vs}$ 。

[0380] 通过意图性地加热衬底,可以降低在溅射沉积的期间中引入氧化物半导体膜中的湿气。此外,通过在沉积之后进行热处理,可以从氧化物半导体膜释放及去除氢、羟基或湿气。依此方式,可以提高场效应迁移率。可以推测:此场效应迁移率的提高不仅通过脱水或脱氢来去除杂质而取得,而且还通过起因于密度增加的原子间距离的缩减而取得。此外,通过从氧化物半导体去除杂质而实现高纯度化,可以使氧化物半导体晶化。在使用此高纯度化的非单晶氧化物半导体的情况下,理想地,预期实现超过 $100\text{ cm}^2/\text{Vs}$ 的场效应迁移率。

[0381] 包含In、Sn、及Zn作为主成分的氧化物半导体可以以下述方式结晶:氧离子注入氧化物半导体,通过热处理释放包含于氧化物半导体中的氢、羟基或湿气,并且经该热处理或之后进行的另一热处理使氧化物半导体结晶。通过此结晶处理或再结晶处理,取得具有高结晶性的非单晶氧化物半导体。

[0382] 沉积期间中的衬底的意图性加热及/或沉积之后的热处理不仅有助于提高场效应迁移率,也有助于使晶体管常关闭。在使用包含In、Sn、及Zn作为主成分且未意图性地加热衬底而形成的氧化物半导体膜作为沟道形成区的晶体管中,阈值电压趋向于负向偏移。相反地,当使用意图性地加热衬底而形成的氧化物半导体膜时,可以解决阈值电压负向偏移的问题。亦即,阈值电压偏移以致于晶体管变成常关闭,该趋势可以通过比较图24A和24B而确认。

[0383] 注意,通过改变In、Sn、及Zn的比例,也可以控制阈值电压;当In、Sn、及Zn的组成比为2:1:3时,可以形成常关闭晶体管。此外,通过如下所述地设定靶的组成比,取得具有高结晶性的氧化物半导体膜:In:Sn:Zn=2:1:3。

[0384] 衬底的意图性加热的温度或热处理的温度为高于或等于150℃,优选高于或等于200℃,更优选高于或等于400℃。当在高温下进行沉积或热处理时,可以使晶体管常关闭。

[0385] 通过在沉积期间意图性地加热衬底及/或在沉积后进行热处理,可以提高抗栅极偏压应力的稳定度。例如,当在150℃下以2 MV/cm的强度施加栅极偏压一小时时,阈值电压的漂移小于±1.5V,优选小于±1.0V。

[0386] 对下述两个晶体管进行BT测试:在氧化物半导体膜沉积后未进行热处理的样品1;以及在氧化物半导体膜沉积后进行650℃热处理的样品2。

[0387] 首先,在衬底温度25℃及10V的 V_{ds} 下,测量这些晶体管的 V_g-I_d 特性。然后,将衬底温度设定于150℃,且将 V_{ds} 设定于0.1V。之后,施加20V的 V_g ,以致于施加到栅极绝缘膜的电场的强度为2 MV/cm,并且该状态保持一小时。接着,将 V_g 设定于0V。然后,在衬底温度25℃及10V的 V_{ds} 下,测量这些晶体管的 V_g-I_d 特性。这称为正BT测试。

[0388] 以类似方式,在衬底温度25℃及10V的 V_{ds} 下,测量这些晶体管的 V_g-I_d 特性。然后,将衬底温度设定于150℃,且将 V_{ds} 设定于0.1V。之后,施加-20V的 V_g ,以致于施加到栅极绝缘膜的电场的强度为-2 MV/cm,并且该状态保持一小时。接着,将 V_g 设定于0V。然后,在衬底温度25℃及10V的 V_{ds} 下,测量这些晶体管的 V_g-I_d 特性。这称为负BT测试。

[0389] 图25A及25B分别示出样品1的正BT测试结果及负BT测试结果。图26A及26B分别示出样品2的正BT测试结果及负BT测试结果。

[0390] 起因于正BT测试及起因于负BT测试的样品1的阈值电压偏移量分别为1.80 V及-0.42V。起因于正BT测试及起因于负BT测试的样品2的阈值电压偏移量分别为0.79 V及0.76V。发现在样品1及样品2中,BT测试之前及之后之间的阈值电压的偏移量小且可靠性高。

[0391] 可以在氧气氛中进行热处理;或者,可以先在氮或惰性气体气氛中或在减压下进行热处理,然后在包含氧的气氛中进行热处理。通过在脱水或脱氢后将氧供应到氧化物半导体,可以进一步提高热处理的有利效果。作为脱水或脱氢后供应氧的方法,可以使用氧离子由电场加速而注入氧化物半导体膜中的方法。

[0392] 在氧化物半导体中或者在氧化物半导体与接触氧化物半导体的膜之间的界面,容易造成起因于氧空位的缺陷。当通过热处理而使氧化物半导体包含过量的氧时,之后造成的氧缺陷可以由过量的氧补偿。过量的氧是主要存在于晶格之间的氧。当将氧的浓度设定在 $1 \times 10^{16}/\text{cm}^3$ 至 $2 \times 10^{20}/\text{cm}^3$ 的范围中时,可以在氧化物半导体中包含过量的氧而不会造成晶体扭曲等等。

[0393] 当进行热处理以致于至少部分氧化物半导体包含晶体时,可以取得更稳定的氧化物半导体膜。例如,当以X射线衍射(XRD)分析使用In:Sn:Zn=1:1:1的组成比的靶以溅射但未意图性地加热衬底而形成的氧化物半导体膜时,观测到光晕图案。通过对沉积的氧化物半导体膜进行热处理,可以将其晶化。热处理的温度适当地设定:例如,当以650℃进行热处理时,通过进行X射线衍射分析,可以观测到清楚的衍射峰值。

[0394] 进行In-Sn-Zn类氧化物膜的XRD分析。使用Bruker AXS制造的X射线衍射仪D8 ADVANCE进行XRD分析,并且以平面外(out-of-plane)方法进行测量。

[0395] 制备样品A及样品B并对其进行XRD分析。以下,将说明样品A和样品B的形成方法。

[0396] 在已接受脱氢处理的石英衬底上沉积厚度为100 nm的In-Sn-Zn类氧化物膜。

[0397] 在氧气氛中,通过利用功率为100 W(DC)的溅射设备,形成In-Sn-Zn类氧化物膜。使用具有In:Sn:Zn=1:1:1[原子比]的In-Sn-Zn-O靶作为靶。注意,将沉积期间的衬底加热温度设定为200℃。使用依此方式形成的样品作为样品A。

[0398] 接着,以类似于样品A的方法形成的样品接受650℃的热处理。关于热处理,首先进行氮气氛中的热处理一小时,再进行氧气氛中的热处理一小时而未降低温度。使用依此方式形成的样品作为样品B。

[0399] 图27示出样品A及样品B的XRD光谱。在样品A中没有观测到起因于晶体的峰值,而在样品B中当 2θ 约为35度或者为37至38度时观测到起因于晶体的峰值。

[0400] 如上所述,通过在包含In、Sn、及Zn作为主成分的氧化物半导体的沉积期间中意图性地加热衬底及/或者在沉积后进行热处理,可以提高晶体管的特性。

[0401] 这些衬底加热及热处理具有防止不利于氧化物半导体的杂质如氢及羟基被包含于膜中的有利效果或者具有从膜中去除氢及羟基的有利效果。亦即,通过从氧化物半导体中去除作为施主杂质的氢,可以使氧化物半导体高纯度化,因而取得常关闭晶体管。通过使氧化物半导体高纯度化,可以将晶体管的关态电流设定为1 aA/ μm 或更低。这里,关态电流的单位表示每微米沟道宽度的电流。

[0402] 图28示出晶体管的关态电流与测量时衬底温度(绝对温度)的倒数之间的关系。这里,为了简明起见,横轴表示以1000乘测量时衬底温度的倒数而取得的值(1000/T)。

[0403] 具体而言,如图28所示,当衬底温度分别为125℃、85℃以及室温(27℃)时,关态电流可以为低于或等于1 aA/ μm (1×10^{-18} A/ μm),低于或等于100 zA/ μm (1×10^{-19} A/ μm),并低于或等于1 zA/ μm (1×10^{-21} A/ μm)。优选的是,在分别为125℃、85℃以及室温时,关态电流可以为低于或等于0.1 aA/ μm (1×10^{-19} A/ μm),低于或等于10 zA/ μm (1×10^{-20} A/ μm),并低于或等于0.1 zA/ μm (1×10^{-22} A/ μm)。

[0404] 注意,为了防止在膜沉积期间中氢及湿气被包含于氧化物半导体膜中,优选的是通过充分地抑制来自沉积室外部的泄露及经由沉积室的内壁的脱气,以提高溅射气体的纯度。例如,优选使用具有低于或等于-70℃的露点的气体作为溅射气体,以防止湿气包含于膜中。此外,优选的是使用高纯度化的靶以致于未包含例如氢和湿气等杂质。虽然可以通过热处理而从包含In、Sn、及Zn作为主成分的氧化物半导体的膜中去除湿气,但是优选形成原始地未含湿气的膜。这是因为如下缘故:从包含In、Sn、及Zn作为主成分的氧化物半导体释出湿气的温度高于从包含In、Ga、及Zn作为主成分的氧化物半导体释出湿气的温度。

[0405] 评估衬底温度与氧化物半导体膜沉积后进行650℃热处理的样品的晶体管的电特性之间的关系。

[0406] 用于测量的晶体管具有3 μm 的沟道长度L、10 μm 的沟道宽度W、0 μm 的 L_{ov} 、及0 μm 的 dW 。注意,将 V_{as} 设定于10V。注意,衬底温度为-40℃、-25℃、25℃、75℃、125℃以及150℃。这里,在晶体管中,栅电极与一对电极之一重叠的部分的宽度称为 L_{ov} ,而未与氧化物半导体膜重叠的一对电极的部分的宽度称为 dW 。

[0407] 图29示出 I_d (实线)及场效应迁移率(虚线)的 V_g 依赖性。图30A示出衬底温度与阈值电压之间的关系,而图30B示出衬底温度与场效应迁移率之间的关系。

[0408] 由图30A可知,阈值电压随着衬底温度增高而降低。注意,在-40℃至150℃的范围中,阈值电压从1.09V下降到-0.23V。

[0409] 由图30B可知,场效应迁移率随着衬底温度增高而降低。注意,在 -40°C 至 150°C 的范围中,场效应迁移率从 $36\text{ cm}^2/\text{Vs}$ 下降到 $32\text{ cm}^2/\text{Vs}$ 。由此可知,在上述温度范围中电特性的变异小。

[0410] 在以包含In、Sn、及Zn作为主成分的氧化物半导体用于沟道形成区的晶体管中,在将关态电流保持为 $1\text{ aA}/\mu\text{m}$ 或更低的状态下,取得高于或等于 $30\text{ cm}^2/\text{Vs}$ 、优选高于或等于 $40\text{ cm}^2/\text{Vs}$ 、更优选高于或等于 $60\text{ cm}^2/\text{Vs}$ 的场效应迁移率,这可以取得LSI所需的开态电流。例如,在L/W为 $33\text{ nm}/40\text{ nm}$ 的FET中,当栅电压为 2.7V 及漏电压为 1.0V 时, $12\mu\text{A}$ 或更高的开态电流能够流通。此外,在晶体管工作所需的温度范围中,可以确保充分的电特性。根据这些特性,即使将包含氧化物半导体的晶体管设于使用Si半导体形成的集成电路中,也能够实现具有新颖功能的集成电路而不降低工作速度。

[0411] 本实施方式可以与其他实施方式适当地组合。

[0412] 实施方式9

[0413] 在本实施方式中,将说明结构不同于上述实施方式中的结构的包含氧化物半导体膜的晶体管。可以使用包含In、Sn、及Zn的氧化物半导体(In-Sn-Zn类氧化物半导体)或任何其它实施方式中所述的其它氧化物半导体形成包含在氧化物半导体膜中的氧化物半导体。

[0414] 图31A及31B是具有顶栅极顶部接触结构的共平面晶体管的俯视图及截面图。图31A是晶体管的俯视图。图31B示出沿着图31A中的虚线A-B的A-B截面。

[0415] 图31B所示的晶体管包含衬底2100;设于衬底2100上的基底绝缘膜2102;保护绝缘膜2104,设于基底绝缘膜2102的周围;氧化物半导体膜2106,设于基底绝缘膜2102及保护绝缘膜2104上并包含高电阻区2106a和低电阻区2106b;栅极绝缘膜2108,设于氧化物半导体膜2106上;栅电极2110,设置为隔着栅极绝缘膜2108与氧化物半导体膜2106重叠;侧壁绝缘膜2112,设置为接触栅电极2110的侧表面;一对电极2114,设置为接触至少低电阻区2106b;层间绝缘膜2116,设置为覆盖至少氧化物半导体膜2106、栅电极2110及一对电极2114;以及,布线2118,设置为经由形成在层间绝缘膜2116中的开口而连接于一对电极2114之至少一个。

[0416] 虽然未图示,但是保护膜可以设置为覆盖层间绝缘膜2116及布线2118。通过保护膜,可以降低由于层间绝缘膜2116的表面传导而产生的微小量漏电流,以致于可以降低晶体管的关态电流。

[0417] 本实施方式可以与其他实施方式适当地组合。

[0418] 实施方式10

[0419] 在本实施方式中,将说明结构不同于上述实施方式中的结构的包含氧化物半导体膜的晶体管。虽然在本实施方式中将说明使用包含In、Sn、及Zn的氧化物半导体(In-Sn-Zn类氧化物半导体)作为包含于氧化物半导体膜中的氧化物半导体的情况,但是,也可以使用任何其它实施方式中所述的其它氧化物半导体。

[0420] 图32A及32B是示出晶体管的结构的俯视图及截面图。图32A是晶体管的俯视图。图32B是沿着图32A中的虚线A-B的截面图。

[0421] 图32B所示的晶体管包含衬底2600;设于衬底2600上的基底绝缘膜2602;氧化物半导体膜2606,设于基底绝缘膜2602上;一对电极2614,接触氧化物半导体膜2606;栅极绝缘膜2608,设于氧化物半导体膜2606及一对电极2614上;栅电极2610,设置为隔着栅极绝缘膜

2608与氧化物半导体膜2606重叠;层间绝缘膜2616,设置为覆盖栅极绝缘膜2608及栅电极2610;布线2618经由形成在层间绝缘膜2616中的开口而连接于一对电极2614;以及,保护膜2620,设置为覆盖层间绝缘膜2616及布线2618。

[0422] 关于衬底2600,使用玻璃衬底。关于基底绝缘膜2602,使用氧化硅膜。关于氧化物半导体膜2606,使用In-Sn-Zn类膜。关于一对电极2614,使用钨膜。关于栅极绝缘膜2608,使用氧化硅膜。栅电极2610具有氮化钽膜及钨膜的叠层结构。层间绝缘膜2616具有氧氮化硅膜及聚酰亚胺膜的叠层结构。布线2618具有钛膜、铝膜以及钛膜依此次序形成的叠层结构。关于保护膜2620,使用聚酰亚胺膜。

[0423] 注意,在具有图32A所示的结构的双晶体管中,栅电极2610与一对电极2614之一重叠的部分的宽度称为 L_{ov} 。类似地,未与氧化物半导体膜2606重叠的一对电极2614的部分的宽度称为 dW 。

[0424] 实施方式11

[0425] 一般而言,磁隧道结元件(MTJ元件)已知是非易失性随机存取存储器。MTJ元件是当隔着绝缘膜形成的多个膜中的旋转方向平行时以低电阻状态存储信息,而当旋转方向不平行时以高电阻状态存储信息。另一方面,上述实施方式中所述的利用沟道设在氧化物半导体层中的晶体管的非易失性存储电路的原理与MTJ元件的原理完全不同。表1示出MTJ元件(在表中,以“自旋电子(MTJ元件)”表示)与上述实施方式中所述的包含氧化物半导体的非易失性存储电路(在表中,以“氧化物半导体/Si”表示)之间的比较。

[0426] [表1]

[0427]

	自旋电子 (MTJ 元件)	氧化物半导体/Si
耐热性	居里温度	约 500℃ 的工序温度 (在 150℃ 的可靠性)
驱动方法	电流驱动	电压驱动
写入原理	改变磁体的旋转方向	PET 的开/关
Si LSI	适用于双极 LSI (由于双极器件不适合高集成度, 所以 MOS 器件对于高集成度是优选的。注意, W 变得较大。)	适用于 MOS LSI
系统开销 (Overhead)	大(由于高热耳热)	比 MTJ 元件小 2 位至 3 位以上 (由于寄生电容的充电及放电)
非易失性	使用旋转	使用低关态电流
读出次数	无限制	无限制
3D 化	困难(最多两层)	容易(层的数目无限制)
集成度 (F ²)	4 F ² 至 15 F ²	根据 3D 化的叠层数而定(需要确保形成上层 OS PET 工序中的耐热性)
材料	磁性稀土元素	氧化物半导体材料
每位的成本	高	低(有可能根据氧化物半导体材料(例如 1n)而变得稍高)
抗磁性	低	高

[0428] MTJ 元件因为使用磁性材料, 所以具有当温度高于或等于居里温度时磁性损失的缺点。此外, 由于使用电流驱动, 所以 MTJ 元件适用于硅双极器件, 但是双极器件不适合高集

成度。此外,虽然MTJ元件的写入电流相当低,但是具有耗电随着存储器容量增加而增加的问题。

[0429] 在原理上,MTJ元件对磁场具有低抵抗性,当MTJ元件暴露于高磁场时旋转方向容易改变。此外,需要控制由用于MTJ元件的磁性体的纳米化造成的磁性波动。

[0430] 此外,以稀土元素用于MTJ元件,因此应高度注意MTJ元件的工序并入避免金属污染的硅半导体的工序。MTJ元件的每位材料成本是昂贵的。

[0431] 另一方面,上述实施方式中所述的包含在非易失性存储电路中沟道设于氧化物半导体层中的晶体管,在元件结构上类似于硅MOSFET,但沟道形成区包含金属氧化物除外。此外,在氧化物半导体层中具有沟道的晶体管不受磁场影响且不会造成软错误。这示出该晶体管与硅集成电路非常合适。

[0432] 实施例1

[0433] 通过使用根据本发明的一个方式的信号处理电路,可以提供具有低耗电的电子设备。特别地,通过将根据本发明的一个方式的低耗电的信号处理电路作为器件的组件加入难以连续地接收电力的便携式电子设备中,可以取得增加连续操作时间的优点。

[0434] 根据本发明的一个方式的信号处理电路可以用于显示器件、个人计算机或设有记录媒质的图像再生器件(典型上,再生例如数字通用光盘(DVD)等记录媒质内容及具有用于显示再生图像的显示器的器件)。除了上述以外,作为可以使用根据本发明的一个方式的信号处理电路的电子设备,可以举出移动电话、便携式游戏机、便携式信息终端、电子书阅读器、例如摄像机及数字静态相机等拍摄装置、护目镜型显示器(头戴式显示器)、导航系统、声音再现器件(例如汽车音响系统及数字音频播放器)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)、贩卖机、等等。

[0435] 将说明根据本发明的一个方式的信号处理电路应用于例如移动电话、智能电话、及电子书阅读器等便携式电子设备的情况。

[0436] 图13是便携式电子设备的方框图。图13所示的便携式电子设备包含RF电路421、模拟基频电路422、数字基频电路423、电池424、电源电路425、应用处理机426、闪存430、显示控制器431、存储电路432、显示器433、触控传感器439、音频电路437、键盘438、等等。显示器433包含显示部434、源极驱动器435及栅极驱动器436。应用处理机426包含CPU 427、DSP 428以及接口429。通过将上述实施方式中所述的信号处理电路用于例如CPU 427,可以降低耗电。

[0437] 图14是电子书阅读器的方框图。电子书阅读器包含电池451、电源电路452、微处理机453、闪存454、音频电路455、键盘456、存储电路457、触摸面板458、显示器459、及显示控制器460。微处理机453包含CPU 461、DSP 462以及接口463。通过将上述实施方式中所述的信号处理电路用于例如CPU 461,可以降低耗电。

[0438] 本实施方式可以与其他实施方式适当地组合。

[0439] 附图标记说明

[0440] 100:存储电路;101:晶体管;102:电容器;103:晶体管;200:存储电路;201:算术电路;202:算术电路;203:开关;303:一对电极之另一;400:存储单元阵列;401:读出放大器;402:预充电电路;403:列解码器;404:行解码器;421:RF电路;422:模拟基频电路;423:数字基频电路;424:电池;425:电源电路;426:应用处理机;427:CPU;428:DSP;429:接口;430:闪

存;431:显示控制器;432:存储电路;433:显示器;434:显示部;435:源极驱动器;436:栅极驱动器;437:音频电路;438:键盘;439:触控传感器;443:锁存电路;444:反相器;445:反相器;446:开关;451:电池;452:电源电路;453:微处理机;454:闪存;455:音频电路;456:键盘;457:存储电路;458:触摸面板;459:显示器;460:显示控制器;461:CPU;462:DSP;463:接口;700:衬底;701:绝缘膜;702:半导体膜;703:栅极绝缘膜;704:半导体层;707:栅电极;709:杂质区;710:沟道形成区;712:绝缘膜;713:绝缘膜;716:氧化物半导体层;719:导电层;720:导电层;721:栅极绝缘膜;722:绝缘膜;724:绝缘膜;726:布线;727:绝缘膜;801:基底绝缘层;802:嵌入绝缘体;803a:半导体区;803b:半导体区;803c:半导体区;804:栅极绝缘膜;805:栅极;806a:侧壁绝缘体;806b:侧壁绝缘体;807:绝缘体;808a:源极;808b:漏极;908:高浓度区;918:高浓度区;919:沟道形成区;928:高浓度区;929:低浓度区;930:侧壁;931:沟道形成区;948:高浓度区;949:低浓度区;950:侧壁;951:沟道形成区;101a:晶体管;101b:晶体管;101c:晶体管;101d:晶体管;102a:电容器;102b:电容器;102c:电容器;102d:电容器;103a:晶体管;103b:晶体管;1101:电路组;1103:电路组;1111:电路组;2000:信号处理电路;2001:解码器;2002:控制电路;2003:ALU;2004:寄存器;2005:存储器;2006:电源电路;2100:衬底;2102:基底绝缘膜;2104:保护绝缘膜;2106:氧化物半导体膜;2106a:高电阻区;2106b:低电阻区;2108:栅极绝缘膜;2110:栅电极;2112:侧壁绝缘膜;2114:电极;2116:层间绝缘膜;2118:布线;2600:衬底;2602:基底绝缘膜;2606:氧化物半导体膜;2608:栅极绝缘膜;2610:栅电极;2614:电极;2616:层间绝缘膜;2618:布线;2620:保护膜;301a:一对电极之一;301b:一对电极之一;302a:介电层;7301:导电层;7302:绝缘膜;7303:导电膜;1101b:电路组的部分。

[0441] 本申请基于2011年3月24日提交到日本专利局的日本专利申请No.2011-065210及2011年5月14日提交到日本专利局的日本专利申请No.2011-108886,通过引用将其完整内容并入在此。

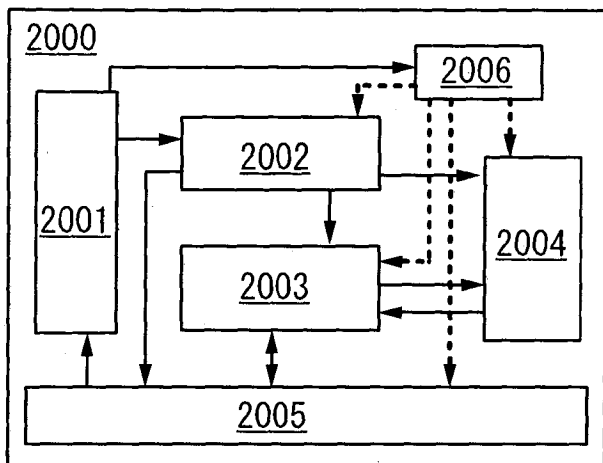


图 1A

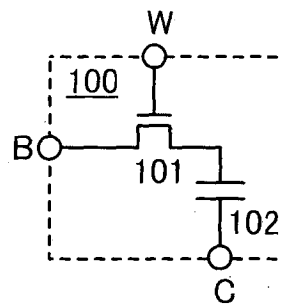


图 1B

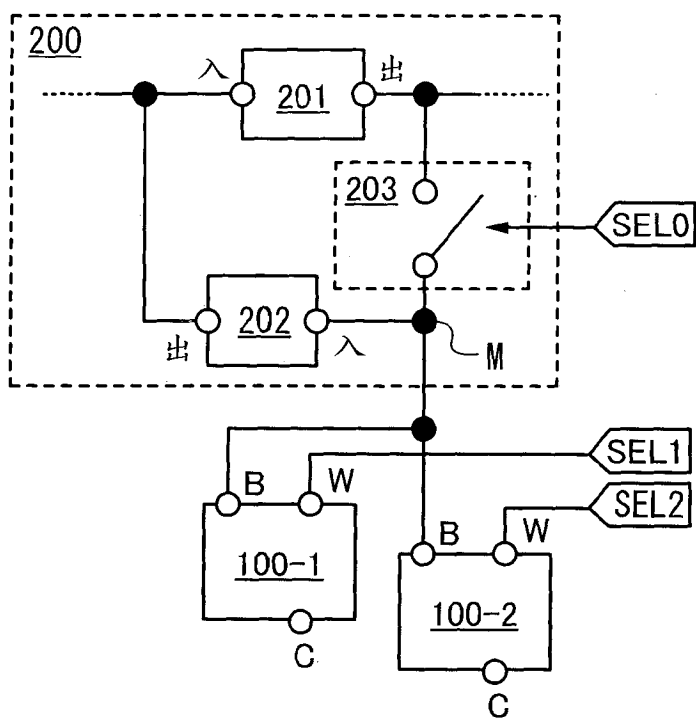


图 1C

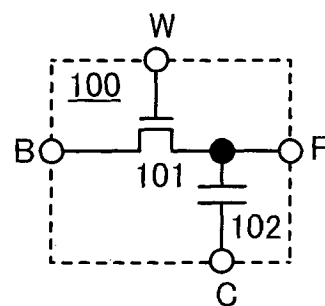


图 1D

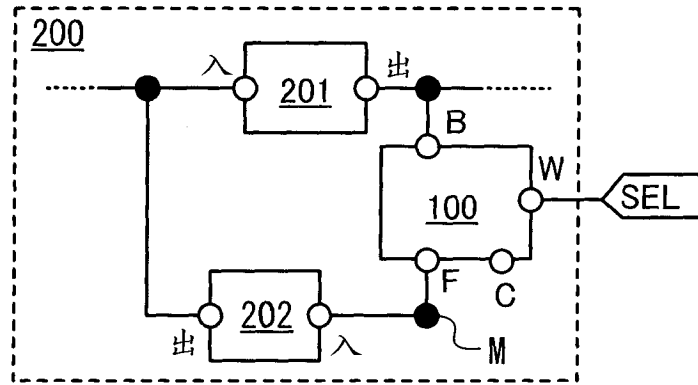


图 1E

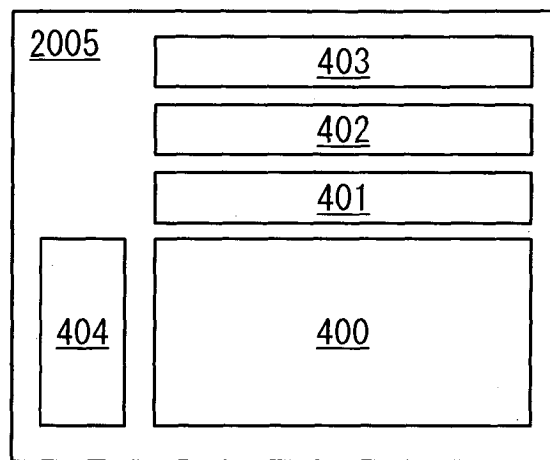


图 2A

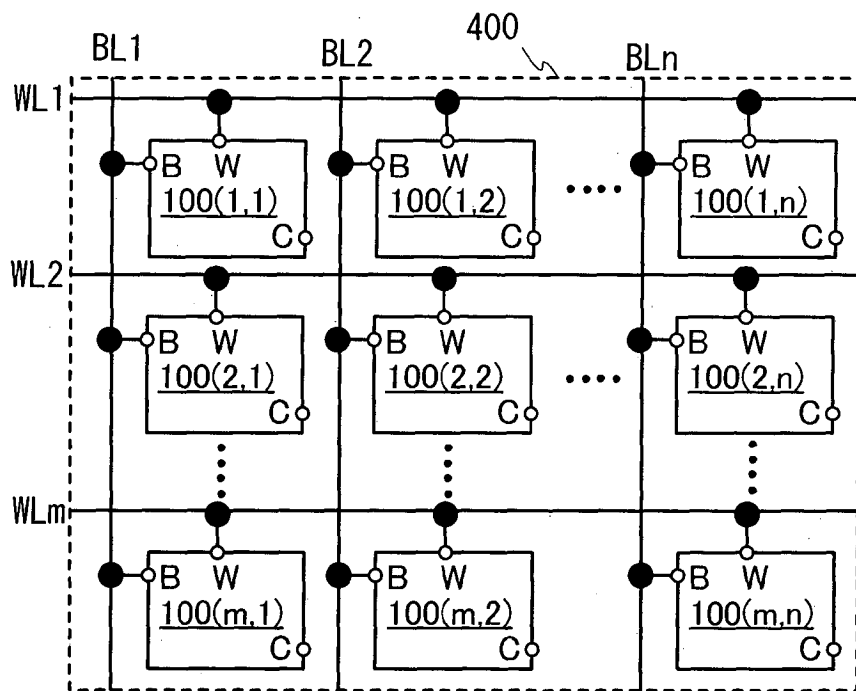


图 2B

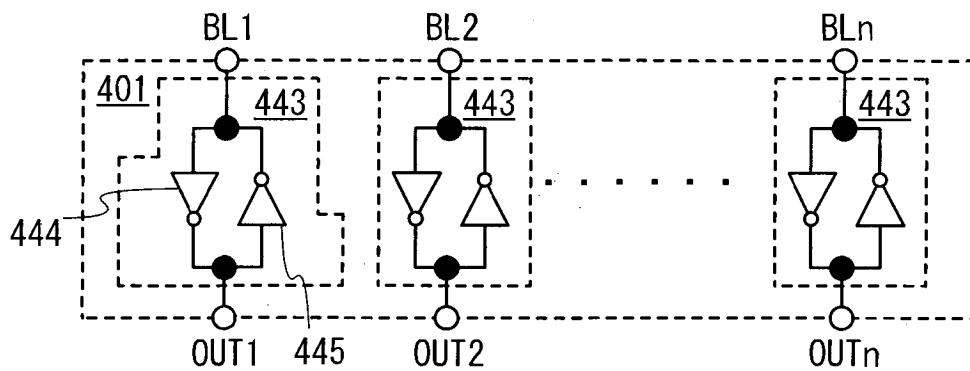


图 3A

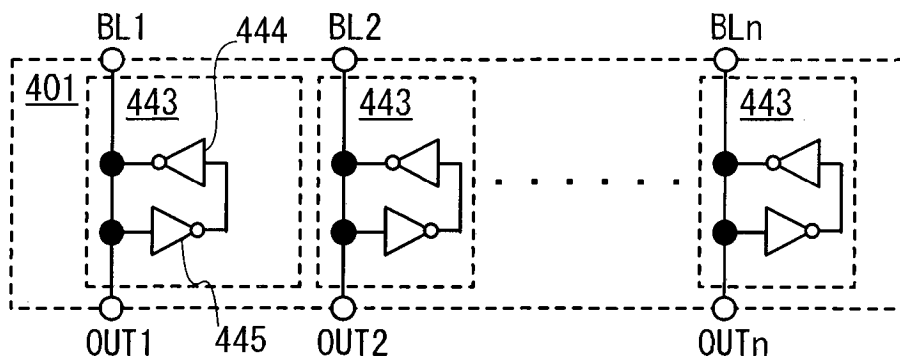


图 3B

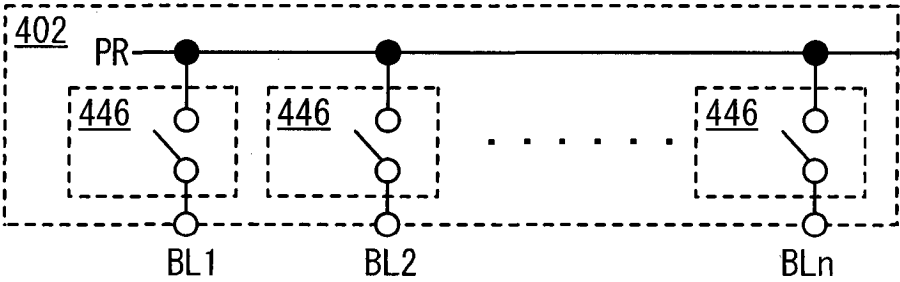


图 3C

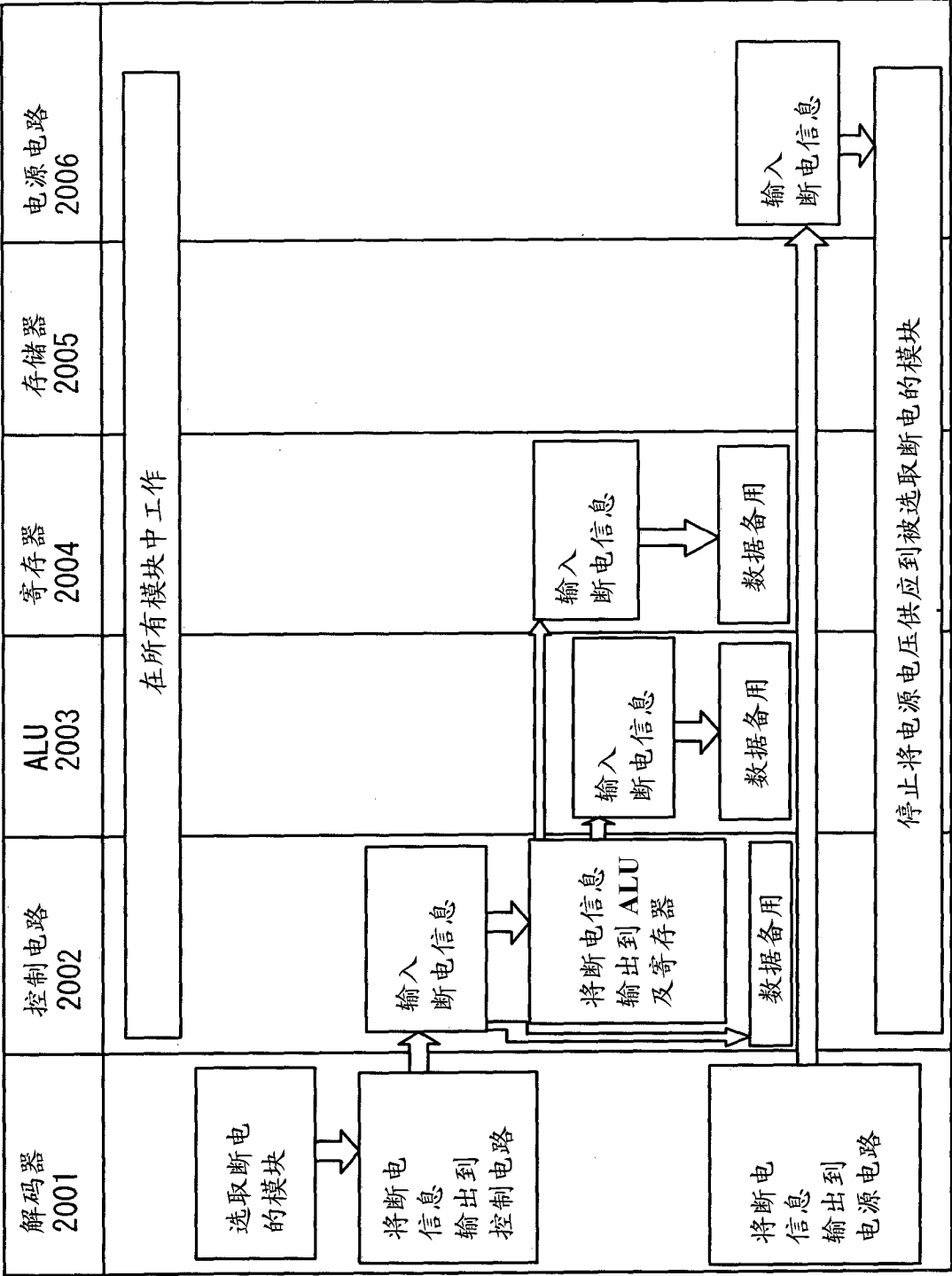


图 4

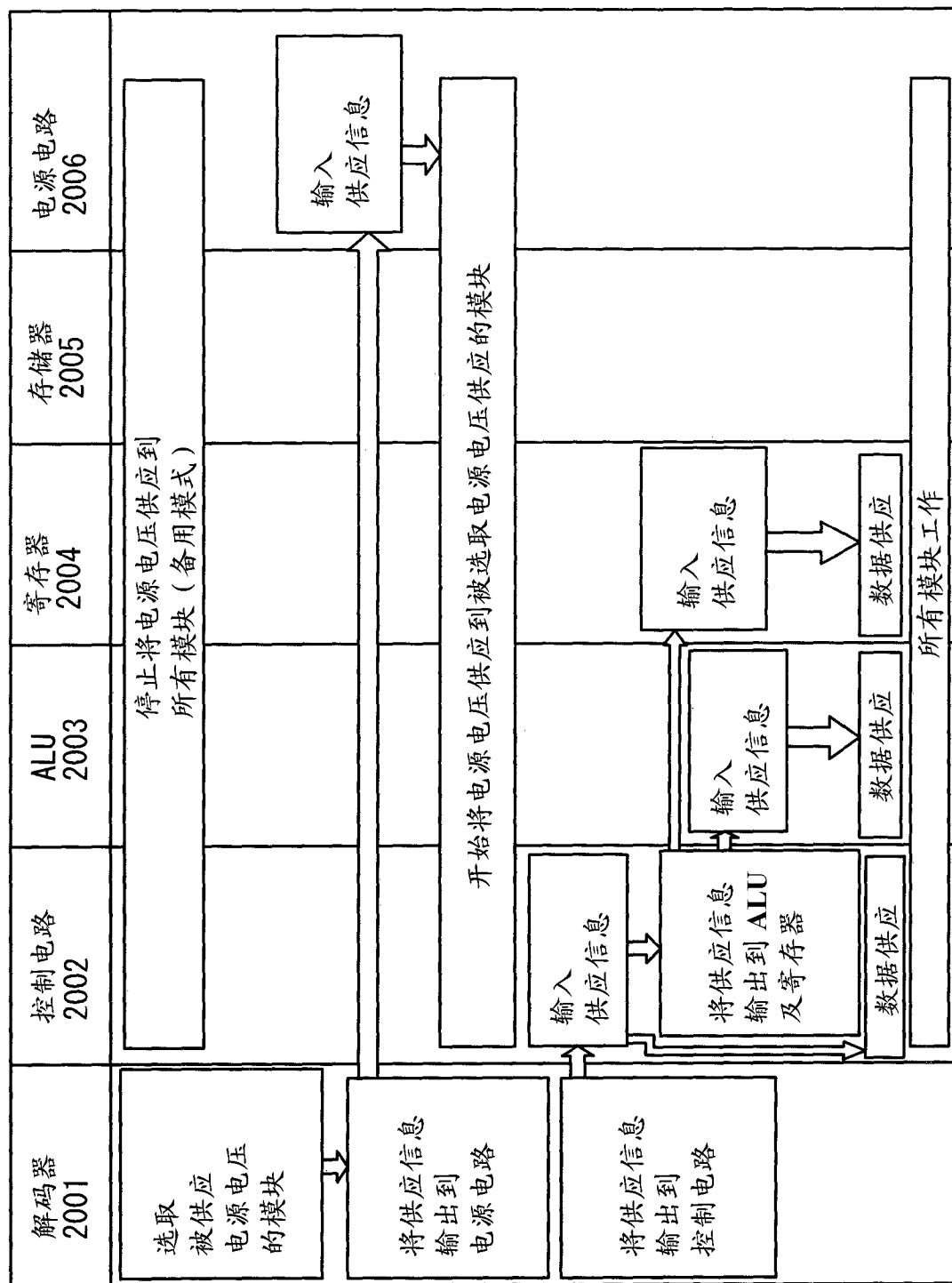


图 5

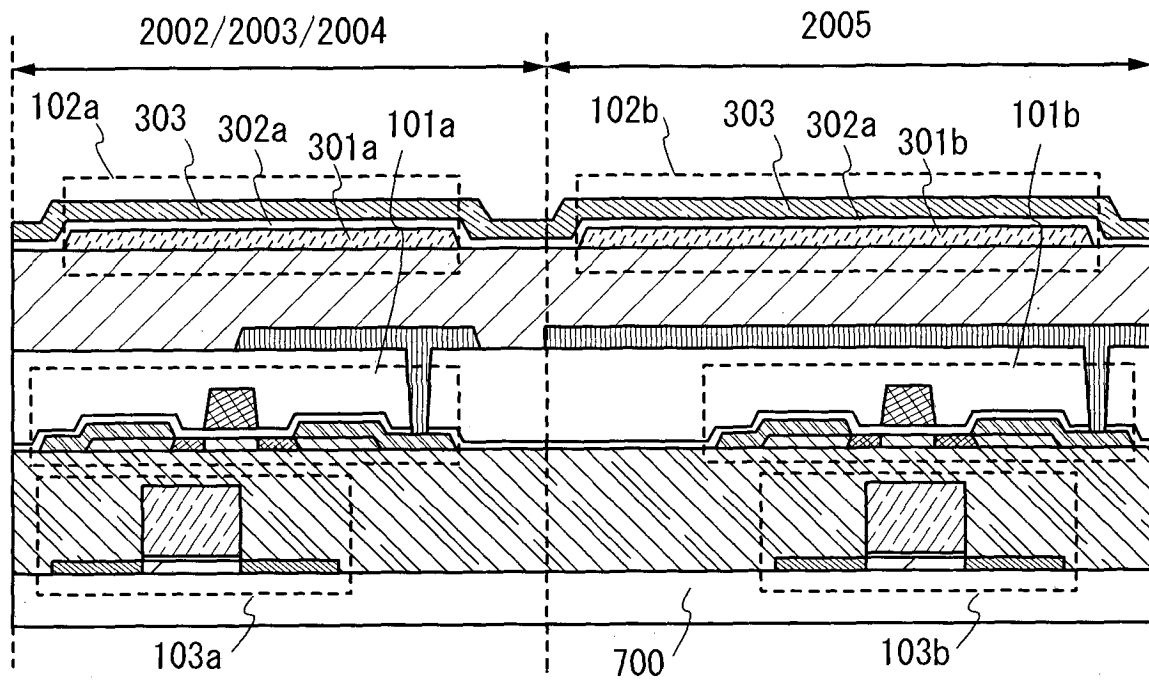


图 6A

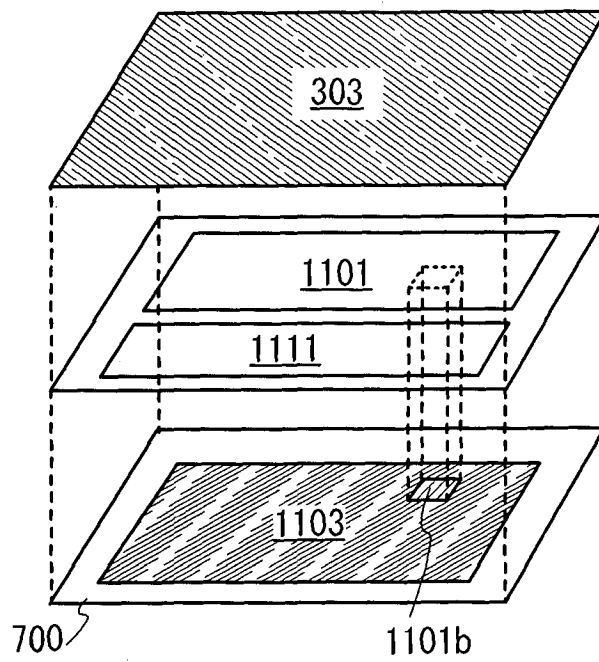


图 6B

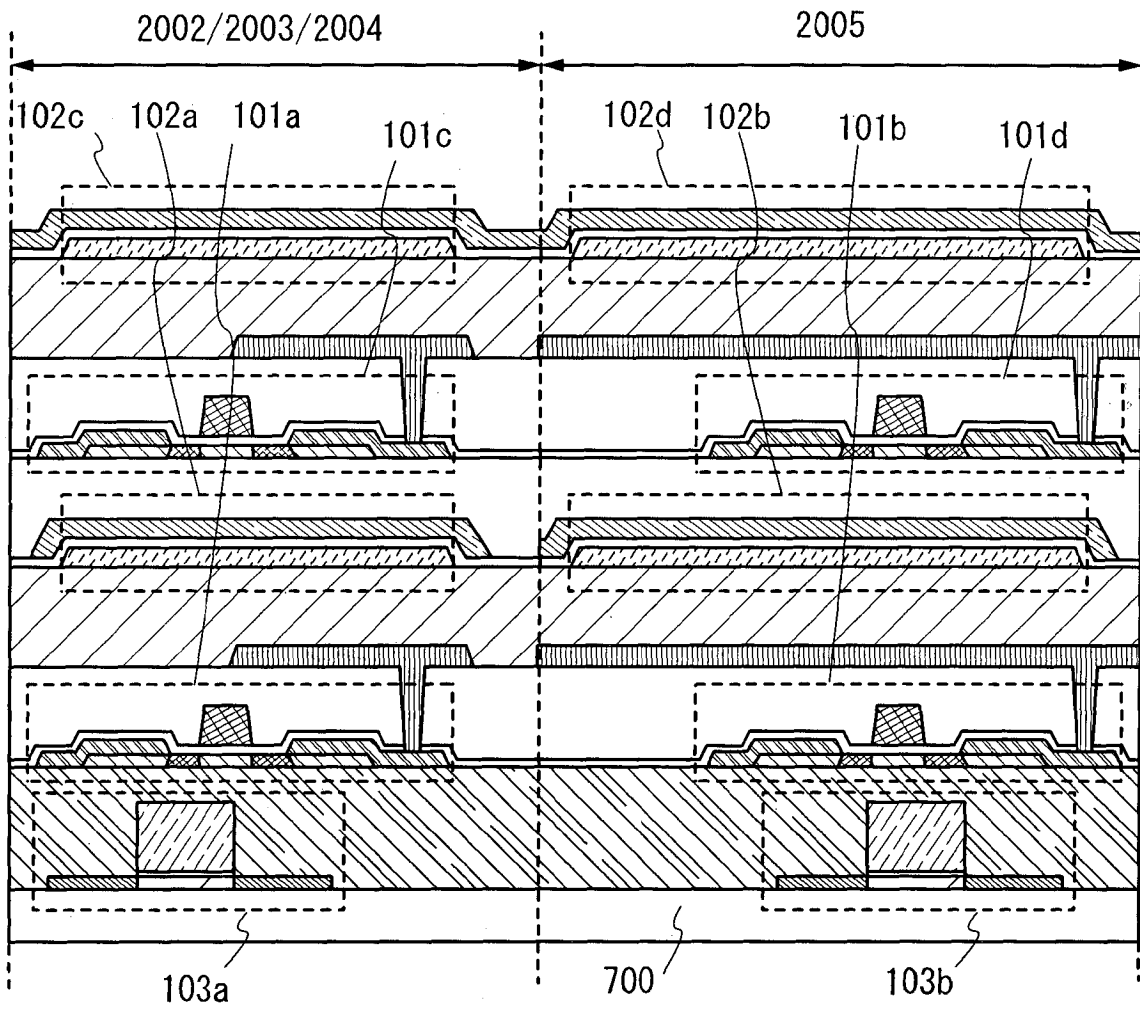


图 7



图 8A

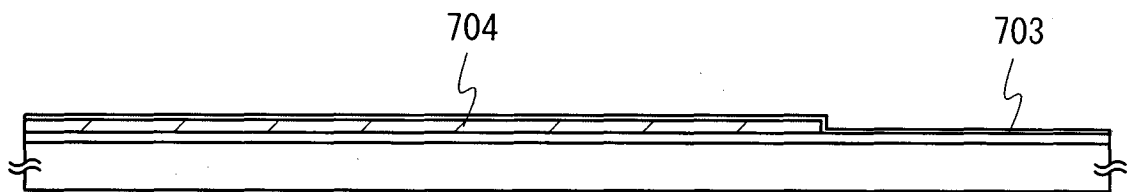


图 8B

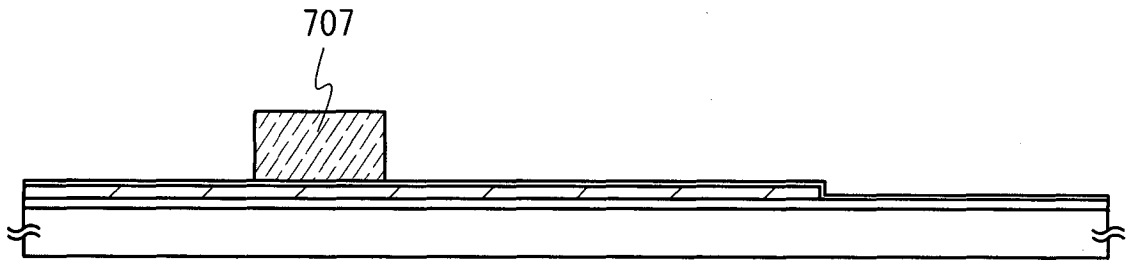


图 8C

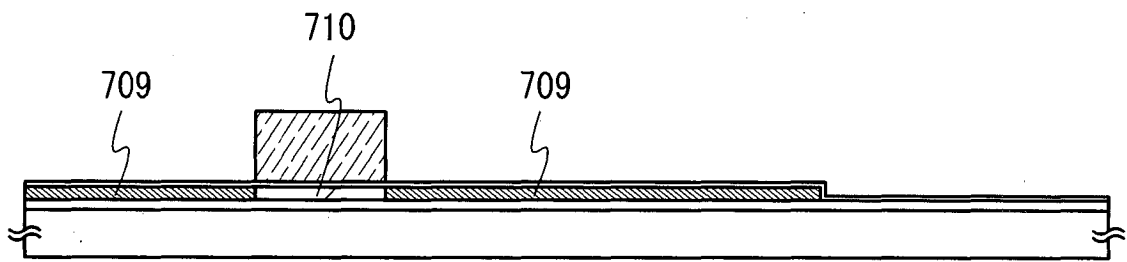


图 8D

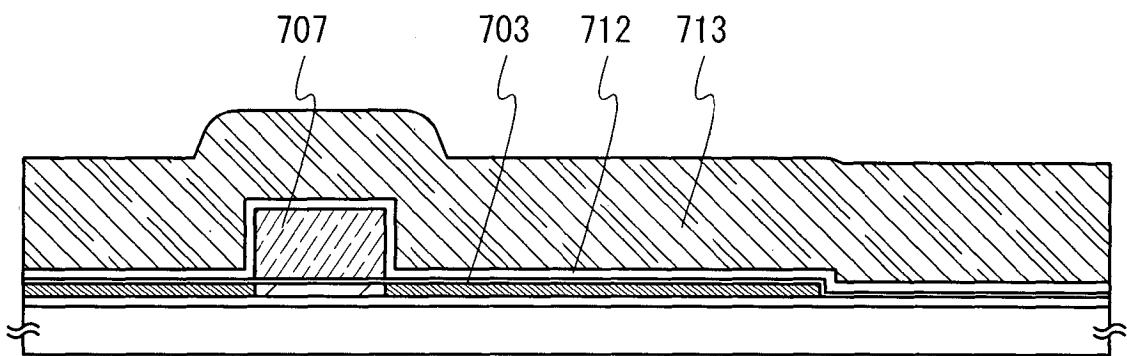


图 9A

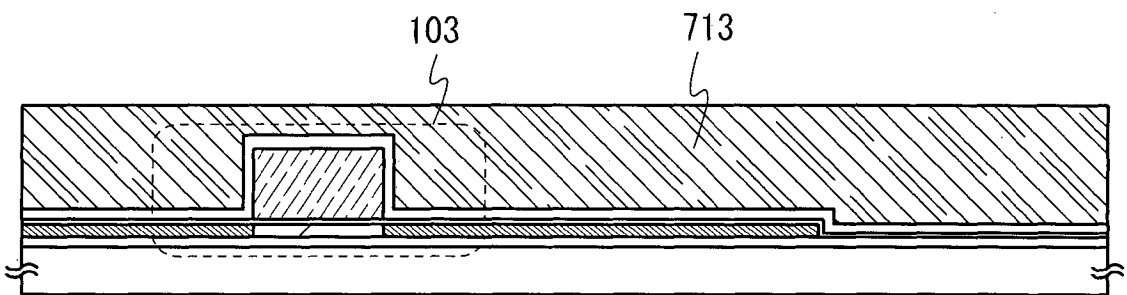


图 9B

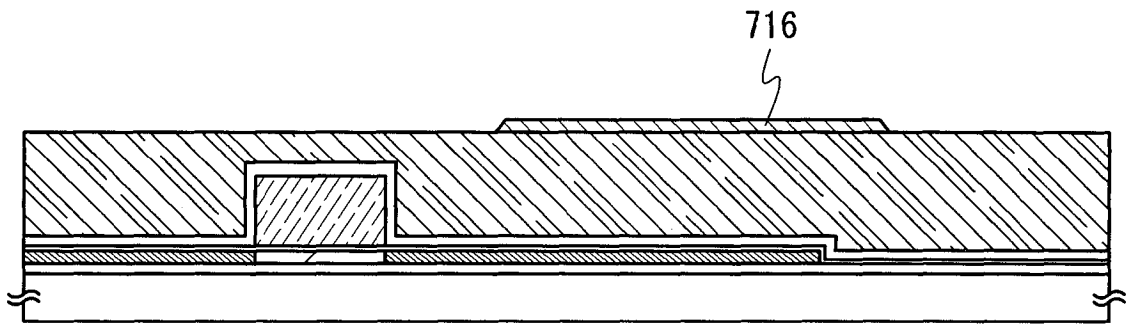


图 9C

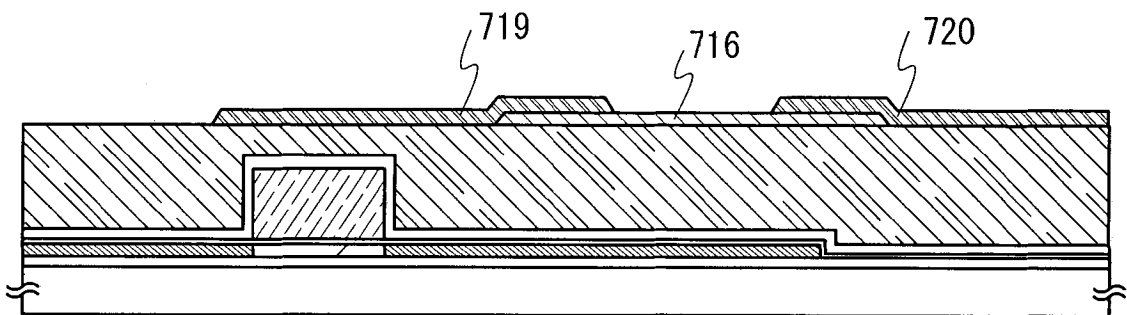


图 10A

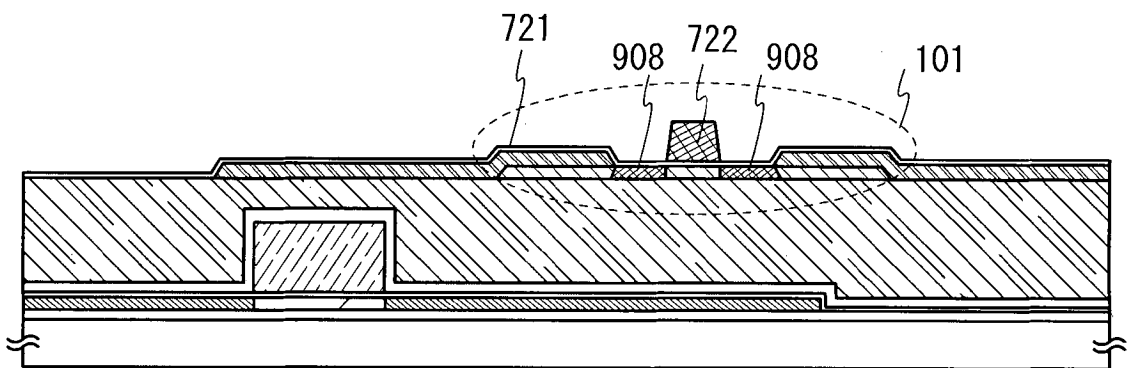


图 10B

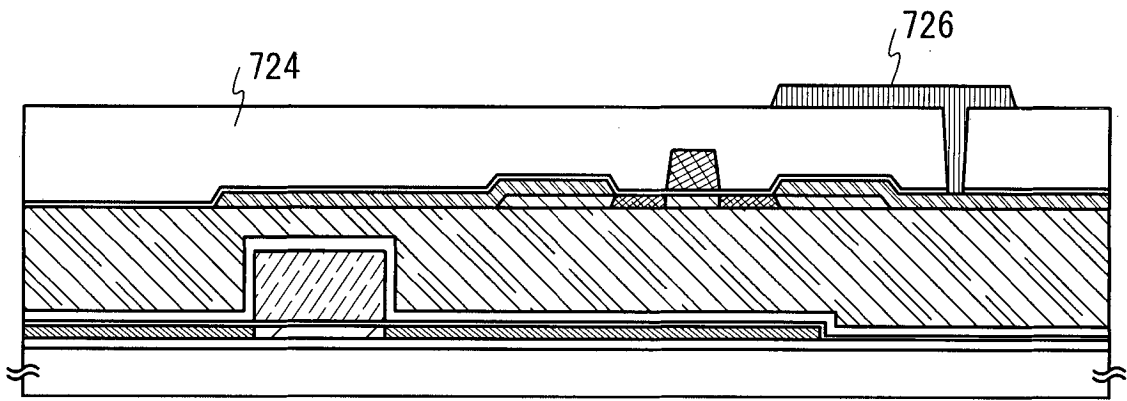


图 10C

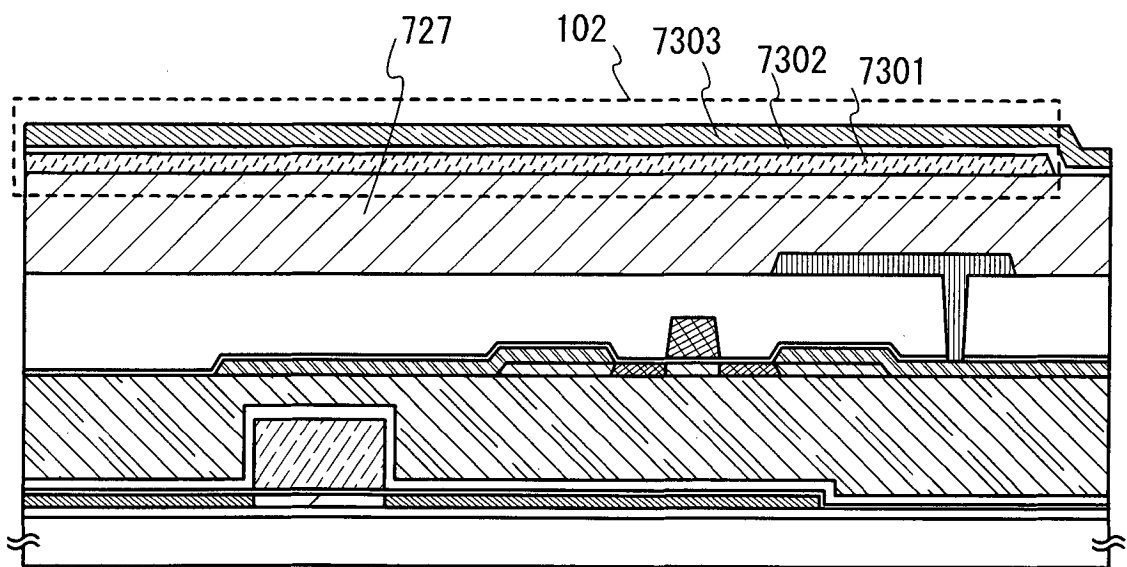


图 10D

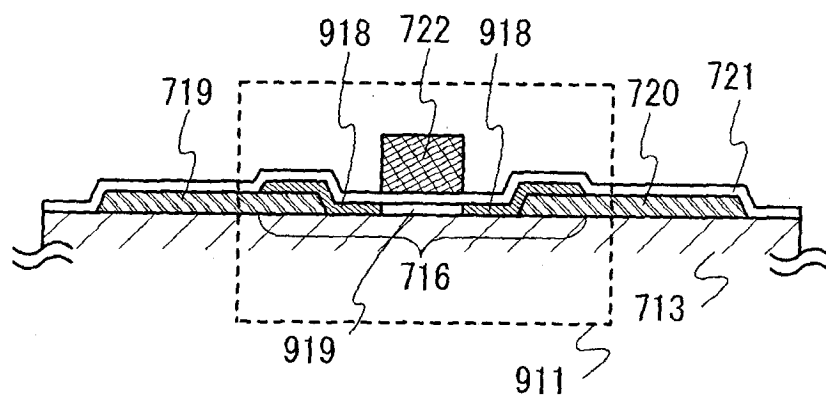


图 11A

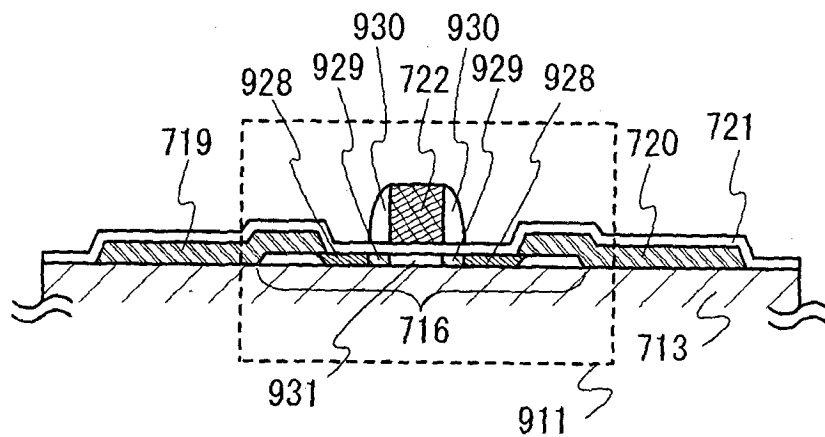


图 11B

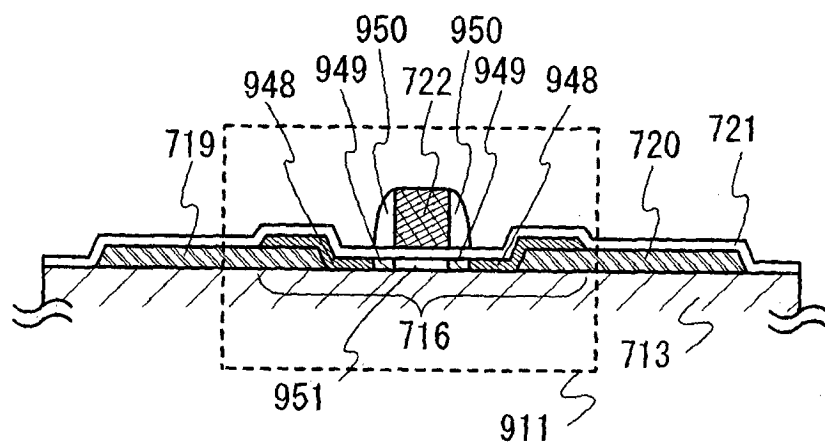


图 11C

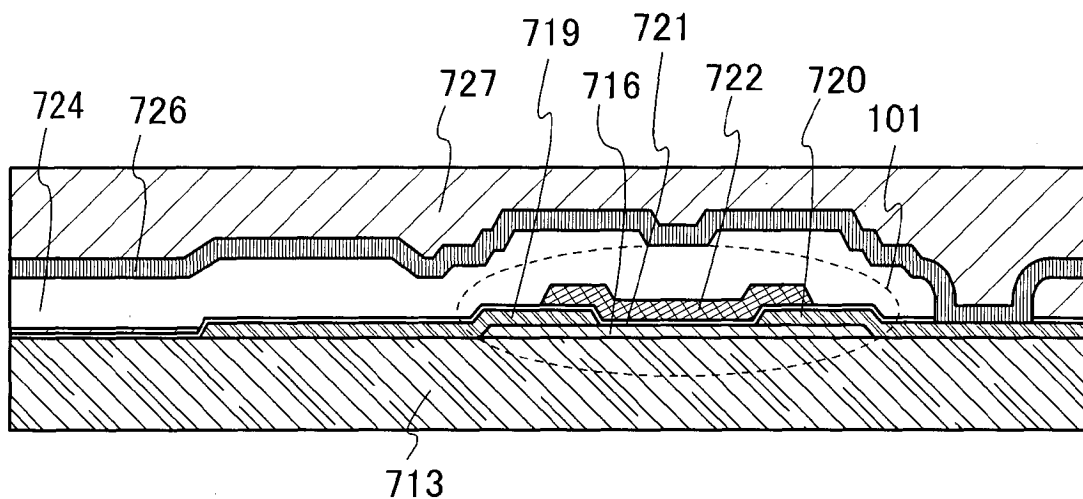


图 12A

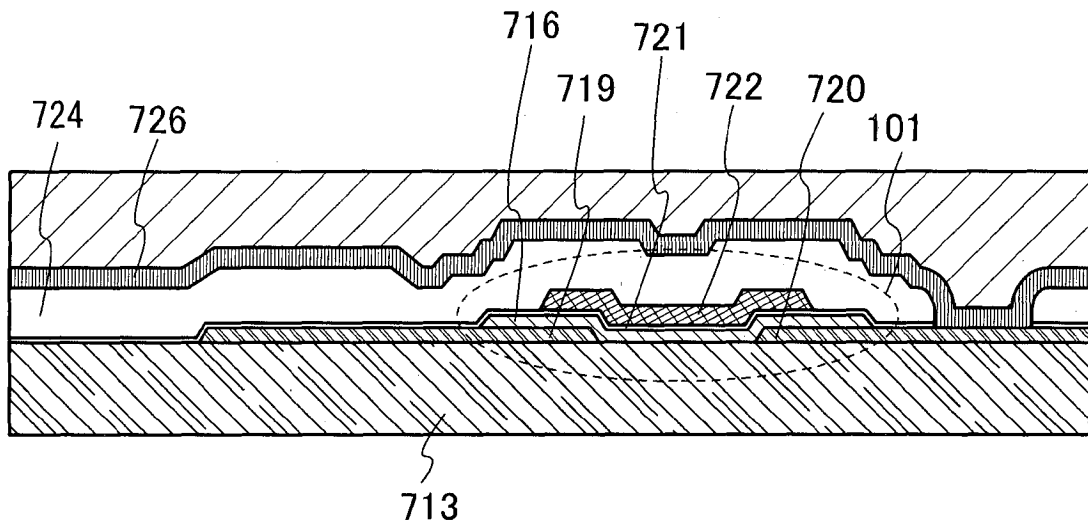


图 12B

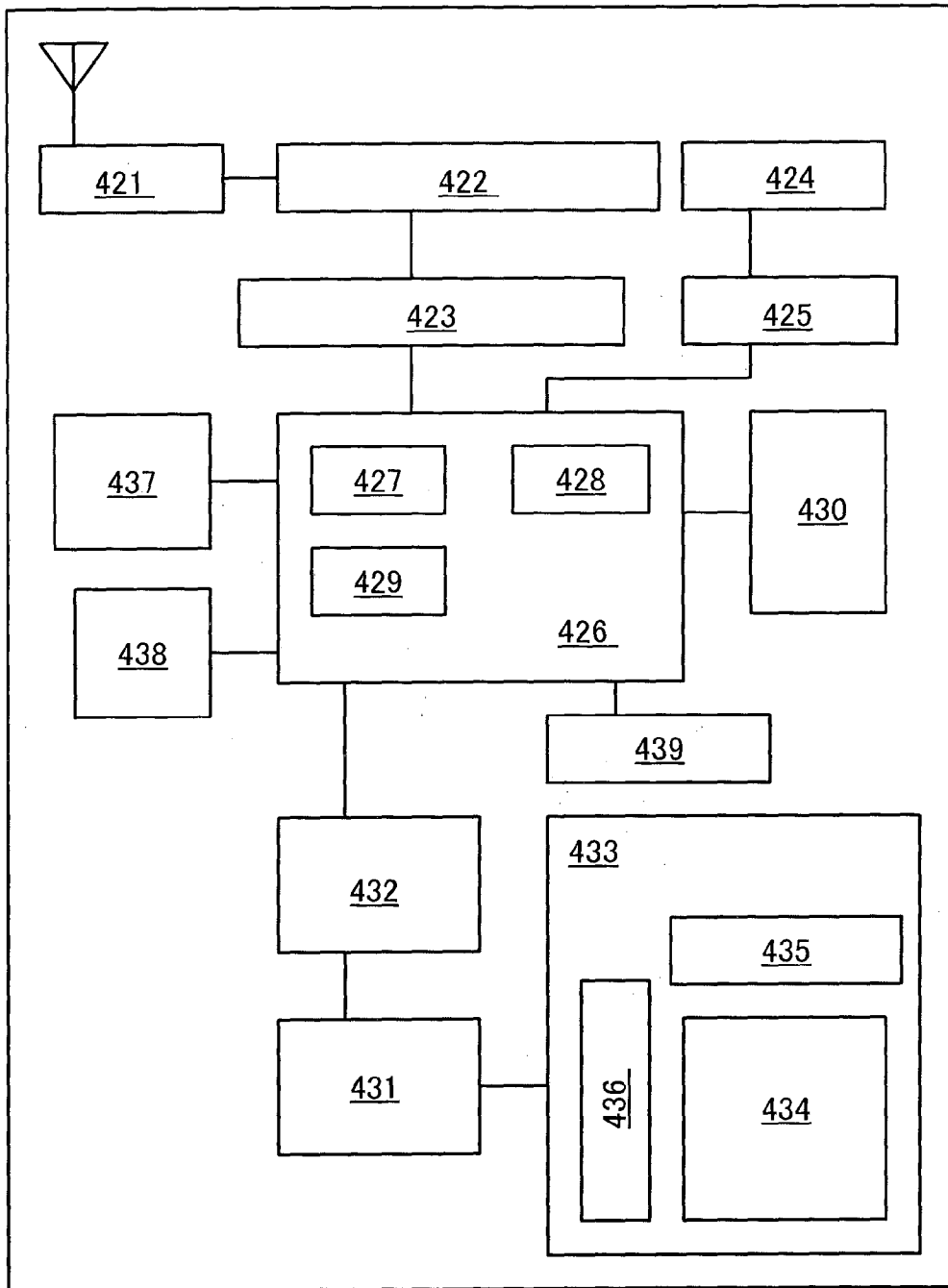


图 13

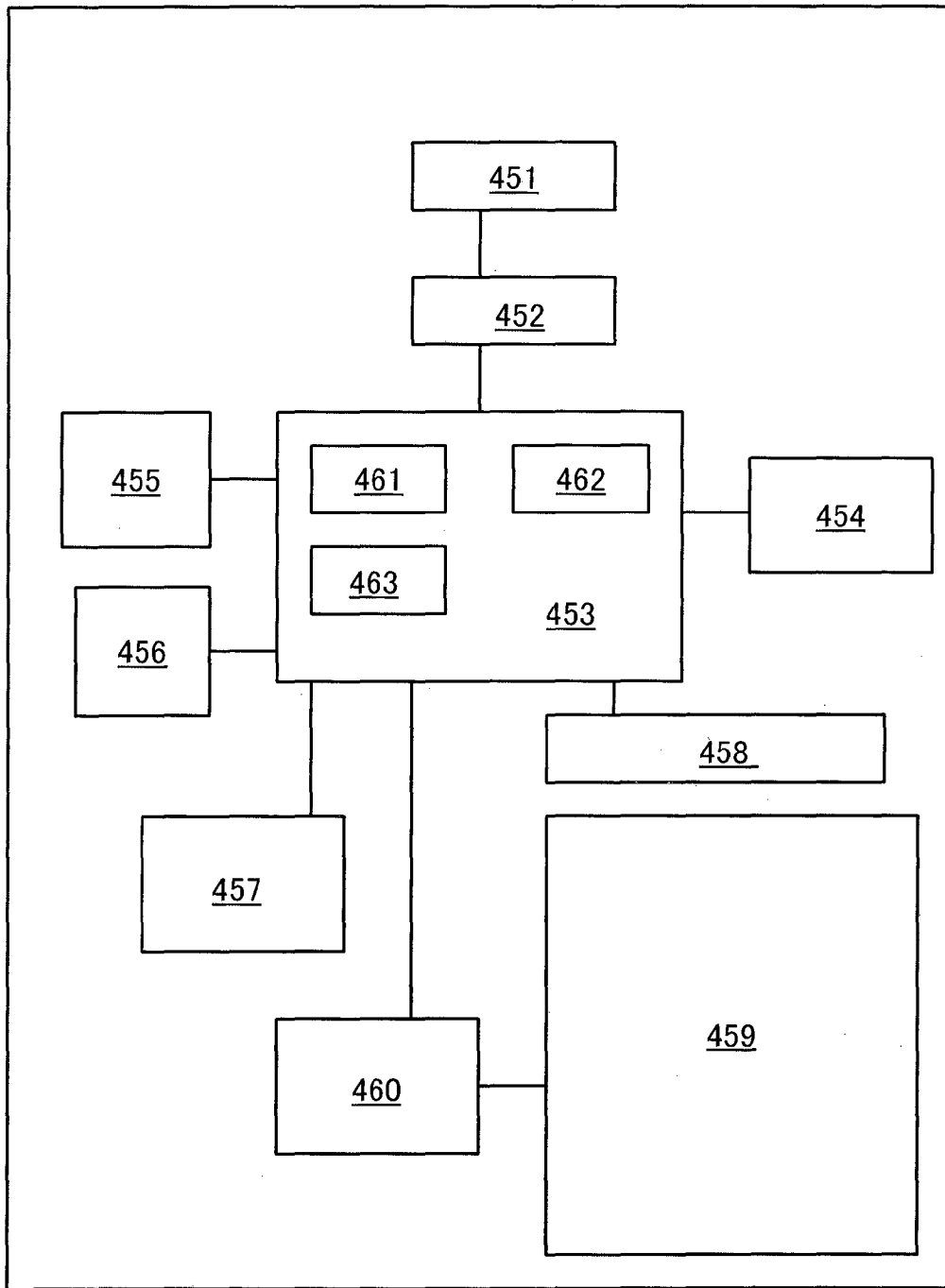


图 14

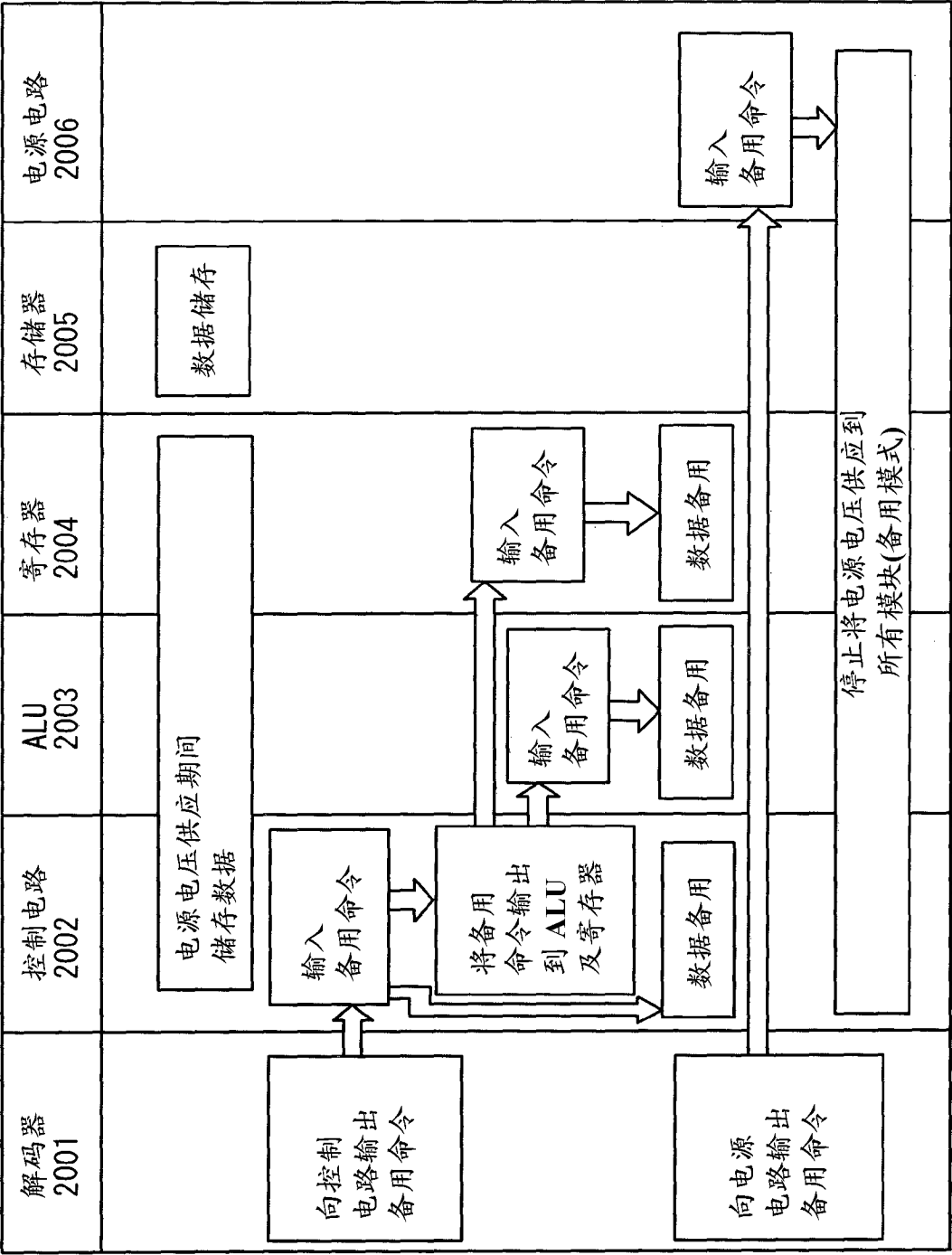


图 15

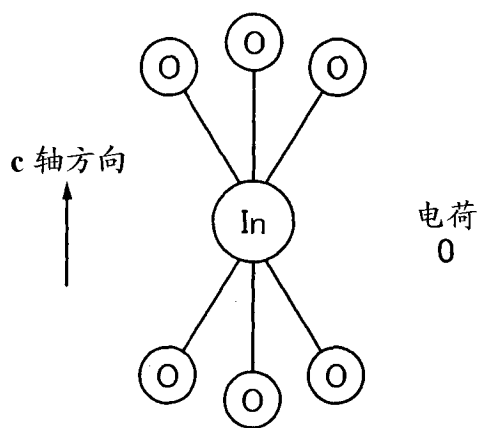


图 16A

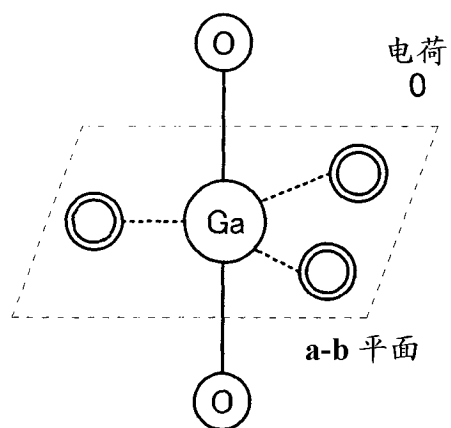


图 16B

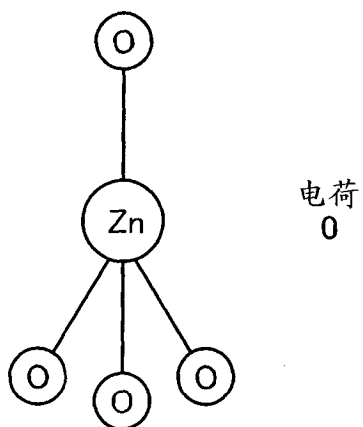


图 16C

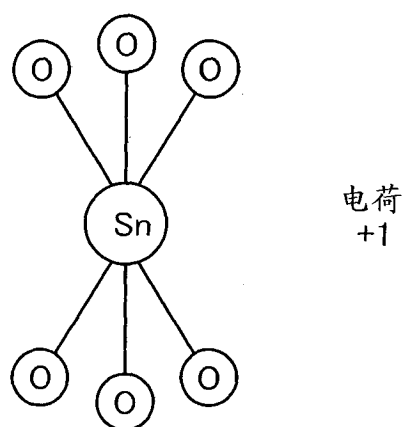


图 16D

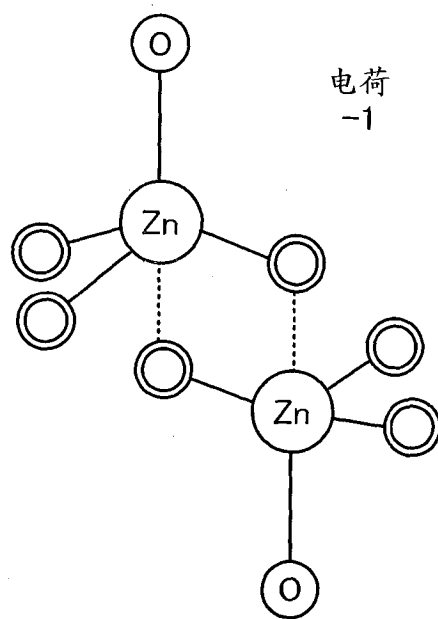


图 16E

图 17A

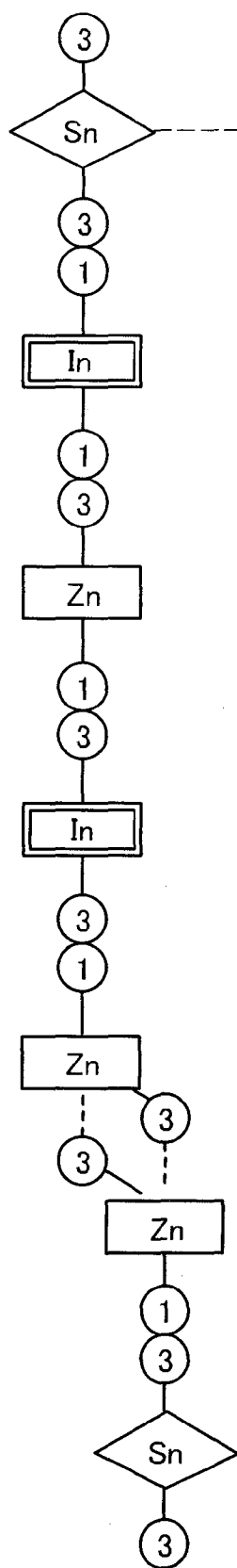


图 17B



图 17C

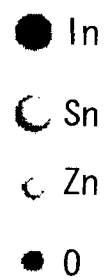
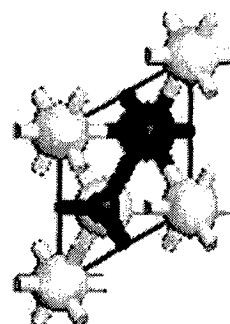


图 18A

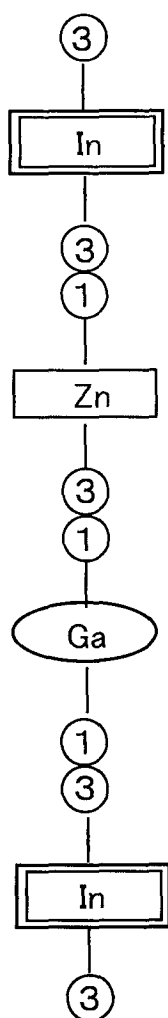


图 18B

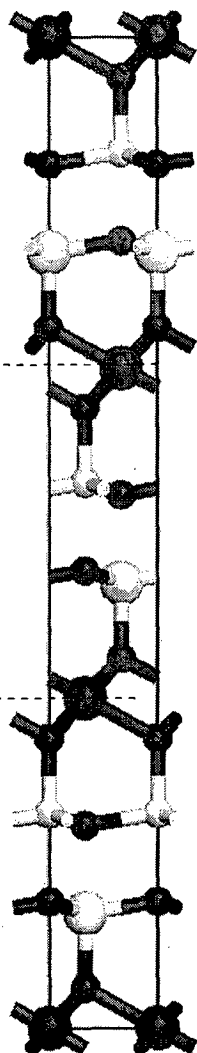
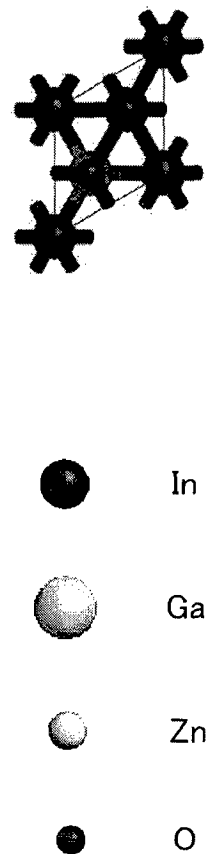


图 18C



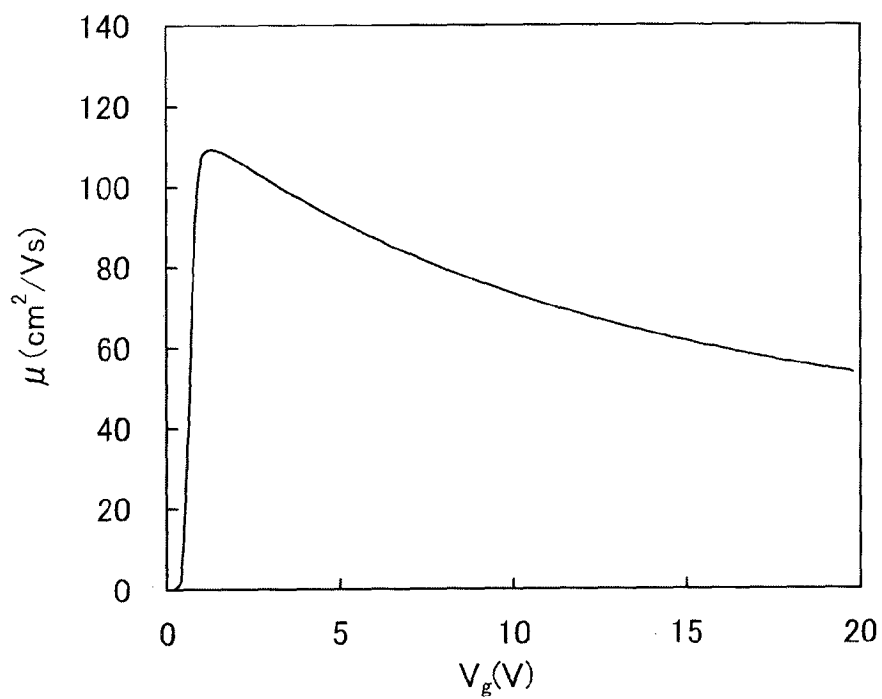


图 19

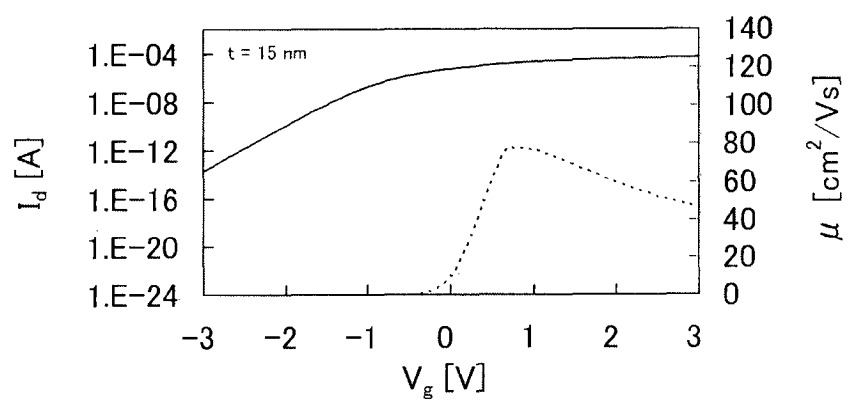


图 20A

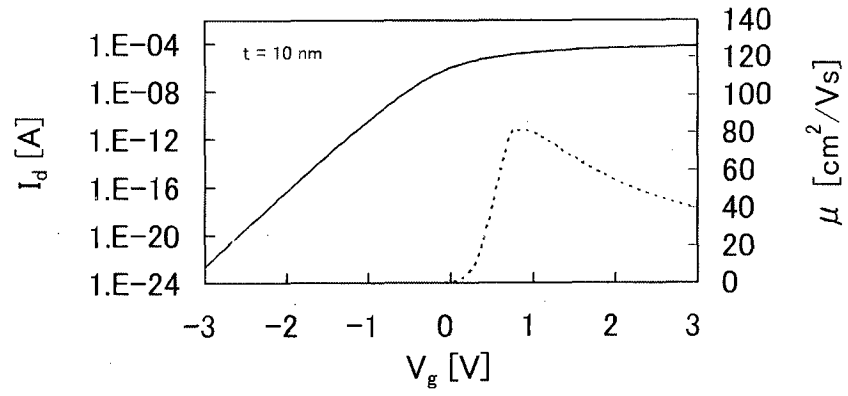


图 20B

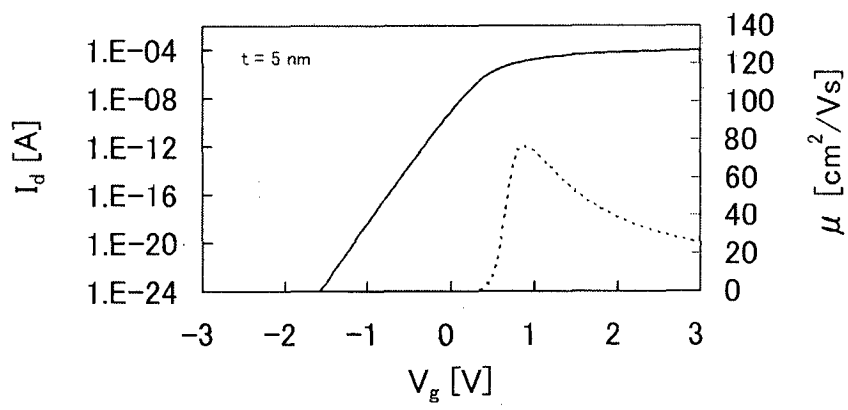


图 20C

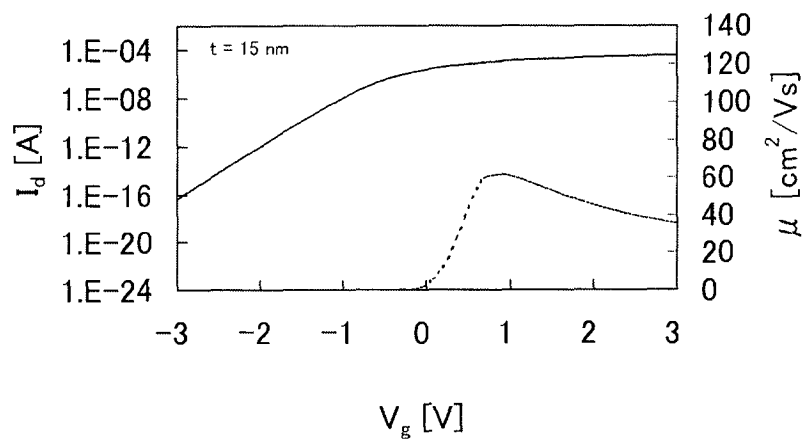


图 21A

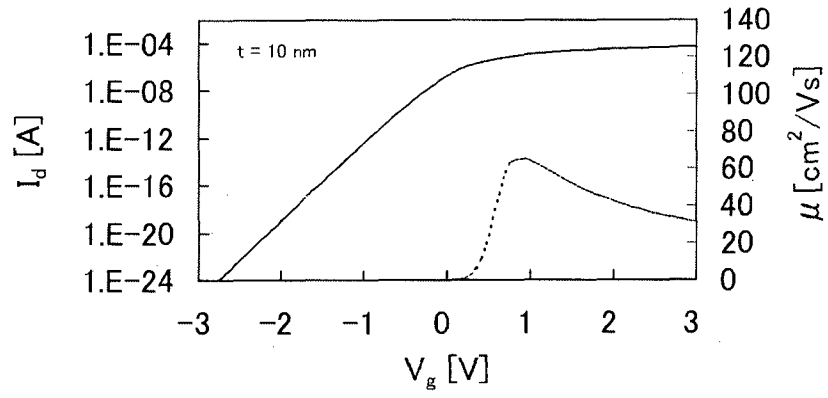


图 21B

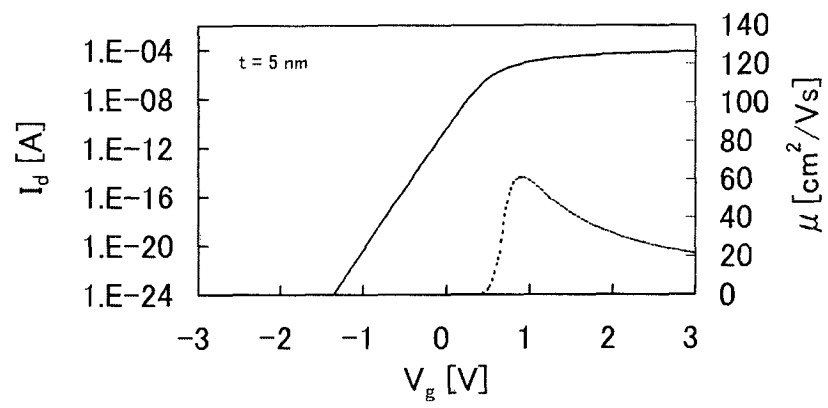


图 21C

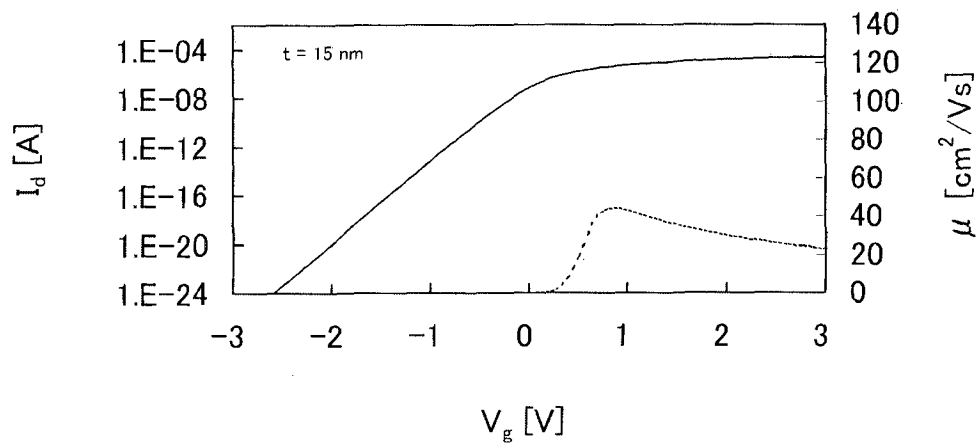


图 22A

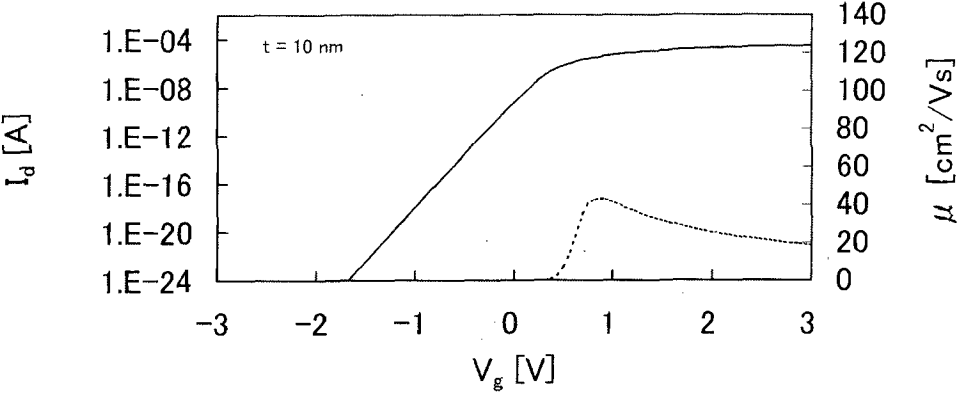


图 22B

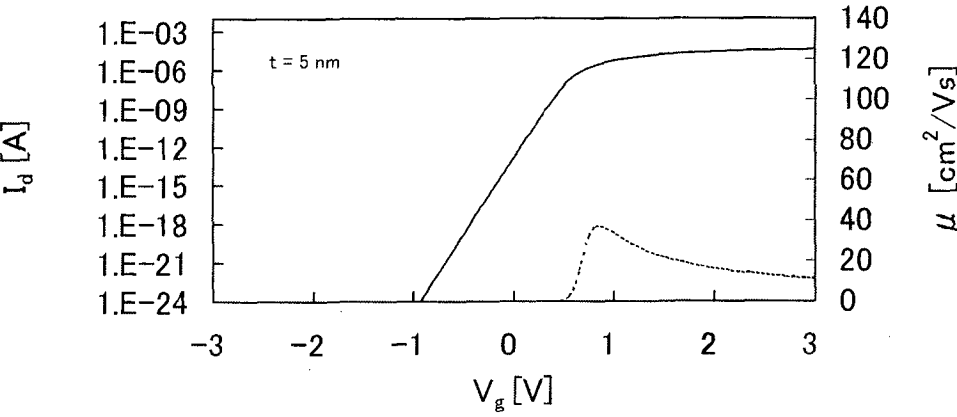


图 22C

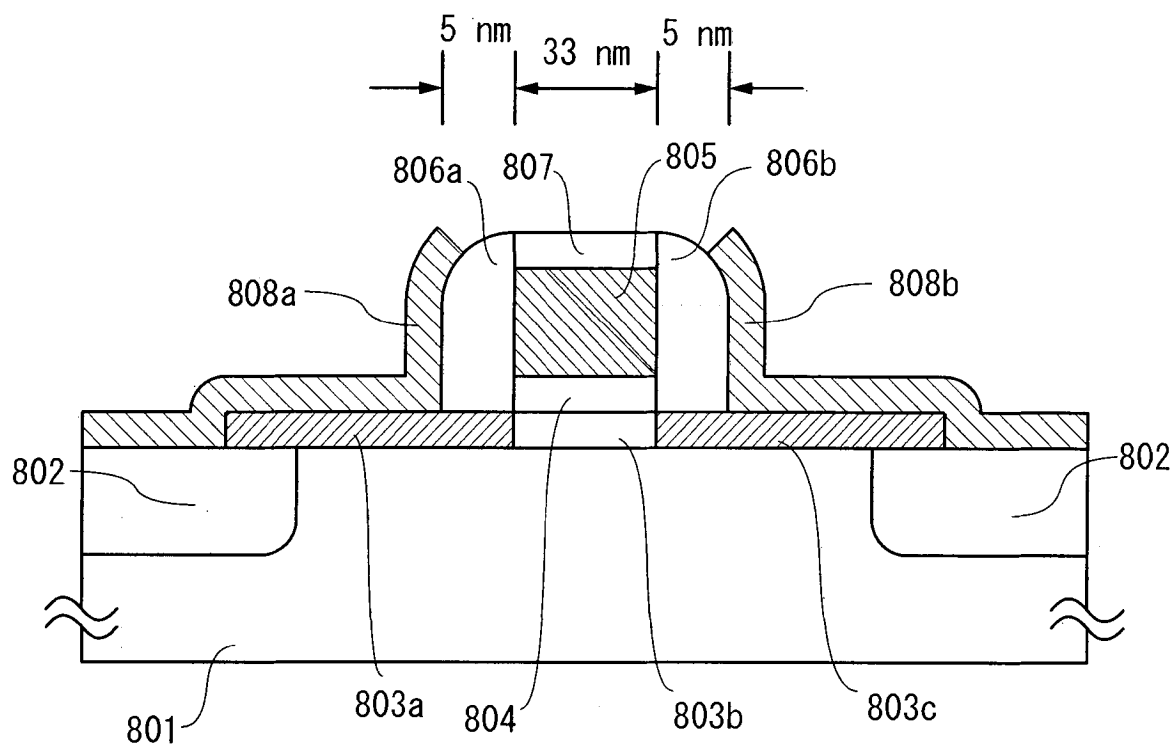


图 23A

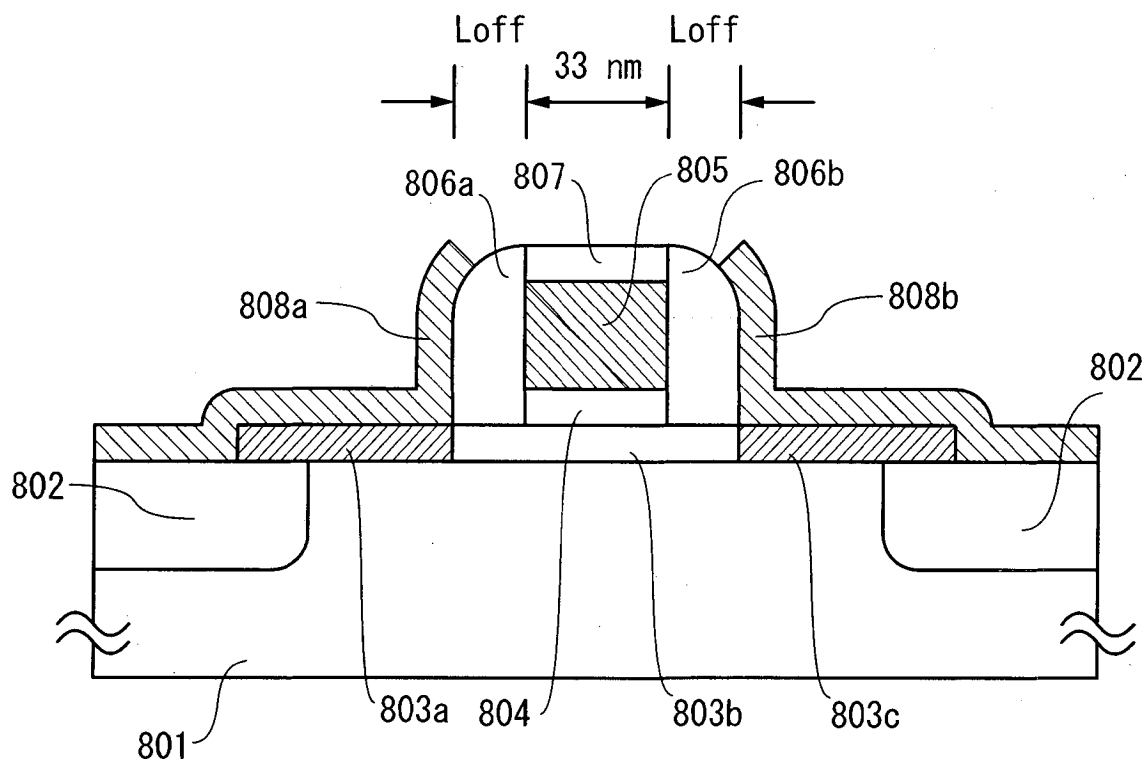


图 23B

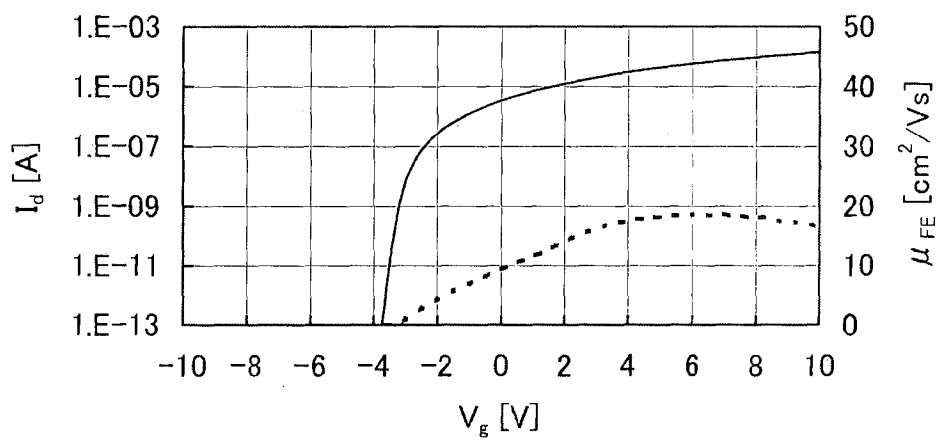


图 24A

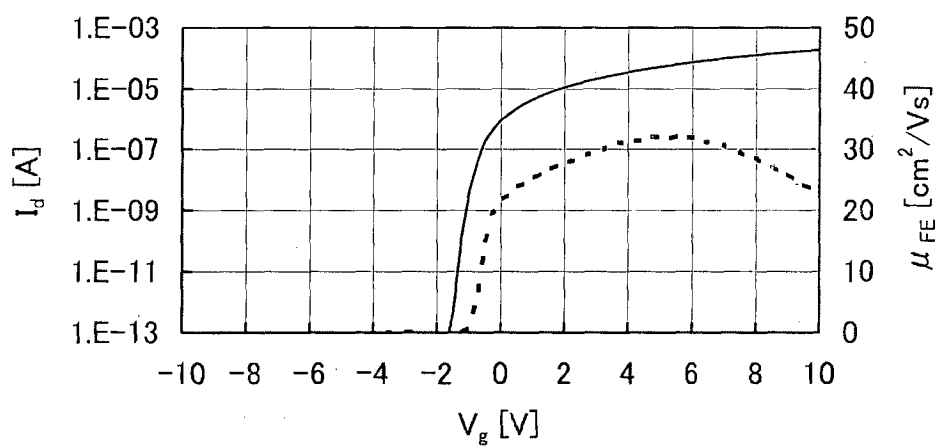


图 24B

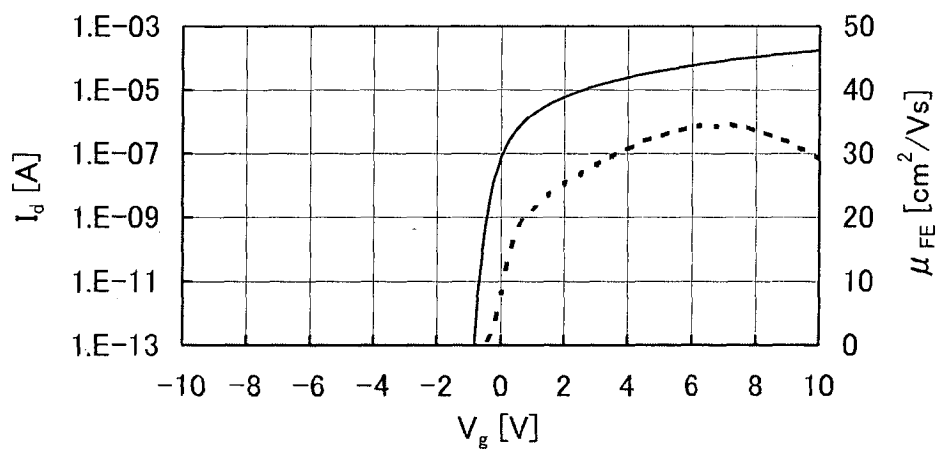


图 24C

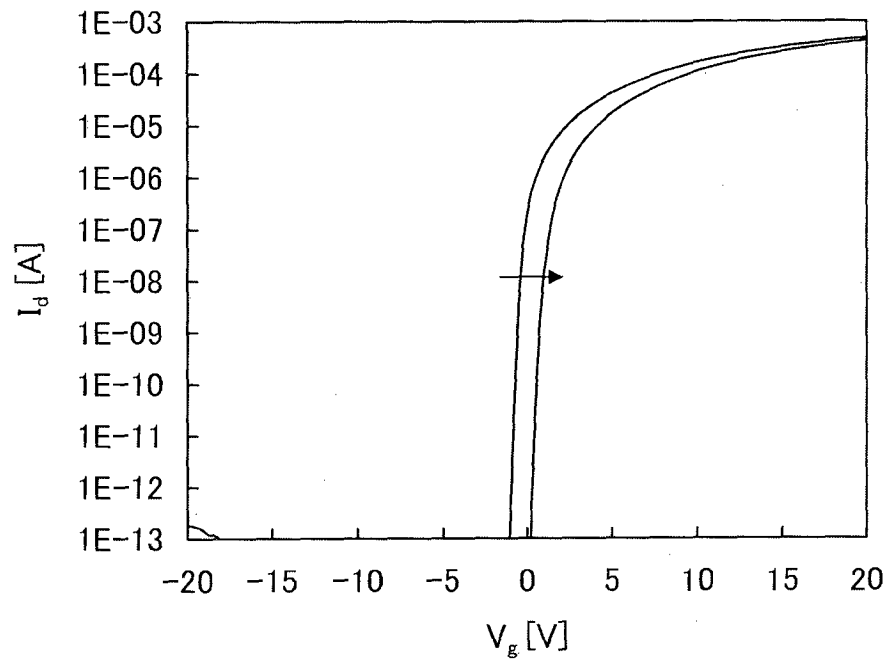


图 25A

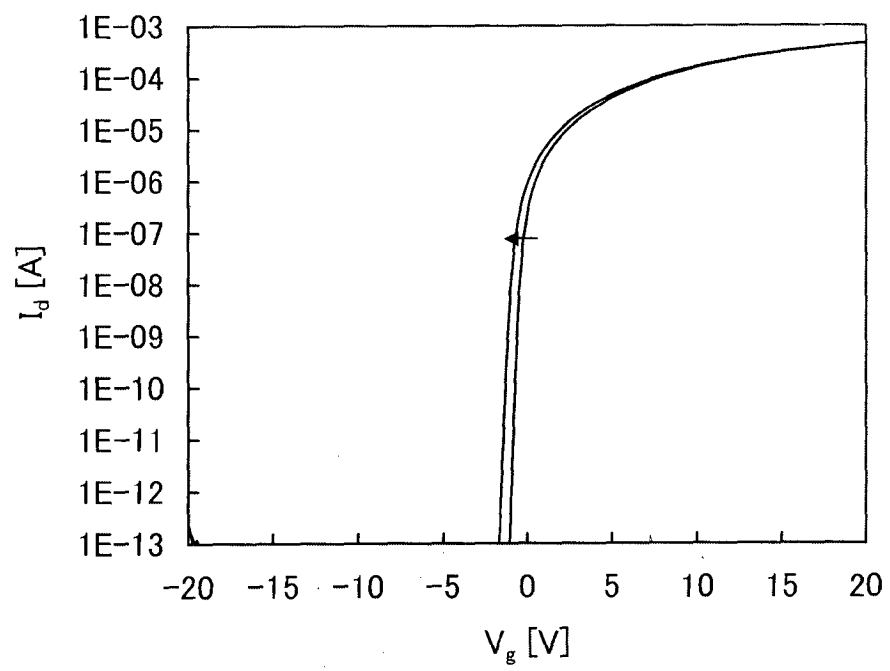


图 25B

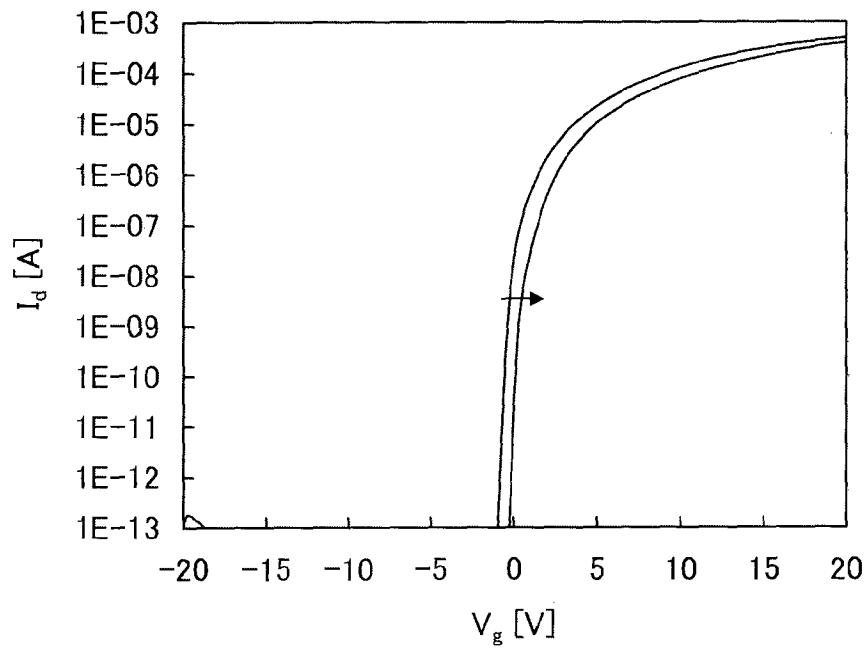


图 26A

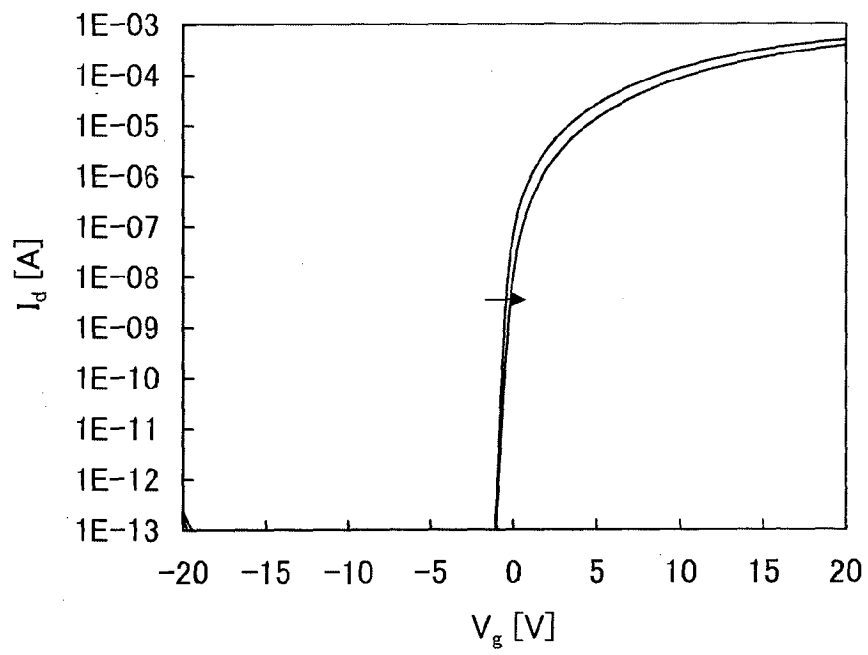


图 26B

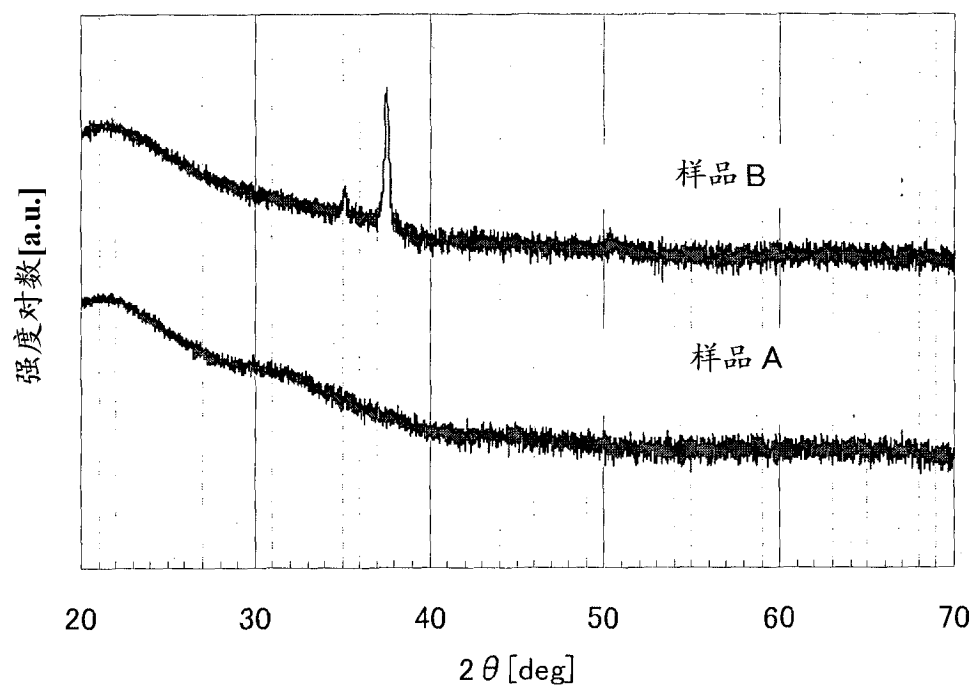


图 27

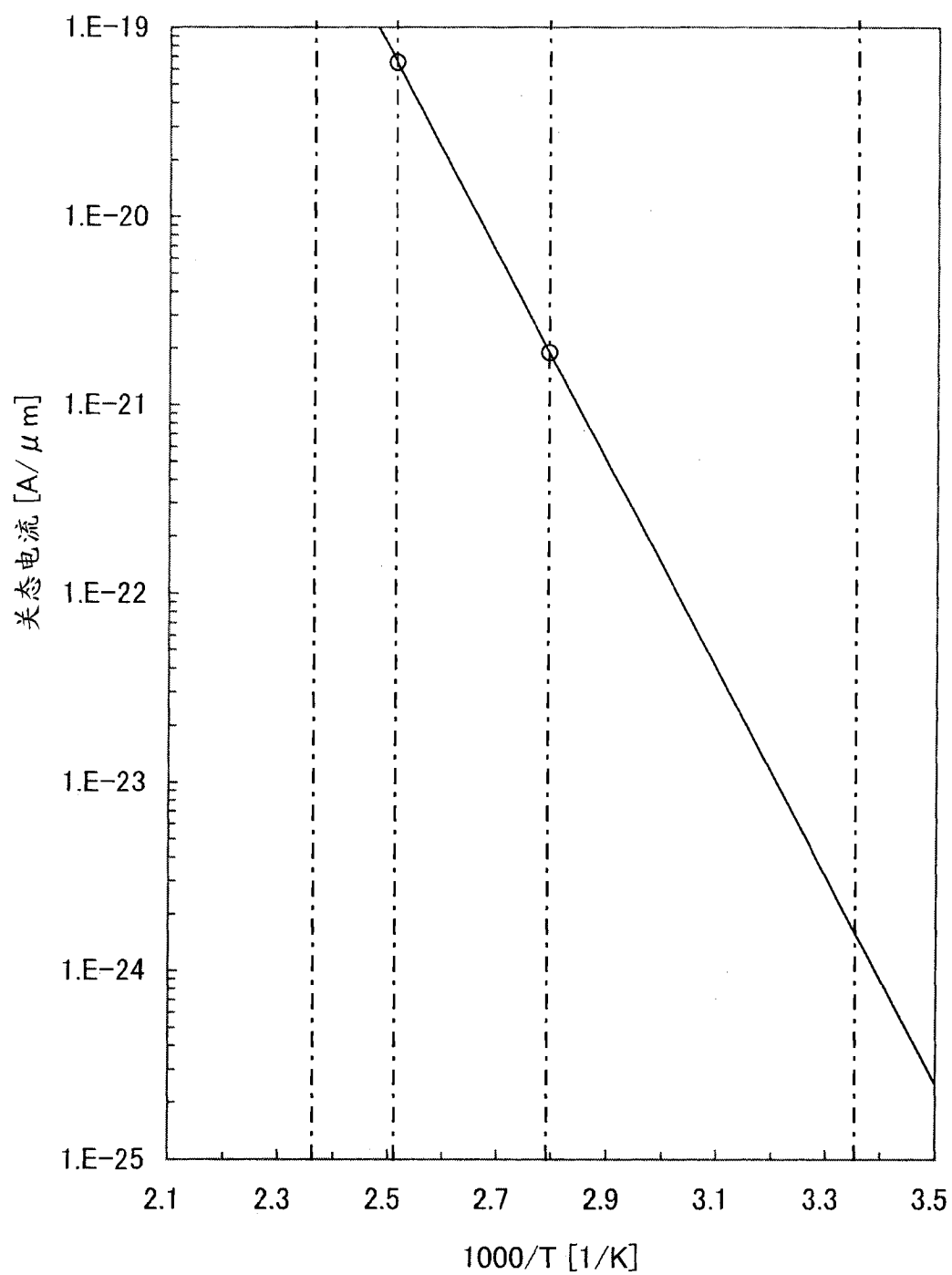


图 28

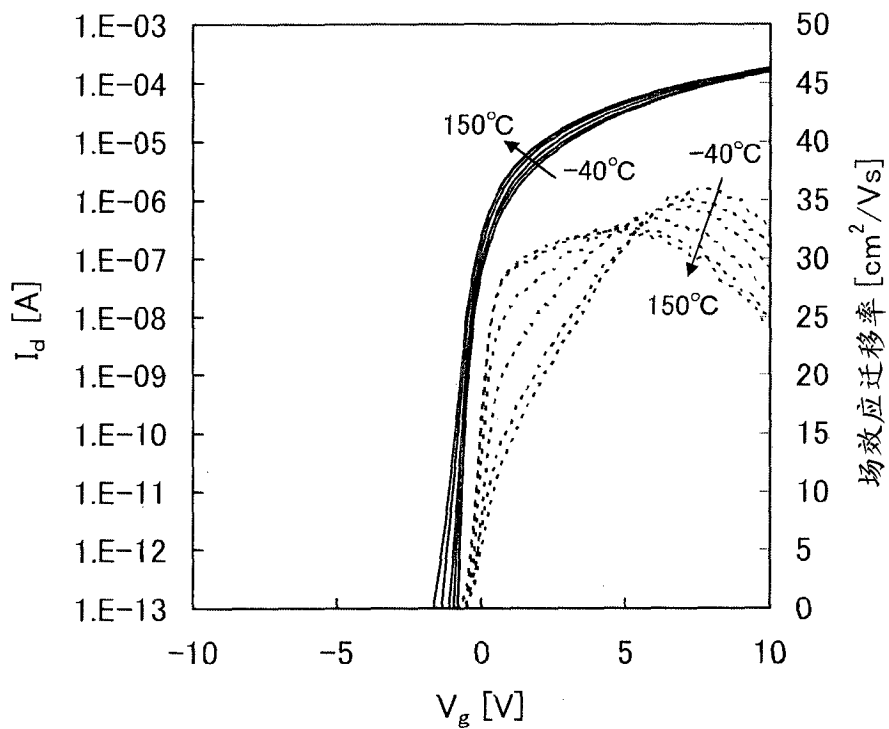


图 29

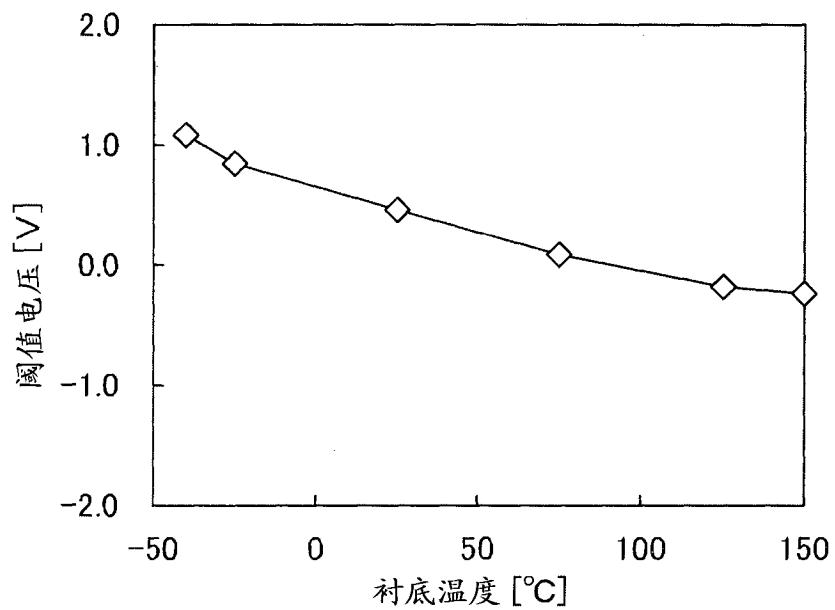


图 30A

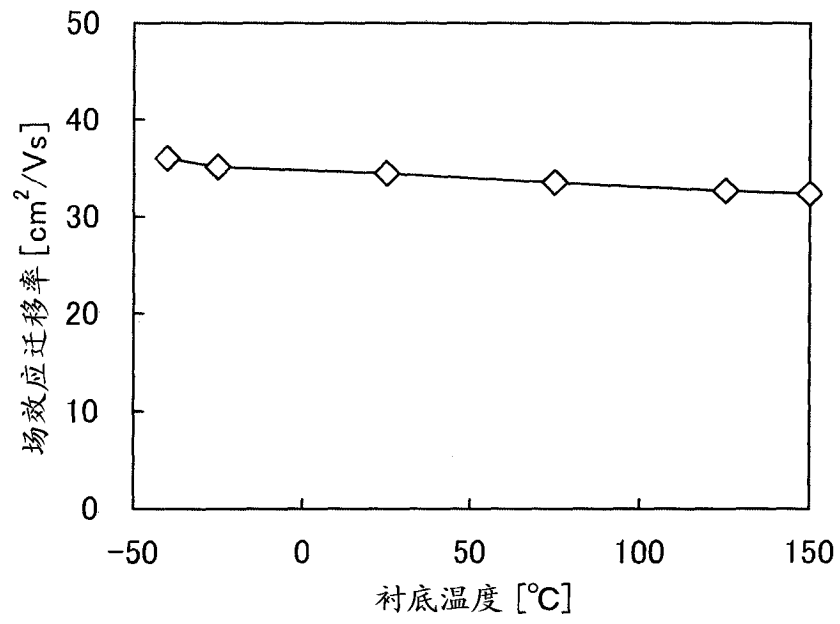


图 30B

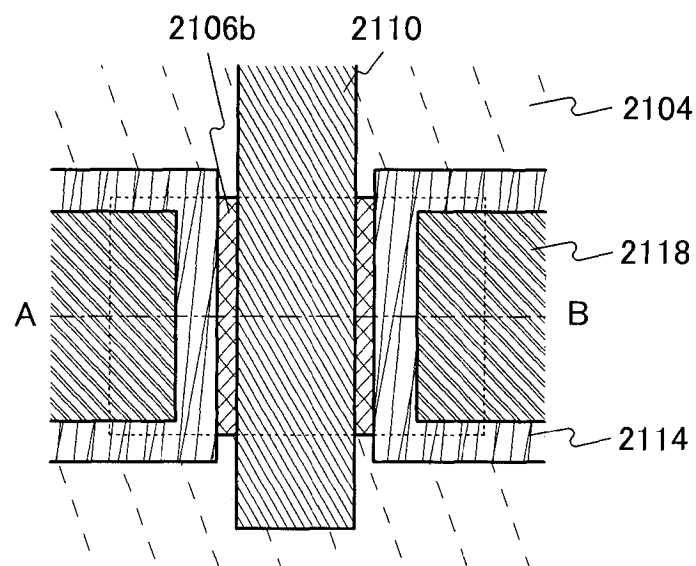


图 31A

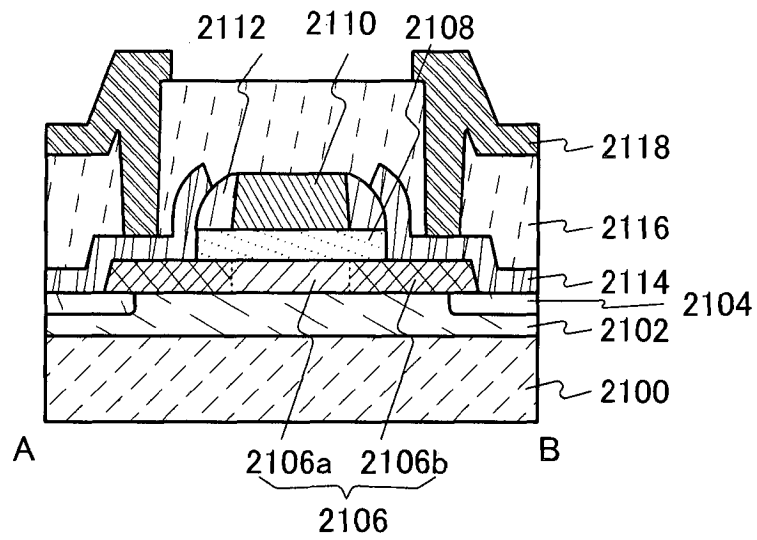


图 31B

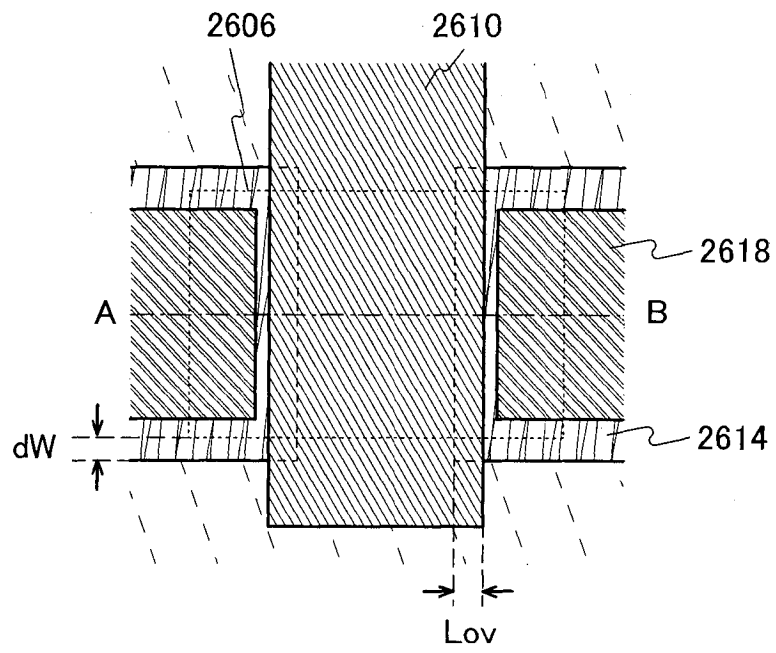


图 32A

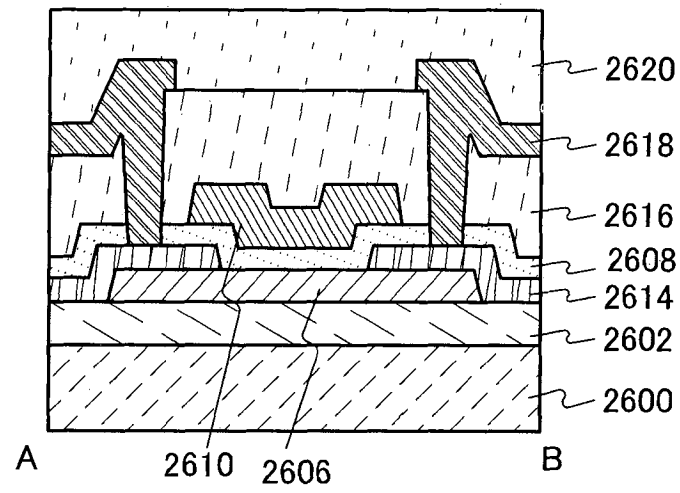


图 32B