

公告本

293912

申請日期	85.4.27
案號	85105061
類別	G11C ⁵ / ₁₄ , H01L ²⁷ / ₁₁

A4
C4

293912

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	具備資料保存裝置之靜態記憶體單元 之半導體元件
	英文	SEMICONDUCTOR DEVICE HAVING STATIC MEMORY CELL PROVIDED WITH DATA RETAINING MEANS
二、發明 創作人	姓名	山田泰正
	國籍	日本
	住、居所	神奈川縣川崎市中原區小杉町一丁目403番53 日本電氣アイシ-マイコンシステム株式會社内 2.同上所
三、申請人	姓名 (名稱)	日本電氣股份有限公司 (日本電氣株式會社)
	國籍	日本
	住、居所 (事務所)	東京都港區芝五丁目7番1號
	代表人 姓名	金子尚志

裝

訂

線

293912

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權
1995年 4月 27日 特 願 平 7-103733 號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明背景發明領域

本發明有關一種半導體元件，且較特別地，係有關一種具有用於暫時儲存資料之靜態記憶體單元之元件。

相關技術說明

靜態記憶體單元被使用為一種資料保持元件以用於靜態隨機記憶體元件(SRAM)，微控制器之資料記錄器等。大致上，此一記憶體單元係一種正反器(flip-flop)結構，其中兩個反相器被連接以使一反相器之輸入與輸出節點分別地被連接於另一反相器之輸入與輸出節點。該等反相器各包含一諸如MOS電晶體之絕緣閘電晶體，其含有一閘極電極連接於輸入節點以及一洩極-源極電流路徑連接於輸出節點與一第一電源供應線之間，以及一負載元件連接於輸出節點與一第二電源供應線之間。該負載元件係由一電阻或由一諸如MOS電晶體為一種薄膜電晶體(TFT)之絕緣閘電晶體所組成。

現參照第1與2圖所示之使用於SRAM中之一記憶體單元，該SRAM單元包含一轉移電晶體104於一位元線101與一接點102之間用以形成一導電路徑，以便從該位元線101供應電壓至該記憶體單元之內部。該轉移電晶體104之閘極連接於一字元線103。該接點102係連接於一具有源極連接於一電源供應線Vcc之P型薄膜電晶體105之洩極，以及連接於一具有源極連接於一GND(接地)線Vss

五、發明說明(之)

之 N 型電晶體 106。該接點尚連接於一其源極連接於電源供應線 Vcc 之 P 型薄膜電晶體 107 之閘極，以及連接於一其源極連接於 GND Vss 之驅動電晶體 108 之閘極。再者，一轉移電晶體 111 被提供以形成一導電路徑於一位元線 109 與一接點 110 之間，以便從該位元線 109 供應電壓至該記憶體單元之內節。該轉移電晶體 111 之閘極連接於字元線 103。該接點 110 係連接於其源極連接於電源供應之 P 型薄膜電晶體 107 之閘極，以及連接於其源極連接於 GND 之 N 型驅動電晶體 108 之閘極。此外，該接點 110 亦連接於其源極連接於電源供應之 P 型薄膜電晶體 105 之閘極，以及連接於其源極連接於 GND 之 N 型驅動電晶體 106 之閘極。因而，組成一正反器。

現將闡釋該 TFT 型記憶體單元之儲存作業。

首先，假設一種情況，其中該位元線 101 係於 "H(高)" 準位，而該位元線 109 係於 "L(低)" 準位。當該字元線 103 轉變為 "H" 準位時，該等轉移電晶體 104 與 111 呈導通，在位元線 101 上之 "H" 準位由轉移電晶體 104 之門限電壓所降低，且透過該轉移電晶體 104 而導通至接點 102。由於該接點係連接於 P 型薄膜電晶體 107 與 N 型驅動電晶體 108 之閘極，所以電晶體 107 轉變為 OFF (關閉) 狀態而電晶體 108 則轉變為 ON (開啟) 狀態使接點 110 呈 "L" 準位。其閘極連接於接點 110 之薄膜電晶體 105 轉變為 ON 狀態，而電晶體 106 轉變為 OFF 狀態使接點 110 呈 "L" 準位。此時，即使該字元線改變為 "L" 準

五、發明說明()

位接點 102 繼續維持於 "H" 準位，而接點 110 則繼續維持於 "L" 準位。

當位元線 101 為 "L" 準位以及位元線 109 為 "H" 準位時，相類似之作業繼續維持接點 102 於 "L" 準位以及接點 110 於 "H" 準位。

於如第 2 圖中所示之該記憶體單元之元件結構中，一鋁接線層 121 與一鈦接線層 122 被耦合為一接線層而形成第 1 圖中所示之位元線 101。而且，該鈦接線層 122 連接於一 N 型擴散層 124，該 N 型擴散層 124 形成於一具備 P 導電型之矽基體 123 之上。此處，如第 2 圖中所示，一 MOS 電晶體被形成具有一由 N 型擴散層 124 與 124' 所組成之源極-洩極區，一由閘極絕緣膜 125 所組成之閘極電極，以及一由第一多晶矽層 126 與一第一矽化物層 127 所組成之閘極電極。該 MOS 電晶體係第 1 圖中所示之轉移電晶體 104。

接著，一具備低濃度之 N 型擴散層 124a 連接於 N 型擴散層 124'。此外，該 N 型擴散層 124a 亦連接於摻雜有 N 型雜質之第一多晶矽層 126a。為了降低第一多晶矽層 126a 之電阻，第一矽化物層 127a，其係矽與具備高熔點金屬之混合物被提供於該第一多晶矽層 126a 之上。該兩層組成了第 1 圖之電晶體 108 之閘極電極。

此處，該等驅動電晶體或轉移電晶體藉由一元件隔離/絕緣膜 128 以相互絕緣與隔離。然後，一鈎層 129 被形成為上述之 GND V_{ss} 接線。

五、發明說明(4)

上述第一矽化物層 127a 係連接於一配置於其上且摻雜以 N 型雜質之第二多晶矽層 130。此外，該第二多晶矽層 130 連接於一第二矽化物 131，該二層連接於第 1 圖中所示之 P 型薄膜電晶體 107。而且，該第二矽化物層 131 連接於一配置於其上且摻雜以 P 型雜質之第三多晶矽層 132，此成為第 1 圖中所示之 P 型薄膜電晶體 105 之洩極擴散層。此處，一由一第二多晶矽層 130a 與一第二矽化物層 131a 所組成之電極成為上述薄膜電晶體之閘極電極。再者，一用於該薄膜電晶體之閘極絕緣膜 133 係由一氧化矽膜形成。

翻閱第 3 與 4 圖所示之另一採用於一 SRAM 中之記憶體單元。於此單元中，一轉移電晶體 104 被提供於一位元線 101 與一接點 102 之間用以形成一導電路徑，以便從該位元線 101 供應電壓至該記憶體單元之內部。該轉移電晶體 104 之閘極連接於一引線 103。該接點 102 連接於一電阻 112，該電阻之一末端連接於電源供應 V_{cc} ，且該接點 102 連接於一 N 型電晶體 106 之洩極，而其源極係連接於 GND (接地) V_{ss} 。此外，該接點 102 亦連接於一轉移電晶體 108 之閘極，其源極則連接於 GND。而且，一轉移電晶體 111 連接於一位元線 109 與一接點 110 之間用以形成一導電路徑，以便從該位元線 109 供應電壓至該記憶體單元之內部。該轉移電晶體 111 之閘極連接於一引線 103。該接點 110 連接於一電阻 113，該電阻之一末端連接於電源供應，且該接點 110 連接於一 N

五、發明說明(5)

型電晶體 108 之洩極，而其源極連接於 GND。該接點 110 亦連接於一 N 型電晶體 106 之閘極，其源極則連接於 GND。此對等地組成一正反器。

現將闡釋該電阻性記憶體單元之儲存作業。假設一種情況，其中該位元線 101 係於 "H (高)" 準位，而該位元線 109 係於 "L (低)" 準位。當該字元線轉變為 "H" 準位時，該等轉移電晶體 104 與 111 轉變為 ON (開啟) 狀態。因而，在位元線 101 上之 "H" 準位透過轉移電晶體 104 而連接至接點 102。由於該接點係連接於電晶體 108 之閘極，故電晶體 108 轉變為 ON 狀態。因為電晶體 108 使流入 GND 之電流量較大於流經電阻 113 之電流量，所以接點 110 呈 "L" 準位。"L" 準位被提供於連接至該接點 110 之驅動電晶體 106 之閘極，以使該驅動電晶體轉變為 OFF (關閉) 狀態。結果，接點 102 呈 "H" 準位。此時，即使該字元線 103 改變為 "L" 準位時，該接點 102 亦繼續維持 "H" 準位，而接點 110 則繼續維持 "L" 準位。

於一種情況其中該位元線 101 係於 "L" 準位，而位元線 109 係於 "H" 準位時，於相類似之作業下，該接點 102 維持於 "L" 準位，而接點 110 維持於 "H" 準位。

如第 4 圖中所示，於第 3 圖之記憶體單元之元件結構中，一鋁接線層 121 與一鈦接線層 122 被耦合為一接線層而形成第 3 圖中所示之位元線 101。而且，該鈦接線層 122 連接於一 N 型擴散層，該 N 型擴散層形成於一 P 型矽基體 123 之上。此處，如較早所述，一 MOS 電晶體

五、發明說明(b)

被形成具有一由 N 型擴散層 124 與 124' 所組成之源極 - 洩極區，一由閘極絕緣膜 125 所組成之閘極電極，以及一由一第一多晶矽層 126 與一第一矽化物層 127 所組成之閘極電極。然後，該 N 型擴散層 124' 被側面地連接於一具備低濃度之 N 型擴散層 124a，且進一步地連接於摻雜有 N 型雜質之一第一多晶矽層 126a。為了降低該摻雜有 N 型雜質之第一多晶矽層 126a 之電阻，將其耦合一第一矽化物層 127a，此形成第 3 圖中所示之接線，而連接於電晶體 108 之閘極電極以及電晶體 106 之洩極。然後，提供一鎢層 129 作為一 GND V_{SS} 接線。第一矽化物層 127a 連接於一高電阻層 135，該高電阻層 135 係由含有 20-30% 氧原子之多晶矽形成。

於上述之記憶體單元中，當電源供應線 V_{CC} 上之電壓降低時，接點 102 (或 110) 之電壓亦隨即透過電晶體 105 (或 107) 或電阻 112 (或 113) 而跟著降低。當接點 102 (或 110) 之電壓降至較低於電晶體 108 (或 106) 門限準位之該一準位時，電晶體 108 (或 106) 呈非導通。於是，儲存於該記憶體單元中之資料會被毀掉。換言之，當電源供應線 V_{CC} 上之電壓降低至使電晶體 108 (或 106) 成為非導通時，儲存於記憶體單元中之資料會被毀掉。此意謂即使僅由電源供應線 V_{CC} 電壓之暫時性改變，儲存於單元中之資料也會被毀掉。

發明概述

因此，本發明之目的係提供一種含有改良式記憶體單

五、發明說明(7)

元之半導體元件。

本發明之另一目的係提供一種具有靜態記憶體單元之半導體元件，該靜態記憶體被提供具備資料保存裝置用以防止資料被毀掉即使是在電源供應電壓暫時性地減低時。

根據本發明之一種半導體元件，包含一供應端子以及一具有正反器電路之記憶體單元，該記憶體單元含有一以正向方向連接於該供應端子與該正反器電路之輸入端子間之二極體以自該供應端子供應電流到該輸入端子。

根據此種安排，即使供應端子上之電位瞬間地斷掉，該二極體會執行整流之作業以防止電流從輸入端子流到供應端子。因此，並無電流路徑產生自該正反器電路之輸入端子至該供應端子。於是，在該輸入端子處之電壓並未改變，使正反器上之資料得以維持。

圖式簡述

本發明之上述以及其他目的，特性與優點將由下文結合附圖之說明而呈較為明顯，其中：

- 第1圖係一習知TFT型記憶體單元之電路圖；
- 第2圖係該習知TFT型記憶體單元之結構；
- 第3圖係一習知高電阻性記憶體單元之電路圖；
- 第4圖係該習知高電阻性記憶體單元之結構；
- 第5圖係一描繪本發明第一實施例之電路圖；
- 第6圖係描繪本發明第一實施例之結構；
- 第7圖係一描繪本發明第二實施例之電路圖；

五、發明說明(8)

第 4 圖係描繪本發明第二實施例之結構。

較佳實施例詳述

現參照第 5 圖所示之採用於一 SRAM 中之記憶體單元為本發明之第一實施例。於此記憶體單元中，一 N 型轉移電晶體 4 被提供於一位元線 1 與一接點 2 之間用於從位元線 1 供應電壓至記憶體單元之內部，以便形成一導電路徑。該轉移電晶體 4 之閘極連接於一字元線 3。而且，一 P 型薄膜電晶體 5 之洩極連接於一 PN 接合二極體 6 之陽極，該電晶體 5 之源極則連接於一供應端子 100。該 PN 接合二極體 6 之陰極係連接於接點 2。此外，該接點 2 尚連接於一 N 型電晶體 7 之洩極，而該電晶體 7 之源極則連接於 GND 或 V_{SS} ，以及該接點 2 亦連接於一 P 型薄膜電晶體 8 與一 N 型電晶體 9 之閘極，其中該電晶體 8 之源極係連接於電源供應而電晶體 9 之源極則連接於 GND。一轉移電晶體 12 被提供於一位元線 10 與一接點 11 之間用以從位元線 10 供應電壓至記憶體單元之內部，以便形成一導電路徑。該轉移電晶體 12 之閘極連接於字元線 3。此外，一 P 型薄膜電晶體 8 之洩極連接於一 PN 接合二極體 13 之陽極，而該電晶體 8 之源極連接於一供應端子 100。該 PN 接合二極體之陰極係連接於節點 11。此外，該節點連接於電晶體 9 之洩極，以及連接於薄膜電晶體 5 與電晶體 7 之閘極以形成一正反器。

該等供應端子 100 被供應以一電壓 V_{CC} 。

於第 5 圖中，二極體 6 係連接於節點 2 與電晶體 5 之

五、發明說明(9)

間，唯亦可利用該二極體 6 連接於供應端子 100 與電晶體 5 之間，亦可利用二極體 13 被連接於供應端子 100 與電晶體 8 之間。

現將闡釋本發明之儲存作業。假設一種情況，其中示於第 5 圖中之位元線 1 係於 "H (高)" 準位，而位元線 10 係於 "L (低)" 準位。當字元線成為 "H" 準位時，轉移電晶體 4 與 12 被轉變為 ON (開啟) 狀態，使該位元線 1 之 "H" 準位透過轉移電晶體 4，由該轉移電晶體 4 之門限電壓來降低且供應至節點 2。由於該節點 2 係連接於薄膜電晶體 8 與電晶體 9 之閘極，所以該薄膜電晶體 8 被轉變為 OFF (關閉) 狀態，該電晶體 9 被轉變為 ON 狀態，以及該節點 11 呈 "L" 準位。閘極連接於節點 11 之薄膜電晶體 5 被轉變為 ON 狀態。電晶體 7 被轉變為 OFF 狀態，使電流從電源供應透過薄膜電晶體 5 與被正向連接之 PN 接合二極體 6 流到節點 2，使該節點 2 轉變成供應電壓 V_{cc} 。此時，即使該字元線 3 改變為 "L" 準位，節點 2 及 11 仍分別地維持著 "H" 準位及 "L" 準位。此外，即使供應電壓由於供應電壓 V_{cc} 之變化而降下，也因 PN 接合二極體之特性使電流不會從該二極體之陰極流到陽極，因而接點 2 可繼續維持 "H" 準位。所以，儲存作業被維持著。

於一情況，其中位元線 1 於 "L" 準位，而位元線 10 於 "H" 準位，在相類似之作業中，該節點 2 繼續維持 "L" 準位，接點 11 維持 "H" 準位。

五、發明說明(10)

亦即，由於PN接合二極體6及13係分別地形成於記憶體單元之負載電晶體，即薄膜電晶體5及8，與驅動電晶體7及9之間，即使電源Vcc瞬間地斷掉，亦可防止儲存資料遭毀掉。

接著，參照第6圖說明本發明之元件結構。第6圖係根據本發明TFT型記憶體單元之截面圖示。一鋁接線層21與一鈦接線層22等二層耦合形成一示於第1圖中之位元線1。再者，該鈦接線層連接於一形成於一P型矽基體23上之N型擴散層24。此處，形成一MOS電晶體，其具有當作其源極-洩極之N型擴散層24及24'，當作其閘極電極之一閘極絕緣膜25，以及當作其閘極電極之一第一多晶矽層26與一第一矽化物層27。接著，N型擴散層24'側面地連接於一具備低濃度之N型擴散層24a。此外，N型擴散層24a連接於一摻雜N型雜質之第一多晶矽層26a。為了降低摻雜有N型雜質之第一多晶矽層26a之電阻，配置一第一矽化物層27a於其上，且耦合該兩層，該兩層連接於電晶體9之閘極電極以及電晶體7之洩極，該等電晶體係由一元件隔離/絕緣膜28來絕緣與隔離。再者，一鎢層29被形成為用於GND Vss之接線。

第一矽化物層27a係連接於一摻雜有N型雜質之第二多晶矽層30，該第二多晶矽層30連接薄膜電晶體8之閘極電極。此外，該第二多晶矽層30直接連接一摻雜有P型雜質之P型矽層31，因而形成一PN接合二極體。該P型矽層31連接於一第三多晶矽層32。第二多晶矽層30a

五、發明說明(一)

成為薄膜電晶體 5 之閘極電極，而一絕緣層 33 成為薄膜電晶體 5 之閘極絕緣膜。第三多晶矽層 32 被摻雜 N 型雜質以用於源極-洩極區以及 P 型雜質以用於通道區。

然後，製成本發明之 TFT 型記憶體單元。

接著，將依第 7 與 8 圖闡釋一電阻性記憶體單元為一第二實施例。

第 7 圖係一電阻性記憶體單元之電路圖。一轉移電晶體 4 被提供於一位元線 1 與一節點 2 之間用以從位元線 1 供應電壓至記憶體單元之內部，以便形成一導電路徑。轉移電晶體 4 之閘極連接於一字元線 3。一電阻 14 之一端連接於一 PN 接合二極體 6 之陽極，其另一端則連接於一供應端子 100。PN 接合二極體 6 之陰極係連接於節點 2。此外，節點 2 亦連接於一 N 型電晶體 9 之閘極以及一 N 型電晶體 7 之洩極，而電晶體 9 之源極係連接於 GND 且電晶體 7 之源極亦連接於 GND。此外，一轉移電晶體 12 連接於一位元線 10 與一節點 11 之間用以從位元線 10 供應電壓至記憶體單元之內部，以便形成一導電路徑。轉移電晶體 12 之閘極連接於字元線 3。一端連接於一供應端子 100 之電阻 15 之另一端係連接於一 PN 接合二極體 13 之陽極，而 PN 接合二極體 13 之陰極則連接於節點 11。此外，節點 11 連接於電晶體 7 之閘極以及電晶體 9 之洩極以對等地形成一正反器。

供應端子 100 被施加電壓 V_{cc} 。

於第 7 圖中，二極體 6 係連接於節點 2 與電阻 14 之間

五、發明說明 (12)

，但也可採用此二極體 6 被連接於供應端子 100 與電阻 14 之間，而二極體 13 連接於供應端子 100 與電阻 15 之間亦可被採用。

現藉採用第 7 圖闡釋根據本發明之電阻性記憶體單元之儲存作業。假設位元線 1 係於 "H" 準位，而位元線 10 於 "L" 準位，當字元線 3 成為 "H" 準位時，驅動電晶體 4 與 12 轉變為 ON 狀態，且在位元線 1 上之 "H" 準位透過電晶體 4 轉移至節點 2。由於節點 2 係連接於電晶體 9 之閘極，故電晶體 9 被轉變為 ON 狀態。此時，節點 11 成為 "L" 準位，此 "L" 準位被提供到電晶體 7 之閘極，此電晶體 7 轉變為 OFF 狀態，而節點 2 成為 "H" 準位。此時，即使字元線 3 改變為 "L" 準位，節點 2 繼續維持 "H" 準位，接點 11 維持 "L" 準位。此外，相類似於第一實施例，即使供應電壓變化，節點 2 繼續維持 "H" 準位，接點 11 維持 "L" 準位。

當位元線 1 於 "L" 準位，以及位元線 10 於 "H" 準位時，以相類似之作業，節點 2 繼續 "L" 準位，節點 11 維持 "H" 準位。

然後，依第 8 圖說明根據本發明電阻性記憶體單元之元件結構，第 8 圖顯示根據本發明電阻性記憶體單元之截面圖。

相類似於第一實施例，一鋁接線層 21 與一鈦接線層 22 等兩層被耦合為第 7 圖中所示之位元線 1，然後，相類似於第一實施例，一 MOS 電晶體被形成具有 N 型擴散層

五、發明說明(3)

24與24' 為其源極-洩極，以及一由一閘極絕緣膜25，一第一多結晶矽層26及一第一矽化物層27所建構之閘極電極。此電晶體相對應於第7圖中之轉移電晶體4。此外，由一第一多結晶矽層26a及一連接於一N型擴散層24a之第一矽化物層27a所建構之電極被當作第7圖中所示之電晶體9之閘極電極。接著，形成一鎢層29，此層被固定於第7圖中所示之接地電位。於形成此種安排之後，形成一N型矽層35以及一P型矽層36。然後，一PN接合二極體被形成於N型矽層35與P型矽層36之接合處，此相對應於第7圖中所示之PN接合二極體6。此處，N型矽層35與P型矽層36係由一雜質濃度以一相類似於第一實施例之方式所確定之單結晶或多結晶矽膜所組成。而且，一高電阻層37被形成連接P型矽層36。此高電阻層37由含有20-30% 氧原子之多結晶矽所組成，此相對應於第7圖中所示之高電阻元件14。

如上所述，根據本發明，於一SRAM記憶體單元中，一PN接合二極體被串聯連接於一P型薄膜電晶體而其源極處接點係連接於電源供應之洩極處接點與一驅動電晶體而其源極係連接於GND之洩極處接點之間。另外，一PN接合二極體被串聯連接於一電阻之一端而此電阻之另一端係連接於電源供應與一電晶體之洩極接點而此電晶體之源極處接點係連接於GND之間。而且，一PN接合二極體被串聯連接於一半導體晶片中之供應線與一供應電壓至記憶體單元群之供應線之間。

五、發明說明(14)

以此安排，於此SRAM之作業期間，當供應電壓下降或瞬間中斷時，資料亦可被防止遭受損壞。此外，本發明抵擋供應電壓之變化極為有力，例如，它可固守一較長之資料保持時間約100倍於習用技術。因而，它可使用於一種產品其電源供應係依賴一乾電池或充電電池，本發明可保持資料約10秒鐘即使電源供應被耗盡，使能提供一優點即可獲得一用於替換乾電池或充電電池之時間，而在習用技術中當更換乾電池或充電電池時，記憶體單元中之資料會被損毀。

而且，根據本發明，於SRAM中之記憶體單元之大小並未增大而超過習知之記憶體單元。亦即，根據本發明之結構係適用於較高之集成或密度，使SRAM之容量及品質可獲改善。

明顯地，本發明並非僅限於上述之實施例，而是在不違背本發明之範疇與精神下，可予以修飾與改變。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

四、中文發明摘要(發明之名稱：具備資料保存裝置之靜態記憶體單元)
之半導體元件

一半導體元件具有一種記憶體單元其係由一作業於電源供應線 100 與 101 間之電源電壓上之正反器電路所建構。此記憶體單元尚包含二極體 6 與 13，各二極體係與此正反器電路之負載串聯連接於電源供應端子 100 與上述正反器電路之各輸入／輸出節點之間。

英文發明摘要(發明之名稱：SEMICONDUCTOR DEVICE HAVING STATIC MEMORY CELL PROVIDED WITH DATA RETAINING MEANS)

A semiconductor device has a memory cell which is constituted of a flip-flop circuit operating on power voltage between power supply lines 100 and 101. This memory cell further includes diodes 6 and 13, each of which is connected in series with a load of the flip-flop circuit between the power supply terminal 100 and each of input/output nodes of said flip-flop circuit.

六、申請專利範圍

1. 一種半導體元件，具有至少一記憶體單元，該記憶體單元包含：一作業於一第一與第二電源供應線間之電壓之第一反相器，且該第一反相器具有一第一輸入節點與一第一輸出節點；一作業於該電壓上之第二正反器與一耦合於該第一輸出之第二輸入節點與一耦合於該第一輸入節點之第二輸出節點；以及用以抑制住各該第一與第二輸出節點之下降之裝置，以抵擋該第一與第二電源供應線間之該電壓之下降。
2. 如申請專利範圍第1項之元件，其中各該第一與第二正反器包含一耦合於一相關連之該第一及第二輸出節點之一與該第一電源供應線間之負載元件，以及該裝置包含一與該負載元件串聯連接於該相關連之該第一及第二輸出節點之一與該第一電源供應線間之二極體。
3. 如申請專利範圍第2項之元件，其中該二極體係由一第一導電型之第一多結晶矽層與一第二導電型之第二多結晶矽層所建構。
4. 一種半導體元件，包含：一第一正反器；一耦合於該第一正反器以形成一正反器電路之第二正反器，各該第一與第二正反器含有一開關電晶體與一串聯連接於第一與第二電源供應線間之負載元件；以及第一與第二無方向性元件，各串聯耦合於一相關連之該第一與第二正反器之一之該負載元件於該相關連之該第一與第二正反器之一之該開關電晶體與該第一電源供應線之間。

六、申請專利範圍

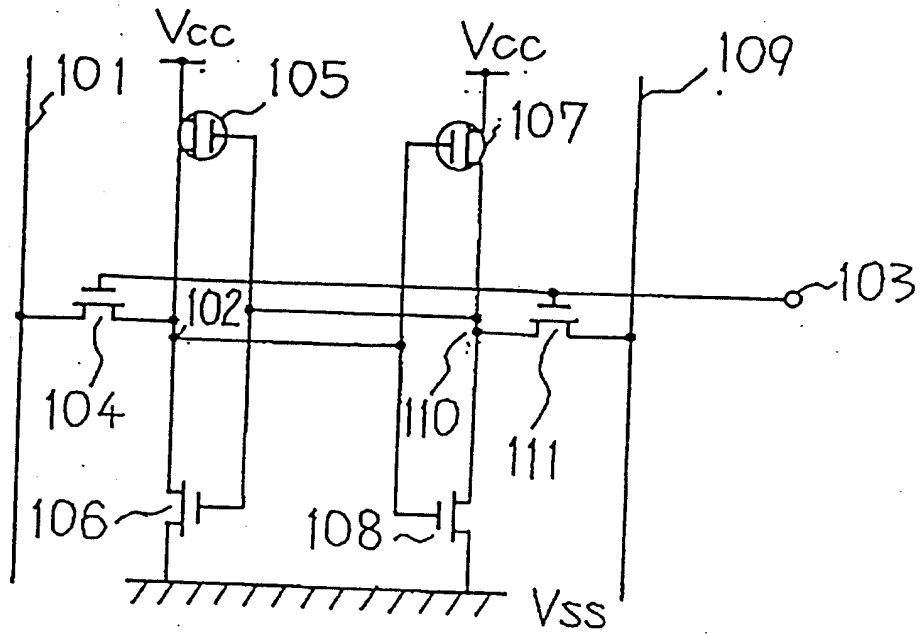
5. 如申請專利範圍第4項之元件，其中各該第一與第二無方向性元件係一二極體。
6. 如申請專利範圍第5項之元件，其中該二極體具有一連接於該負載元件之陽極以及一連接於該開關電晶體之陰極。
7. 一種半導體元件，包含一供應端子以及一具有一正反器電路之記憶體單元，該記憶體單元含有一二極體以一正向方向連接於該供應端子與該正反器電路之輸入端子之間以從該供應端子供應電流至該輸入端子。

(請先閱讀背面之注意事項再填寫本頁)

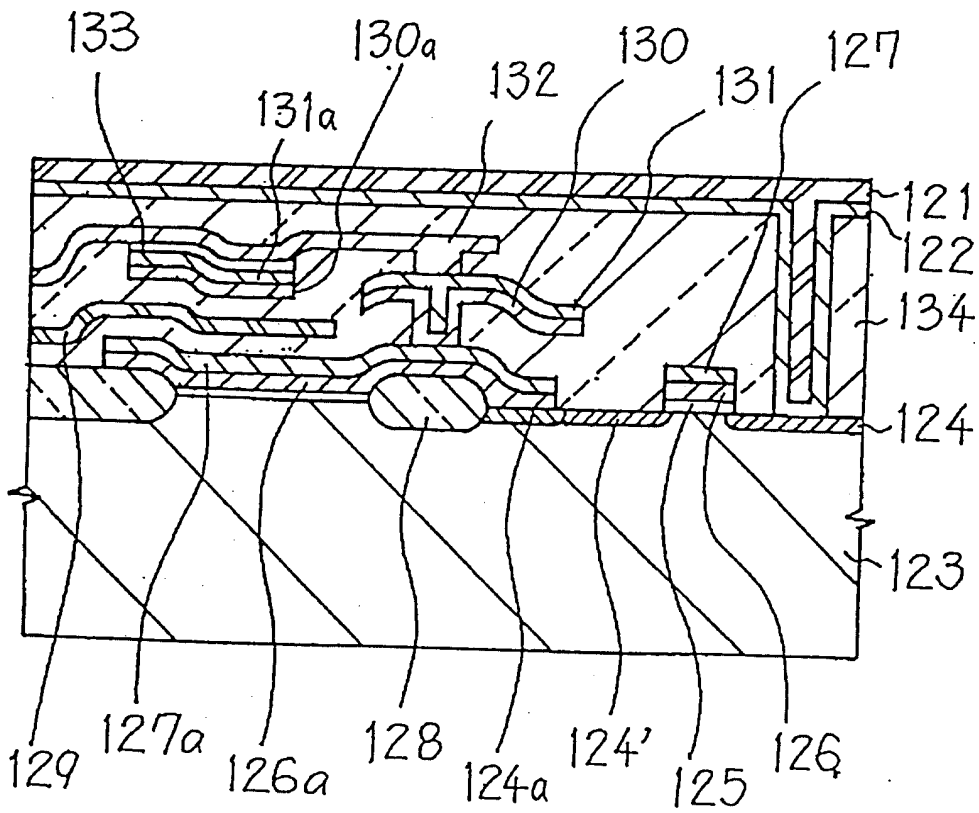
訂

冰

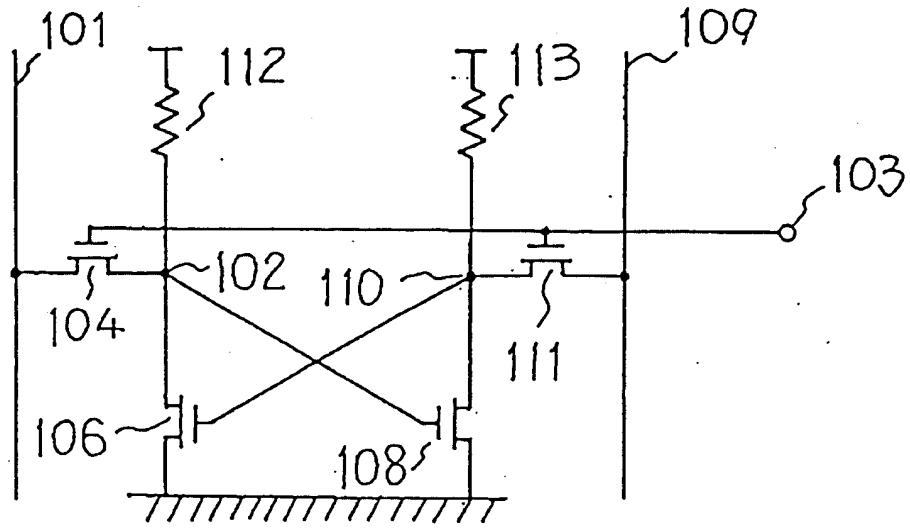
85105061



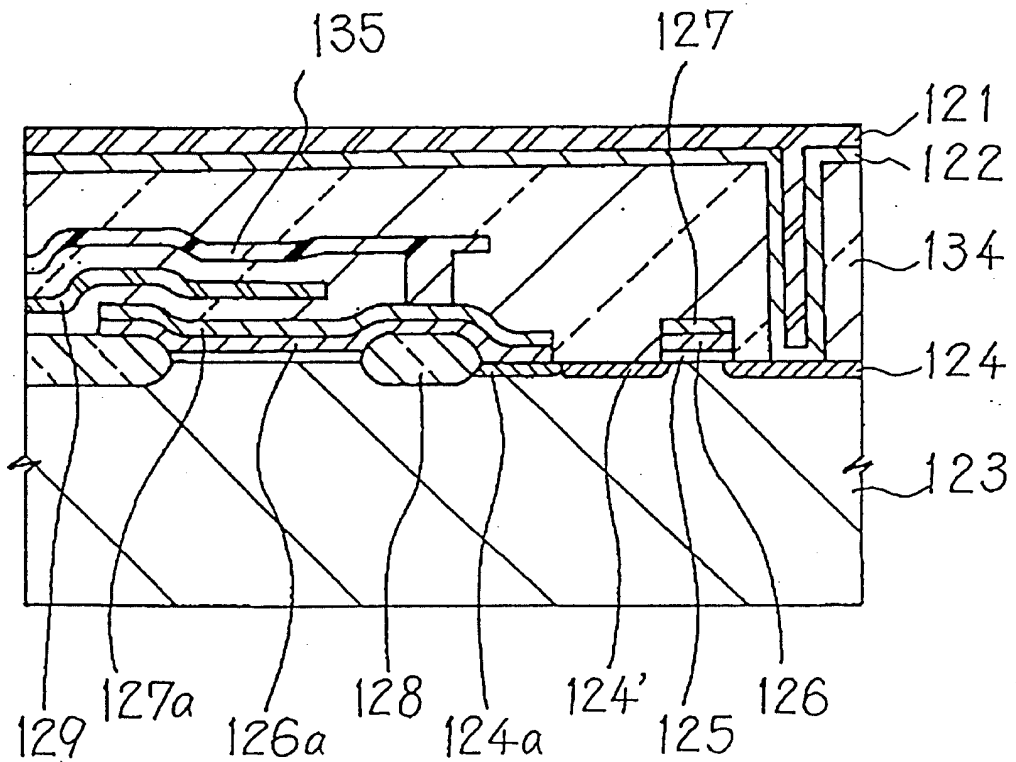
第1圖



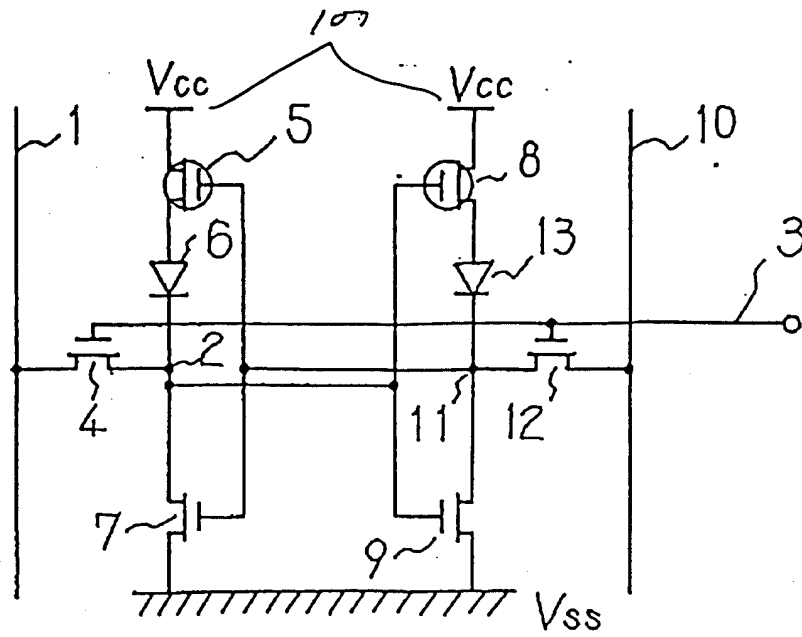
第2圖



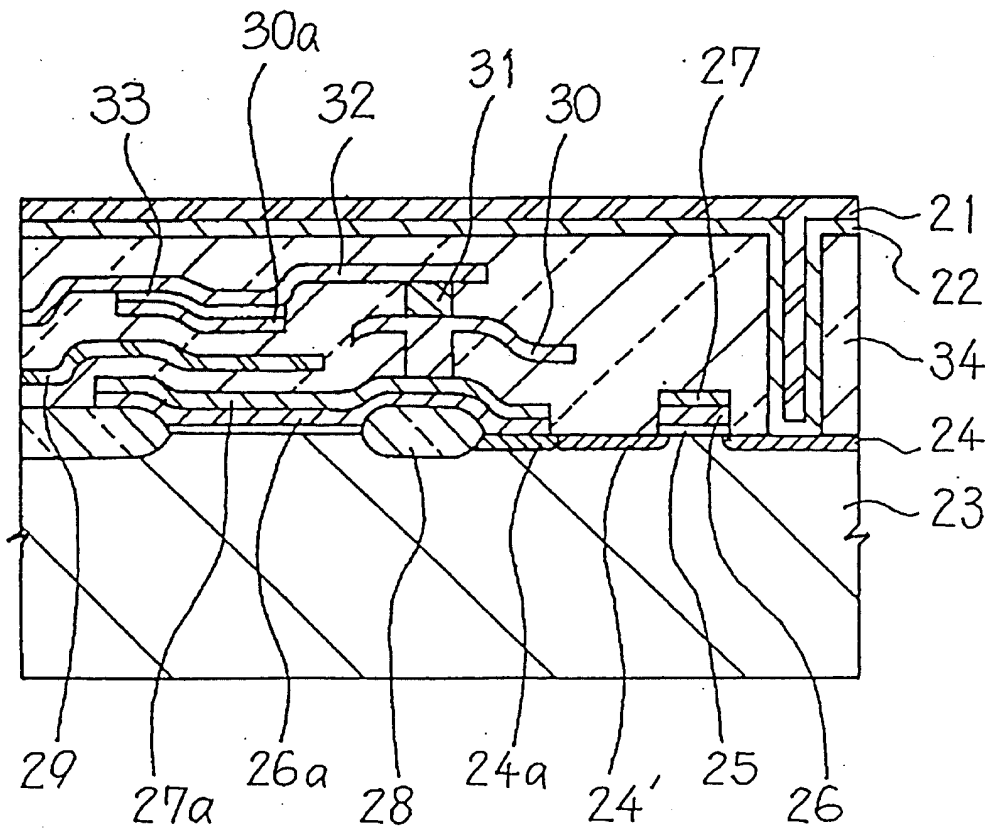
第3圖



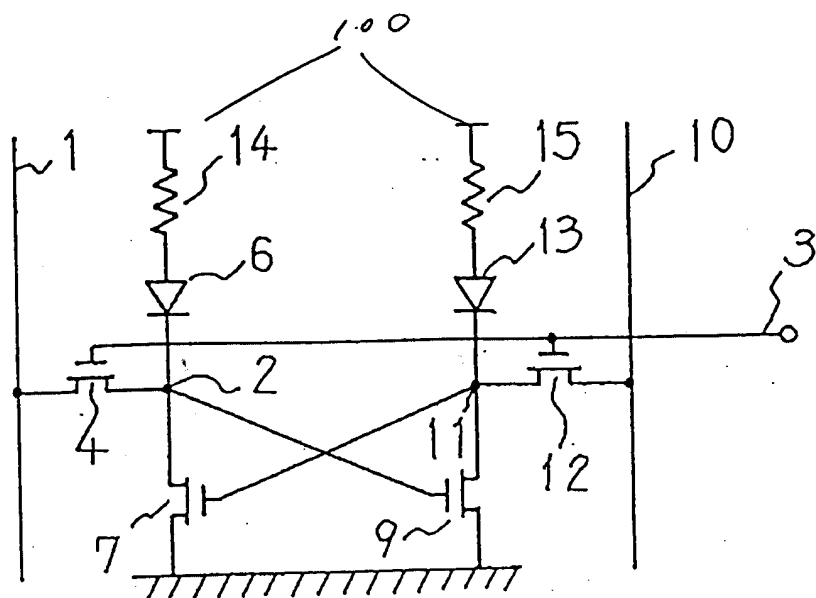
第4圖



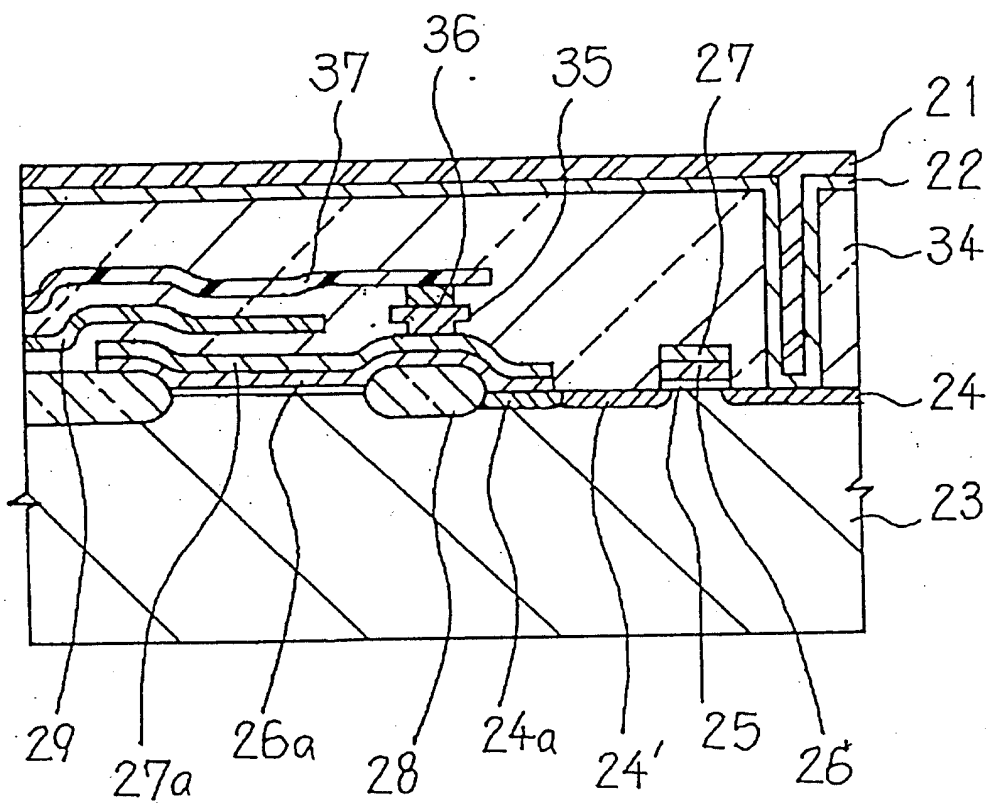
第5圖



第6圖



第7圖



第8圖