



(22) Date de dépôt/Filing Date: 2010/03/18

(41) Mise à la disp. pub./Open to Public Insp.: 2010/09/20

(30) Priorité/Priority: 2009/03/20 (FR09 01315)

(51) Cl.Int./Int.Cl. *H04B 7/24* (2006.01),
G06F 15/163 (2006.01), *H04B 5/00* (2006.01),
H04W 76/02 (2009.01)

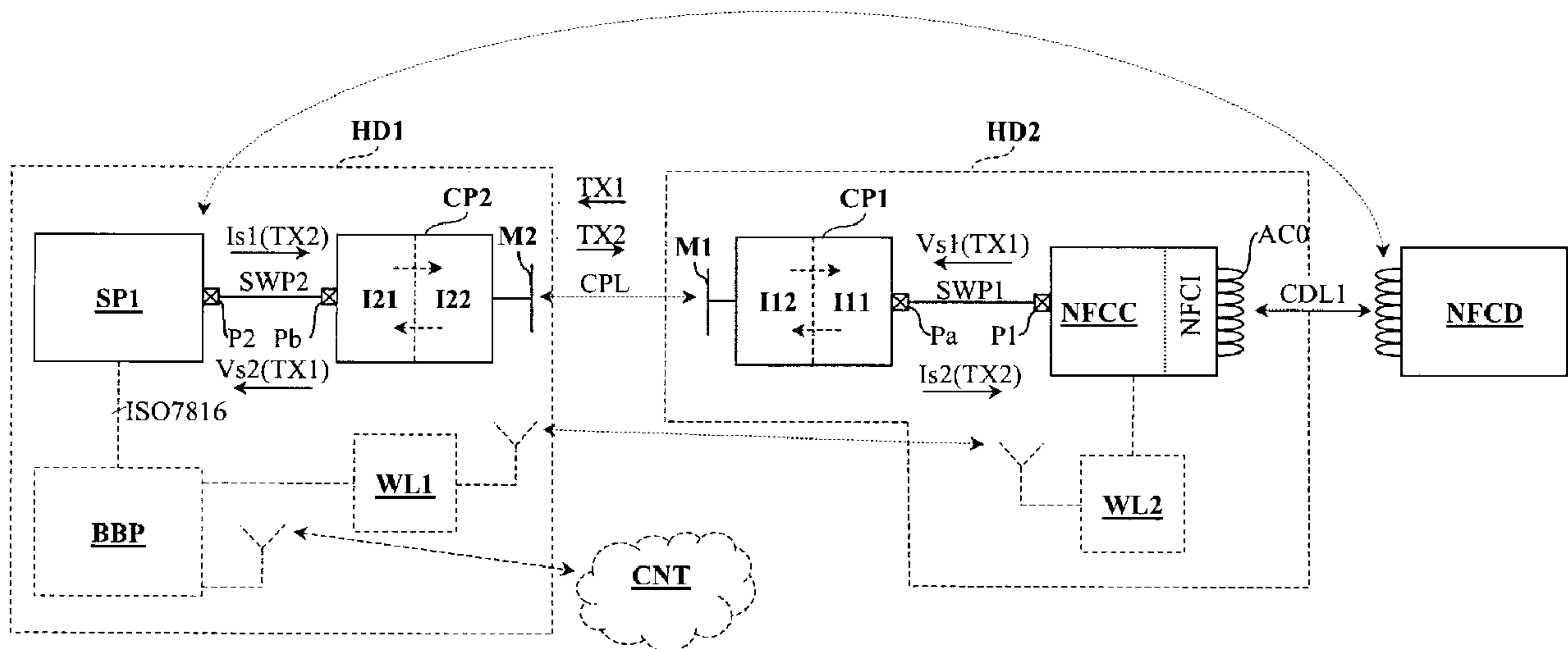
(71) Demandeur/Applicant:
INSIDE CONTACTLESS, FR

(72) Inventeur/Inventor:
CHARRAT, BRUNO, FR

(74) Agent: GOUDREAU GAGE DUBUC

(54) Titre : PROCEDE POUR ETABLIR UNE LIAISON DE DONNEES ENTRE DEUX PROCESSEURS, NOTAMMENT
DANS UN CHIPSET NFC

(54) Title: METHOD FOR ESTABLISHING A DATA LINK BETWEEN TWO PROCESSORS, SPECIFICALLY IN AN NFC
CHIPSET



(57) Abrégé/Abstract:

L'invention concerne un procédé pour établir une liaison de données entre un premier processeur (NFCC) configuré pour fournir, sur un port de communication à contact (P1), un premier signal porteur de données (TX1), et un second processeur (SP1) configuré pour fournir sur un port de communication à contact (P2) un second signal porteur de données (TX2). Le procédé comprend des étapes consistant à prévoir un premier coupleur (CP1) et un second coupleur (CP2), établir un couplage sans contact entre les premier et second coupleurs et, par l'intermédiaire des coupleurs et au moyen d'au moins un signal RF (H1, Vac, E1, SA1, SA2, SA3, E2, SA4), transférer le premier signal porteur de données (TX1) au second processeur (SP1) et transférer le second signal porteur de données (TX2) au premier processeur (NFCC). Le second processeur est par exemple un processeur sécurisé de carte SIM et le premier processeur un contrôleur NFC.



PROCÉDÉ POUR ETABLIR UNE LIAISON DE DONNÉES ENTRE DEUX
PROCESSEURS, NOTAMMENT DANS UN CHIPSET NFC

ABREGE

L'invention concerne un procédé pour établir une liaison de données entre un premier processeur (NFCC) configuré pour fournir, sur un port de communication à contact (P1), un premier signal porteur de données (TX1), et un second processeur (SP1) configuré pour fournir sur un port de communication à contact (P2) un second signal porteur de données (TX2). Le procédé comprend des étapes consistant à prévoir un premier coupleur (CP1) et un second coupleur (CP2), établir un couplage sans contact entre les premier et second coupleurs et, par l'intermédiaire des coupleurs et au moyen d'au moins un signal RF (H1, Vac, E1, SA1, SA2, SA3, E2, SA4), transférer le premier signal porteur de données (TX1) au second processeur (SP1) et transférer le second signal porteur de données (TX2) au premier processeur (NFCC). Le second processeur est par exemple un processeur sécurisé de carte SIM et le premier processeur un contrôleur NFC.

Fig. 5B

PROCÉDÉ POUR ETABLIR UNE LIAISON DE DONNÉES ENTRE DEUX
PROCESSEURS, NOTAMMENT DANS UN CHIPSET NFC

La présente invention concerne un procédé pour établir une liaison de données entre deux processeurs.

La présente invention concerne également, mais non exclusivement, la technologie NFC (Near Field
5 Communication) ainsi que des architectures de chipsets NFC, c'est-à-dire des ensembles de puces comprenant au moins un composant NFC.

Un axe de développement de la technologie NFC ayant fait l'objet d'importants investissements ces dernières
10 années consiste dans l'intégration de contrôleurs NFC dans des objets portables de type téléphone mobile ou équivalent (par exemple les assistants numériques personnels ou "PDA" équipés d'une fonction de téléphone mobile). Cela permet d'utiliser de tels objets portables
15 comme moyen de paiement, de contrôle d'accès (métro, autobus, etc.) et d'offrir à l'utilisateur toutes les autres applications de la technologie NFC comme la lecture d'étiquettes ou de cartes électroniques sans contact.

20 Certaines applications nécessitent un niveau de sécurité élevé, telles les applications au paiement ou au contrôle d'accès. De telles applications doivent être gérées par un processeur sécurisé, comportant des fonctions de cryptographie pour l'authentification de
25 l'utilisateur et/ou l'authentification du dispositif portable vis-à-vis d'un terminal de transaction. Or, un téléphone mobile possède déjà un processeur sécurisé, en l'espèce le processeur de la carte SIM ("Subscriber Identity Module").

Un enjeu industriel important est donc apparu dès les premiers développements de la technologie NFC, en ce qui concerne la question de savoir si la sécurité des applications NFC devait être confiée au processeur de la
5 carte SIM où à un second processeur sécurisé qui serait fourni par les fournisseurs d'applications NFC.

On a donc envisagé diverses architectures de chipsets NFC dédiées à la téléphonie, certaines utilisant le processeur de la carte SIM pour gérer les applications
10 NFC, d'autres prévoyant un second processeur sécurisé, les deux solutions pouvant être également combinées. La figure 1 représente schématiquement un exemple d'architecture de chipset NFC utilisant un processeur sécurisé de carte SIM pour gérer des applications NFC. Le
15 chipset NFC est intégré dans un dispositif portable HD1 ("Handheld Device"), par exemple un téléphone mobile, et comporte un processeur sécurisé SP1 de carte SIM, un processeur en bande de base BBP pour établir une communication téléphonique via réseau de téléphonie
20 cellulaire, et un contrôleur NFC désigné "NFCC", équipé d'une bobine d'antenne AC0, pour recevoir et émettre des données par couplage inductif. Le processeur SP1 est relié au contrôleur NFCC en tant que processeur hôte par l'intermédiaire d'une liaison de données fonctionnant
25 selon un protocole déterminé, par exemple le protocole SWP ("Single Wire Protocol"). Le processeur en bande de base BBP est également connecté au contrôleur NFCC en tant que processeur hôte, par exemple au moyen d'une liaison asynchrone gérée par des ports UART ("Universal
30 Asynchronous Receiver Transiter"). Accessoirement, le processeur SP1 peut aussi être directement relié au processeur BBP par un bus ISO 7816.

Dans un tel chipset NFC, le processeur sécurisé SP1 assure à la fois la gestion de la sécurité des liaisons téléphoniques que le processeur BBP peut établir avec un réseau de téléphonie cellulaire CNT, et la sécurité d'applications NFC (paiement, contrôle d'accès, etc.). Au cours d'une application NFC, le processeur SP1 se relie à un dispositif externe NFCD par l'intermédiaire du contrôleur NFCC et d'un canal de communication sans contact que le contrôleur NFCC établit avec le dispositif externe par couplage inductif.

Un second processeur sécurisé peut aussi être connecté au contrôleur NFCC en tant que troisième processeur hôte, pour gérer d'autres applications NFC. Au terme d'un consensus industriel récent, il s'avère toutefois que la carte SIM continuera à être utilisée à l'avenir pour gérer des applications NFC, ce qui explique l'ajout d'un port SWP dans les cartes SIM de dernière génération, dites cartes "SIM-NFC".

Le déploiement des applications NFC dans les téléphones mobiles se heurte par ailleurs à des contraintes de coût. L'intégration de contrôleurs NFC nécessite en effet de modifier substantiellement les cartes mères des téléphones mobiles, ce qui implique des investissements industriels conséquents et une augmentation notable de leur prix de revient. Ainsi, en raison de son coût, la technologie NFC reste confidentielle et ne pourra être intégrée dans la plupart des modèles de téléphones mobiles que lorsque la demande du marché sera suffisante.

Afin d'offrir la technologie NFC à l'utilisateur d'un téléphone mobile sans grever le prix de revient de ce dernier, un concept d'architecture NFC a été proposé, qui consiste à "externaliser" le contrôleur NFC en le

montant sur un support distinct de la carte mère du téléphone. Cette solution est illustrée schématiquement sur la figure 2. Le processeur SP1 et le processeur en bande de base BBP sont montés dans le téléphone mobile HD1 et sont reliés conventionnellement par un bus ISO 7816, tandis que le contrôleur NFCC est monté dans un dispositif portable distinct HD2, par exemple une carte plastique appelée "sticker" destinée à être collée au dos d'un téléphone mobile. Une liaison de données sans fil est établie entre le processeur BBP et le contrôleur NFC, au moyen d'émetteurs-récepteurs WL1, WL2 de type Wifi ou Bluetooth®. Cette liaison de données sans fil permet d'utiliser le processeur en bande de base BBP pour gérer des applications NFC non sécurisées mais nécessitant une puissance de calcul importante (par exemple la lecture de fichiers vidéo ou musicaux).

Toutefois, dans une telle architecture de chipset NFC, le processeur SP1 de la carte SIM n'est plus relié au contrôleur NFCC. On ajoute donc, dans le dispositif HD2, un second processeur sécurisé SP2, connecté au contrôleur NFCC et dédié aux applications NFC.

La plupart des téléphones mobiles étant équipés d'un émetteur-récepteur Wifi ou Bluetooth®, une telle architecture de chipset NFC offre l'avantage de ne nécessiter aucun surcoût matériel dans la réalisation de la carte mère du téléphone mobile, et ne nécessite que des moyens logiciels.

Le surcoût de l'émetteur-récepteur WL2 de type Wifi ou Bluetooth® dans le dispositif portable HD2 est cependant non négligeable, ainsi que l'ajout du second processeur SP2 pour gérer des applications sécurisées. La consommation électrique de l'émetteur-récepteur WL2 n'est également pas négligeable et nécessite la prévision, dans

le dispositif HD2, d'une source de tension spécifique, telle une pile rechargeable et/ou des cellules photovoltaïques.

Ainsi, des modes de réalisation de la présente invention concernent un moyen et un procédé pour réaliser, d'une manière simple et à moindre coût, une liaison de données sans contact entre deux processeurs, notamment entre un contrôleur NFC et un processeur hôte du contrôleur NFC.

Des modes de réalisation de la présente invention concernent également un moyen et un procédé pour réaliser une architecture de chipset NFC dans laquelle un contrôleur NFC est monté sur un support distinct de celui recevant un processeur hôte, mais dans laquelle une liaison de données est établie entre le processeur hôte et le contrôleur NFC.

Plus particulièrement, des modes de réalisation de la présente invention concernent un procédé pour établir une liaison de données entre un premier processeur et un second processeur, comprenant des étapes consistant à :

par l'intermédiaire d'un port de communication à contact du premier processeur, émettre un premier signal porteur de données sous forme d'un premier signal modulé; par l'intermédiaire d'un port de communication à contact du second processeur, émettre un second signal porteur de données sous forme d'un second signal modulé ; prévoir un premier coupleur et le connecter au port de communication à contact du premier processeur ; prévoir un second coupleur et le connecter au port de communication à contact du second processeur ; établir un couplage sans contact entre les premier et second coupleurs ; et par l'intermédiaire des coupleurs, et au moyen d'au moins un signal RF, transférer le premier signal porteur de

données au port de communication à contact du second processeur et transférer le second signal porteur de données au port de communication à contact du premier processeur.

5 Selon un mode de réalisation, le procédé comprend des étapes consistant à : au moyen du premier coupleur, recevoir ou capter le premier signal modulé, en extraire le premier signal porteur de données et transférer le premier signal porteur de données au second coupleur au
10 moyen du signal RF ; au moyen du second coupleur, recevoir ou capter le second signal modulé, en extraire le second signal porteur de données et transférer le second signal porteur de données au premier coupleur au moyen du signal RF ou d'un autre signal RF ; recevoir le
15 premier signal porteur de données et fournir au port de communication à contact du second processeur un troisième signal modulé qui émule le premier signal modulé ; et au moyen du premier coupleur, recevoir le second signal porteur de données et fournir au port de communication à
20 contact du premier processeur un quatrième signal modulé qui émule le second signal modulé.

 Selon un mode de réalisation, le procédé comprend des étapes consistant à : au moyen du premier coupleur, émettre le signal RF et moduler le signal RF de manière
25 qu'il présente un paramètre qui est modulé en fonction du premier signal porteur de données ; au moyen du second coupleur, démoduler le signal RF afin de récupérer le premier signal porteur de données, et injecter dans le signal RF un signal de rétromodulation qui présente un
30 paramètre qui est modulé en fonction du second signal porteur de données ; et au moyen du premier coupleur, capter le signal de rétromodulation et le démoduler afin de récupérer le second signal porteur de données.

Selon un mode de réalisation, le procédé comprend des étapes consistant à : au moyen du second coupleur, émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du
5 second signal porteur de données ; au moyen du premier coupleur, démoduler le signal RF afin de récupérer le second signal porteur de données, et injecter dans le signal RF un signal de rétromodulation qui présente un paramètre qui est modulé en fonction du premier signal
10 porteur de données ; et au moyen du second coupleur, capter le signal de rétromodulation et le démoduler afin de récupérer le premier signal porteur de données.

Selon un mode de réalisation, le procédé comprend
15 des étapes consistant à : au moyen du premier coupleur, émettre un premier signal RF et moduler le premier signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal porteur de données ; au moyen du second coupleur, démoduler le
20 premier signal RF afin de récupérer le premier signal porteur de données, émettre un second signal RF et moduler le second signal RF de manière qu'il présente un paramètre qui est modulé en fonction du second signal porteur de données ; et au moyen du premier
25 coupleur, démoduler le second signal RF afin de récupérer le second signal porteur de données.

Selon un mode de réalisation, le premier signal modulé est une tension électrique modulée et le second signal modulé est un signal de courant modulé en présence
30 de la tension électrique modulée.

Selon un mode de réalisation, le premier processeur est un contrôleur NFC comprenant en sus du port de communication à contact un circuit d'interface sans

contact fonctionnant par couplage inductif, et le second processeur est un processeur hôte du contrôleur NFC.

Selon un mode de réalisation, le second processeur est un processeur sécurisé de carte SIM.

5 Selon un mode de réalisation, le couplage sans contact est un couplage inductif, un couplage à champ électrique ou un couplage capacitif.

Des modes de réalisation de l'invention concernent également un procédé pour conduire une transaction entre
10 le processeur hôte d'un contrôleur NFC et un dispositif NFC, comprenant une étape d'établissement d'une liaison de données entre le processeur hôte et le dispositif NFC par l'intermédiaire du contrôleur NFC, dans lequel l'étape d'établissement d'une liaison de données entre le
15 processeur hôte et le dispositif NFC comprend l'établissement d'une liaison de données entre le processeur hôte et le contrôleur NFC conduite conformément au procédé décrit ci-dessus.

Des modes de réalisation de l'invention concernent également un dispositif de traitement et de transfert de
20 données comprenant : un premier processeur configuré pour fournir, sur un port de communication à contact, un premier signal porteur de données sous forme d'un premier signal modulé, un second processeur configuré pour
25 fournir, sur un port de communication à contact, un second signal porteur de données sous forme d'un second signal modulé, un premier coupleur connecté au port de communication à contact du premier processeur, un second coupleur connecté au port de communication à contact du
30 second processeur, et dans lequel les coupleurs sont couplés par un couplage sans contact, le premier coupleur est configuré pour : recevoir ou capter le premier signal modulé, en extraire le premier signal porteur de données

et transférer le premier signal porteur de données au second coupleur, au moyen d'un signal RF, le second coupleur est configuré pour : recevoir ou capter le second signal modulé, en extraire le second signal porteur de données et transférer le second signal porteur de données au premier coupleur, au moyen du signal RF ou d'un autre signal RF, et recevoir le premier signal porteur de données, et fournir au port de communication à contact du second processeur un troisième signal modulé qui émule le premier signal modulé, et le premier coupleur est également configuré pour : recevoir le second signal porteur de données et fournir au port de communication à contact du premier processeur un quatrième signal modulé qui émule le second signal modulé.

Selon un mode de réalisation, le premier coupleur est configuré pour : émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal porteur de données, le second coupleur est configuré pour : injecter dans le signal RF un signal de rétromodulation qui présente un paramètre qui est modulé en fonction du second signal porteur de données, démoduler le signal RF afin de récupérer le premier signal porteur de données, et le premier coupleur est également configuré pour : capter le signal de rétromodulation et le démoduler afin de récupérer le second signal porteur de données.

Selon un mode de réalisation, le second coupleur est configuré pour : émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du second signal porteur de données, le premier coupleur est configuré pour : démoduler le signal RF afin de récupérer le second signal porteur de

données, injecter dans le signal RF un signal de rétromodulation qui présente un paramètre qui est modulé en fonction du premier signal porteur de données, et le second coupleur est également configuré pour : capter le
5 signal de rétromodulation et le démoduler afin de récupérer le premier signal porteur de données.

Selon un mode de réalisation, le premier coupleur est configuré pour : émettre un premier signal RF et moduler le premier signal RF de manière qu'il présente un
10 paramètre qui est modulé en fonction du premier signal porteur de données, le second coupleur est configuré pour : démoduler le premier signal RF afin de récupérer le premier signal porteur de données, émettre un second signal RF et moduler le second signal RF de manière qu'il
15 présente un paramètre qui est modulé en fonction du second signal porteur de données, et le premier coupleur est également configuré pour : démoduler le second signal RF afin de récupérer le second signal porteur de données.

Selon un mode de réalisation, le premier signal
20 modulé est une tension électrique modulée et le second signal modulé un signal de courant modulé en présence de la tension électrique modulée.

Selon un mode de réalisation, le premier processeur est un contrôleur NFC comprenant en outre un circuit
25 d'interface sans contact fonctionnant par couplage inductif, et le second processeur est un processeur hôte du contrôleur NFC.

Selon un mode de réalisation, le premier processeur est un contrôleur NFC comprenant en outre un circuit
30 d'interface sans contact fonctionnant par couplage inductif, et le second processeur est un processeur en bande de base pour réseau de téléphonie cellulaire.

Selon un mode de réalisation, le premier processeur est un processeur en bande de base pour réseau de téléphonie cellulaire, le second processeur est un processeur sécurisé de carte SIM.

5 Selon un mode de réalisation, le couplage sans contact est un couplage inductif, un couplage à champ électrique ou un couplage capacitif.

Des modes de réalisation de l'invention concernant également un dispositif de traitement et de transfert de
10 données comprenant : un processeur configuré pour fournir, sur au moins un port de communication à contact, un premier signal porteur de données sous forme d'un premier signal modulé, au moins un coupleur connecté au port de communication à contact du processeur, comprenant
15 un moyen de couplage sans contact avec un autre coupleur, et configuré pour : recevoir ou capter le premier signal modulé, en extraire le premier signal porteur de données et transférer le premier signal porteur de données à l'autre coupleur, au moyen d'un signal RF, recevoir, via
20 l'autre coupleur, un second signal porteur de données, au moyen du signal RF ou d'un autre signal RF, et fournir au port de communication à contact du processeur un second signal modulé.

Selon un mode de réalisation, le coupleur est
25 configuré pour : émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal porteur de données, et capter un signal de rétromodulation et le démoduler afin de récupérer le second signal porteur de données.

30 Selon un mode de réalisation, le coupleur est configuré pour : recevoir et démoduler le signal RF afin de récupérer le second signal porteur de données, et injecter dans le signal RF un signal de rétromodulation

qui présente un paramètre qui est modulé en fonction du premier signal porteur de données.

Selon un mode de réalisation, le coupleur est configuré pour : émettre le signal RF et moduler le
5 signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal porteur de données, et recevoir et démoduler un autre signal RF afin de récupérer le second signal porteur de données.

Selon un mode de réalisation, le premier signal
10 modulé est une tension électrique modulée et le second signal modulé un signal de courant modulé en présence de la tension électrique modulée, ou vice-versa.

Selon un mode de réalisation, le processeur est un contrôleur NFC comprenant en outre un circuit d'interface
15 sans contact fonctionnant par couplage inductif.

Selon un mode de réalisation, le processeur est un processeur sécurisé de carte SIM.

Selon un mode de réalisation, le processeur est un processeur en bande de base pour réseau de téléphonie
20 cellulaire.

Selon un mode de réalisation, le couplage sans contact est un couplage inductif, un couplage à champ électrique ou un couplage capacitif.

Des modes de réalisation de l'invention seront
25 décrits plus en détail dans ce qui suit, à titre non limitatif et en relation avec les figures jointes parmi lesquelles :

- les figures 1 et 2 précédemment décrites représentent des exemples d'architectures de chipsets NFC,
- 30 - la figure 3 représente une liaison de données classique entre deux processeurs, établie conformément au protocole SWP,

- les figures 4A, 4B sont des chronogrammes illustrant des signaux modulés selon le protocole SWP,
- les figures 5A, 5B représentent schématiquement deux coupleurs sans contact selon l'invention et des exemples
5 d'utilisation de ces coupleurs pour établir une liaison de données entre deux processeurs,
- la figure 6 représente un mode de réalisation des coupleurs de la figure 5B,
- la figure 7 est un chronogramme montrant la forme d'un
10 signal RF échangé par les coupleurs de la figure 6,
- la figure 8 représente un autre exemple de réalisation des coupleurs de la figure 5B,
- la figure 9 représente encore un autre exemple de réalisation des coupleurs de la figure 5B,
- 15 - la figure 10 est un chronogramme montrant la forme d'un signal RF échangé par les coupleurs de la figure 9,
- la figure 11 représente encore un autre exemple de réalisation des coupleurs de la figure 5B,
- les figures 12A, 12B sont des chronogrammes montrant la
20 forme de signaux RF échangés par les coupleurs de la figure 11,
- la figure 13 représente schématiquement un téléphone mobile comprenant des processeurs reliés via des coupleurs sans contact, et
- 25 - les figures 14 à 16 représentent des exemples d'architectures de chipsets comprenant des processeurs reliés via des coupleurs sans contact.

La figure 5A représente un exemple de réalisation d'une liaison de données entre deux processeurs PROC1,
30 PROC2, au moyen de deux coupleurs sans contact CP1, CP2. Les processeurs PROC1, PROC2 sont initialement prévus pour être reliés par une liaison de données filaire. A cet effet, le processeur PROC1 est pourvu d'un port de

communication à contact P1 et le processeur PROC2 est pourvu d'un port de communication à contact P2, les ports P1 et P2 étant prévus pour être interconnectés. Le processeur PROC1 émet sur le port P1 un signal numérique TX1 porteur de données DTX1, sous la forme d'un signal modulé Sm11(TX1). De même, le processeur PROC2 émet sur le port P2 un signal numérique TX2 porteur de données DTX2, sous la forme d'un signal modulé Sm21(TX2).

La forme, la nature et le type de modulation que présentent des signaux modulés Sm11 et Sm21 sont classiquement déterminés par un protocole de couche physique, soit un protocole de niveau 1 du modèle basique de référence pour l'interconnexion des systèmes ouverts, ou modèle OSI. La forme ou profil des signaux TX1, TX2 (codage des données DTX1, DTX2) est également déterminée par le protocole de couche physique tandis que les données DTX1, DTX2 qu'ils contiennent et leur agencement (découpage en trames, champs de début de trame, champ de fin de trame, codes de correction d'erreur, etc.) sont définies par un protocole de couche de liaison de données ("data link layer", protocole de niveau 2 du modèle OSI) ainsi que des protocoles de niveau supérieur (données d'application).

Il est rappelé ici que le protocole de couche physique d'une transmission de données est généralement en charge de l'activation, du maintien et de la désactivation de la liaison physique entre les éléments. Le protocole de couche physique détermine les spécifications électriques (niveaux de tension et de courant, "timing" (i.e. durée) et codage des niveaux de tension et de courant), les spécifications mécaniques (contacts physiques) et les spécifications fonctionnelles (débit de données). Il définit également l'établissement

initial de la communication et la fin de la communication. Par ailleurs, le protocole de couche de liaison de données est responsable de l'adressage physique des données à travers des trames et d'un lien de
5 protocole d'unités de données ou "LPDU" (Link Protocol Data Units). Le protocole de couche de liaison de données est aussi en charge des notifications d'erreur, des ordres de délivrance de trame et du contrôle de débit ("flow control").

10 Au lieu d'interconnecter les ports P1 et P2, les coupleurs CP1, CP2 sont interposés entre les ports P1, P2. Le coupleur CP1 comporte un port Pa connecté au port P1 et le coupleur CP2 comporte un port Pb connecté au port P2. Le coupleur CP1 comprend un moyen de couplage
15 sans contact M1 et le coupleur CP2 comprend un moyen de couplage sans contact M2. Les moyens M1, M2, sont par exemple des moyens de couplage inductif, des moyens de couplage à champ électrique ou des moyens de couplage capacitif. Ils permettent de transférer des données du
20 coupleur CP1 vers le coupleur CP2 et vice-versa, par l'intermédiaire d'au moins une porteuse RF.

 Chaque coupleur CP1, CP2 comporte une interface I11, I21 d'émulation de la couche physique du protocole utilisé par les processeurs PROC1, PROC2 et une interface
25 de couplage sans contact I12, I22 connectée aux moyens de couplage M1, M2. L'interface d'émulation I11 est connectée au port Pa du coupleur CP1. Elle reçoit ou capte le signal Sm11 émis par le port P1 processeur PROC1, en extrait le signal TX1 porteur de données et le
30 fournit à l'interface de couplage I12. L'interface de couplage I12 transfère le signal TX1 à l'interface de couplage I22, par l'intermédiaire des moyens de couplage M1, M2.

L'interface d'émulation I21 est connectée au port Pb du coupleur CP2. Elle reçoit ou capte le signal Sm21 émis par le port P2 du processeur PROC2, en extrait le signal TX2 porteur de données et le fournit à l'interface de
5 couplage I22. L'interface de couplage I22 transfère le signal TX2 à l'interface de couplage I12, par l'intermédiaire des moyens de couplage M1, M2.

L'interface d'émulation I11 fournit également au port P1 du processeur PROC1 un signal S22(TX2) qui
10 véhicule le signal TX2 porteur de données et émule le signal S21(TX2) émis par le processeur PROC2, en respectant le protocole de couche physique pour lequel le port P1 est configuré, de sorte que le processeur PROC1 peut fonctionner comme s'il était connecté directement au
15 processeur PROC2 et comme s'il recevait le signal S21(TX2).

L'interface d'émulation I21 fournit également au port P2 un signal S12(TX1) qui véhicule le signal TX1 porteur de données et émule le signal S11(TX1) émis par
20 le processeur PROC1, en respectant le protocole de couche physique pour lequel le port P2 est configuré, de sorte que le processeur PROC2 peut fonctionner comme si les ports P1 et P2 étaient directement interconnectés et comme s'il recevait le signal S11(TX1).

25 Les coupleurs CP1, CP2 sont ainsi "transparents" vis-à-vis des processeurs PROC1, PROC2. Ils assurent un couplage de niveau 1, ou couplage de couche physique, en échangeant les signaux TX1, TX2 sans ajouter un protocole de couche de liaison de données qui leur serait propre
30 (i.e. sans ajout de données de début ou de fin de trame, sans correction d'erreur, etc.). Comme cela apparaîtra plus loin à la lumière d'exemples, les coupleurs CP1, CP2 utilisent un protocole de couche physique sans contact

qui leur est propre pour échanger les signaux TX1, TX2, ce protocole comprenant l'utilisation d'au moins une porteuse RF. Ce protocole de couche physique peut toutefois être ramené à sa plus simple expression. Par
5 exemple, dans un mode de réalisation, il ne comporte aucune convention de connexion ou de déconnexion de la couche physique sans contact entre les coupleurs CP1, CP2.

Les coupleurs CP1, CP2 permettent de réaliser des
10 architectures de chipsets originales dans le domaine NFC ou dans le domaine des téléphones mobiles, par exemple l'architecture représentée sur la figure 5B. Dans cet exemple d'application, le processeur PROC1 est un contrôleur NFC désigné "NFCC". Le processeur PROC2 est un
15 processeur sécurisé de carte SIM désigné "SP1". Le contrôleur NFCC est configuré pour gérer une connexion SWP ("Single Wire Protocol") via le port P1 en tant que dispositif maître. Le port P1 est donc ici un port à un seul point de connexion formant une entrée/sortie de
20 données bidirectionnelle (full-duplex). De même, le processeur SP1 est configuré pour gérer une connexion SWP en tant que dispositif esclave, via le port P2. Il sera noté que la connexion de masse entre les processeurs NFCC et SP1 n'est pas représentée dans un souci de
25 simplification du schéma.

Le contrôleur NFCC comprend également un circuit d'interface sans contact NFCI connecté à une bobine d'antenne AC0. Le contrôleur NFCC est configuré pour communiquer avec un dispositif NFCD externe, par exemple
30 un terminal de paiement, une borne de contrôle d'accès, un guichet automatique, un portillon d'accès électronique, etc. Le contrôleur NFCC est par exemple le contrôleur MicroRead® commercialisé par la demanderesse,

compatible avec divers protocoles (ISO 14443 A&B, ISO 15693, ISO 18092), offrant une distance de communication de l'ordre de 10 cm, comprenant des ports UART pour connecter des processeurs hôtes et un port d'interface
5 SWP ("Single Wire Protocol") pour connecter un processeur hôte de type carte SIM-NFC.

Grâce aux coupleurs CP1, CP2, une liaison sans contact est donc établie entre les ports P1, P2. Le port maître P1 fournit une tension modulée Vs1(TX1) au
10 coupleur CP1 et l'interface d'émulation I21 du coupleur CP2 fournit au port esclave P2 une tension modulée Vs2(TX1) qui émule la tension Vs1 et est conforme au protocole de couche physique SWP. Le port P2 fournit un courant modulé Is1(TX2) au coupleur CP2 et l'interface
15 I11 du coupleur CP1 fournit au port P1 un courant modulé Is2(TX2) qui émule le courant Is1(TX2) et est conforme au protocole de couche physique SWP. Le contrôleur NFCC et le processeur SP1 peuvent donc échanger des données comme si leur ports P1, P2 étaient directement interconnectés.

20 A titre d'exemple d'application, une liaison de données sans contact CDL1 est établie entre le contrôleur NFCC et le dispositif externe NFCD, pour conduire une transaction avec l'aide du processeur sécurisé SP1. Ce dernier peut assurer tout ou partie de la transaction, au
25 moins les phases sécurisées de la transaction telles que des phases d'authentification du processeur SP1 vis-à-vis du dispositif NFCD et/ou d'authentification du dispositif NFCD vis-à-vis du processeur SP1. A cet effet, une liaison de données est établie entre le contrôleur NFCC
30 et le processeur hôte SP1. La liaison de données comporte une liaison SWP1 entre le contrôleur NFCC et le coupleur CP1, conforme aux spécifications SWP, une liaison sans contact CPL entre les deux coupleurs CP1, CP2, et une

liaison SWP2 entre le coupleur CP2 et le processeur SP1, conforme aux spécifications SWP. Le processeur SP1 peut donc échanger des données avec le dispositif externe NFCD par l'intermédiaire d'une liaison de données résultante
5 qui inclut les deux liaisons sans contact CDL1, CPL et les deux liaisons filaires SWP1, SWP2. La liaison CDL1 se distingue de la liaison CPL en ce qu'elle possède sa propre couche de liaison de données (par exemple ISO 14443 A&B, ISO 15693 ou ISO 18092). La gestion de la
10 couche de liaison de données de la liaison CDL1 est assurée par le contrôleur NFCC, qui est conçu à cet effet.

Des exemples de réalisation des coupleurs CP1, CP2 prévus pour être connectés à des ports SWP seront décrits
15 dans ce qui suit.

A titre de rappel, le protocole SWP est décrit dans le projet de norme industrielle ETSI TS 102 613. Les chronogrammes des figures 4A, 4B illustrent des signaux modulés intervenant dans une liaison SWP classique telle
20 que montrée sur la figure 3, dans laquelle les ports P1 et P2 du contrôleur NFCC et du processeur SP1 sont interconnectés. La tension $V_{s1}(TX1)$ émise par le port maître P1 véhicule le signal TX1. Celui-ci comprend des données DTX1 codées de la manière suivante : lorsque
25 $DTX1=0$, le signal TX1 est à 1 pendant un quart de la période d'horloge, soit $T/4$, et est à 0 pendant le reste de la période d'horloge. Lorsque $DTX1=1$, le signal TX1 est à 1 pendant trois quart de la période d'horloge, soit $3T/4$, et est à 0 pendant le dernier quart de la période
30 d'horloge. Le signal TX1 à 1 correspond à une valeur de la tension V_{s1} comprise entre deux tensions hautes VH_{max} et VH_{min} . Le signal TX1 à 0 correspond à une valeur de la tension V_{s1} comprise entre deux tensions basses VL_{max} et

VLmin. Le courant $I_{s1}(TX2)$ est un courant consommé ou "tiré" par le port P2 en présence de la tension V_{s1} , et non un courant émis. Il s'agit donc d'un signal de rétromodulation qui doit être capté. Le courant $I_{s1}(TX2)$ véhicule le signal TX2. Celui-ci comprend des données DTX2 codées de la manière suivante : lorsque $DTX2=1$, le signal TX2 est à 1. Lorsque $DTX2=0$, le signal TX2 est à 0. Vu du côté du récepteur maître (ici le contrôleur NFCC) TX2=1 correspond à une valeur du courant comprise entre deux courants hauts I_{Hmax} et I_{Hmin} , et TX2=0 correspond à une valeur de courant comprise entre deux courants bas I_{Lmax} et I_{Lmin} . Quand TX2=1, la durée d'émission du courant I_{s1} pendant la période T peut être égale à un quart de période ou à trois quart de période ,
15
puisque'elle dépend de la durée de la tension V_s . Toujours à titre de rappel, la figure 3 représente schématiquement un exemple de circuit de rétromodulation BM1 pouvant être prévu dans le processeur hôte SP1 pour "tirer" le courant I_{s1} . Le circuit de rétromodulation BM1 est du type à drain ouvert ("open drain") et comprend par exemple un interrupteur SW1 qui relie le port P1 à la masse par l'intermédiaire d'une résistance R1, l'interrupteur SW1 étant piloté par le signal TX2.

La figure 6 représente un mode de réalisation des coupleurs CP1, CP2 dans lequel les moyens de couplage M1, M2 sont des bobines d'antenne AC1, AC2 inductivement couplées.

Le coupleur CP1 comprend un modulateur RF désigné MCT1, un démodulateur DCT1 et un circuit émulateur modulateur de courant BM2. Le modulateur MCT1 comprend une première entrée connectée au port P1, recevant la tension $V_{s1}(TX1)$, une seconde entrée recevant un signal RF $S1(f1)$ de fréquence $f1$ fourni par un oscillateur (non

représenté), et une sortie fournissant à la bobine d'antenne AC1 un signal d'antenne RF Vac. Le signal Vac est le résultat de la modulation du signal S1(f1) par la tension Vs1, par exemple une modulation d'amplitude, et
5 présente un paramètre modulé, ici son amplitude, qui véhicule le signal TX1 porteur de données. La bobine d'antenne AC1 émet ainsi un champ magnétique modulé H1, de fréquence f1. Pour éviter des interférences avec le champ magnétique émis par l'interface NFCI du contrôleur
10 NFCC (Fig. 5A, 5B), la fréquence f1 est de préférence différente de celle utilisée par le contrôleur NFCC. Si cette dernière est par exemple 13,56 MHz (ISO 14443 A&B, ISO 15693, ISO 18092), la fréquence f1 est par exemple choisie supérieure à la centaine de MHz.

15 Le démodulateur DCT1 est connecté à la bobine d'antenne AC1 et est configuré pour extraire du signal d'antenne Vac, après filtrage de la porteuse RF, un signal de rétromodulation Im1(TX2) émis par le coupleur CP2 qui véhicule le signal TX2. La sortie du démodulateur
20 DCT1 fournit le signal TX2 au circuit émulateur modulateur de courant BM2. Le circuit BM2 présente ici la même structure que le circuit BM1 du processeur SP1 (Cf. Fig. 3 ou Fig. 6), et comprend un interrupteur SW2 reliant le port Pa à la masse par l'intermédiaire d'une
25 résistance R2, l'interrupteur étant piloté par le signal TX2 tel que fourni par le démodulateur DCT1. Le contrôleur NFCC voit ainsi apparaître sur le port P1 le courant modulé Is2(TX2) qui émule le courant Is1(TX2).

Le signal d'antenne Vac se répercute par couplage
30 inductif dans la bobine d'antenne AC2 du coupleur CP2. Ce dernier comprend un démodulateur RF DCT2, un amplificateur TAMP, un circuit capteur de courant CSCT et un circuit de modulation de charge LM1. Le démodulateur

DCT2 a une entrée connectée à la bobine d'antenne AC2, pour recevoir le signal d'antenne modulé Vac, et une sortie fournissant à l'amplificateur TAMP le signal TX1 porteur de données. Dans le mode de réalisation où le
5 modulateur MCT1 assure une simple modulation d'amplitude du signal Vac, le démodulateur DCT2 peut simplement comprendre une diode de redressement semi-alternance et un condensateur C1 qui filtre la porteuse RF de fréquence f1, pour ne conserver que l'enveloppe du signal Vac,
10 correspondant au profil de la tension Vs1 soit au signal TX1.

L'amplificateur TAMP reçoit ainsi le signal TX1 dont le profil correspond au profil de la tension Vs1, et fournit la tension Vs2(TX1) qui émule la tension
15 Vs1(TX1). TAMP est par exemple un amplificateur de tension régulé ayant un seuil de commutation Vt et une hystérésis de commutation, pour générer des fronts de tension nets compris entre VHmax et VHmin, y compris lorsque le processeur SP1 consomme le courant Is1(TX2)
20 sur le port P2.

Le circuit capteur de courant CSCT est interposé entre la sortie de l'amplificateur TAMP et le port Pb du coupleur, qui est lui-même connecté au port P2 du processeur SP1. Le circuit CSCT est prévu pour capter (au
25 sens de "sensing") le courant Is1 "tiré" par le processeur SP2 et en extraire le signal TX2 porteur de données, qu'il fournit au circuit de modulation de charge LM1.

Il sera noté ici que, Is1 étant un courant de
30 rétro-modulation dont la durée dépend de la durée de la tension Vs2 (soit 1/4 ou 3/4 de période T), le profil du courant Is(TX2) et le profil du signal TX2 peuvent être sensiblement différents. Sur la figure 6, on voit que TX2

est appliqué par le processeur SP1 sur un terminal de
contrôle de l'interrupteur SW2 (par exemple la grille
d'un transistor MOS). Dans un mode de réalisation, la
durée de TX2 pourrait ainsi être d'un cycle complet
5 d'horloge tandis que la durée du courant Is1 ne serait
que d'1/4 ou de 3/4 de cycle d'horloge, selon la durée de
la tension Vs2. Dans d'autres modes de réalisation, la
durée de TX2 pourrait être choisie par convention de 3/4
de cycle d'horloge, voire moins (une durée d'1/4 de cycle
10 d'horloge permettrait de transférer les données DTX2).
Ainsi, lorsque l'on indique, dans la présente description
et dans les revendications, que le coupleur CP2 est
configuré pour "capter le signal modulé Is1 et en
extraire le signal TX2 porteur de données", cette
15 indication est approximative et ladite "extraction du
signal porteur de données" peut correspondre à plusieurs
modes de réalisation :

- le signal extrait TX2 n'est en réalité pas tout à fait
identique au signal initial TX2 (tel qu'appliqué à
20 l'interrupteur SW1) et son profil correspond au profil du
courant Is1,
- le signal extrait TX2 est identique au signal initial
TX2 et son profil ne correspond pas au profil du courant
Is1. Dans ce cas, le circuit CSCT doit être configuré
25 pour prolonger la durée du signal TX2=1 de manière
qu'elle couvre la durée du signal TX2 prévue par
convention, par exemple 3/4 de cycle d'horloge.

Enfin, le circuit de modulation de charge LM1
comprend par exemple un interrupteur SW3 qui relie une
30 borne de la bobine d'antenne AC2 à la masse, par
l'intermédiaire d'une résistance R3. L'interrupteur SW3
est piloté par le signal TX2 fourni par le circuit
capteur CSCT et fait apparaître dans le signal d'antenne

Vac un courant de rétromodulation $I_{m1}(TX2)$ qui se répercute par couplage inductif dans la bobine d'antenne AC1 et est récupéré par le démodulateur DCT1.

La figure 7 représente le profil du signal d'antenne
5 Vac en fonction des signaux modulés $V_{s1}(TX1)$ et $I_{s1}(TX2)$.
On voit que le signal Vac est doublement modulé, son enveloppe globale est l'image de la tension $V_{s1}(TX1)$ mais présente des sous-modulations d'amplitude V_{max} , V_{min} qui sont fonction du courant $I_{s1}(TX2)$. Afin que ces sous-
10 modulations ne modifient pas l'amplitude de la tension émulée V_{s2} fournie au processeur SP1, l'amplificateur TAMP peut être configuré pour présenter un seuil de commutation V_t qui est inférieur aux extrema de modulation d'amplitude V_{max} , V_{min} , qui ne dépendent que
15 du courant I_{s1} .

Ce mode de réalisation des coupleurs CP1, CP2, fonctionnant par couplage inductif, peut être transformé en un mode de réalisation à couplage capacitif en remplaçant les bobines d'antenne AC1, AC2 par des plaques
20 de couplage capacitif, ou transformé en un mode de réalisation à couplage à champ électrique en remplaçant les bobines d'antenne AC1, A2 par des antennes à champ électrique. Dans des variantes de réalisation, la modulation du signal S1 au moyen de la tension V_{s1} , pour
25 fournir le signal Vac, peut être faite de diverses autres manières, notamment par modulation de phase BPSK ("Binary Phase Shift Keying"), par sauts de fréquence FSK ("Frequency Shift Keying"), etc. Egalement, l'émission du signal TX2 par modulation de charge, au moyen du circuit
30 charge LM1, peut être faite de nombreuses autres manières, notamment par modulation de phase d'une sous-porteuse, sauts de fréquence au moyen de deux sous-porteuses, etc.

La figure 8 représente un mode de réalisation des coupleurs CP1, CP2 selon le principe du couplage à champ électrique. Les bobines d'antenne AC1, AC2 sont remplacées par des antennes à champ électrique A1, A2, par exemple des antennes dipolaires. Le modulateur MCT1 du coupleur CP1 est remplacé par un modulateur MCT2 qui reçoit à la place du signal S1 un signal RF S2 dont la fréquence f_2 se situe dans le domaine UHF, par exemple une fréquence de l'ordre de quelques centaines de MHz à plusieurs Gigahertz. Le circuit modulateur MCT2 fournit à l'antenne A1 un signal d'antenne SA1 qui est modulé en fonction du signal $V_{s1}(TX1)$ et qui se répercute dans l'antenne A2 par effet de couplage électrique.

Le circuit de modulation de charge LM1 du coupleur CP2 est remplacé par un circuit de rétromodulation BSM1 qui module le coefficient de réflexion de l'antenne A2 afin d'assurer une rétromodulation par réflexion de champ électrique appelée "backscattering". Plus particulièrement, le circuit BSM1 reçoit le signal TX2 tel que fourni par le circuit capteur de courant CSCT et le convertit en une modulation du coefficient de réflexion de l'antenne A2 qui fait apparaître dans l'antenne A1 un signal de "backscattering" $I_r(TX2)$ qui se mélange au signal d'antenne SA1.

Enfin, le démodulateur DCT1 du coupleur CP1 est remplacé par un démodulateur DCT3 configuré pour extraire le signal de "backscattering" I_{r1} , et le démodulateur RF DCT2 du coupleur CP2 est remplacé par un démodulateur RF DCT4 configuré pour filtrer la fréquence f_2 et extraire le signal TX1 du signal d'antenne SA1.

Dans le mode de réalisation représenté sur la figure 6, la bobine d'antenne AC1 émet le champ magnétique H_1 , et dans le mode de réalisation représenté sur la figure

8, l'antenne A1 émet le champ électrique E1. Le coupleur CP1 est donc actif et le coupleur CP2 est passif dans ces deux modes de réalisation. Dans d'autres modes de réalisation, il peut être prévu que le coupleur CP2 soit
5 actif et le coupleur CP1 passif. Le fait de prévoir l'émission RF du côté du dispositif coupleur CP2 peut présenter un avantage dans certaines applications comme celle représentée sur la figure 5B. En effet, dans cette application le coupleur CP2 peut être agencé dans un
10 téléphone mobile (HD1), et un téléphone mobile bénéficie d'une batterie puissante permettant de générer le signal RF sans que cela n'affecte de manière sensible la réserve d'énergie disponible. Dans d'autres applications, comme celle décrite plus loin en relation avec la figure 13,
15 c'est au contraire le coupleur CP2 qui est agencé à proximité de la batterie d'un téléphone mobile.

La figure 9 représente un mode de réalisation dans lequel le coupleur CP1 est passif et le coupleur CP2 est actif et émet le champ électrique E1. Le signal TX1 est
20 transmis au coupleur CP2 par "backscattering" tandis que le signal TX2 est transmis au coupleur CP1 par émission active du champ électrique E1.

Ce mode de réalisation nécessite une précaution particulière, à savoir de ne pas omettre de transmettre
25 par "backscattering" tous les fronts de montée du signal TX1. Selon le protocole SWP, ces fronts sont en effet utilisés comme signal d'horloge par le processeur SP1. A cet effet, le coupleur CP2 est équipé d'un modulateur RF MCT3 qui reçoit le signal TX2 (tel que fourni par le
30 circuit CSCT) et qui fournit à l'antenne A2 un signal d'antenne SA2 ininterrompu, qui ne présente pas de période de modulation où son amplitude est nulle. De plus, le signal TX2 est de préférence transmis en

utilisant une technique de modulation RF par saut de phase BPSK (une seule porteuse) ou de modulation RF par saut de fréquence FSK (deux porteuses). Ces techniques évitent de faire des trous de modulation d'amplitude dans la porteuse, qui pourraient altérer la réception des fronts d'horloge.

Le modulateur MCT3 représenté sur la figure 9 est de type FSK. Il reçoit deux porteuses $S2(f2)$, $S3(f3)$ de fréquences respectives $f2$ et $f3$, qui se situent par exemple dans le domaine UHF. Les valeurs 0 et 1 du signal TX2 sont codées sous forme de sauts de fréquences soit par codage direct (le 0 étant codé par la fréquence $f1$, le 1 par la fréquence $f2$, ou réciproquement) soit par codage de type Manchester (le 0 étant codé par une alternance $f1-f2$ des deux fréquences, le 1 étant codé par une alternance inverse $f2-f1$, ou inversement).

Un circuit de "backscattering" BSM2 est agencé ici au sein du coupleur CP1. Le circuit BSM2 reçoit la tension $Vs1(TX1)$ et la convertit en une modulation du coefficient de réflexion de l'antenne A1 qui fait apparaître dans l'antenne A2 un signal de "backscattering" $Ir(TX1)$ qui se mélange au signal d'antenne SA2. Le démodulateur DCT3 est ici agencé dans le coupleur CP2, et est configuré pour filtrer et démoduler le signal de "backscattering" généré par le circuit BSM2. Sa sortie fournit le signal TX1 à l'amplificateur TAMP dont la sortie fournit le signal $Vs2(TX1)$ au port P2 du processeur SP1. Enfin, un démodulateur RF DCT5 est agencé dans le coupleur CP1, pour décoder la modulation FSK (détection des sauts de fréquences $f1-f2$ ou $f2-f1$) et en extraire le signal TX2, qui est ensuite appliqué au circuit émulateur modulateur de courant BM2.

La figure 10 représente le profil du signal d'antenne AC2 en fonction des signaux modulés $V_{s1}(TX1)$ et $I_{s1}(TX2)$. Comme voulu, le signal AC2 est ininterrompu et présente la fréquence $f1$ quand $I_{s1}=1$ et la fréquence $f2$ quand $I_{s2}=0$ (codage direct). L'amplitude du signal AC2 est modulée en fonction de la tension $V_{s1}(TX1)$, sous l'effet du circuit de "backscattering" BSM2. L'amplitude du signal SA2 présente ici une valeur crête affaiblie quand $V_{s1}=1$ et une valeur crête non affaiblie quand $V_{s1}=0$.

La figure 11 représente un mode de réalisation dans lequel les deux coupleurs sont actifs. Le coupleur CP1 comporte un émetteur-récepteur RF TR1 qui émet un champ électrique E1 et le coupleur CP2 comporte un émetteur-récepteur RF TR2 qui émet un champ électrique E2. Ce mode de réalisation ne nécessite pas de rétromodulation, puisque chaque coupleur module le champ électrique qu'il émet en fonction des signaux TX1, TX2 à émettre. Ainsi, l'émetteur-récepteur TR1 reçoit la tension $V_{s1}(TX1)$ et applique à l'antenne A1 un signal d'antenne SA3 qu'il module en fonction du signal TX1 (modulation d'amplitude, de phase ou de fréquence), pour que l'antenne émette le champ électrique E1. L'émetteur-récepteur TR2 reçoit le signal TX2 tel que fourni par le circuit capteur de courant CSCT et applique à l'antenne A2 un signal d'antenne SA4 qui est modulé en fonction du signal TX2, pour que l'antenne émette le champ électrique E2. L'émetteur-récepteur TR1 reçoit également le champ électrique E2 et le démodule pour fournir le signal TX2 au circuit émulateur modulateur de courant BM2. Réciproquement, l'émetteur-récepteur TR2 reçoit le champ électrique E1 et le démodule pour fournir le signal TX1 à l'amplificateur TAMP.

Chaque antenne A1, A2 reçoit donc le signal d'antenne SA3, SA4, l'un lui étant appliqué, l'autre étant reçu par couplage. La différentiation des champs E1, E2 et des signaux d'antenne correspondants SA3, SA4
5 peut être faite dans le domaine fréquentiel ou dans le domaine temporel. Dans le premier cas, les signaux SA3, SA4 présentent des fréquences différentes et peuvent être séparés par un filtrage approprié. Des antennes différentes pourraient également être prévues dans chaque
10 coupleur, pour d'une part émettre le champ E1 ou E2 et d'autre part recevoir le champ E2 ou E1 émis par l'autre coupleur. Dans ce second cas, les champs E1, E2 sont émis en alternance et la transmission des signaux TX1, TX2 s'effectue en mode unidirectionnel (half-duplex) au lieu
15 d'être faite en mode bidirectionnel (full-duplex). L'émetteur-récepteur TR2 est silencieux pendant que l'émetteur-récepteur TR1 émet le champ E1, et assure la démodulation du signal d'antenne reçu SA3. Ensuite, l'émetteur-récepteur TR2 émet le champ E2, l'émetteur-
20 récepteur TR1 est silencieux et assure la démodulation du signal d'antenne reçu SA4.

Les figures 12A, 12B illustrent la transmission des signaux TX1, TX2 en mode unidirectionnel alterné et représentent respectivement le signal d'antenne SA3(TX1)
25 et le signal d'antenne SA4(TX2). Le signal SA4 est émis pendant la première demi-période du signal Vs1(TX1), la période d'horloge T étant fournie par le signal Vs. Le signal SA3 est émis pendant la seconde demi-période d'horloge. L'émission des signaux TX1, TX2 peut être
30 faite de toute manière connue, par exemple par codage Manchester au moyen d'un signal RF à une seule porteuse, comme représenté sur les figures 12A, 12B. Dans ce cas, le signal TX1=0 est codé pendant la seconde demi-période

par une absence d'émission du champ E1 pendant un quart de période, suivie d'une émission du champ pendant le quart de période restant. Inversement, le signal TX1=1 est codé pendant la seconde demi-période par une émission du champ pendant un quart de période, suivie d'une absence d'émission du champ pendant le quart de période restant. De façon similaire, le signal TX2=0 est codé pendant la première demi-période par une absence d'émission du champ E2 pendant un quart de période, suivie d'une émission du champ pendant le quart de période restant. Le signal TX2=1 est codé pendant la première demi-période par une émission du champ pendant un quart de période, suivie d'une absence d'émission du champ pendant le quart de période restant.

La figure 13 représente très schématiquement un exemple d'application des coupleurs CP1, CP2 dans un téléphone mobile HD1. Le téléphone comprend une carte mère PCB sur laquelle sont montés le processeur en bande de base BBP, le processeur sécurisé SP1 de la carte SIM, le coupleur CP2 et le moyen de couplage M2. Le processeur SP1 est connecté au processeur BBP et au coupleur CP2 par l'intermédiaire d'une fente d'insertion de carte SIM et d'un connecteur électrique qui ne sont pas représentés dans un souci de simplicité du schéma. Le téléphone comporte également une batterie amovible BT formant un support portable HD2. La batterie BT reçoit le contrôleur NFCC et sa bobine d'antenne AC0, ainsi que le coupleur CP1. La bobine d'antenne AC0 est optionnellement agencée sur une couche de ferrite FLR magnétiquement conductrice afin d'isoler la batterie et la carte mère PCB du champ magnétique que la bobine d'antenne génère. Le moyen de couplage M1 est agencé sur la face arrière de la batterie BT, afin de se trouver en face du moyen de couplage M2.

Les moyens M1, M2 sont par exemple des plaques de couplage capacitif ou des bobines d'antenne. Ainsi, le processeur SP1 peut établir une liaison de données (par exemple SWP) avec le contrôleur NFCC, par l'intermédiaire
5 des coupleurs CP1, CP2.

Cet exemple d'application présente l'avantage de permettre l'intégration d'un contrôleur NFC dans un téléphone mobile sans modifier substantiellement l'architecture de la carte mère du téléphone, seuls le
10 coupleur CP2 et le moyen de couplage M2 devant y être ajoutés. Des batteries de téléphone mobile peuvent ainsi être commercialisées avec un équipement NFC.

En référence à la figure 5B, l'utilisation des coupleurs CP1, CP2 pour relier le processeur SP1 et le
15 contrôleur NFCC n'exclut pas la prévision d'une liaison sans fil entre le processeur en bande de base BBP et le contrôleur NFCC, au moyen d'émetteurs-récepteurs WL1, WL2 Wifi ou Bluetooth®. Le processeur SP1 peut en outre être relié au processeur BBP via un bus ISO 7816.

20 Il apparaîtra clairement à l'homme de l'art que des coupleurs selon l'invention sont susceptibles de diverses variantes et modes de réalisation. Comme précédemment indiqué, le transfert de données par couplage, au moyen d'au moins une porteuse RF, peut reposer sur diverses
25 techniques de modulation connues, à savoir modulation d'amplitude, modulation par sauts de phase (BPSK), par sauts de fréquence (FSK), etc.

Sur les figures précédemment décrites, le circuit capteur de courant CSCT comprend une résistance Ri de
30 faible valeur, pour transformer le courant Is1 en une tension, ainsi qu'un amplificateur différentiel Ai connecté aux bornes de la résistance Ri, dont la sortie fournit le signal TX2. D'autres modes de réalisation du

circuit CSCT peuvent être prévus par l'homme de l'art, notamment des modes de réalisation comprenant un miroir de courant et n'introduisant aucune chute de tension proportionnelle au courant traversant le circuit CSCT.

5 Des coupleurs selon l'invention sont également susceptibles de diverses autres applications. Par exemple, comme montré sur la figure 14, des coupleurs sans contact CP1'-CP2' peuvent être utilisés pour relier le processeur BBP au contrôleur NFCC. Le coupleur CP1'
10 est connecté à un port UART du contrôleur NFCC et émule un bus asynchrone UART1 tandis que le coupleur CP2' est connecté à un port UART du processeur BBP et émule un bus asynchrone UART2, de sorte que les processeurs BBP et NFCC échangent des données comme si leurs ports UART
15 étaient directement reliés par une liaison filaire.

Comme illustré sur la figure 15, des coupleurs sans contact CP1", CP2" peuvent également être utilisés dans une application "non-NFC", par exemple pour relier le processeur SP1 de carte SIM au processeur en bande de
20 base BBP, avec émulation du bus ISO 7816 par les coupleurs. Dans ce cas, le coupleur CP1" est connecté au port dit "I/O" du processeur BBP et émule une liaison ISO 7816(1) et le coupleur CP2" est connectée au port "I/O" du processeur SP1 et émule une liaison ISO 7816(2),
25 de sorte que les processeurs SP1 et BBP échangent des données comme s'ils étaient directement reliés par bus filaire ISO 7816.

La figure 16 représente un chipset NFC comprenant les processeurs SP1, BBP et le contrôleur NFCC, ainsi que
30 les coupleurs SP1, SP2, SP1', SP2', SP1", SP2" précédemment décrits. Le processeur BBP est monté sur un premier support portable HD1, le contrôleur NFCC est monté sur un second support portable HD2 et le processeur

SP1 est monté sur un troisième support portable HD3. Le processeur SP1 est relié au contrôleur NFCC par l'intermédiaire des coupleurs CP1, CP2 et un bus SWP. Le contrôleur NFCC est relié au processeur BBP par
5 l'intermédiaire des coupleurs CP1', CP2' et un bus asynchrone de type UART. Le processeur BBP est relié au processeur SP1 par l'intermédiaire des coupleurs CP1", CP2" et un bus ISO 7816.

REVENDICATIONS

1. Procédé pour établir une liaison de données entre un premier processeur (NFCC, BBP) et un second processeur (SP1), comprenant des étapes consistant à :

- par l'intermédiaire d'un port (P1) de communication à contact du premier processeur (NFCC, BBP), émettre un premier signal (TX1) porteur de données (DTX1) sous forme d'un premier signal modulé (Vs1),
- par l'intermédiaire d'un port (P2) de communication à contact du second processeur (SP1), émettre un second signal (TX2) porteur de données (DTX2) sous forme d'un second signal modulé (Is1),

procédé caractérisé en ce qu'il comprend des étapes consistant à :

- prévoir un premier coupleur (CP1) et le connecter au port du premier processeur (NFCC, BBP),
- prévoir un second coupleur (CP1) et le connecter au port du second processeur (SP1),
- établir un couplage sans contact entre les premier et second coupleurs, et
- par l'intermédiaire des coupleurs, et au moyen d'au moins un signal RF (H1, Vac, E1, SA1, SA2, SA3, E2, SA4), transférer le premier signal (TX1) porteur de données au port de communication à contact (P2) du second processeur (SP2) et transférer le second signal (TX2) porteur de données au port de communication à contact (P1) du premier processeur (NFCC, BBP).

2. Procédé selon la revendication 1, comprenant des étapes consistant à :

- au moyen du premier coupleur (CP1) :
 - recevoir ou capter le premier signal modulé (Vs1), en extraire le premier signal (TX1) porteur de

données et transférer le premier signal porteur de données au second coupleur au moyen du signal RF (H1, Vac, E1, SA1, SA2, SA3),

- au moyen du second coupleur (CP2) :

5 - recevoir ou capter le second signal modulé (Is1), en extraire le second signal (TX2) porteur de données et transférer le second signal porteur de données au premier coupleur au moyen du signal RF ou d'un autre signal RF (E2, SA4),

10 - recevoir le premier signal (TX1) porteur de données et fournir au port de communication à contact du second processeur (SP1) un troisième signal modulé (Vs2) qui émule le premier signal modulé (Vs1), et

- au moyen du premier coupleur (CP1) :

15 - recevoir le second signal (TX2) porteur de données et fournir au port de communication à contact du premier processeur (NFCC, BBP) un quatrième signal modulé (Is2) qui émule le second signal modulé (Is1).

20 3. Procédé selon la revendication 2, comprenant des étapes consistant à :

- au moyen du premier coupleur (CP1), émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal
25 (TX1) porteur de données,

- au moyen du second coupleur (CP2), démoduler le signal RF afin de récupérer le premier signal (TX1) porteur de données, et injecter dans le signal RF un signal de rétro-modulation (Ir1) qui présente un paramètre qui est
30 modulé en fonction du second signal (TX2) porteur de données, et

- au moyen du premier coupleur (CP1), capter le signal de rétro-modulation et le démoduler afin de récupérer le second signal (TX2) porteur de données.

4. Procédé selon la revendication 2, comprenant des étapes consistant à :

- au moyen du second coupleur (CP2), émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du second signal (TX2) porteur de données,
- au moyen du premier coupleur (CP1), démoduler le signal RF afin de récupérer le second signal (TX2) porteur de données, et injecter dans le signal RF (Vac) un signal de rétromodulation (Irl) qui présente un paramètre qui est modulé en fonction du premier signal (TX1) porteur de données, et
- au moyen du second coupleur (CP2), capter le signal de rétromodulation et le démoduler afin de récupérer le premier signal (TX1) porteur de données.

5. Procédé selon la revendication 2, comprenant des étapes consistant à :

- au moyen du premier coupleur (CP1), émettre un premier signal RF (H1, Vac, E1, SA1, SA2, SA3) et moduler le premier signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal (TX1) porteur de données,
- au moyen du second coupleur (CP2), démoduler le premier signal RF afin de récupérer le premier signal (TX1) porteur de données, émettre un second signal RF (E2, SA4) et moduler le second signal RF de manière qu'il présente un paramètre qui est modulé en fonction du second signal (TX2) porteur de données, et
- au moyen du premier coupleur (CP1), démoduler le second signal RF afin de récupérer le second signal (TX2) porteur de données.

6. Procédé selon l'une des revendications 1 à 5, dans lequel le premier signal modulé (Vs1) est une tension électrique modulée et le second signal modulé (Is1) est un signal de courant modulé en présence de ladite tension électrique modulée.

7. Procédé selon l'une des revendications 1 à 6, dans lequel :

- 10 - le premier processeur est un contrôleur NFC (NFCC) comprenant en sus du port de communication à contact un circuit d'interface sans contact (NFCI) fonctionnant par couplage inductif, et
- le second processeur est un processeur hôte (SP1) du
- 15 contrôleur NFC.

8. Procédé selon l'une des revendications 1 à 7, dans lequel le second processeur est un processeur sécurisé (SP1) de carte SIM.

20

9. Procédé selon l'une des revendications 1 à 8, dans lequel le couplage sans contact est un couplage inductif, un couplage à champ électrique ou un couplage capacitif.

25

10. Procédé pour conduire une transaction entre le processeur hôte (SP1) d'un contrôleur NFC (NFCC) et un dispositif NFC (NFCD), comprenant une étape d'établissement d'une liaison de données entre le

30 processeur hôte (SP1) et le dispositif NFC (NFCD) par l'intermédiaire du contrôleur NFC (NFCC),

caractérisé en ce que l'étape d'établissement d'une liaison de données entre le processeur hôte (SP1) et le

dispositif NFC (NFCD) comprend l'établissement d'une liaison de données entre le processeur hôte et le contrôleur NFC (NFCC) conduite conformément au procédé selon l'une des revendications 1 à 9.

5

11. Dispositif de traitement et de transfert de données comprenant :

- un premier processeur (NFCC, BBP) configuré pour fournir, sur un port de communication à contact (P1), un premier signal (TX1) porteur de données (DTX1) sous forme d'un premier signal modulé (Vs1),

- un second processeur (SP1) configuré pour fournir, sur un port de communication à contact (P2), un second signal (TX2) porteur de données (DTX2) sous forme d'un second signal modulé (Is1),

caractérisé en ce qu'il comprend :

- un premier coupleur (CP1) connecté au port de communication à contact (P1) du premier processeur (NFCC, BBP),

- un second coupleur (CP1) connecté au port de communication à contact (P2) du second processeur (SP1), et dans lequel :

- les coupleurs sont couplés par un couplage sans contact, et

- le premier coupleur (CP1) est configuré pour :

- recevoir ou capter le premier signal modulé (Vs1), en extraire le premier signal (TX1) porteur de données et transférer le premier signal porteur de données au second coupleur, au moyen d'un signal RF (H1, Vac, E1, SA1, SA2, SA3),

- le second coupleur (CP2) est configuré pour :

- recevoir ou capter le second signal modulé (Is1), en extraire le second signal (TX2) porteur de données

et transférer le second signal porteur de données au premier coupleur, au moyen du signal RF ou d'un autre signal RF (E2, SA4), et

5 - recevoir le premier signal (TX1) porteur de données, et fournir au port de communication à contact (P2) du second processeur (SP1) un troisième signal modulé (Vs2) qui émule le premier signal modulé (Vs1), et

10 - le premier coupleur (CP1) est également configuré pour :

- recevoir le second signal (TX2) porteur de données et fournir au port de communication à contact (P1) du premier processeur (NFCC, BBP) un quatrième signal modulé (Is2) qui émule le second signal modulé (Is1).

15

12. Dispositif de traitement et de transfert de données selon la revendication 11, dans lequel :

- le premier coupleur (CP1) est configuré pour :

20 - émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal (TX1) porteur de données,

- le second coupleur (CP2) est configuré pour :

25 - injecter dans le signal RF un signal de rétromodulation (Irl1) qui présente un paramètre qui est modulé en fonction du second signal (TX2) porteur de données,

- démoduler le signal RF afin de récupérer le premier signal (TX1) porteur de données, et

30 - le premier coupleur (CP1) est également configuré pour :

- capter le signal de rétromodulation et le démoduler afin de récupérer le second signal (TX2) porteur de données.

13. Dispositif de traitement et de transfert de données selon la revendication 11, dans lequel :

- le second coupleur (CP2) est configuré pour :

5 - émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du second signal (TX2) porteur de données,

- le premier coupleur (CP1) est configuré pour :

10 - démoduler le signal RF afin de récupérer le second signal (TX2) porteur de données,

- injecter dans le signal RF (Vac) un signal de rétromodulation (Irl) qui présente un paramètre qui est modulé en fonction du premier signal (TX1) porteur de données, et

15 - le second coupleur (CP2) est également configuré pour :

- capter le signal de rétromodulation et le démoduler afin de récupérer le premier signal (TX1) porteur de données.

20 14. Dispositif de traitement et de transfert de données selon la revendication 11, dans lequel :

- le premier coupleur (CP1) est configuré pour :

25 - émettre un premier signal RF (H1, Vac, E1, SA1, SA2, SA3) et moduler le premier signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal (TX1) porteur de données,

- le second coupleur (CP2) est configuré pour :

30 - démoduler le premier signal RF afin de récupérer le premier signal (TX1) porteur de données,

- émettre un second signal RF (E2, SA4) et moduler le second signal RF de manière qu'il présente un paramètre qui est modulé en fonction du second signal (TX2) porteur de données, et

- le premier coupleur (CP1) est également configuré pour :

- démoduler le second signal RF afin de récupérer le second signal (TX2) porteur de données.

5

15. Dispositif de traitement et de transfert de données selon l'une des revendications 11 à 14, dans lequel le premier signal modulé (Vs1) est une tension électrique modulée et le second signal modulé (Is1) un
10 signal de courant modulé en présence de ladite tension électrique modulée.

16. Dispositif de traitement et de transfert de données selon l'une des revendications 11 à 15, dans
15 lequel :

- le premier processeur est un contrôleur NFC (NFCC) comprenant en outre un circuit d'interface sans contact (NFCI) fonctionnant par couplage inductif, et
- le second processeur est un processeur hôte (SP1) du
20 contrôleur NFC.

17. Dispositif de traitement et de transfert de données selon l'une des revendications 11 à 15, dans lequel :

- 25
- le premier processeur est un contrôleur NFC (NFCC) comprenant en outre un circuit d'interface sans contact (NFCI) fonctionnant par couplage inductif, et
 - le second processeur est un processeur en bande de base (BBP) pour réseau de téléphonie cellulaire.

30

18. Dispositif de traitement et de transfert de données selon l'une des revendications 11 à 15, dans lequel :

- le premier processeur est un processeur en bande de base (BBP) pour réseau de téléphonie cellulaire,
- le second processeur est un processeur sécurisé (SP1) de carte SIM.

5

19. Dispositif de traitement et de transfert de données selon l'une des revendications 11 à 18, dans lequel le couplage sans contact est un couplage inductif, un couplage à champ électrique ou un couplage capacitif.

10

20. Dispositif de traitement et de transfert de données comprenant :

- un processeur (NFCC, BBP, SP1) configuré pour fournir, sur au moins un port de communication à contact (P1, P2),
15 un premier signal (TX1, TX2) porteur de données (DTX1, DTX2) sous forme d'un premier signal modulé (Vs1, Is1), caractérisé en ce qu'il comprend :
- au moins un coupleur (CP1, CP2) connecté au port de communication à contact du processeur (NFCC, BBP, SP1),
20 comprenant un moyen (M1, M2, AC1, AC2, A1, A2) de couplage sans contact avec un autre coupleur (CP2, CP1), et configuré pour :
 - recevoir ou capter le premier signal modulé (Vs1, Is1), en extraire le premier signal porteur de
25 données et transférer le premier signal porteur de données à l'autre coupleur, au moyen d'un signal RF (H1, Vac, E1, SA1, SA2, SA3),
 - recevoir, via l'autre coupleur, un second signal (TX2, TX1) porteur de données (DTX2, DTX1), au moyen
30 du signal RF ou d'un autre signal RF (E2, SA4), et fournir au port de communication à contact (P1, P2) du processeur (NFCC, BBP, SP1) un second signal modulé (Vs2, Is2).

21. Dispositif de traitement et de transfert de données selon la revendication 20, dans lequel le coupleur (CP1, CP2) est configuré pour :

- 5 - émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal porteur de données, et
- capter un signal de rétromodulation et le démoduler afin de récupérer le second signal porteur de données.

10

22. Dispositif de traitement et de transfert de données selon la revendication 20, dans lequel le coupleur (CP1, CP2) est configuré pour :

- 15 - recevoir et démoduler le signal RF afin de récupérer le second signal porteur de données, et
- injecter dans le signal RF (Vac) un signal de rétromodulation (Irl) qui présente un paramètre qui est modulé en fonction du premier signal porteur de données.

20

23. Dispositif de traitement et de transfert de données selon la revendication 20, dans lequel le coupleur (CP1, CP2) est configuré pour :

- 25 - émettre le signal RF et moduler le signal RF de manière qu'il présente un paramètre qui est modulé en fonction du premier signal porteur de données, et
- recevoir et démoduler un autre signal RF afin de récupérer le second signal porteur de données.

30

24. Dispositif de traitement et de transfert de données selon l'une des revendications 20 à 23, dans lequel le premier signal modulé (Vs1) est une tension

électrique modulée et le second signal modulé (Is1) un signal de courant modulé en présence de ladite tension électrique modulée, ou vice-versa.

5 25. Dispositif de traitement et de transfert de données selon l'une des revendications 20 à 24, dans lequel le processeur est un contrôleur NFC (NFCC) comprenant en outre un circuit d'interface sans contact (NFCI) fonctionnant par couplage inductif.

10

26. Dispositif de traitement et de transfert de données selon l'une des revendications 20 à 24, dans lequel le processeur est un processeur sécurisé (SP1) de carte SIM.

15

27. Dispositif de traitement et de transfert de données selon l'une des revendications 20 à 24, dans lequel le processeur est un processeur en bande de base (BBP) pour réseau de téléphonie cellulaire.

20

28. Dispositif de traitement et de transfert de données selon l'une des revendications 20 à 27, dans lequel le couplage sans contact est un couplage inductif, un couplage à champ électrique ou un couplage capacitif.

25

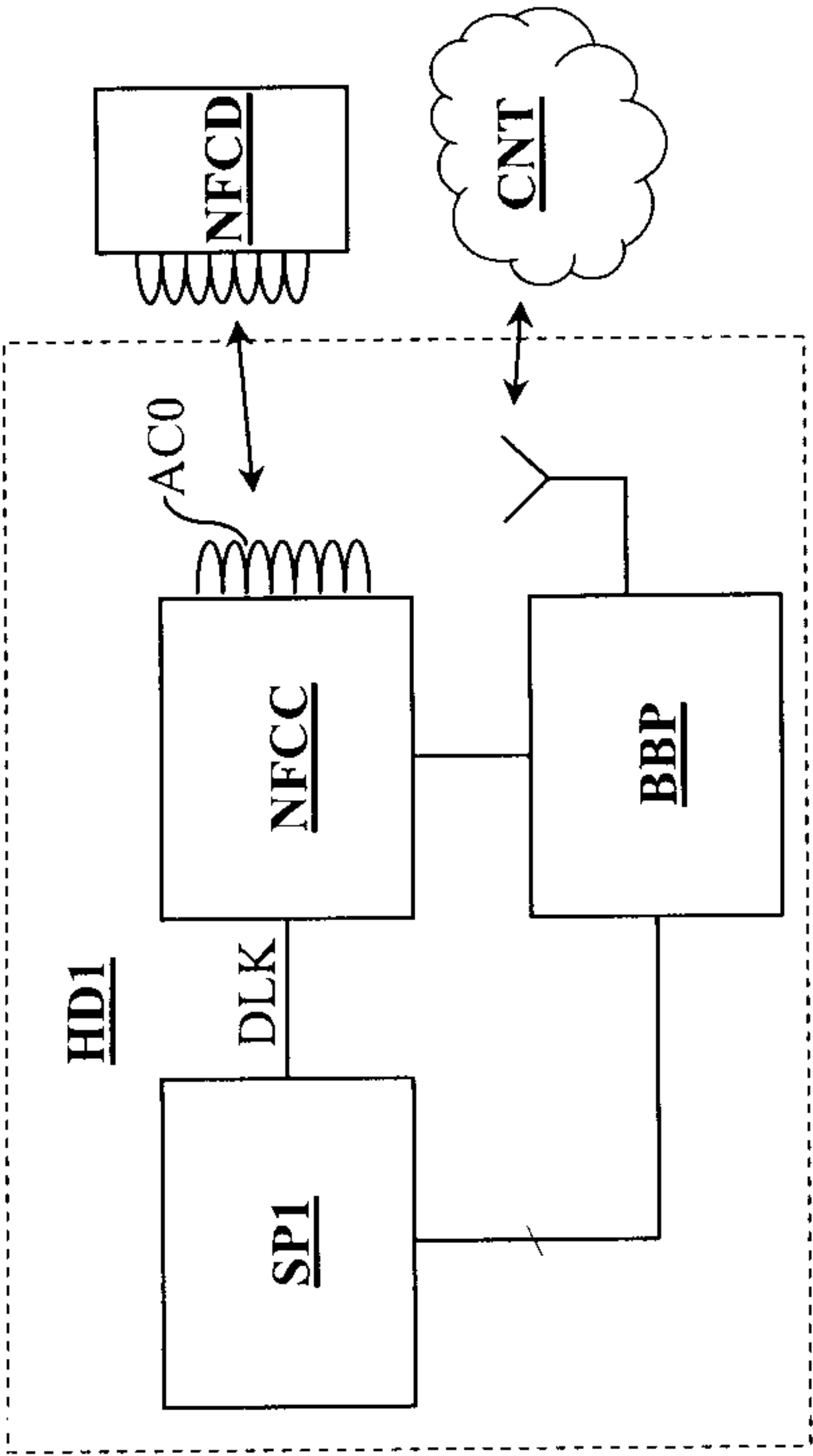


Fig. 1 (Art Antérieur)

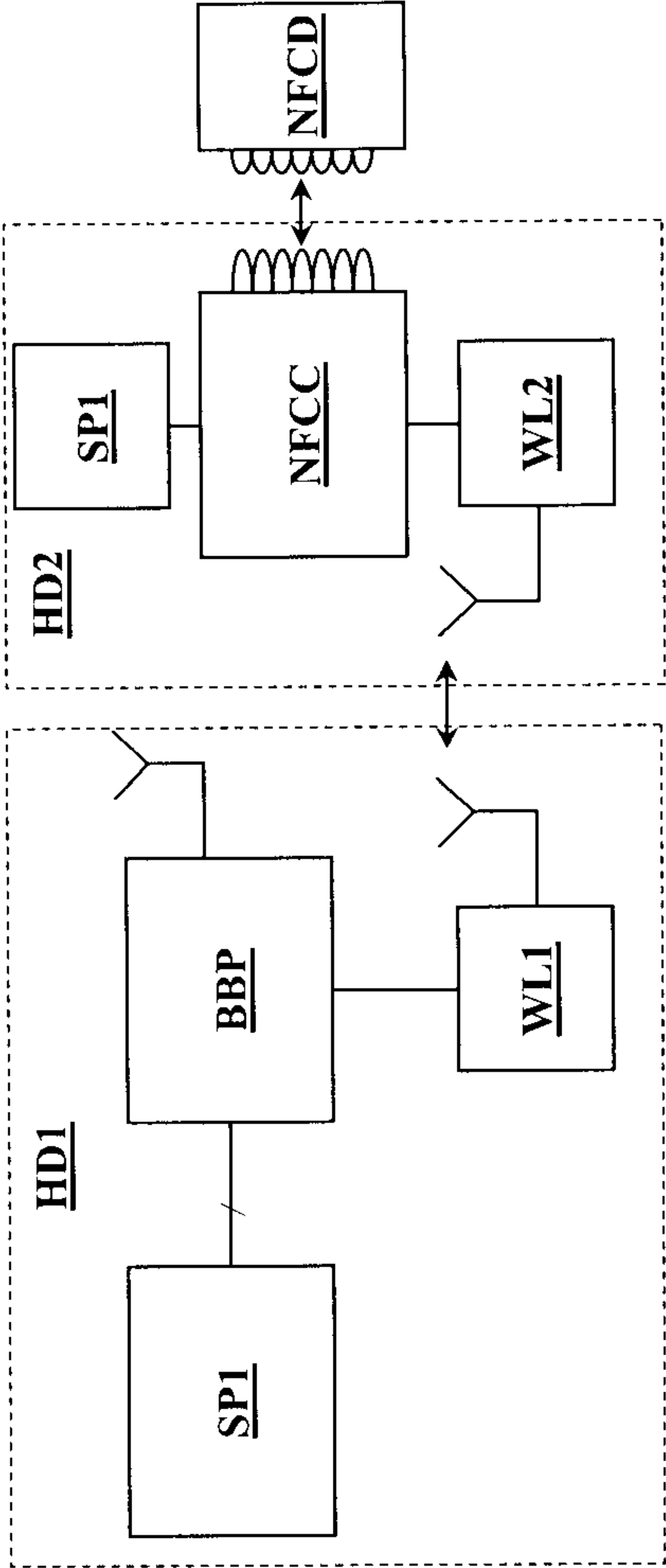


Fig. 2 (Art Antérieur)

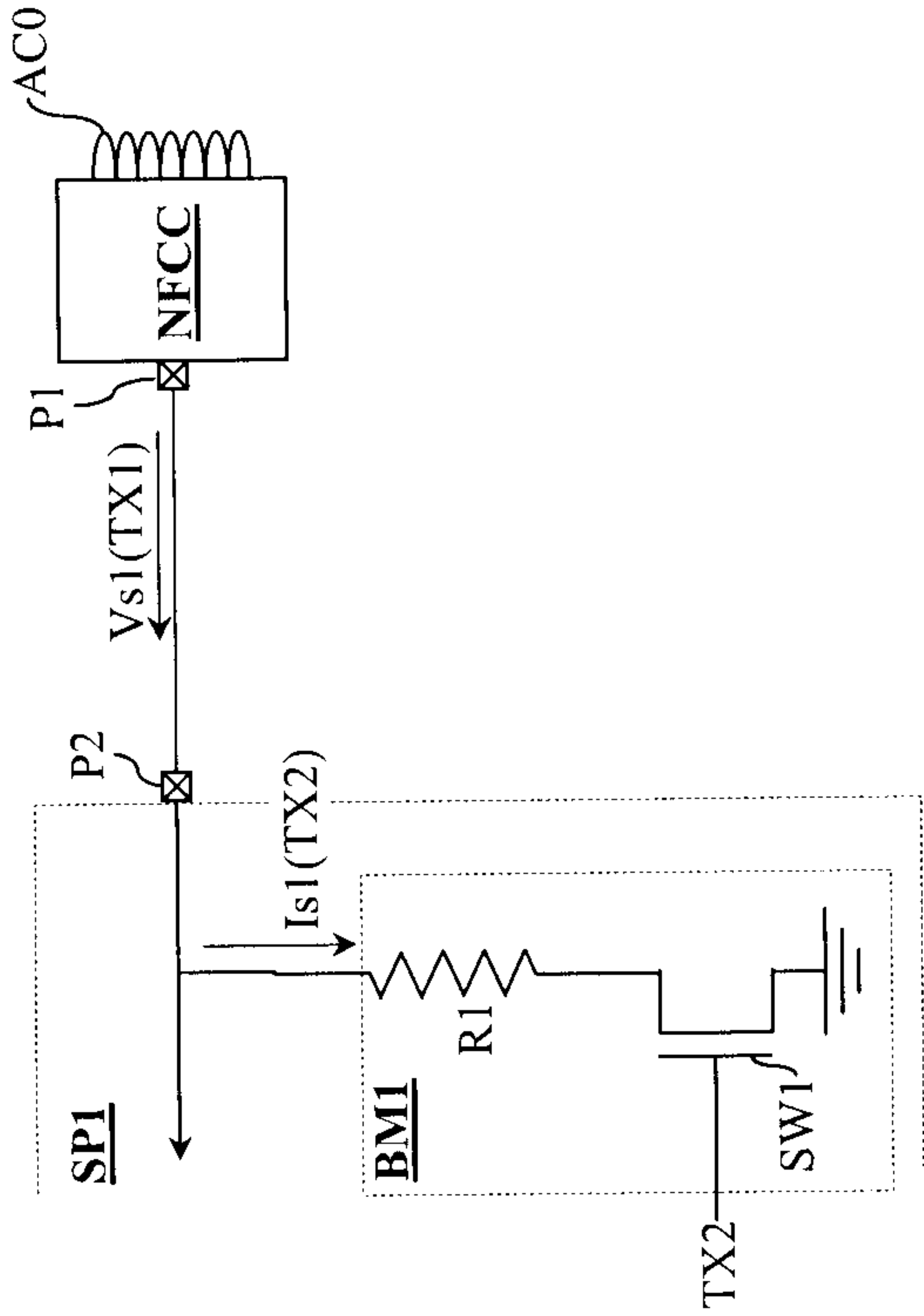


Fig. 3 (Art Antérieur)

Fig. 5A

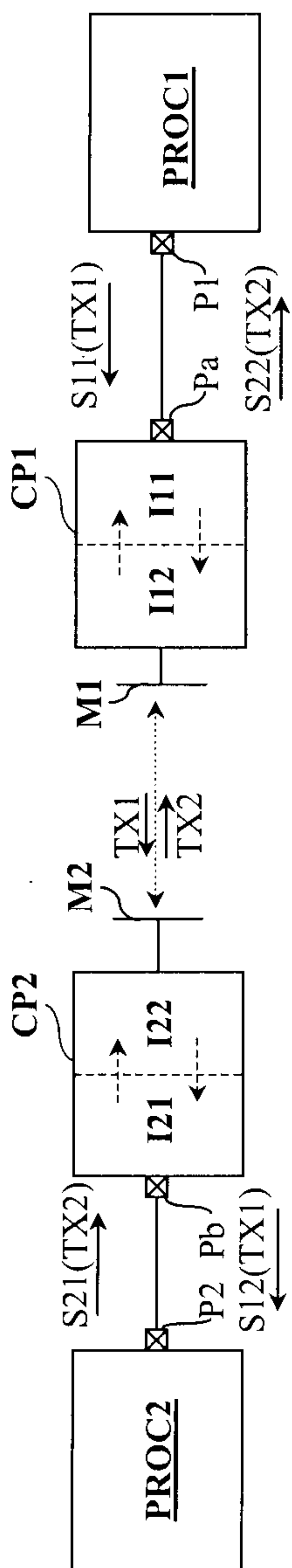
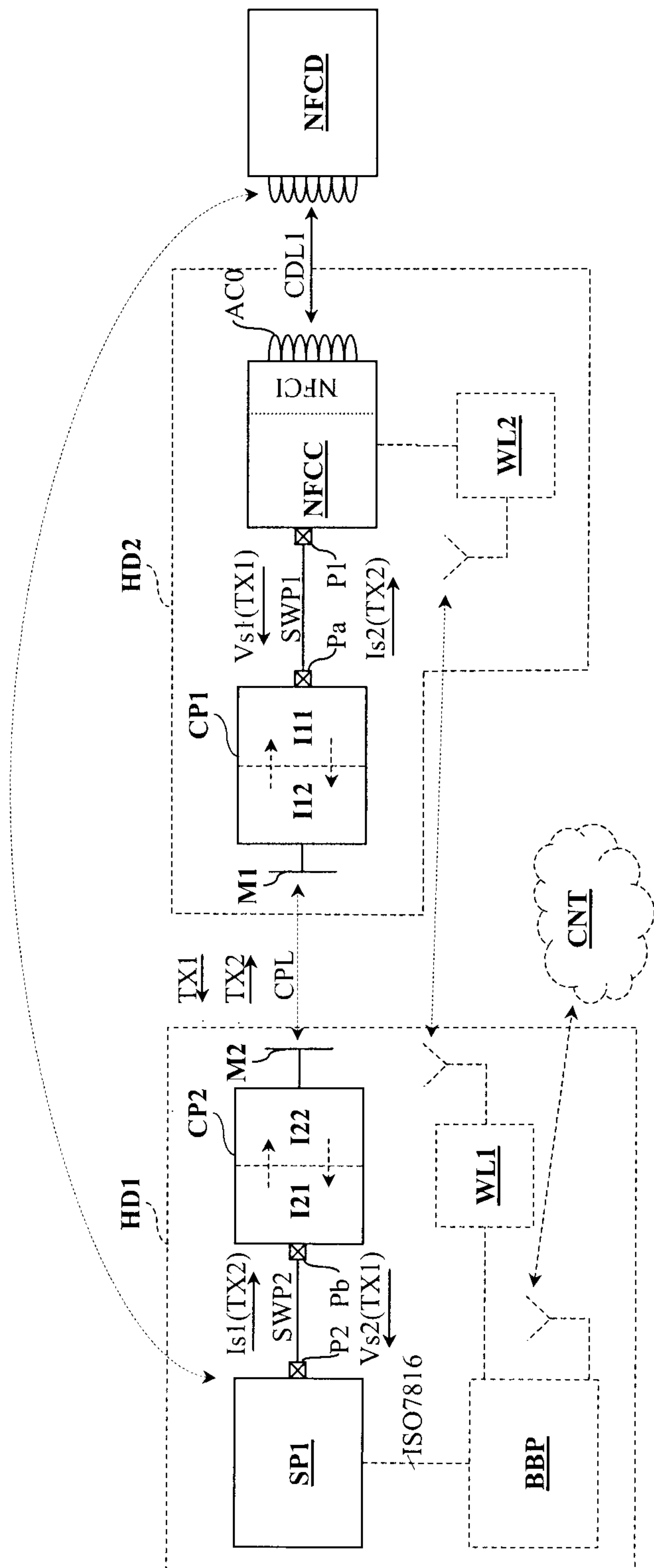
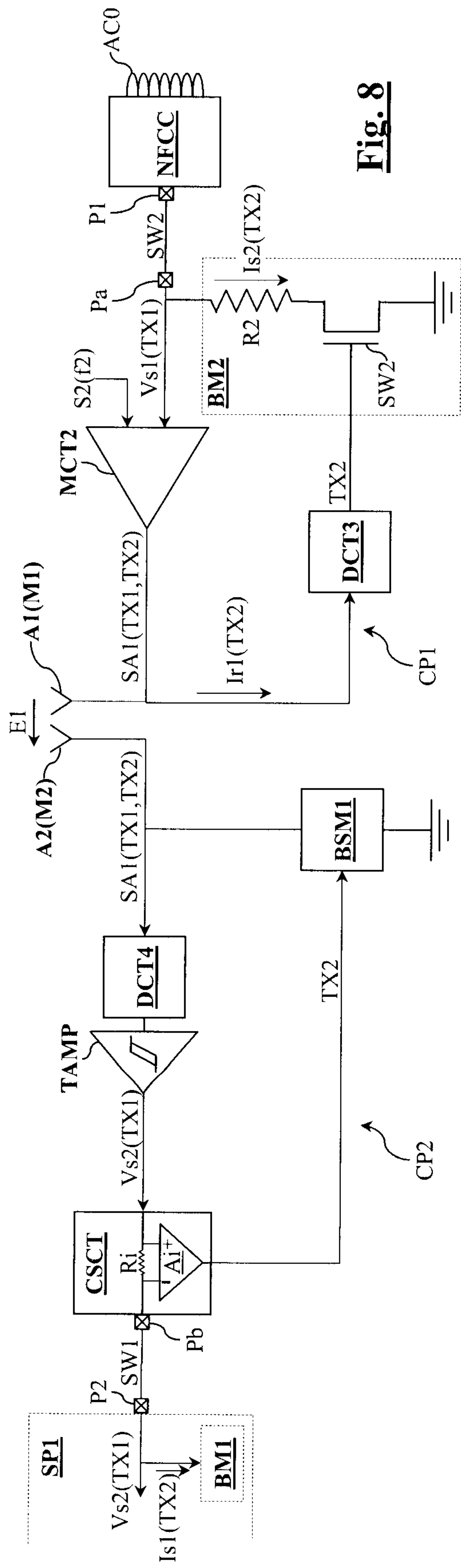
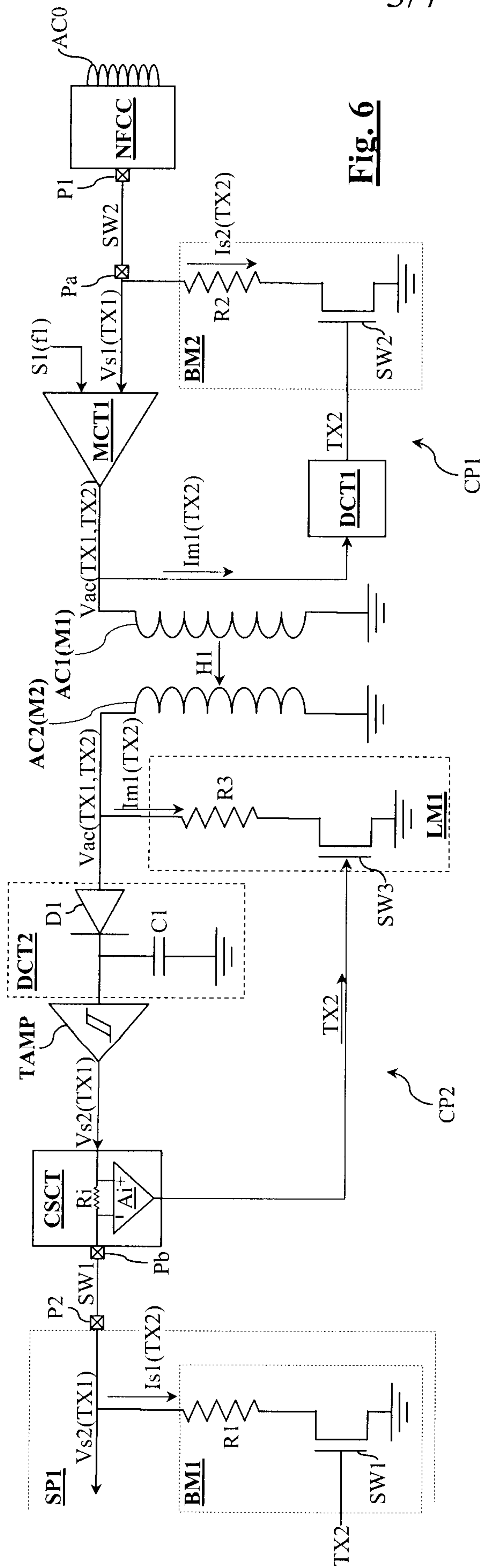
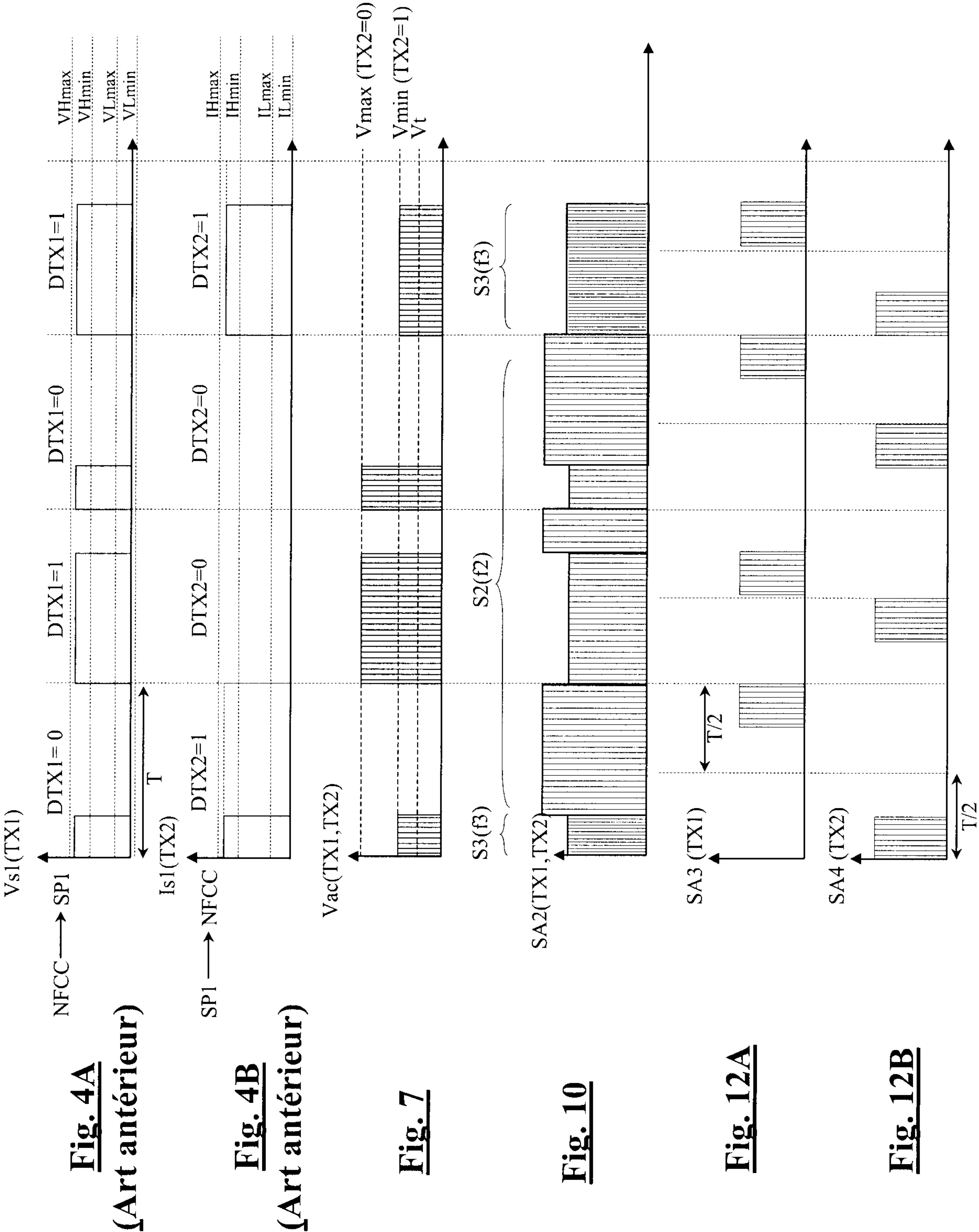


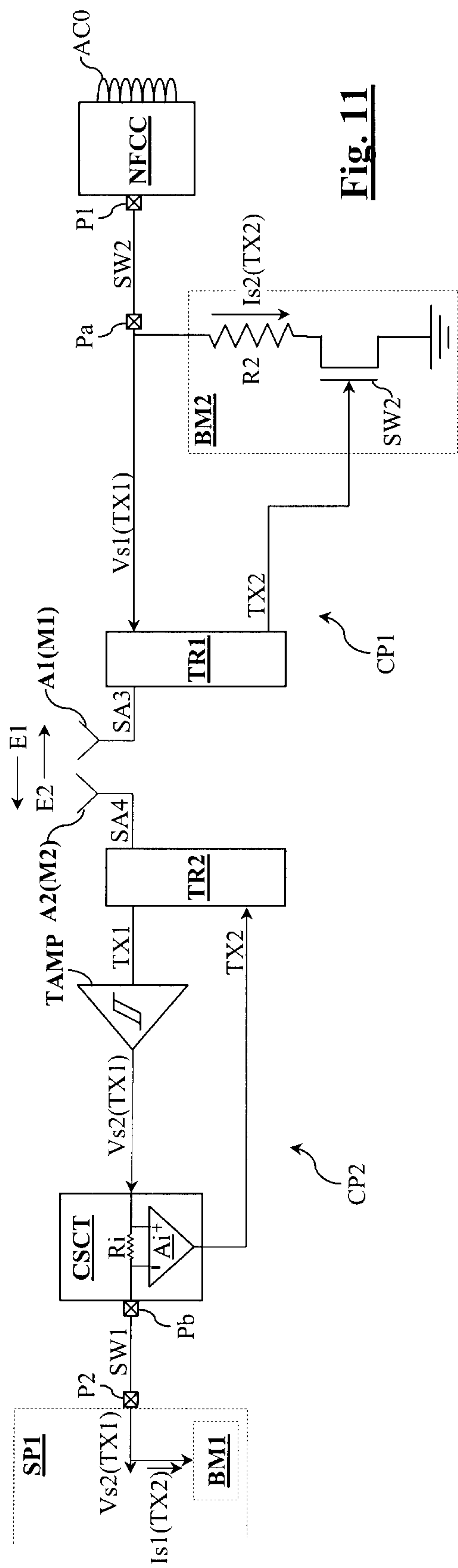
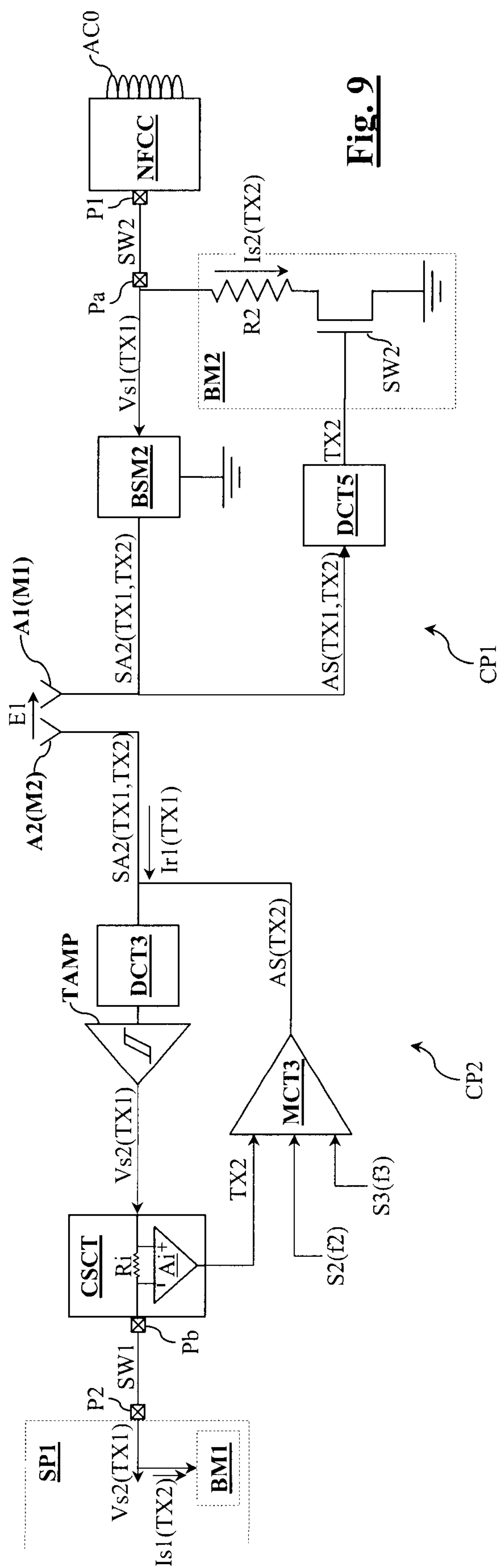
Fig. 5B



3/7







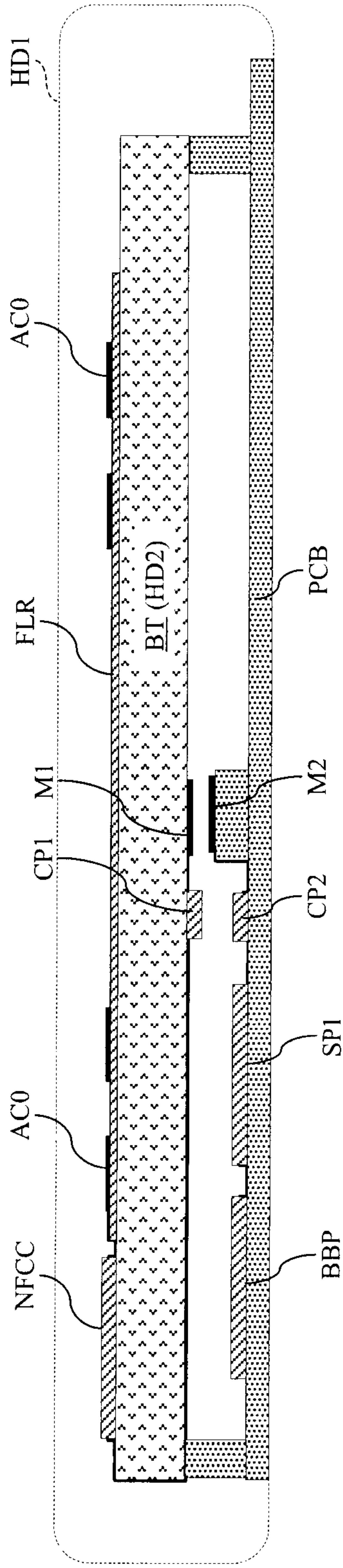


Fig. 13

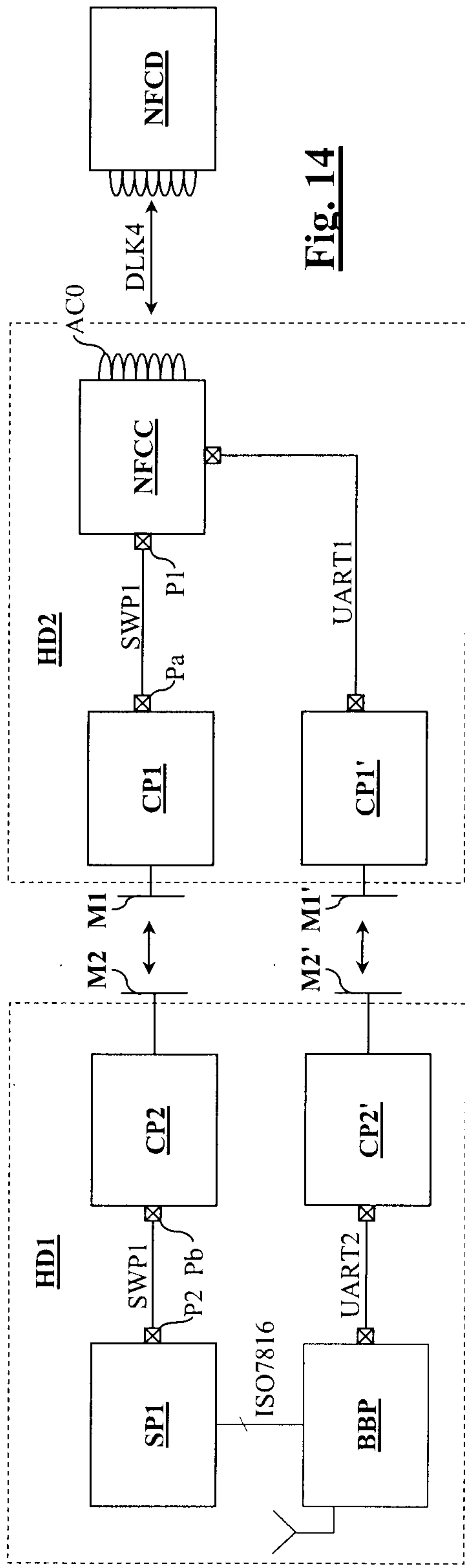


Fig. 14

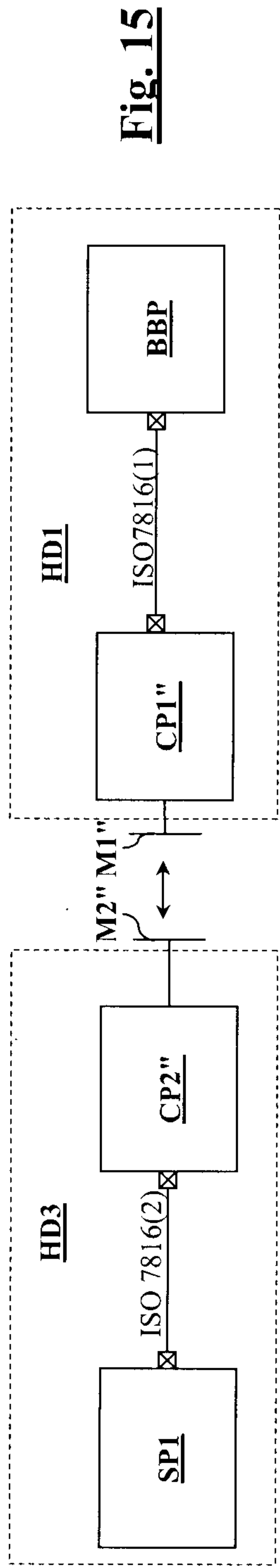


Fig. 15

Fig. 16

