

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3563604号
(P3563604)

(45) 発行日 平成16年9月8日(2004.9.8)

(24) 登録日 平成16年6月11日(2004.6.11)

(51) Int. Cl.⁷

F I

HO 1 L 25/065	HO 1 L 25/08	B
HO 1 L 21/8247	HO 1 L 27/10	4 9 5
HO 1 L 25/07	HO 1 L 27/10	4 3 4
HO 1 L 25/18		
HO 1 L 27/10		

請求項の数 12 (全 18 頁) 最終頁に続く

(21) 出願番号 特願平10-213880
 (22) 出願日 平成10年7月29日(1998.7.29)
 (65) 公開番号 特開2000-49277(P2000-49277A)
 (43) 公開日 平成12年2月18日(2000.2.18)
 審査請求日 平成13年10月12日(2001.10.12)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100068814
 弁理士 坪井 淳
 (74) 代理人 100092196
 弁理士 橋本 良郎
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 マルチチップ半導体装置及びメモ리카ード

(57) 【特許請求の範囲】

【請求項1】

半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、

半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続してなり、

各々の半導体チップを選択するチップ選択信号が入力され、前記バンプの有無をスイッチのオン/オフに対応させて当該半導体チップの活性化を検知する回路を各半導体チップ中に設け、

前記バンプの接続パターンに応じて、前記各半導体チップ内に設けたオプション回路を選択することを特徴とするマルチチップ半導体装置。

【請求項2】

前記各半導体チップ間のアドレスの割り振りが、前記バンプの接続パターンにより指定されることを特徴とする請求項1に記載のマルチチップ半導体装置。

【請求項3】

半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、

半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続して

なり、

入力されたアドレス信号の一部から各々の半導体チップに対応するアドレス信号を生成する信号生成回路と、この信号生成回路から出力されるアドレス信号と、各々の半導体チップを選択するチップ選択信号とが入力され、前記パンプの有無をスイッチのオン/オフに対応させて、当該半導体チップに対応するアドレス信号を生成する回路とを各半導体チップ中に設け、

前記パンプの接続パターンに応じて、前記複数個の半導体チップ間のアドレスの割り振りを指定することを特徴とするマルチチップ半導体装置。

【請求項 4】

前記各半導体チップはそれぞれ、不揮発性半導体メモリチップであることを特徴とする請求項 3 に記載のマルチチップ半導体装置。 10

【請求項 5】

前記各半導体チップはそれぞれ、NAND型EEPROMであることを特徴とする請求項 3 に記載のマルチチップ半導体装置。

【請求項 6】

前記積層する半導体チップを n 個とするとき、前記接続プラグが少なくとも $(n - 1)$ 個設けられて、同一構造の前記半導体チップ間のアドレスの割り振りを行うことを特徴とする請求項 2 または 3 に記載のマルチチップ半導体装置。

【請求項 7】

前記積層する半導体チップを n 個とするとき、前記接続プラグが少なくとも $(n - 1)$ 個設けられて、同一構造の前記半導体チップ間のアドレスの割り振りを行い、 $[\log(n) / \log 2]$ 個のアドレス入力で前記 n 個の半導体チップの 1 つを選択することを特徴とする請求項 2 または 3 に記載のマルチチップ半導体装置。 20

【請求項 8】

前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電気的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする請求項 1 ないし 7 いずれか 1 つの項に記載のマルチチップ半導体装置。

【請求項 9】

前記半導体基板上に、前記接続プラグと前記半導体基板中に集積形成された素子とを電気的に接続する多層配線層を更に設けたことを特徴とする請求項 1 ないし 8 いずれか 1 つの項に記載のマルチチップ半導体装置。 30

【請求項 10】

それぞれ半導体基板を貫通する貫通孔内に設けられた接続プラグを備え、互いに実質的に同一構造の複数個の半導体メモリチップと、

前記各半導体メモリチップを積層した状態で前記接続プラグを選択的に接続し、この接続パターンに応じて、前記複数個の半導体メモリチップ間のアドレスの割り振りを指定するパンプと、

各半導体メモリチップ中に設けられ、前記パンプと前記接続プラグとを介して入力されたアドレス信号の一部から各々の半導体メモリチップに対応するアドレス信号を生成する信号生成回路と、 40

各半導体メモリチップ中に設けられ、前記信号生成回路から出力されるアドレス信号と、各々の半導体メモリチップを選択するチップ選択信号とが入力され、前記パンプの有無をスイッチのオン/オフに対応させて、当該半導体メモリチップに対応するアドレス信号を生成する回路と、

前記複数個の半導体メモリチップを積層した状態で封止するカード状のパッケージと、前記カード状のパッケージに設けられ、前記接続プラグ及び前記パンプを介して前記各半導体メモリチップとの信号の授受を行うための端子とを具備することを特徴とするメモリカード。

【請求項 11】

前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電氣的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする請求項10に記載のメモリカード。

【請求項12】

前記半導体基板上に、前記接続プラグと前記半導体基板中に集積形成されたメモリ回路とを電氣的に接続する多層配線層を更に設けたことを特徴とする請求項10または11に記載のメモリカード。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

この発明は、マルチチップ半導体装置及びメモリカードに関し、特に複数個の半導体メモリチップ、若しくは半導体メモリとロジック回路とを混載した複数個の半導体チップを積層した状態で搭載したマルチチップ構成の半導体装置及びメモリカードに係る。

【0002】

【従来の技術】

デジタルカメラのフィルム媒体や、携帯用パーソナルコンピュータの記憶用メモリとして、メモリカードの需要が急速に高まっている。この種のメモリカードとして、例えば、不揮発性メモリであるNAND型EEPROMを搭載したSSFDC(Solid-State Floppy Disk Card)、別称スマートメディア(Smart Media)が知られている。現在は、16Mビットあるいは32MビットのNAND型EEPROMが一個搭載され、2Mバイトあるいは4Mバイトの記憶容量のカードが市販されている。しかし、昨今のマルチメディア・ブームに乗り、ますます大容量のメモリカードの需要が拡大されることが予想されている。例えばデジタルカメラでいえば、現在30万画素の写真30枚分が2Mバイトのカードで記録可能であるが、130万画素のカメラで写真30枚分を録画するためには8Mバイトの記憶容量が必要となる。また、静止画だけでなく動画や音声の記録といったように、メモリカードの用途は止まるところを知らない。この場合、更に大きな記憶容量が必要となる。従って、一枚のカードに複数個の半導体チップを搭載し、大容量化を実現することが望まれている。

20

【0003】

30

しかしながら、従来の技術では、複数個の半導体チップを一枚のカードに搭載しようとすると、カードが大型になるという問題があった。すなわち、チップを平面的に複数個並べるとカードの面積が大きくなり、カード面積の増大を抑えるために複数個を積層して搭載するとカードの厚さが厚くなる。

【0004】

そこで、この問題を克服する技術として、本出願人は、特願平8-321931号(平成8年12月2日付け)に、カードの大型化を最小限に抑制しつつ一枚のカードに複数個の半導体チップを搭載する「マルチチップ半導体装置、ならびにマルチチップ半導体装置用チップおよびその形成方法」を提案した。この出願に開示されているマルチチップ半導体装置は、素子が集積形成された半導体基板を有するチップを複数積層してなるマルチチップ半導体装置において、少なくとも1つのチップは、その半導体基板を貫通する貫通孔内に接続プラグが形成された構造を有し、且つこのプラグを有する少なくとも1つのチップが、該接続プラグを介して他のチップと電氣的に接続されていることを特徴としている。

40

【0005】

上記マルチチップ半導体装置の技術を用いると、平面面積が小さく、構造が単純で且つ厚さが薄いメモリカードが提供できる。しかし、更に大きな記憶容量で且つ小型のメモリカードあるいはメモリ装置を実現するためには、解決すべきいくつかの問題が残されている。例えば4個の64Mビットの半導体チップを用いて、256Mビットのメモリ装置を構成することを考える。この場合、従来の平面ボードに実装する際には、4個のチップのチップ制御信号であるチップ・イネーブル・バー(/CE)をそれぞれ分ければよい。しか

50

し、平面ボードに代えてチップを積層させたマルチチップ半導体技術でこれを実現しようとする、4つの/C/Eの配線接続をそれぞれ分離する必要がある。これは/C/Eの位置を変えた4種類のチップ、すなわちAチップ、Bチップ、Cチップ、Dチップが要求されることを意味する。この4種類のチップを製造するためには、例えば、チップの最上層の配線層をパターニングするためのマスクを4枚用意すれば可能であり、また、できあがった4種類のチップを例えば決められた順にA-B-C-Dと積層させることも勿論可能である。しかし、製造コストを考慮すると、この方法は得策ではない。すなわち、4種類のチップを製造すること、そのそれぞれをテストすること、また、間違いなく順番に積層させること等を考えると、同一構成のチップ4個を積層する場合に比べて高価なものにならざるを得ない。

10

【0006】

【発明が解決しようとする課題】

上記のように従来のマルチチップ半導体装置及びメモリカードは、複数個の半導体チップを搭載すると大型化を招くという問題があった。

本出願人は、先願でこの問題を解決する一つの手段を提案したが、更に大きな記憶容量で且つ小型のメモリカードあるいはメモリ装置を実現しようとする製造コストが高くなる。

【0007】

この発明は、上記事情を考慮してなされたもので、その目的とするところは、製造コストの上昇を抑制しつつ、平面面積が小さく、構造が単純で且つ厚さが薄いマルチチップ半導体装置及びメモリカードを提供することにある。

20

【0008】

【課題を解決するための手段】

この発明の請求項1に記載したマルチチップ半導体装置は、半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続してなり、各々の半導体チップを選択するチップ選択信号が入力され、前記バンプの有無をスイッチのオン/オフに対応させて当該半導体チップの活性化を検知する回路を各半導体チップ中に設け、前記バンプの接続パターンに応じて、前記各半導体チップ内に設けたオプション回路を選択することを特徴としている。

30

【0009】

また、請求項2に記載したように、請求項1に記載のマルチチップ半導体装置において、前記各半導体チップ間のアドレスの割り振りが、前記バンプの接続パターンにより指定されることを特徴とする。

【0010】

この発明の請求項3に記載したマルチチップ半導体装置は、半導体基板中に素子が集積形成された半導体チップを複数個搭載したマルチチップ半導体装置において、半導体基板を貫通する貫通孔内に接続プラグを形成した実質的に同一構造の複数個の半導体チップを積層し、前記各半導体チップの接続プラグをバンプを介して選択的に接続してなり、入力されたアドレス信号の一部から各々の半導体チップに対応するアドレス信号を生成する信号生成回路と、この信号生成回路から出力されるアドレス信号と、各々の半導体チップを選択するチップ選択信号とが入力され、前記バンプの有無をスイッチのオン/オフに対応させて、当該半導体チップに対応するアドレス信号を生成する回路とを各半導体チップ中に設け、前記バンプの接続パターンに応じて、前記複数個の半導体チップ間のアドレスの割り振りを指定することを特徴としている。

40

【0011】

請求項4に記載したように、請求項3に記載のマルチチップ半導体装置において、前記各半導体チップはそれぞれ、不揮発性半導体メモリチップであることを特徴とする。

【0012】

50

請求項 5 に記載したように、請求項 3 に記載のマルチチップ半導体装置において、前記各半導体チップはそれぞれ、NAND型EEPROMであることを特徴とする。

【0013】

更に、請求項 6 に記載したように、請求項 2 または 3 に記載のマルチチップ半導体装置において、前記積層する半導体チップを n 個とすると、前記接続プラグが少なくとも $(n - 1)$ 個設けられて、同一構造の前記半導体チップ間のアドレスの割り振りを行うことを特徴とする。

【0014】

請求項 7 に記載したように、請求項 2 または 3 に記載のマルチチップ半導体装置において、前記積層する半導体チップを n 個とすると、前記接続プラグが少なくとも $(n - 1)$ 個設けられて、同一構造の前記半導体チップ間のアドレスの割り振りを行い、 $[\log(n) / \log 2]$ 個のアドレス入力で前記 n 個の半導体チップの 1 つを選択することを特徴とする。

10

【0015】

請求項 8 に記載したように、請求項 1 ないし 7 いずれか 1 つの項に記載のマルチチップ半導体装置において、前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電気的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする。

【0016】

請求項 9 に記載したように、請求項 1 ないし 8 いずれか 1 つの項に記載のマルチチップ半導体装置において、前記半導体基板上に、前記接続プラグと前記半導体基板中に集積形成された素子とを電気的に接続する多層配線層を更に設けたことを特徴とする。

20

【0017】

更にまた、この発明の請求項 10 に記載したメモリカードは、それぞれ半導体基板を貫通する貫通孔内に設けられた接続プラグを備え、互いに実質的に同一構造の複数個の半導体メモリチップと、前記各半導体メモリチップを積層した状態で前記接続プラグを選択的に接続し、この接続パターンに応じて、前記複数個の半導体メモリチップ間のアドレスの割り振りを指定するバンクと、各半導体メモリチップ中に設けられ、前記バンクと前記接続プラグとを介して入力されたアドレス信号の一部から各々の半導体メモリチップに対応するアドレス信号を生成する信号生成回路と、各半導体メモリチップ中に設けられ、前記信号生成回路から出力されるアドレス信号と、各々の半導体メモリチップを選択するチップ選択信号とが入力され、前記バンクの有無をスイッチのオン/オフに対応させて、当該半導体メモリチップに対応するアドレス信号を生成する回路と、前記複数個の半導体メモリチップを積層した状態で封止するカード状のパッケージと、前記カード状のパッケージに設けられ、前記接続プラグ及び前記バンクを介して前記各半導体メモリチップとの信号の授受を行うための端子とを具備することを特徴としている。

30

【0018】

請求項 11 に記載したように、請求項 10 に記載のメモリカードにおいて、前記接続プラグは、前記半導体基板における貫通孔の側壁に形成した絶縁膜と、前記貫通孔内に埋め込み形成され、前記絶縁膜によって前記半導体基板と電気的に分離された導電性の貫通プラグとを含んで構成されることを特徴とする。

40

【0019】

また、請求項 12 に記載したように、請求項 10 または 11 に記載のメモリカードにおいて、前記半導体基板上に、前記接続プラグと前記半導体基板中に集積形成されたメモリ回路とを電気的に接続する多層配線層を更に設けたことを特徴とする。

【0020】

請求項 1 のような構成によれば、同一構造の複数個の半導体チップを積層するので、異なる構造の半導体チップを複数種類製造する必要がなく、全ての半導体チップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体チップ間のバンクの接続パターンに応じて、前記各半導体チ

50

ップ内に設けたオプション回路を適宜選択することができる。更に、複数個の半導体チップを基板上に積層する際には、上記積層する半導体チップ間のバンプの接続パターンと、基板と最下層の半導体チップ間のバンプの接続パターンとに応じて、前記オプション回路を適宜選択することができる。

【0021】

請求項2に示すように、各半導体チップに対するアドレスの割り振りは、バンプの接続パターンにより選択的に決定できる。

請求項3のような構成によれば、同一構造の複数個の半導体チップを積層するので、異なる構造の半導体チップを複数種類製造する必要がなく、全ての半導体チップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体チップ間のバンプの接続パターンに応じて、複数個の半導体チップ間のアドレスの割り振りを指定できる。

10

【0022】

請求項4及び請求項5に示すように、各半導体チップとしては不揮発性半導体メモリチップ、例えばNAND型EEPROMを用いることができる。

請求項6に示すように、n個の半導体チップを積層したときには、(n-1)個の接続プラグを設ければ、各半導体チップ間のアドレスの割り振りを行うことができ、更に、請求項7に示すように、 $\lceil \log(n) / \log 2 \rceil$ 個のアドレス入力でn個の半導体チップの1つを選択することができる。

【0023】

20

請求項8に示すように、各接続プラグは、貫通孔の側壁に形成した絶縁膜と、貫通孔内に埋め込み形成し、この絶縁膜によって半導体基板と電気的に分離された導電性の貫通プラグとで構成できる。これによって、複数個の半導体チップを積層したときにもパッケージを薄型化できる。

【0024】

請求項9に示すように、接続プラグと半導体基板中に集積形成された素子とは、半導体基板上に形成した多層配線層で電気的に接続すれば良い。

更に、請求項10のような構成によれば、同一構造の複数個の半導体メモリチップを積層してカード状のパッケージに搭載するので、異なる構造の半導体メモリチップを複数種類製造する必要がなく、全ての半導体メモリチップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体メモリチップ間のバンプの接続パターンに応じて、複数個の半導体メモリチップ間のアドレスの割り振りを指定できる。更に、複数個の半導体メモリチップを積層して搭載するので、カードの平面面積が小さく、且つバンプを介在して複数個の半導体メモリチップを積層するので厚さが薄いメモリカードが得られる。

30

【0025】

請求項11に示すように、各接続プラグは、半導体基板における貫通孔の側壁に形成した絶縁膜と、貫通孔内に埋め込み形成し、この絶縁膜によって半導体基板と電気的に分離された導電性の貫通プラグとで構成できる。これによって、複数個の半導体メモリチップを積層したときにもカード状のパッケージを薄型化できる。

40

請求項12に示すように、接続プラグと半導体基板中に集積形成された素子とは、半導体基板上に形成した多層配線層で電気的に接続すれば良い。

【0026】

【発明の実施の形態】

まず、この発明の前提となる技術として、本出願人による特願平8-321931号に記載したマルチチップ半導体装置について説明する。図11は、上記マルチチップ半導体装置の断面構成図であり、2つの半導体チップ1-1, 1-2が積層された構成となっている(先願では種々の実施の形態について説明したが、ここでは説明を簡単にするために要旨のみを抽出して概略的に説明する)。各チップ1-1, 1-2はそれぞれ、大きく分けて、素子が集積形成されたシリコン基板2と、素子を所定の関係に接続するための多層配

50

線層 3 と、上記シリコン基板 2 を貫通し、各チップ 1 - 1 , 1 - 2 どうしを電氣的に接続するための接続プラグ 4 とで構成されている。上記接続プラグ 4 は、シリコン基板 2 における素子形成領域の外側に形成されており、このシリコン基板 2 における貫通孔 5 の側壁に形成した絶縁膜 4 a と、この絶縁膜 4 a によってシリコン基板 2 と電氣的に分離された状態で上記貫通孔 5 内に埋め込み形成された導電性の貫通プラグ 4 b とから構成されている。上記多層配線層 3 は、少なくとも 2 層以上の配線層 $3_1, 3_2, \dots, 3_m$ ($m \geq 2$) から成り、接続プラグ 4 の形成後に、例えば最上位の配線層 3_m で、シリコン基板 2 内の素子と接続プラグ 4 上のパッド 6 とが接続されている。また、各チップ 1 - 1 , 1 - 2 におけるパッド 6 の形成面の裏面側のシリコン基板 2 の貫通プラグ 4 以外の領域は絶縁膜 7 で被覆されている。上記チップ 1 - 1 の貫通プラグ 4 b は、半田バンプ (金属バンプ) 8 を介して、チップ 1 - 2 の多層配線層 3 に設けられたパッド 6 と電氣的に接続されている。これによって、チップ 1 - 1 とチップ 1 - 2 とが電氣的に接続される。

【0027】

この発明は、上述した先願の技術をもとに更に改良を加え、複数個の同一構成の半導体チップを積層し、各半導体チップ間の金属バンプの接続パターンに応じて、各半導体チップ内のオプション回路を選択させたものである。また、複数個の同一構成の半導体メモリチップを積層し、各半導体メモリチップ間の金属バンプの接続パターンに応じて、複数個の半導体メモリチップ間のアドレスの割り振りを指定するものである。更に、上記複数個積層した半導体メモリチップをカード状のパッケージに封止して、メモリカードを構成したものである。

【0028】

以下、この発明の実施の形態について図面を参照して説明する。

図 1 は、この発明の第 1 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、SSFDC (メモリカード) のカード状パッケージを透視して内部構成を概略的に示す斜視図である。このSSFDC 11 には、4 個の半導体メモリチップ、例えば NAND 型 EEPROM チップ 12 - 1 ~ 12 - 4 を積層した状態で搭載している。各チップ 12 - 1 ~ 12 - 4 はそれぞれ同一構造であり、基本的には上記図 11 に示したチップ 1 - 1 , 1 - 2 と同様に構成されている。13 - 1 ~ 13 - 4 はそれぞれ、SSFDC 11 の表面端子の一部を示しており、NAND 型 EEPROM の電源電圧、制御信号、アドレス及び入力データ等がこれらの表面端子 13 - 1 ~ 13 - 4 を介して各 NAND 型 EEPROM チップ 12 - 1 ~ 12 - 4 内に入力され、また、出力データ等がSSFDC 11 の外部に出力されるようになっている。

【0029】

図 2 は、上記図 1 に示したSSFDC 11 中の各半導体メモリチップ 12 - 1 ~ 12 - 4 を選択的に接続するための半田バンプ (金属バンプ) の接続パターンを示している。13 a ~ 13 e は、上記SSFDC 11 の表面端子 13 - 1 ~ 13 - 4 に接続される端子の一部を示しており、これらの端子 13 a ~ 13 e にはそれぞれ、接地電圧 V_{SS} 、第 1 のチップ選択信号 / CE 1、第 2 のチップ選択信号 / CE 2、第 3 のチップ選択信号 / CE 3 及び第 4 のチップ選択信号 / CE 4 が供給される。上記半導体メモリチップ 12 - 1 の接続プラグ 4 - 1 ~ 4 - 3 はそれぞれ、半田バンプ 8 - 1 ~ 8 - 3 によって端子 13 a に共通接続され、接続プラグ 4 - 4 ~ 4 - 7 はそれぞれ半田バンプ 8 - 4 ~ 8 - 7 によって端子 13 b , 13 c , 13 d , 13 e に接続される。上記半導体メモリチップ 12 - 2 の接続プラグ 4 - 1 , 4 - 2 はそれぞれ、半田バンプ 8 - 1 , 8 - 2 によって半導体メモリチップ 12 - 1 の接続プラグ及び半田バンプを介して端子 13 a に共通接続され、接続プラグ 4 - 5 ~ 4 - 7 はそれぞれ半田バンプ 8 - 5 ~ 8 - 7 によって半導体メモリチップ 12 - 1 の接続プラグ及び半田バンプを介して端子 13 c , 13 d , 13 e に接続される。また、上記半導体メモリチップ 12 - 3 の接続プラグ 4 - 1 は、半田バンプ 8 - 1 によって半導体メモリチップ 12 - 2 , 12 - 1 の接続プラグ及び半田バンプを介して端子 13 a に接続され、接続プラグ 4 - 6 , 4 - 7 はそれぞれ半田バンプ 8 - 6 , 8 - 7 によって半導体メモリチップ 12 - 2 , 12 - 1 の接続プラグ及び半田バンプを介して端子 13

10

20

30

40

50

d, 13eに接続される。更に、上記半導体メモリチップ12-4の接続プラグ4-7はそれぞれ半田バンプ8-7によって半導体メモリチップ12-3, 12-2, 12-1の接続プラグ及び半田バンプを介して端子13eに接続される。

【0030】

これによって、半導体チップ12-1には、信号A, B, Cとして接地電圧 V_{ss} 、チップ選択信号として/CE1, /CE2, /CE3, /CE4が供給される。半導体チップ12-2には、信号A, Bとして接地電圧 V_{ss} 、チップ選択信号として/CE2, /CE3, /CE4が供給される。また、半導体チップ12-3には、信号Aとして接地電圧 V_{ss} 、チップ選択信号として/CE3, /CE4が供給される。更に、半導体チップ12-4には、信号A, B, Cはいずれも供給されず、チップ選択信号として/CE4が供給される。

10

【0031】

図3は、上記図2に示した各半導体メモリチップ12-1~12-4中の一部の具体的な回路構成を示している。この回路は、信号A, B, C, /CE1, /CE2, /CE3, /CE4によって、半導体メモリチップ12-1~12-4のいずれが選択されたかを検知し、選択されたチップを活性化するものである。図3において、 V_{cc} は電源電圧、 V_{ss} は接地電圧、21-1~21-3は抵抗、22-1~22-15はインバータ回路、23-1~23-4は3入力ナンド回路、24-1~24-4は2入力ナンド回路、25は4入力ノア回路をそれぞれ示しており、半田バンプ8-1~8-3はスイッチ20-1~20-3の記号で表現している。

20

【0032】

信号A, B, Cが供給されるパッド6-1, 6-2, 6-3(図2の接続プラグ4-1, 4-2, 4-3上に位置するパッド)と接地点 V_{ss} 間にはそれぞれ、スイッチ20-1, 20-2, 20-3で等価的に表現するように、半田バンプが選択的に設けられている。すなわち、半田バンプを設けた場合にはスイッチがオンで接地電圧 V_{ss} が印加され、設けない場合にはスイッチがオフでオープン状態である。上記各パッド6-1, 6-2, 6-3と電源電圧 V_{cc} 間にはそれぞれ、高抵抗値の抵抗21-1, 21-2, 21-3が接続されている。また、上記各パッド6-1, 6-2, 6-3にはそれぞれ、インバータ回路22-1, 22-2, 22-3の入力端が接続され、これらインバータ回路22-1, 22-2, 22-3の出力端はナンド回路23-1の入力端に接続される。上記各パッド6-1, 6-2にはそれぞれ、インバータ回路22-4, 22-5の入力端が接続され、これらインバータ回路22-4, 22-5の出力端と上記パッド6-3とがナンド回路23-2の入力端に接続される。上記パッド6-1にはインバータ回路22-6の入力端が接続され、このインバータ回路22-6の出力端と上記パッド6-2, 6-3とがナンド回路23-3の入力端に接続される。更に、上記パッド6-1, 6-2, 6-3は、ナンド回路23-4の入力端に接続される。

30

【0033】

上記ナンド回路23-1の出力端にはインバータ回路22-7の入力端が接続され、このインバータ回路22-7の出力端がナンド回路24-1の一方の入力端に接続される。上記ナンド回路24-1の他方の入力端には、チップ選択信号/CE1が入力されるパッド6-4が接続される。また、上記ナンド回路23-2の出力端にはインバータ回路22-8の入力端が接続され、このインバータ回路22-8の出力端がナンド回路24-2の一方の入力端に接続される。上記ナンド回路24-2の他方の入力端には、チップ選択信号/CE2が入力されるパッド6-5が接続される。同様に、上記ナンド回路23-3の出力端にはインバータ回路22-9の入力端が接続され、このインバータ回路22-9の出力端がナンド回路24-3の一方の入力端に接続される。上記ナンド回路24-3の他方の入力端には、チップ選択信号/CE3が入力されるパッド6-6が接続される。更に、上記ナンド回路23-4の出力端にはインバータ回路22-10の入力端が接続され、このインバータ回路22-10の出力端がナンド回路24-4の一方の入力端に接続される。上記ナンド回路24-4の他方の入力端には、チップ選択信号/CE4が入力されるパ

40

50

ッド6 - 7が接続される。

【0034】

上記各ナンド回路24 - 1 ~ 24 - 4の出力端には、インバータ回路22 - 11 ~ 22 - 14の入力端が接続され、これらインバータ回路22 - 11 ~ 22 - 14の出力端はそれぞれノア回路25の入力端に接続される。そして、このノア回路25の出力端にインバータ回路22 - 15の入力端が接続され、このインバータ回路22 - 15の出力端からチップ選択信号/CEを得るようになっている。

【0035】

ここで、上記インバータ回路22 - 11の論理出力は $\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{CE1}$ 、上記インバータ回路22 - 12の論理出力は $\overline{A} \cdot \overline{B} \cdot C \cdot \overline{CE2}$ 、上記インバータ回路22 - 13の論理出力は $\overline{A} \cdot B \cdot C \cdot \overline{CE3}$ 、上記インバータ回路22 - 14の論理出力は $A \cdot B \cdot C \cdot \overline{CE4}$ である。

【0036】

なお、上記抵抗21 - 1 ~ 21 - 3としては、チャンネル幅Wが小さく、チャンネル長Lが長いMOSトランジスタを用いると良い。あるいは図4に示すように複数のMOSトランジスタを直列接続して構成すると良い。その理由は、半田バンプ8 - 1 ~ 8 - 3を介して接地する際に、電源電圧 V_{cc} から接地電圧 V_{ss} へ定常的に流れる貫通電流を低減できるからである。図4では、上記抵抗21 - 1 ~ 21 - 3としてPチャンネル型MOSトランジスタ $Tr1 \sim Tr5$ を用い、そのゲートを接地して5段直列接続した例を示している。

【0037】

図3の回路に従えば、スイッチ20 - 1, 20 - 2, 20 - 3がオン状態で信号A, B, Cが全て接地電圧 V_{ss} のチップ、すなわち図2のチップ12 - 1は第1のチップ選択信号/CE1で制御されて活性化される。また、スイッチ20 - 1, 20 - 2がオン状態で信号A, Bが共に接地電圧 V_{ss} 、且つスイッチ20 - 3がオフ状態で信号Cが電源電圧 V_{cc} のチップ、すなわち図2のチップ12 - 2は第2のチップ選択信号/CE2で制御されて活性化される。スイッチ20 - 1がオン状態で信号Aが接地電位 V_{ss} 、且つスイッチ20 - 2, 20 - 3がオフ状態で信号B, Cが共に電源電圧 V_{cc} のチップ、すなわち図2のチップ12 - 3は第3のチップ選択信号/CE3で制御されて活性化される。更に、スイッチ20 - 1, 20 - 2, 20 - 3がオフ状態で信号A, B, Cが全て電源電圧 V_{cc} のチップ、すなわち図2のチップ12 - 4は第4のチップ選択信号/CE4で制御されて活性化される。このようすを下表1に纏めて示す。

【0038】

【表1】

A	B	C	\overline{CE}	チップ
$V_{ss}(0)$	$V_{ss}(0)$	$V_{ss}(0)$	$\overline{CE1}$	チップ12-1
$V_{ss}(0)$	$V_{ss}(0)$	$V_{cc}(1)$	$\overline{CE2}$	チップ12-2
$V_{ss}(0)$	$V_{cc}(1)$	$V_{cc}(1)$	$\overline{CE3}$	チップ12-3
$V_{cc}(1)$	$V_{cc}(1)$	$V_{cc}(1)$	$\overline{CE4}$	チップ12-4

【0039】

表1において、 $V_{ss}(0)$ は半田バンプ8 - 1 ~ 8 - 3のいずれかが設けられ(スイッチ20 - 1 ~ 20 - 3がオン状態に相当する)、対応するパッド6 - 1 ~ 6 - 3のいずれかが接地されている場合を示しており、 $V_{cc}(1)$ は半田バンプ8 - 1 ~ 8 - 3を設け

10

20

30

40

50

ず（スイッチ 20 - 1 ~ 20 - 3 がオフ状態に相当する）、パッド 6 - 1 ~ 6 - 3 のいずれかが高抵抗値の抵抗 21 - 1 ~ 21 - 3 を介して電源電圧 V_{cc} でバイアスされている状態を示している。パッド 6 - 1 ~ 6 - 3 に半田バンプを設けない時には、これらのパッドは抵抗 21 - 1 ~ 21 - 3 を介して電源電圧 V_{cc} でバイアスされる。よって、半田バンプを設けるか否かに応じて信号 A, B, C のレベルを設定でき、半田バンプの接続パターンに応じて半導体メモリチップ 12 - 1 ~ 12 - 4 を自由に選択できる。

【0040】

なお、積層する半導体メモリチップの数を n とするとき、接続プラグは少なくとも $(n - 1)$ 個設ければ n 個の半導体メモリチップ間のアドレスの割り振りを行うことができる。

【0041】

上記のような構成によれば、同一構造の複数個の半導体メモリチップを積層してカード状のパッケージに搭載するので、異なる構造の半導体メモリチップを複数種類製造する必要がなく、全ての半導体メモリチップに対して同じテストを行うことができ、積層する順番も考慮する必要がないので、製造コストを低減できる。また、積層する半導体メモリチップ間の金属バンプの接続パターンに応じて、複数個の半導体メモリチップ間のアドレスの割り振りを指定できる。複数個の半導体メモリチップを積層して搭載するので、カードの平面面積が小さく、且つ金属バンプを介在して複数個の半導体メモリチップを積層するので厚さが薄いメモリカードが得られる。

【0042】

図 5 は、この発明の第 2 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、半田バンプの他の接続パターンを示している。図 5 において上記図 2 と同一構成部分には同じ符号を付しており、この第 2 の実施の形態では図 2 における全ての半導体メモリチップ 12 - 1 ~ 12 - 4 に半田バンプ 8 - 4 ~ 8 - 7 を設け、チップ選択信号 /CE1 ~ /CE4 を全ての半導体メモリチップ 12 - 1 ~ 12 - 4 に供給するように接続したものである。

【0043】

このような半田バンプの接続パターンであっても、信号 A, B, C で各半導体メモリチップ 12 - 1 ~ 12 - 4 の選択が可能であるので、チップ選択には何等支障はなく、第 1 の実施の形態と同様な選択が行え、同じ作用効果が得られる。またこれによって、4 個のメモリチップ 12 - 1 ~ 12 - 4 のアドレスの割り振りを半田バンプの接続パターンで指定 30 するためには、本質的に 3 個の接続プラグ 4 - 1 ~ 4 - 3 が設けられていれば良いことがわかる。

【0044】

図 6 ないし図 8 はそれぞれ、この発明の第 3 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図 6 は半田バンプの更に他の接続パターンを示している。この図 6 では、図 2 と同様に 4 個の半導体メモリチップ 32 - 1 ~ 32 - 4 を積層して構成した半導体メモリ装置における具体的な半田バンプ 34 の接続パターンを示している。33a, 33b, 33c は SSFDC の表面端子へ接続する端子の一部を示しており、これらの端子 33a, 33b, 33c にはそれぞれ接地電圧 V_{ss} とアドレス信号 A0, A1 が入力される。上記半導体メモリチップ 32 - 1 の接続プラグ 34 - 1 ~ 34 - 3 は 40 それぞれ、半田バンプ 38 - 1 ~ 38 - 3 によって端子 33a に共通接続され、接続プラグ 34 - 4, 34 - 5 はそれぞれ半田バンプ 38 - 4, 38 - 5 によって端子 33b, 33c に接続される。上記半導体メモリチップ 32 - 2 の接続プラグ 34 - 1, 34 - 2 はそれぞれ、半田バンプ 38 - 1, 38 - 2 によって半導体メモリチップ 32 - 1 の接続プラグ及び半田バンプを介して端子 33a に共通接続され、接続プラグ 34 - 4, 34 - 5 はそれぞれ半田バンプ 38 - 4, 38 - 5 によって半導体メモリチップ 12 - 1 の接続プラグ及び半田バンプを介して端子 33b, 33c に接続される。また、上記半導体メモリチップ 32 - 3 の接続プラグ 34 - 1 は、半田バンプ 38 - 1 によって半導体メモリチップ 32 - 2, 32 - 1 の接続プラグ及び半田バンプを介して端子 33a に接続され、接続プラグ 34 - 4, 34 - 5 はそれぞれ半田バンプ 38 - 4, 38 - 5 によって半導体メモ 50

10

20

30

40

50

リチップ 32 - 2 , 32 - 1 の接続プラグ及び半田バンプを介して端子 33 b , 13 c に接続される。更に、上記半導体メモリチップ 32 - 4 の接続プラグ 34 - 4 , 34 - 5 はそれぞれ半田バンプ 38 - 4 , 38 - 5 によって半導体メモリチップ 32 - 3 , 32 - 2 , 32 - 1 の接続プラグ及び半田バンプを介して端子 33 b , 33 c に接続される。

【 0045 】

これによって、半導体メモリチップ 32 - 1 には信号 A , B , C として接地電圧 V_{SS} 、半導体チップ 32 - 2 には信号 A , B として接地電圧 V_{SS} 、半導体チップ 32 - 3 には信号 A として接地電圧 V_{SS} がそれぞれ供給される。半導体チップ 32 - 4 には、信号 A , B , C はいずれも供給されない。また、各半導体メモリチップ 32 - 1 ~ 32 - 4 にはそれぞれアドレス信号 A_0 , A_1 が共通に入力される。

10

【 0046 】

図 7 及び図 8 は、上記図 6 に示した各半導体メモリチップ 32 - 1 ~ 32 - 4 中の一部の具体的な回路構成を示している。図 7 及び図 8 において、 V_{CC} は電源電圧、 V_{SS} は接地電圧、41 - 1 ~ 41 - 3 は抵抗、42 - 1 ~ 42 - 14 , 48 - 1 ~ 48 - 4 はインバータ回路、43 - 1 ~ 43 - 4 は 3 入力ナンド回路、44 - 1 ~ 44 - 4 , 47 - 1 ~ 47 - 4 は 2 入力ナンド回路、45 - 1 , 45 - 2 はアドレスバッファ回路をそれぞれ示しており、半田バンプはスイッチ 40 - 1 ~ 40 - 3 の記号で表現している。

【 0047 】

図 7 に示すように、信号 A , B , C が供給されるパッド 46 - 1 , 46 - 2 , 46 - 3 と接地点 V_{SS} 間にはそれぞれ、スイッチ 40 - 1 , 40 - 2 , 40 - 3 で等価的に表現するように、半田バンプが選択的に設けられている。半田バンプを設けた場合にはスイッチがオン、設けない場合にはスイッチがオフである。上記各パッド 46 - 1 , 46 - 2 , 46 - 3 と電源 V_{CC} 間にはそれぞれ、高抵抗値の抵抗 41 - 1 , 41 - 2 , 41 - 3 が接続されている。上記各パッド 46 - 1 , 46 - 2 , 46 - 3 にはそれぞれ、インバータ回路 42 - 1 , 42 - 2 , 42 - 3 の入力端が接続され、これらインバータ回路 42 - 1 , 42 - 2 , 42 - 3 の出力端はナンド回路 43 - 1 の入力端に接続される。また、上記各パッド 46 - 1 , 46 - 2 にはそれぞれ、インバータ回路 42 - 4 , 42 - 5 の入力端が接続され、これらインバータ回路 42 - 4 , 42 - 5 の出力端と上記パッド 46 - 3 とがナンド回路 43 - 2 の入力端に接続される。上記パッド 46 - 1 にはインバータ回路 42 - 6 の入力端が接続され、このインバータ回路 42 - 6 の出力端と上記パッド 46 - 2 , 46 - 3 とがナンド回路 43 - 3 の入力端に接続される。更に、上記パッド 46 - 1 , 46 - 2 , 46 - 3 は、ナンド回路 43 - 4 の入力端に接続される。

20

30

【 0048 】

上記ナンド回路 43 - 1 の出力端にはインバータ回路 42 - 7 の入力端が接続され、このインバータ回路 42 - 7 の出力端がナンド回路 44 - 1 の一方の入力端に接続される。上記ナンド回路 44 - 1 の他方の入力端には、アドレス信号 A_0 / A_1 が供給される。また、上記ナンド回路 43 - 2 の出力端にはインバータ回路 42 - 8 の入力端が接続され、このインバータ回路 42 - 8 の出力端がナンド回路 44 - 2 の一方の入力端に接続される。上記ナンド回路 44 - 2 の他方の入力端には、アドレス信号 A_0 / A_1 が供給される。同様に、上記ナンド回路 43 - 3 の出力端にはインバータ回路 42 - 9 の入力端が接続され、このインバータ回路 42 - 9 の出力端がナンド回路 44 - 3 の一方の入力端に接続される。上記ナンド回路 44 - 3 の他方の入力端には、アドレス信号 A_0 / A_1 が供給される。更に、上記ナンド回路 43 - 4 の出力端にはインバータ回路 42 - 10 の入力端が接続され、このインバータ回路 42 - 10 の出力端がナンド回路 44 - 4 の一方の入力端に接続される。上記ナンド回路 44 - 4 の他方の入力端には、アドレス信号 A_0 / A_1 が供給される。

40

【 0049 】

上記ナンド回路 44 - 1 の出力端には、インバータ回路 42 - 11 の入力端が接続され、このインバータ回路 42 - 11 の出力端から論理信号 A / B / C / A_0 / A_1 が出力される。また、上記ナンド回路 44 - 2 の出力端には、インバータ回路 42 - 12

50

の入力端が接続され、このインバータ回路 42 - 12 の出力端から論理信号 $\neg A \cdot \neg B \cdot C \cdot A_0 \cdot \neg A_1$ が出力される。上記ナンド回路 44 - 3 の出力端には、インバータ回路 42 - 13 の入力端が接続され、このインバータ回路 42 - 13 の出力端から論理信号 $\neg A \cdot B \cdot C \cdot \neg A_0 \cdot A_1$ が出力される。更に、上記ナンド回路 44 - 4 の出力端には、インバータ回路 42 - 14 の入力端が接続され、このインバータ回路 42 - 14 の出力端から論理信号 $A \cdot B \cdot C \cdot A_0 \cdot A_1$ が出力される。

【0050】

すなわち、上記インバータ回路 42 - 11 の出力信号は $\neg A \cdot \neg B \cdot \neg C \cdot \neg A_0 \cdot \neg A_1$ 、上記インバータ回路 42 - 12 の出力信号は $\neg A \cdot \neg B \cdot C \cdot A_0 \cdot \neg A_1$ 、上記インバータ回路 42 - 13 の出力信号は $\neg A \cdot B \cdot C \cdot \neg A_0 \cdot A_1$ 、上記インバータ回路 42 - 14 の出力信号は $A \cdot B \cdot C \cdot A_0 \cdot A_1$ である。

10

【0051】

図 8 は、上記図 7 に示したナンド回路 44 - 1 ~ 44 - 4 に信号 $\neg A_0 \cdot \neg A_1$ 、 $A_0 \cdot \neg A_1$ 、 $\neg A_0 \cdot A_1$ 、及び $A_0 \cdot A_1$ を供給する信号生成回路を示している。アドレス信号 A_0 、 A_1 がそれぞれ入力されるパッド 46 - 4、46 - 5 にはそれぞれ、アドレスバッファ回路 45 - 1、45 - 2 の入力端が接続される。これらアドレスバッファ回路 45 - 1、45 - 2 から出力される信号 $\neg A_0$ 、 A_0 、 $\neg A_1$ 、 A_1 はそれぞれ、ナンド回路 47 - 1 ~ 47 - 4 に選択的に供給される。すなわち、ナンド回路 47 - 1 の一方の入力端にはアドレスバッファ回路 45 - 1 の $\neg A_0$ 出力端が接続され、他方の入力端にはアドレスバッファ回路 45 - 2 の $\neg A_1$ 出力端が接続される。ナンド回路 47 - 2 の一方の入力端にはアドレスバッファ回路 45 - 1 の A_0 出力端が接続され、他方の入力端にはアドレスバッファ回路 45 - 2 の $\neg A_1$ 出力端が接続される。また、ナンド回路 47 - 3 の一方の入力端にはアドレスバッファ回路 45 - 1 の $\neg A_0$ 出力端が接続され、他方の入力端にはアドレスバッファ回路 45 - 2 の A_1 出力端が接続される。更に、ナンド回路 47 - 4 の一方の入力端にはアドレスバッファ回路 45 - 1 の A_0 出力端が接続され、他方の入力端にはアドレスバッファ回路 45 - 2 の A_1 出力端が接続される。そして、上記各ナンド回路 47 - 1 ~ 47 - 4 の出力端がそれぞれインバータ回路 48 - 1 ~ 48 - 4 の入力端に接続され、インバータ回路 48 - 1 の出力端から論理信号 $\neg A_0 \cdot \neg A_1$ が出力されて上記ナンド回路 44 - 1 の他方の入力端に、インバータ回路 48 - 2 の出力端から論理信号 $A_0 \cdot \neg A_1$ が出力されて上記ナンド回路 44 - 2 の他方の入力端に、インバータ回路 48 - 3 の出力端から論理信号 $\neg A_0 \cdot A_1$ が出力されて上記ナンド回路 44 - 3 の他方の入力端に、及びインバータ回路 48 - 4 の出力端から論理信号 $A_0 \cdot A_1$ が出力されて上記ナンド回路 44 - 4 の他方の入力端にそれぞれ供給される。

20

30

【0052】

上記図 7 及び図 8 の回路に従えば、信号 A 、 B 、 C が全て接地電圧 V_{SS} のチップ、すなわち図 6 のチップ 32 - 1 はアドレス信号 $A_0 = 0$ 、 $A_1 = 0$ で選択され、信号 A 、 B が接地電圧 V_{SS} で信号 C が電源電圧 V_{CC} のチップ、すなわちチップ 32 - 2 はアドレス信号 $A_0 = 1$ 、 $A_1 = 0$ で選択される。また、信号 A が接地電圧 V_{SS} で信号 B 、 C が電源電圧 V_{CC} のチップ、すなわちチップ 32 - 3 はアドレス信号 $A_0 = 0$ 、 $A_1 = 1$ で選択され、信号 A 、 B 、 C が全て電源電圧 V_{CC} のチップ、すなわちチップ 32 - 4 はアドレス信号 $A_0 = 1$ 、 $A_1 = 1$ で選択される。このようすを下表 2 に纏めて示す。

40

【0053】

【表 2】

A	B	C	(A0, A1)	チップ
V _{SS} (0)	V _{SS} (0)	V _{SS} (0)	(0, 0)	チップ32-1
V _{SS} (0)	V _{SS} (0)	V _{CC} (1)	(0, 1)	チップ32-2
V _{SS} (0)	V _{CC} (1)	V _{CC} (1)	(1, 0)	チップ32-3
V _{CC} (1)	V _{CC} (1)	V _{CC} (1)	(1, 1)	チップ32-4

10

【0054】

表2において、V_{SS}(0)は半田バンプ38-1~38-3のいずれかが設けられ(スイッチ20-1~20-3がオン状態に相当する)、対応するパッド36-1~36-3のいずれかが接地されている場合を示しており、V_{CC}(1)は半田バンプ38-1~38-3を設けず(スイッチ20-1~20-3がオフ状態に相当する)、パッド36-1~36-3のいずれかが高抵抗値の抵抗31-1~31-3を介して電源電圧V_{CC}でバイアスされている状態を示している。パッド36-1~36-3に半田バンプを設けない時には、これらのパッドは図3に示した回路と同様に抵抗31-1~31-3を介して電源電圧V_{CC}でバイアスされる。これによって、半田バンプを設けるか否かに応じて信号A, B, Cのレベルを設定でき、これらの信号A, B, Cとアドレス信号A0, A1とにより半導体メモリチップ32-1~32-4を自由に選択できる。

20

【0055】

なお、積層する半導体メモリチップの数をnとするとき、接続プラグを少なくとも(n-1)個設けてn個の半導体メモリチップ間のアドレスの割り振りを行い、 $\lceil \log(n) / \log 2 \rceil$ 個のアドレス入力でこれらn個の半導体チップの1つを選択することができる。

【0056】

更に、図1及び図2に示した構造において、半導体メモリチップ12-1~12-4を、図9に示すような半導体システムチップ100に替えても良い。図9では、チップ100中に設けられているオプション回路A~Dが半田バンプの接続パターンで選択される。その手法は図2に示した方法と同様である。また、図10に示すように、半導体チップ200の一部にオプション回路群210を設け、その中のオプション回路A'~D'を半田バンプの接続パターンで選択した場合でもこの発明は有効である。ここでのオプション回路A'~D'としては、例えば入/出力データのビット数を決めるビット構成設定回路や、半導体メモリチップの変則ブロックを指定するアドレスの回し方(TOP/BOTTOM)の切り替え回路であっても良く、この場合、積層する全半導体メモリチップにおいて、全て同一のオプション回路A'~D'が半田バンプの接続パターンで選択されても構わない。すなわち、この発明によれば、半導体基板を貫通する貫通孔内に接続プラグが形成された構造を有する複数枚の同一チップを積層する際に、積層するチップ間及びマルチチップ半導体装置を搭載する基板と最下層のチップ間の金属バンプの接続パターンに応じて、各チップ内のオプション回路を選択させたマルチチップ半導体装置も提供できる。特に、同一のメモリチップを複数枚用いて、積層チップ間及びマルチチップ半導体装置を搭載する基板と最下層のチップ間の金属バンプの接続パターンを変えることのみで、大容量、多機能のマルチチップ半導体装置を提供できる。

30

40

【0057】

なお、上記各実施の形態では、半導体メモリチップを複数個積層して搭載する場合を例に取って説明したが、メモリ回路とロジック回路の混載チップやメモリ以外の他の半導体チップも搭載できるのは勿論である。

50

【 0 0 5 8 】

【 発 明 の 効 果 】

以上説明したように、この発明によれば、製造コストの上昇を抑制しつつ、平面面積が小さく、構造が単純で且つ厚さが薄いマルチチップ半導体装置及びメモリカードが得られる。

【 図 面 の 簡 単 な 説 明 】

【 図 1 】 この発明の第 1 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、SSFDCのカード状パッケージを透視して内部構成を概略的に示す斜視図。

【 図 2 】 図 1 に示したSSFDC中の各半導体メモリチップを選択的に接続するための半田バンプの接続パターンを示す断面図。 10

【 図 3 】 図 2 に示した各半導体メモリチップ中の一部の具体的な回路構成を示す図。

【 図 4 】 図 3 に示した回路における抵抗値の高い抵抗の構成例を示す回路図。

【 図 5 】 この発明の第 2 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、半田バンプの他の接続パターンを示す断面図。

【 図 6 】 この発明の第 3 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、半田バンプの更に他の接続パターンを示す断面図。

【 図 7 】 この発明の第 3 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図 6 に示した各半導体メモリチップ中の一部の具体的な回路構成を示す図。

【 図 8 】 この発明の第 3 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図 6 に示した各半導体メモリチップ中の一部の具体的な回路構成を示す図。 20

【 図 9 】 この発明の第 4 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図 1 及び図 2 に示した構造において、半導体メモリチップに代えて設ける半導体システムチップを示す図。

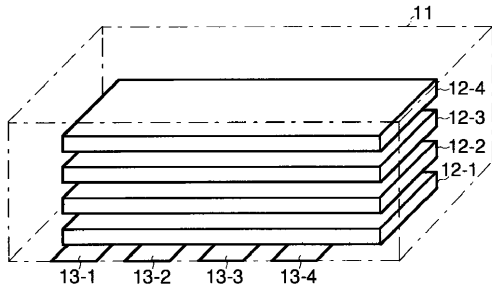
【 図 1 0 】 この発明の第 5 の実施の形態に係るマルチチップ半導体装置について説明するためのもので、図 1 及び図 2 に示した構造において、半導体メモリチップに代えて設ける、オプション回路群を備えた半導体チップを示す図。

【 図 1 1 】 この発明の前提となる技術について説明するためのもので、本出願人による先願に記載したマルチチップ半導体装置の断面構成図。

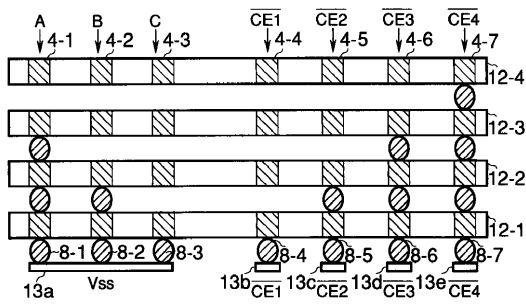
【 符 号 の 説 明 】

3 ... 多層配線層、4 - 1 ~ 4 - 7 ... 接続プラグ、4 a ... 絶縁膜、4 b ... 貫通プラグ、5 ... 貫通孔、6 - 1 ~ 6 - 3 ... パッド、8 - 1 ~ 8 - 7 ... 半田バンプ、1 1 ... SSFDC、1 2 - 1 ~ 1 2 - 4 ... NAND型EEPROMチップ、1 3 - 1 ~ 1 3 - 4 ... 表面端子、1 3 a ~ 1 3 e ... 端子、A, B, C ... 信号、/CE 1 ~ /CE 4 ... チップ選択信号、Vcc ... 電源電圧、Vss ... 接地電圧、2 0 - 1 ~ 2 0 - 3, 4 0 - 1 ~ 4 0 - 3 ... スイッチ、2 1 - 1 ~ 2 1 - 3, 4 1 - 1 ~ 4 1 - 3 ... 抵抗、2 2 - 1 ~ 2 2 - 1 5, 4 2 - 1 ~ 4 2 - 1 4, 4 8 - 1 ~ 4 8 - 4 ... インバータ回路、2 3 - 1 ~ 2 3 - 4, 4 3 - 1 ~ 4 3 - 4 ... 3入力ナンド回路、2 4 - 1 ~ 2 4 - 4, 4 4 - 1 ~ 4 4 - 4, 4 7 - 1 ~ 4 7 - 4 ... 2入力ナンド回路、2 5 ... 4入力ノア回路。 30

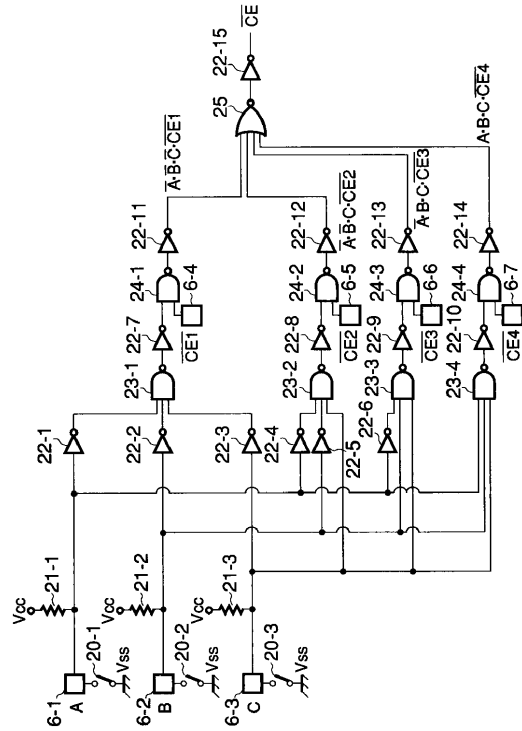
【 図 1 】



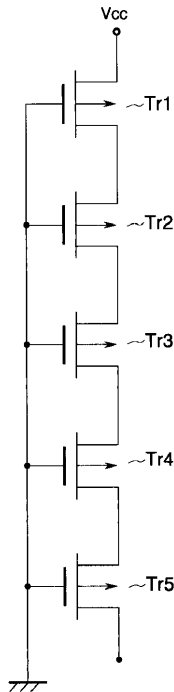
【 図 2 】



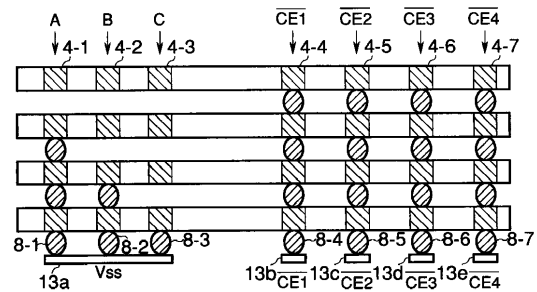
【 図 3 】



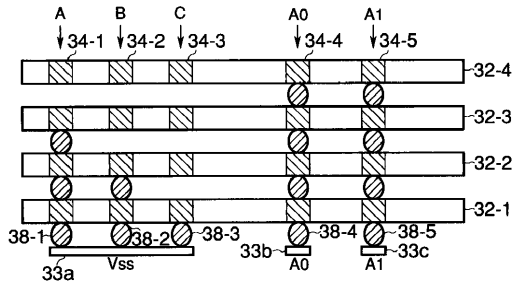
【 図 4 】



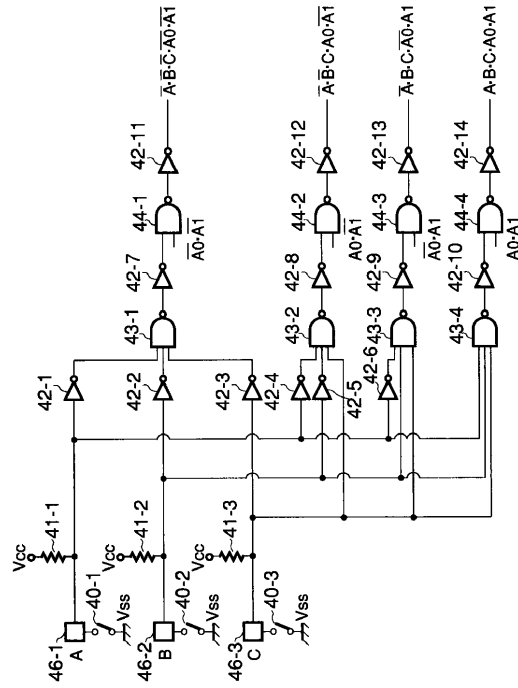
【 図 5 】



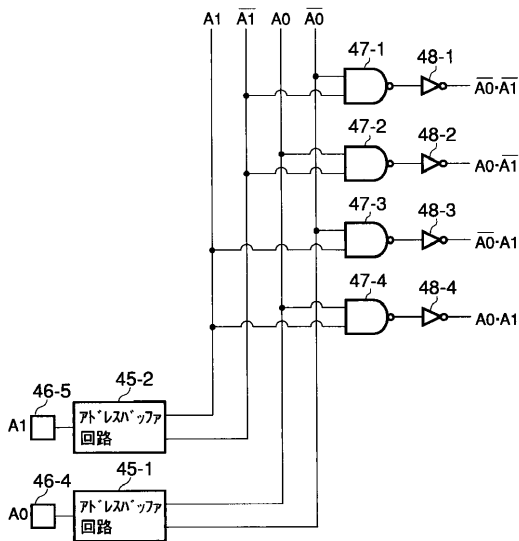
【 図 6 】



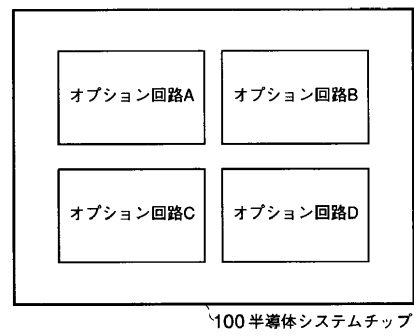
【 図 7 】



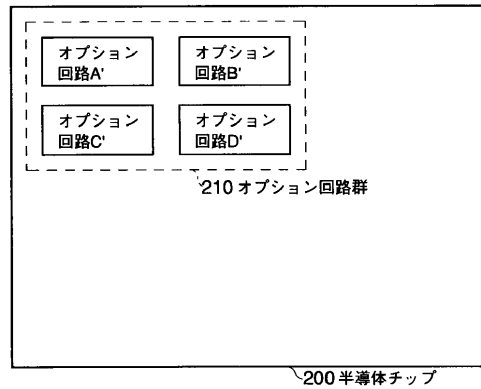
【 図 8 】



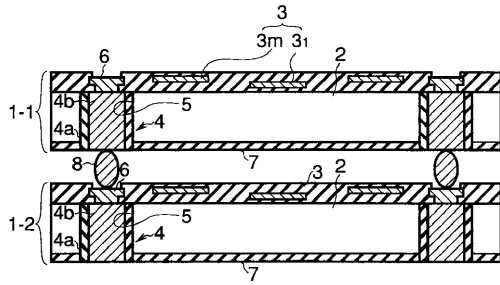
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl.⁷ F I
H 0 1 L 27/115

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 作井 康司

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 宮本 順一

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 早坂 伸夫

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 奥村 勝弥

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

審査官 今井 拓也

(56)参考文献 特開平05-063137(JP,A)

特開平04-356956(JP,A)

特開平05-283606(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/8247

H01L 27/10

H01L 27/115