

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 29/49

(45) 공고일자 2005년05월16일
(11) 등록번호 10-0468070
(24) 등록일자 2005년01월15일

(21) 출원번호	10-1998-0701376	(65) 공개번호	10-1999-0044143
(22) 출원일자	1998년02월25일	(43) 공개일자	1999년06월25일
번역문 제출일자	1998년02월25일		
(86) 국제출원번호	PCT/IB1996/000929	(87) 국제공개번호	WO 1997/08755
국제출원일자	1996년08월08일	국제공개일자	1997년03월06일

(81) 지정국

국내특허 : 아일랜드, 중국, 일본,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 펠마크, 스페인, 프랑스, 영국, 그리스, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,

(30) 우선권주장 08/519,669 1995년08월25일 미국(US)

(73) 특허권자 지멘스 암티엔게젤샤프트
독일 뮌헨 80333 비멜스파히프라츠 2

(72) 발명자 슈발케, 우도
독일 데-84431 헬덴슈타인 게베르베슈트라쎄 22
한취, 빌프리트
미국 05403 버몬트 싸우쓰 벌링턴 아이리스 레인 3

(74) 대리인 남상선

심사관 : 조지은

(54) CMOS오프상태에서 게이트산화물의 전계가 감소된 서브미크론 MOSFET 반도체 소자 및 그 제조방법

요약

MOSFET 소자는 접합 영역 상의 산화물 전계를 감소하기 위해 게이트 공급 효과를 사용한다. 게이트 공급 효과가 n⁺ 게이트 PMOS 소자와 p⁺ 게이트 NMOS 소자에 대한 비도전의 오프 상태에 존재하기 때문에, 성능 저하는 극복된다. 게이트의 도핑 레벨은 중요하다. 도전의 온 상태에서 게이트 공급을 방지하기 위하여, NMOS FET은 고도된 n⁺ 게이트를 사용하여야 한다. PMOS FET n⁺ 게이트는 비도전의 오프 상태에서 게이트 공급의 장점을 사용하기 위해 비축퇴적으로 도핑되어야 한다. 이것은 서로 다른 게이트내에 서로 다른 도우즈의 동일한 도판트 타입을 주입함으로써 달성된다. 상기 MOSFET 소자는 n⁺ 게이트 PMOS FET 소자와 p⁺ 게이트 NMOS FET에 대해 균일하게 잘 충족될 수 있다.

대표도

도 4

명세서

기술분야

본 발명은 반도체 소자에 관한 것으로서, 특히 개선된 소자 신뢰성을 가지는 금속 산화물 반도체 전계 효과 트랜지스터에 관한 것이다.

배경기술

전형적 CMOS 회로 응용에서는 매우 낮은 대기(standby) 전력이 제공될 수 있다. 회로내 전류는 전이 상태가 발생할 때에만 흐른다. 이런 특징은 CMOS 구조에서의 전력 소모(dissipation) 관리를 매우 용이하게 한다. n-채널 MOS 소자에 있어서 전류 캐리어는 전자인 반면, p-채널 MOS의 캐리어는 정공이다. MOS 트랜지스터에는 4개의 개별 영역 또는 단자: 소스, 드레인, 게이트 및 기판이 존재한다. 정상 상태 동작에서, 기판에 대하여 측정되는 소스, 드레인, 및 게이트 전압은 n 채널 소자에서는 양이고 p 채널 소자에서는 음이다. 어떤 상태에서도 하나의 트랜지스터만이 온(on)되고 다른 트랜지스터는 오프(off)되기 때문에, 출력은 항상 전력 공급원 레일 중 하나에 접속된다. 이것은 정적 NMOS 구조에서 로직 스윙이 소자의 유효 임피던스 비율에 의해서 결정되지 않고 전력 공급원에 의해서만 결정되는 것을 보장한다.

반도체 기술에서, 다결정 실리콘(폴리실리콘)은 게이트 전극으로서 매우 빈번히 사용된다. 폴리실리콘은 게이트 전극과 소스/드레인 영역이 동일한 마스킹 단계에 의해 한정되는 자기정렬(self-registering) MOS 프로세스에 특히 적당한 재료라는 사실로 인해 폴리실리콘은 회로 배선과 게이트 전극을 위해 사용된다.

서브미크론 MOSFET의 구현에 있어서, 얇은 유전체에 걸린 전계가 게이트 산화물 두께(T_{OX})의 감소에 따라 대응하여 증가하는 것이 주요한 관심사이다. 10nm 및 더 작은 게이트 산화물 두께에서, 공급 전압은 유전체에 걸린 전계를 4MV/cm의 안전한 레벨까지 감소시키기 위하여 5V 내지 3.3V까지 감소되어야 한다. 그러나, 공급 전압이 감소하게 되면, n^+ 게이트와 p^+ 접합부 사이, 또는 p^+ 게이트와 n^+ 접합부 사이의 일함수 차이에 의해 초래되는 전계 상승이 점차 중요하게 되고 있다. 1.1eV의 일함수 차이는 감소하는 공급 전압에서 일정하게 유지된다. 상기 산화물 전계(E_{OX})는 다음과 같은 수학식 1에 도시된 공식을 사용함으로써 계산될 수 있는데, 여기에서 V_{gate} 는 게이트 전압을 나타내고, V_{fb} 는 평탄대 전압(flatband voltage)을 나타내며, T_{OX} 는 산화물 두께를 나타낸다.

$$\text{수학식 1} \\ E_{ox} = [(\pm V_{gate}) + (\pm V_{fb})] / T_{OX}$$

상기 평탄대 전압(V_{fb})은 다음의 수학식 2에 도시된 공식을 사용함으로써 계산될 수 있는데, 여기에서 Φ_{ms} 는 일함수 차이를 나타내고, Q_{ox} 는 산화물 전하량을 나타내며, C_{ox} 는 산화물 커페시턴스를 나타낸다.

$$\text{수학식 2} \\ V_{fb} = \Phi_{ms} + Q_{ox} / C_{ox}$$

게이트와 소스의 바이어스에 의존하여, 상기 일함수 차이(Φ_{ms})는 수학식 1로부터 분명히 알 수 있는 바와 같이 게이트/접합부 영역의 전계를 증가 또는 감소시킬 것이다. 도 1은 게이트 산화물 두께(T_{OX})(18)를 가지며 n^+ 게이트(12), n^- 기판(14) 및 p^+ 접합부(16)를 갖는 MOSFET(10)의 게이트-접합부 영역을 도시한다. 산화물 전계(20)는 수학식 1에 따른 일함수 차이(Φ_{ms})에 의해 영향을 받는다.

도 2를 참조하면, 온 상태인 도전 상태에 있는 n^+ PMOS 소자와 p^+ PMOS 소자의 소스와 드레인 사이의 산화물 전계에 대한 게이트 극성의 영향이 도시되어 있다. 도 3은 오프 상태인 비도전 상태에 있는 n^+ PMOS와 p^+ PMOS 소자에 대한 채널을 따라서 시뮬레이팅된 산화물 전계를 도시한다. n^+ PMOSFET의 전계가 대략 1MV/cm 증가한 것은 부가된 일함수 차이에 기인한다. 도 2와 3에 도시된 상기 결과는 MINIMOS를 사용한 2차원 컴퓨터 시뮬레이션에 의해 얻어진다. 공칭(nominal) 산화물 두께가 10nm라고 가정할 때, 비도전 오프 상태에서 상기 산화물 전계는 상기 일함수 차이에 의해 n^+ 게이트 PMOS에 대해 드레인 측에서 4.6MV/cm까지 증가된다. T_{OX} 의 10% 프로세스 변화를 고려할 때, 5MV/cm의 최대 산화물 전계가 얻어진다. 이런 증가된 산화물 전계는 산화물 파괴 및 소자 불안정성과 같은 소자 결함의 위험을 증가시킬 것이다.

게이트와 접합부의 도편트 타입이 동일한, 예를 들어 p^+ 게이트 PMOS와 n^+ 게이트 NMOS를 가지는 MOSFET가 상기 개시된 높은 산화물 전계를 방지하기 위하여 제안되었다. 도 2와 3을 참조하면, p^+ 게이트 PMOS 소자의 산화물 전계가 3.6MV/cm 이하로 유지된다는 것을 알 수 있다. 그러나, CMOS 기술에서 이런 대칭적 소자 구조를 실제로 구현하는 것은 실질적으로 프로세스를 복잡하게 한다. 이것은 이중의 일함수 게이트 기술이 요구되기 때문이다. 이중 게이트 CMOS 소자 제조의 용이성에 대한 정보는 C.Y. Wong 등에 의해, IEDM Tech. Dig.의 IEEE, 238(1988)에 의해 출판된, "이중-게이트

CMOS 프로세스에서의 n^+ 및 p^+ 폴리실리콘 도핑"으로 명명된 기사를 참조하여 얻을 수 있다. 폴리실리콘 공핍은 소자의 전류 저하를 초래하는 역 바이어스에서 발생한다. 이런 현상은 게이트 산화물 두께(T_{OX})가 더 얇아질수록 더욱 심해진다. 서브미크론 접적에 대한 이중 게이트 대칭적인 CMOS 구조와 소자에 대한 공핍 게이트에 의한 성능 저하에 대한 정보는 M. Iwase 등에 의해 Ext. Abstract SSDM 271(1990)에 의해 출판된 "MOSFET 성능에 대한 공핍 폴리-Si 게이트 효과"로 명명된 기사를 참조함으로써 얻어질 수 있다.

그러므로, CMOS에서 단지 n^+ 게이트 및 단지 p^+ 게이트와 같은 단일의 일함수 게이트 기술을 위한 높은 산화물 전계와 관련한 일함수 감소는 상당히 바람직하다. 한가지 해결책은 게이트 에지에서의 산화물 두께를 증가시키려는 경향을 가지는 제어된 게이트 베즈 비크(birds beaks)의 형성이다. 그러나, 이런 해결책은 성능 손실을 초래하는 트랜스컨덕턴스(transconductance) 저하를 야기한다.

본 발명의 목적은 접합부 영역상의 산화물 전계를 감소시키는 것이다.

발명의 요약

본 발명은 접합부 영역 상의 산화물 전계를 감소시키기 위해 게이트 공핍 효과를 사용하는 MOSFET 소자에 관한 것이다. 상기 게이트 공핍 효과가 n^+ 게이트 PMOS 소자 및 p^+ 게이트 NMOS 소자에 대해 비도전의 오프 상태에서 존재하기 때문에, 성능 저하가 극복된다. 게이트 도핑 정도는 중요하다. 도전의 온 상태에서의 게이트 공핍을 방지하기 위하여, NMOSFET은 고도평된 n^+ 게이트를 사용하여야 한다. 비도전의 오프 상태에서의 게이트 공핍 장점을 사용하기 위하여, PMOS FET n^+ 게이트는 비-축퇴적으로(non-degeneratively) 도핑되어야 한다. 이것은 동일한 도편트 타입을 서로 다른 게이트에 서로 다른 투입량으로 주입함으로써 달성된다. 상기 MOSFET 소자는 n^+ 게이트 PMOS 소자와 p^+ 게이트 NMOS 소자에 대해 균일하게 잘 충족될 수 있다.

도면의 간단한 설명

도 1은 MOSFET 소자의 게이트-접합부 영역을 도시하는 도면.

도 2는 산화물 전계에 대한 게이트 극성 현상을 도시하는 도면.

도 3은 n^+ 및 p^+ PMOSFET에 대한 산화물 전계를 도시하는 도면.

도 4는 본 발명의 기본 원리를 도시하는 도면.

도 5는 본 발명을 위한 밴드 다이어그램.

도 6은 게이트 스택을 도시하는 도면.

도 7은 p^+ 주입동안 캡 층 보호를 도시하는 도면.

도 8은 n^+ 주입동안 캡 층 보호를 도시하는 도면.

실시예

본 발명이 문맥상 종래의 n^+ 도핑된 게이트 PMOSFET에 대해 설명되었지만, p^+ 게이트 NMOSFET에 대해서도 잘 적용된다. 본 발명은 매립형(buried) 및 표면형(surface) 채널 소자 모두에 사용될 수 있다. 본 발명이 본질적으로 "단일 일함수" CMOS 게이트 기술과의 사용에 적당할지라도 또한 "이중의 일함수" CMOS 게이트 기술에도 사용될 수 있다.

본 발명은 접합부 영역 상의 산화물 전계를 감소시키기 위하여 게이트 공핍 효과를 사용한다. 게이트 공핍 효과가 n^+ 게이트 PMOS 소자와 p^+ 게이트 NMOS 소자에 대해 비도전의 오프 상태에만 존재하기 때문에, 성능 저하가 극복된다.

도 4는 본 발명의 기본 원리를 설명한다. 도시된 것은 n^+ 게이트(32), n^- 기판(34), p^+ 접합부(36) 및 게이트 산화물 두께(T_{OX})를 갖는 공핍 영역(38)을 구비하는 MOSFET 소자(30)의 게이트-접합부 영역이다. 비-축퇴적으로 도핑된 폴리-Si 게이트에서, MOSFET 소자(30)가 비도전의 오프 상태에 있을 때 두께(W_{poly})를 갖는 공핍 영역(38)이 게이트의 접합부 상에 형성된다. 상기 공핍 영역(38)의 전위 감소는 산화물 전계(E_{ox})를 감소시킨다.

도 4와 도 5를 참조하면, 상기 게이트 공핍 폭에 걸린 전위 강하가 상기 산화물에 걸린 전계를 더 낮게 하리라는 것을 알 수 있다. 시뮬레이션은 10^{19} cm^{-3} 의 게이트에서의 활성 캐리어 농도에 대해 상기 p^+ 영역의 산화물 전계가 0.6 MV/cm 만큼 감소된다는 것을 보여준다.

PMOS 소자가 도전의 온 상태에 있을 때, 상기 게이트는 축적 상태로 돌입한다. 그러므로, 상기 소자가 도전의 온 상태에 있을 때, 게이트 공핍 효과는 발생하지 않고 대응하는 성능 저하도 없다. 더욱이, 도 2에 도시된 p^+ 게이트 PMOS와 비교하여 산화물 전계를 감소시키는 반대 부호를 가질 때, 일함수 차이(Φ_{ms})가 유익하다.

본 발명의 CMOSFET 소자의 실시예에서, 지금 설명할 게이트 도핑 정도가 중요하다. 도전의 온 상태에서 게이트 공핍을 방지하기 위하여, NMOSFET은 고도도핑된 n^+ 게이트를 사용하여야 한다. 상기 PMOSFET n^+ 게이트는 비도전의 오프 상태에서 게이트 공핍의 장점을 사용하도록 비-축퇴적으로 도핑되어야 한다. 이것은 동일한 도편트 타입을 서로 다른 투여량으로 서로 다른 게이트에 주입함으로써 달성된다. 이것은 별도의 마스크를 필요로 한다.

별도의 마스크 필요성을 방지하기 위하여, 상기 CMOS 제조 방법은 변형된다. n -웰, p -웰, 필드 산화물 및 게이트 산화물이 성장된 후, 게이트 폴리실리콘과 캡 산화물 층이 증착된다. 상기 폴리실리콘은 비-축퇴적으로 n -도핑된다(예를 들면, $1E18 \text{ Phos/cm}^3$).

도 6을 참조하면, p -웰 영역(44)과 n -웰 영역(46)을 갖는 기판(42), n 도핑된 영역(48), 및 MOSFET 게이트 스택을 한정하는 캡 층(50)을 가지는 MOSFET(40)이 도시되어 있다.

도 7을 참조하면, 적당히 정렬된 제 1 마스크(60)가 도시되어 있다. 또한 상기 캡 층(50)이 상기 p^+ 소스/드레인 영역(52)을 한정하는 p^+ 주입 소스(54)로부터의 주입에 대하여 상기 게이트 폴리실리콘을 보호한다는 것을 알 수 있다. 상기 비-축퇴적으로 n 도핑된 폴리실리콘은 상기 PMOSFET를 위해 잔류한다.

도 8을 참조하면, 적당히 정렬된 제 2 마스크(62)가 도시되어 있다. 상기 NMOSFET를 위하여, 상기 캡 층의 제거 후, 상기 n 도핑된 폴리실리콘은 상기 n^+ 소스/드레인 접합부(67)를 한정하는 n^+ 주입 소스(58)로부터의 이온 주입에 의해 축퇴적으로 도핑된 n^+ 폴리실리콘(49)으로 변환된다.

p^+ 와 n^+ 불순물 주입을 위한 소스는 봉소와 비소 이온 주입물을 포함한다. 주입 불순물을 위한 다른 소스는 당업자들에게 공지되어 있다. 높은 저항성 게이트에 대해 양호한 전기적 콘택을 제공하고 게이트 지연을 최소화하기 위하여, 상기 게이트는 도전성을 증가시킴으로써 전기적으로 분기(shunt)되고, 이로 인해 상기 게이트 표면의 게이트 저항을 낮추게 된다. 이것은 예를 들어 게이트 실리사이드화(예를 들면, Ti-실리사이드 방법) 또는 선택적 금속 증착(예를 들면, CVD-텅스텐)에 의해 수행될 수 있다.

다음에 상기 제조 방법이 완료된다. 나머지 단계는 금속-유전체간 단계, 콘택 홀 단계, 금속화 단계 및 당업자들에게 공지되어 있는 다른 단계를 포함한다.

이상에서는 본 발명의 양호한 일 실시예에 따라 본 발명이 설명되었지만, 첨부된 청구 범위에 의해 한정되는 바와 같은 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변형이 가능함은 본 발명이 속하는 기술 분야의 당업자에게는 자명하다.

(57) 청구의 범위

청구항 1.

제 1 MOSFET 소자(46,52,48) 및 제 2 MOSFET 소자(44,67,49)를 포함하는 반도체 소자로서,

상기 각각의 MOSFET 소자들은 상부 표면을 갖는 반도체 바디(44,46); 게이트 유전체 엘리먼트를 형성하는 상기 상부 표면 상의 유전체층; 및 상기 유전체층 상에 위치하고 도핑된 반도체 재료(32)로 이루어지며 상기 반도체 바디 상의 표면 전위가 반응하는 게이트 전극(48,49)를 포함하고,

상기 제 1 MOSFET 소자는 제 1 도핑 극성을 갖는 제 1 타입의 도편트로 이루어진 소스 및 드레인 영역(52)을 가지며,

상기 제 2 MOSFET 소자는 상기 제 1 도핑 극성에 반대되는 제 2 도핑 극성을 갖는 제 2 타입의 도편트로 이루어진 소스 및 드레인 영역(67)을 가지며,

상기 제 1 MOSFET 소자 및 상기 제 2 MOSFET 소자의 게이트 전극들(48,49)은 상기 제 2 타입의 도편트를 가지며,

상기 제 2 MOSFET 소자는 축퇴적으로 도핑된 게이트 전극(49)을 가지며, 상기 제 1 MOSFET 소자는 상기 제 2 MOSFET 소자의 게이트 전극(49)보다 낮은 농도를 갖는 제 2 타입의 도편트가 비-축퇴적으로 도핑된 게이트 전극(48)을 갖는 것을 특징으로 하는 반도체 소자.

청구항 2.

제 1 항에 있어서,

상기 유전체층은 10nm 미만인 것을 특징으로 하는 반도체 소자.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 MOSFET 소자의 게이트 전극(48)은 n^+ 비-축퇴적으로 도핑된 게이트를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 4.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 MOSFET 소자의 게이트 전극은 p^+ 비-축퇴적으로 도핑된 게이트를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 5.

제 1 항 또는 제 2 항에 따른 반도체 소자를 제조하는 방법으로서,

반도체 바디(42)를 제공하는 단계;

상기 반도체 바디(42) 상에 유전체층을 형성하는 단계;

상기 유전체층 위에 게이트 폴리실리콘(48)을 증착시키고 상기 제 1 MOSFET 소자 및 상기 제 2 MOSFET 소자의 게이트 전극들을 형성하는 단계;

상기 MOSFET 소자들의 게이트 폴리실리콘(48)을 도핑하는 단계;

상기 도핑된 게이트 폴리실리콘(48) 위에 캡층(50)을 증착시키는 단계;

상기 제 2 MOSFET 소자의 영역 위로 제 1 마스크(60)를 위치시키는 단계;

상기 제 1 MOSFET 소자의 소스 영역 및 드레인 영역을 형성하기 위해 제 1 불순물(p^+)을 주입하는 단계;

상기 제 1 불순물(p^+)을 주입한 후에 상기 제 1 마스크(60)를 제거하는 단계;

상기 제 2 MOSFET 소자의 도핑된 게이트 폴리실리콘(48)으로부터 상기 캡층(50)을 제거하는 단계;

상기 제 1 MOSFET 소자의 영역 위로 제 2 마스크(62)를 위치시키는 단계;

상기 제 2 MOSFET 소자의 소스 영역 및 드레인 영역을 형성하고 상기 제 2 MOSFET 소자의 게이트 폴리실리콘을 도핑시키기 위해 제 2 불순물(n^+)을 주입하는 단계; 및

상기 제 2 불순물을 주입한 후에 상기 제 2 마스크(62)를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 6.

제 5 항에 있어서,

도펀트를 활성화시키는 단계; 및

게이트 저항을 낮추는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 게이트 저항을 낮추는 단계는 게이트 실리사이드화를 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 8.

제 5 항에 있어서,

상기 제 1 불순물은 p^+ 불순물인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 9.

제 5 항에 있어서,

상기 제 2 불순물은 n^+ 불순물인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 10.

제 5 항에 있어서,

상기 캡층은 산화물층인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 11.

제 8 항에 있어서,

상기 p^+ 불순물은 이온 주입에 의해 공급되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 12.

제 9 항에 있어서,

상기 n^+ 불순물은 이온 주입에 의해 공급되는 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 13.

제 11 항에 있어서,

상기 이온 주입은 봉소 이온 주입인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 14.

제 12 항에 있어서,

상기 이온 주입은 비소 이온 주입인 것을 특징으로 하는 반도체 소자 제조 방법.

청구항 15.

제 1 항 또는 제 2 항에 있어서,

상기 제 2 타입의 도편트 농도는 상기 제 1 MOSFET 소자의 게이트 전극들(32,48)이 비-축퇴적이지만 오프-상태에서 상기 제 1 MOSFET 소자의 접합부 영역(36,52) 내에서의 산화물 전계를 감소시키기에 충분한 농도인 것을 특징으로 하는 반도체 소자.

청구항 16.

제 1 항 또는 제 2 항에 있어서,

상기 제 1 MOSFET 소자의 게이트 전극들(32,48)의 도편트 농도는 동작시 상기 게이트 유전체 엘리먼트에 걸린 전계를 낮추기 위해 공핍 영역(38)이 상기 제 1 MOSFET 소자의 게이트 전극 내에서 상기 게이트 유전체로부터 상기 게이트 전극 재료(32)로 연장하여 형성되도록 소정의 범위 내에 있는 것을 특징으로 하는 반도체 소자.

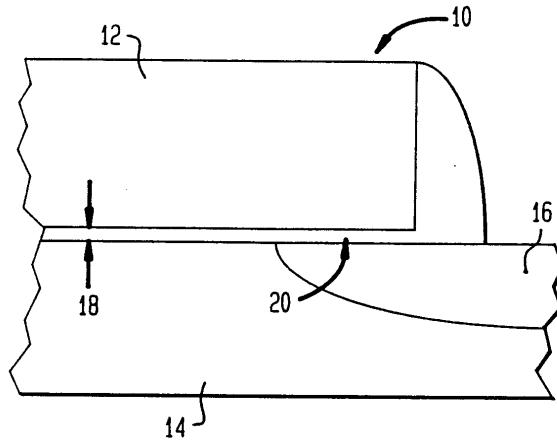
청구항 17.

제 1 항 또는 제 2 항에 있어서,

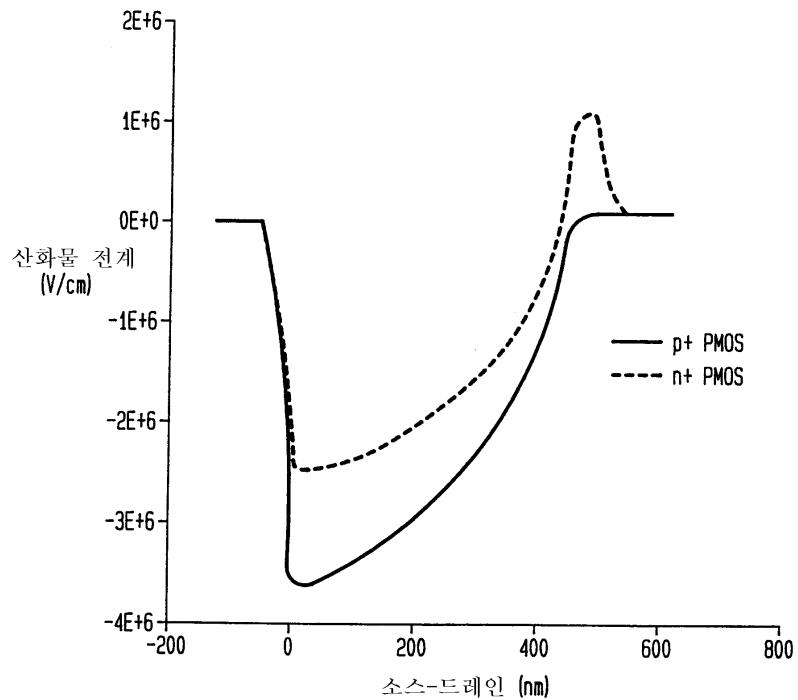
상기 제 1 MOSFET 소자의 게이트 전극의 도편트 농도는 $1E18/cm^3$ 의 범위 내에 있는 것을 특징으로 하는 반도체 소자.

도면

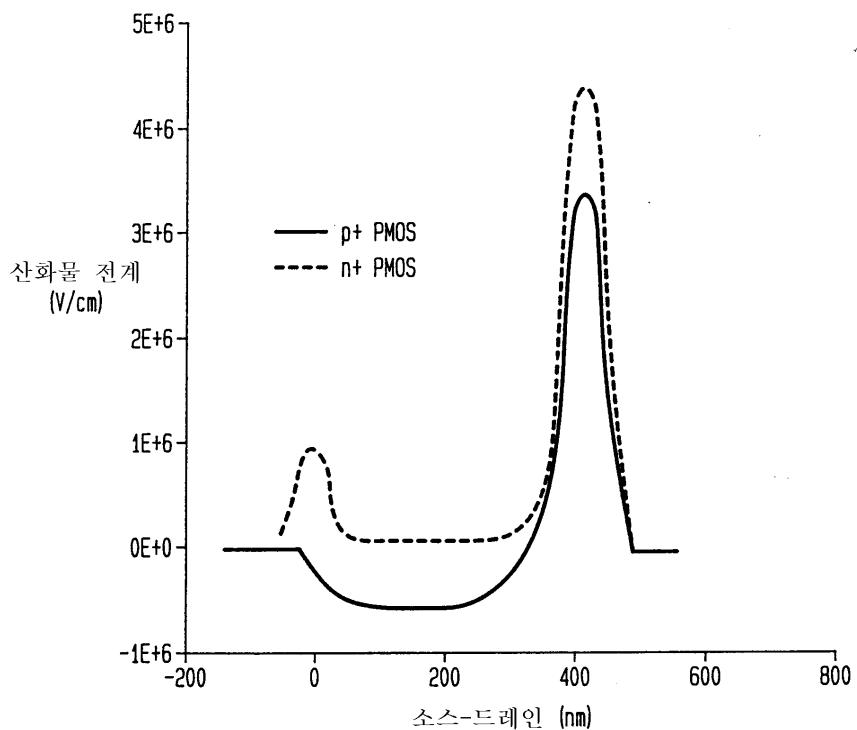
도면1



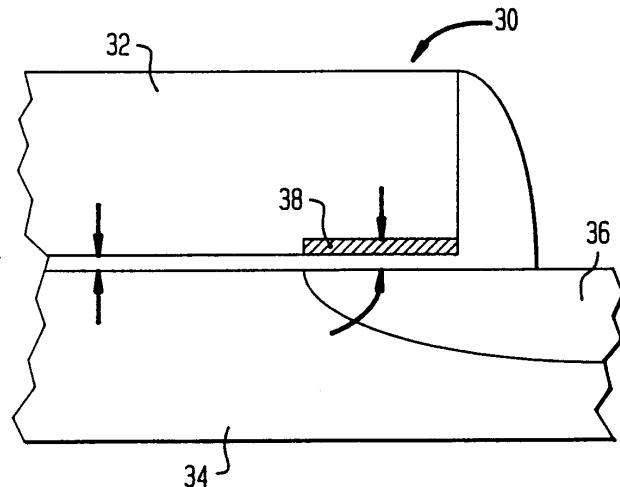
도면2



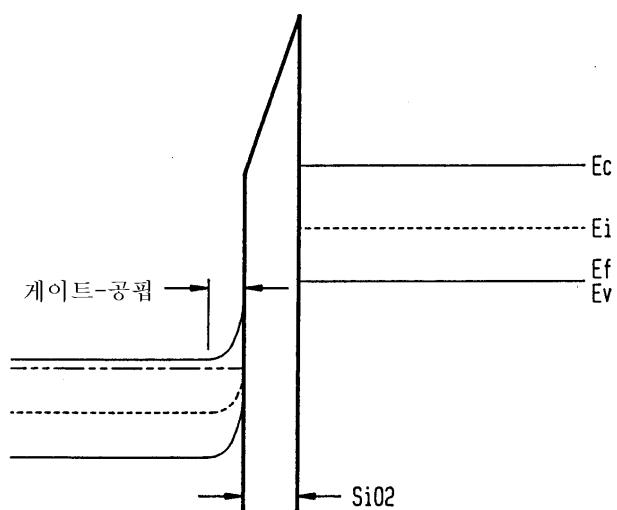
도면3



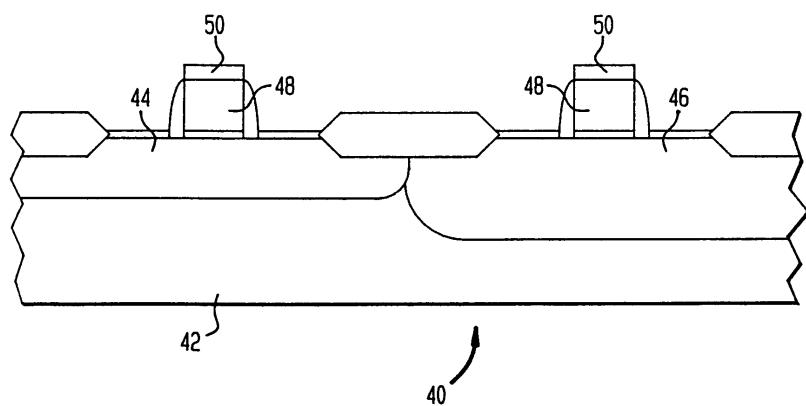
도면4



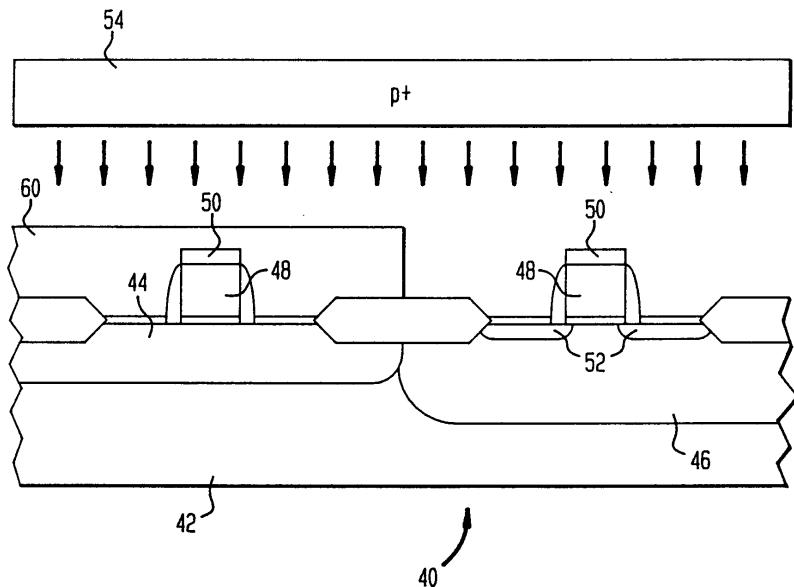
도면5



도면6



도면7



도면8

