

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月9日(09.06.2022)



(10) 国際公開番号

WO 2022/118976 A1

(51) 国際特許分類:

H01L 29/06 (2006.01) *H01L 29/12* (2006.01)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)

(21) 国際出願番号: PCT/JP2021/044586

(22) 国際出願日: 2021年12月3日(03.12.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-201631 2020年12月4日(04.12.2020) JP

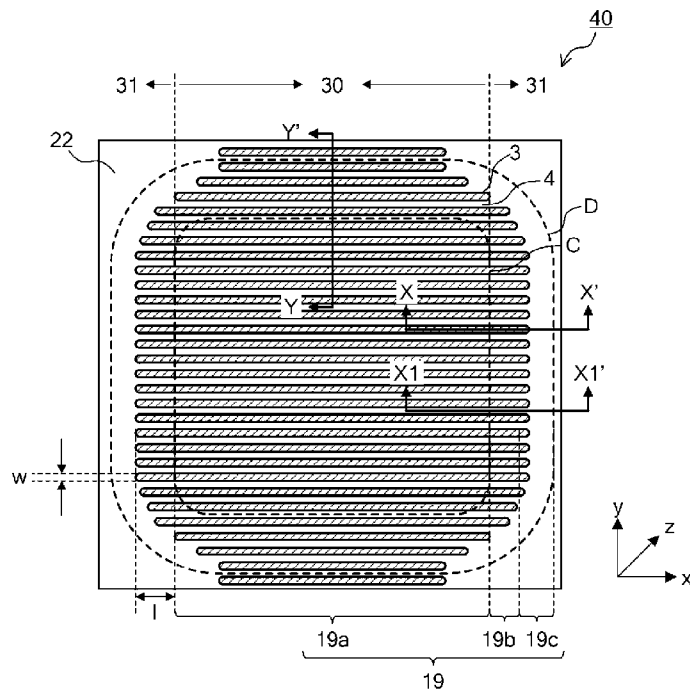
(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP). 国立研究開発法人産業技術総合研

究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関1丁目3番1号 Tokyo (JP).

(72) 発明者: 岡田 将和 (OKADA, Masakazu); 〒3058560 茨城県つくば市梅園1-1-1 中央第1 国立研究開発法人産業技術総合研究所内 Ibaraki (JP). 原田 信介 (HARADA, Shinsuke); 〒3058560 茨城県つくば市梅園1-1-1 中央第1 国立研究開発法人産業技術総合研究所内 Ibaraki (JP). 熊谷 直樹 (KUMAGAI, Naoki); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(54) Title: SUPERJUNCTION SEMICONDUCTOR APPARATUS

(54) 発明の名称: 超接合半導体装置



(57) Abstract: A superjunction semiconductor apparatus (40) comprises an active region (30) and a terminal structure portion (31). The active region (30) and the terminal structure portion (31) include a semiconductor substrate of a first conductivity type, a first semiconductor layer of the first conductivity type, and a parallel pn-structure (19) in which stripes of first columns (4) of the first conductivity type and stripes of second columns (3) of a second conductivity type are repeatedly alternately arranged in a direction parallel to an upper surface. The terminal structure portion (31) includes a

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1020084
東京都千代田区二番町 1 1 - 3 相互二番町ビル
ディング別館 酒井総合特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

channel stopper on a surface layer of the parallel pn-structure (19). In a region of the parallel pn-structure (19) adjoining the channel stopper in a longitudinal direction of the first column (4) and the second column (3), the product of the width of the second column (3) and an impurity concentration of the second column (3) is smaller than the product of the width of the first column (4) and an impurity concentration of the first column (4).

(57) 要約: 超接合半導体装置 (40) は、活性領域 (30) と、終端構造部 (31) と、を有する。活性領域 (30) および終端構造部 (31) は、第1導電型の半導体基板と、第1導電型の第1半導体層と、ストライプ状の第1導電型の第1カラム (4) とストライプ状の第2導電型の第2カラム (3) とがおもて面に平行な方向に繰り返し交互に配置された並列pn構造 (19) とを備える。終端構造部 (31) は、並列pn構造 (19) の表面層にチャネルストッパを備え、並列pn構造 (19) は、第1カラム (4) および第2カラム (3) の長手方向で、チャネルストッパと接する領域において、第2カラム (3) の幅と第2カラム (3) の不純物濃度の積が、第1カラム (4) の幅と第1カラム (4) の不純物濃度の積より小さい。

明 細 書

発明の名称：超接合半導体装置

技術分野

[0001] この発明は、超接合半導体装置に関する。

背景技術

[0002] 通常のn型チャネル縦型MOSFET (Metal Oxide Semiconductor Field Effect Transistor : 絶縁ゲート型電界効果トランジスタ) では、半導体基板内に形成される複数の半導体層のうち、n型伝導層 (ドリフト層) が最も高抵抗の半導体層である。このn型ドリフト層の電気抵抗が縦型MOSFET全体のオン抵抗に大きく影響を与えている。縦型MOSFET全体のオン抵抗の低減には、n型ドリフト層の厚みを薄くし電流経路を短くすることで実現できる。

[0003] しかし、縦型MOSFETは、オフ状態において空乏層が高抵抗のn型ドリフト層まで広がることで、耐圧を保持する機能も有している。このため、オン抵抗低減のためにn型ドリフト層を薄くした場合、オフ状態における空乏層の広がり短くなるため、低い印加電圧で破壊電界強度に達しやすくなり、耐圧が低下する。一方、縦型MOSFETの耐圧を高くするためには、n型ドリフト層の厚みを増加させる必要があり、オン抵抗が増加する。このようなオン抵抗と耐圧の関係をトレードオフ関係と呼び、トレードオフ関係にある両者をともに向上させることは一般的に難しい。

[0004] 上述のような問題を解決する半導体装置の構造として、超接合 (SJ : Super Junction : スーパージャンクション) 構造が知られている。例えば、超接合構造 (SJ構造) を有するMOSFET (以下、SJ-MOSFET) が知られている。

[0005] 図24は、従来の超接合半導体装置の構造を示す平面図である。図24に示すように、SJ-MOSFET 140は、活性領域130と、活性領域130の周囲を囲むエッジ終端領域131とを備える。活性領域130は、オ

ン状態のときに電流が流れる領域である。エッジ終端領域131は、ドリフト領域の基体おもて面側の電界を緩和し耐圧を保持する領域である。

[0006] SJ-MOSFET140は、活性領域130およびエッジ終端領域131に、p型カラム領域103とn型カラム領域104とを交互に繰り返し並べた並列構造（以降、並列pn構造119と称する）を有している。並列pn構造119では、p型カラム領域103およびn型カラム領域104に含まれる不純物量を略等しくすることで、オフ状態において擬似的にノンドープ層を作り出して高耐圧化を図ることができる。

[0007] 図25は、従来の超接合半導体装置の構造を示す断面図である。図25（a）は、図24のY-Y'断面図である。図25（b）は、図24のX-X'断面図である。図25（c）は、図24のX1-X1'断面図である。また、図25（b）は、図25（a）のAの部分の断面図である。図25（c）は、図25（a）のBの部分の断面図である。

[0008] 図25（a）～図25（c）に示すように、SJ-MOSFET140は、高不純物濃度のn⁺型半導体基板101にn型ドリフト層102を成長させたウエハを材料とする。n型ドリフト層102中に、ウエハ表面からn型ドリフト層102を貫き、基板主面に垂直な方向に延び、かつ基板主面に平行な面において狭い幅を有するp型カラム領域103と、p型カラム領域103に挟まれたn型カラム領域104とを基板主面に平行な面において交互に繰り返し並べた並列pn構造119を有している。図25（a）および図25（b）では、p型カラム領域103はn⁺型半導体基板101に到達しているが、n⁺型半導体基板101に到達しなくてもよい。

[0009] 活性領域130では、SJ-MOSFET140の並列pn構造119上には、p型ベース領域106が設けられる。p型ベース領域106の内部に、n⁺型ソース領域107が設けられている。p型ベース領域106の内部にp⁺型コンタクト領域を設けてもよい。また、p型ベース領域106およびn⁺型ソース領域107を貫通してp型カラム領域103に達するトレンチ118が設けられている。このトレンチ118の側面と接するようにn⁺型ソース

領域 107 が配置されている。

[0010] また、並列 p n 構造 119 内には、トレンチ 118 の底面全体を覆うように第 1 p⁺型ベース領域 114 が選択的に設けられている。並列 p n 構造 119 の n⁺型半導体基板 101 側に対して反対側の表面層には、第 2 p⁺型ベース領域 115 が選択的に設けられている。

[0011] トレンチ 118 の内壁面は酸化膜などによって構成されたゲート絶縁膜 109 にて覆われており、ゲート絶縁膜 109 の表面に形成されたゲート電極 110 により、トレンチ 118 内が埋め尽くされている。このようにして、トレンチゲート構造が構成されている。また、層間絶縁膜（不図示）に形成されたコンタクトホールを通じて、オーミック電極（不図示）が p 型ベース領域 106 および n⁺型ソース領域 107 と電氣的に接触している。

[0012] そして、n⁺型半導体基板 101 の裏面側には、n⁺型半導体基板 101 と電氣的に接続された裏面電極（不図示）が形成されている。

[0013] エッジ終端領域 131 では、全域にわたって p 型ベース領域 106、第 2 p⁺型ベース領域 115 が除去され、エッジ終端領域 131 を活性領域 130 よりも低くした（ドレイン側に凹ませた）段差が形成され、段差の底面に並列 p n 構造 119 が露出されている。なお、この段差は p 型ベース領域 106 をエピタキシャル成長により形成した場合にエッジ終端領域 131 で p 型ベース領域 106 を除去するためのもので、p 型ベース領域 106 をイオン注入で形成する場合は必要でない。

[0014] また、エッジ終端領域 131 には、複数の p 型領域（ここでは 2 つ、第 1 J T E 領域 120、第 2 J T E 領域 121）を隣接して配置した J T E 構造が設けられている。また、J T E 構造の外側（チップ端部側）にチャネルストッパとして機能する n⁺型領域 122 が設けられている。

[0015] 第 1 J T E 領域 120、第 2 J T E 領域 121 は、それぞれ、並列 p n 構造 119 の、段差の底面に露出する部分に選択的に設けられている。高電圧が印加された際、活性領域 130 以外での横方向の高電圧はこの第 1 J T E 領域 120、第 2 J T E 領域 121 と n 型カラム領域 104 との間の p n 接

合で確保される。

[0016] S J 構造は、特に p 型カラム領域 1 0 3 および n 型カラム領域 1 0 4 に含まれる不純物量が略等しくチャージバランスが取れて静耐圧が最も高い状態の設計ではアバランシェ耐量が低いことが知られている。そして、チャージバランスから若干ずれた状態、特に p 型カラム領域 1 0 3 のチャージ量を n 型カラム領域 1 0 4 のチャージ量より多くした（p リッチの）構造で、アバランシェ耐量が高いことが知られている。また、S J 構造の深さ方向で表面側では p リッチ、基板側（ドレイン側）では、n 型カラム領域 1 0 4 のチャージ量を p 型カラム領域 1 0 3 のチャージ量より多くした（n リッチの）構造にすることでチャージ量ばらつきに対する余裕度が向上したり、アバランシェ耐量が向上することが知られている。

[0017] また、M O S F E T をターンオフして S J 構造が空乏化したときの、S J 構造の所定深さ位置における平均正電荷密度 $\rho(x)$ を、上に凸の右上がりの曲線で表されるようにして、ターンオフしたときのスイッチング特性のバラツキを従来よりも小さくすることができる M O S F E T が公知である（例えば、下記特許文献 1 参照）。また、p 型カラム領域の長手方向で、p 型カラム領域がチャネルストッパに到達せず、n 型カラム領域と p 型カラム領域とが並ぶ方向でチャネルストッパの下に p 型カラム領域が設けられていない半導体装置が公知である（例えば、下記特許文献 2 参照）。

[0018] また、周辺領域では、セル領域の外周方向に向かうに連れて、スーパー Junction 構造での N 型電荷量が徐々に P 型電荷量よりも多くされるチャージバランス変化領域を備える半導体装置が公知である（例えば、下記特許文献 3 参照）。また、オン状態でドリフト電流を流すと同時にオフ状態で空乏化する n 型ドリフト層と、オフ状態で空乏化する p 型ドリフト層に加え、互いに直交する 2 方向のうち少なくとも 1 方向に形成された第 2 の n 型ドリフト層及び第 2 の p 型ドリフト層を接合終端領域部に設ける半導体装置が公知である（例えば、下記特許文献 4 参照）。また、N 型の複数の重畳半導体層を具えると共に、複数の P 型ドーピング領域の積重ねからなる複数の重畳半導

体層内の挿入された２つのカラムを具える最終エッジ構造を形成し、高電圧半導体装置に近いカラムが該装置から遠いカラムより深い半導体装置が公知である（例えば、下記特許文献５参照）。また、ｐ型エピタキシャル埋込層とｎ型エピタキシャル層の対が交互に配列されたスーパージャンクション構造で、終端部にはｐ型横型リサーフ領域を設け、終端部の各ｐ型エピタキシャル埋込層は、表面部の少なくとも一部にｐ型横型リサーフ領域が存在せずオーバーラップがない半導体装置が公知である（例えば、下記特許文献６参照）。

先行技術文献

特許文献

- [0019] 特許文献１：特開２０１８－１６４０９８号公報
特許文献２：特開２０１５－１６４２１８号公報
特許文献３：国際公開第２０１３／０４６５４４号
特許文献４：特開２００３－２７３３５５号公報
特許文献５：特開２０００－１８３３５０号公報
特許文献６：特開２０１０－０４０９７３号公報

発明の概要

発明が解決しようとする課題

- [0020] しかしながら、表面部でｐリッチになっているとｐ型カラム領域１０３にＪＴＥ構造を形成している場合さらにｐリッチとなり、ｐ型カラム領域１０３が空乏化し難く、ｐ型カラム領域１０３、チャネルストッパ間で電界が集中しやすく耐圧が低下する虞がある。
- [0021] また、エッジ終端領域１３１の外周側にもｐ型カラム領域１０３が存在し、ｐ型カラム領域１０３が完全に空乏化しない比較的低い電圧ではｐ型カラム領域１０３にソース電位の中性領域が存在するとドレイン電位のチャネルストッパとの間に高電界が印加され耐圧が低下する懸念がある。
- [0022] このような場合でも、さらに高い電圧を印加するとｐ型カラム領域１０３

が完全に空乏化するので電界は緩和されるが、電圧上昇の過程でアバランシェ電流が流れる懸念がある。特にアバランシェ耐量向上のためpリッチにした場合や表面側をpリッチにした場合にはこの不具合が発生する懸念が増大する。

[0023] 図26は、従来の超接合半導体装置におけるエッジ終端領域での低電圧（ V_{ds1} ）の空乏層の広がりを示す図である。図26（a）は、平面図であり、図26（b）は、図26（a）のX-X'断面図である。ここでは、n型カラム領域104側およびチャネルストッパ側の空乏層は非表示としている。図27（a）～図28（b）でも同様である。図26（a）および図26（b）に示すように、低いドレイン・ソース間電圧 V_{ds1} ではドレイン電位のチャネルストッパ（n⁺型領域122）とp型カラム領域103間の接合から伸びる空乏層132にソースドレイン間電圧が印加される。この時の耐圧はチャネルストッパ（n⁺型領域122）とp型カラム領域103の接合耐圧となる。

[0024] 図27は、従来の超接合半導体装置におけるエッジ終端領域での中電圧（ V_{ds2} ）の空乏層の広がりを示す図である。図27（a）は、平面図であり、図27（b）は、図27（a）のX-X'断面図である。図27（a）および図27（b）に示すように、より高い電圧 V_{ds2} ではp型カラム領域103とn型カラム領域104間の接合から伸びる空乏層132がチャネルストッパ（n⁺型領域122）とp型カラム領域103間の接合から伸びる空乏層132とつながる。

[0025] 図28は、従来の超接合半導体装置におけるエッジ終端領域での高電圧（ V_{ds3} ）の空乏層の広がりを示す図である。図28（a）は、平面図であり、図28（b）は、図28（a）のX-X'断面図である。図28（a）および図28（b）に示すように、電圧 V_{ds2} がチャネルストッパ（n⁺型領域122）とp型カラム領域103の接合耐圧以下であれば、ドレイン・ソース間電圧を増加させ V_{ds3} にするとp型カラム領域103とn型カラム領域104間の接合から伸びる空乏層132がさらに広がり、中性領域1

33とチャネルストッパ（ n^+ 型領域122）の距離が離れるため低い電圧でブレイクダウンしないが、 V_{ds2} より低い電圧でチャネルストッパ（ n^+ 型領域122）とp型カラム領域103の接合耐圧以上になると低い電圧でブレイクダウンする。アバランシェ耐量を増加させるためpリッチにした場合や、表面側でpリッチにした場合には特に問題が発生しやすい。

[0026] また、図29は、耐圧1200V級のSJ-SiCMOSFETの高温（175℃）でのブレイクダウン箇所を示す図である。図29（a）と図29（b）は、異なるチップの例であり、+50%pリッチ、高温（175℃）にした場合に表面から発光が観察されることによりブレイクダウン箇所を識別している。

[0027] 図29（a）の矢印Aに示すように、活性領域130を取り囲む環状の第1JTE領域120、第2JTE領域121より外側を更に取り囲む n^+ 型領域122と接する部分のp型カラム領域103で発光していることが分かる、また、図29（b）の矢印Bに示すように、第1JTE領域120、第2JTE領域121より外側の n^+ 型領域122に沿って発光し、p型カラム領域103以外でも発光していることが分かる。また、図29（a）、図29（b）に示すように、チップ上下の辺に沿っては発光せず、チップの左右方向、即ち、p型カラム領域103の長手方向端部で発光していることが分かる。これは、チップ上下の n^+ 型領域122と重なるp型カラム領域103は、ソース電位と直接接続されていないため、低い電圧でJTE領域120、121の空乏化が進む等によりp型カラム領域103がフローティングとなり、p型カラム領域103に中性領域が存在してもその電位がドレイン電位とソース電位の間になるため、ブレイクダウンが発生しないからである。

[0028] このように、SJ-MOSFET140の構造において、高温で耐圧が低下し、耐圧が低下した状態では、p型カラム領域103と高濃度の n^+ 型領域122が接する箇所に電界が集中して、ブレイクダウンが発生する。これは、SiCではp型不純物としてAlが使用され、Alはp型としてはアクセプタレベルがもっとも浅い。また、SiCでは深い電子トラップや正孔トラ

ップが存在し、特にAⅠイオン注入により深い電子トラップや深い正孔トラップが多数生成されることが知られている。このため、室温では深いトラップに捕獲されている多数キャリアが高温でデトラップされることにより空乏層が縮むことによることが原因と考えられる。

[0029] この発明は、上述した従来技術による問題点を解消するため、チャネルストップパ付近の電界を緩和し、エッジ終端領域での耐圧の低下を防止できる超接合半導体装置を提供することを目的とする。

課題を解決するための手段

[0030] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる超接合半導体装置は、次の特徴を有する。超接合半導体装置は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する。前記活性領域および前記終端構造部は、第1導電型の半導体基板のおもて面に設けられた、前記半導体基板より低不純物濃度の第1導電型の第1半導体層と、前記第1半導体層の表面に設けられた、ストライプ状の第1導電型の第1カラムとストライプ状の第2導電型の第2カラムとが前記おもて面に平行な方向に繰り返し交互に配置された並列pn構造と、を備える。前記終端構造部は、平面視において前記並列pn構造を取り囲むように配置され前記並列pn構造の表面層に設けられたチャネルストップパを備える。前記並列pn構造は、前記第1カラムおよび前記第2カラムの長手方向で、前記チャネルストップパと接する領域において、前記第2カラムの幅と前記第2カラムの不純物濃度の積が、前記第1カラムの幅と前記第1カラムの不純物濃度の積より小さい。

[0031] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる超接合半導体装置は、次の特徴を有する。超接合半導体装置は、電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する。前記活性領域および前記終端構造部は、第1導電型の半導体基板のおもて面に設けられた、前記半導体基板より低不純物濃度の第1導電型の第1半導体層と、前記第1半導体層の表面に設けられた、ストライ

イブ状の第1導電型の第1カラムとストライプ状の第2導電型の第2カラムとが前記おもて面に平行な方向に繰り返し交互に配置された並列pn構造と、を備える。前記終端構造部は、平面視において前記並列pn構造を取り囲むように配置されたチャネルストップパを備える。前記並列pn構造の前記第2カラムは、前記第2カラムの長手方向で、前記チャネルストップパと離して設けられる。前記並列pn構造の前記第2カラムの長手方向の端部において、前記第2カラムの幅と前記第2カラムの不純物濃度の積が、前記第1カラムの幅と前記第1カラムの不純物濃度の積と同じまたはより大きい。前記並列pn構造の前記第2カラムが、表面電極電位と直接接続された前記第2カラムの長手方向で、前記チャネルストップパと離間する距離は、前記チャネルストップパの直線部では一様であり、前記チャネルストップパのコーナー部では、前記直線部の距離と同じまたはより長い。

[0032] また、この発明にかかる超接合半導体装置は、上述した発明において、前記第2カラムの長手方向で、前記第2カラムと前記チャネルストップパとは0.1 μm 以上離れていることを特徴とする。

[0033] また、この発明にかかる超接合半導体装置は、上述した発明において、前記第2カラムは、第2導電型の不純物が注入され、注入された不純物の活性化率は70%より大きく90%以下であることを特徴とする。

[0034] また、この発明にかかる超接合半導体装置は、上述した発明において、前記第2カラムは、前記第1半導体層の表面に堆積された領域であり、前記第2カラムの長手方向で、前記第2カラムと前記チャネルストップパとは0.4 μm 以上離れていることを特徴とする。

[0035] また、この発明にかかる超接合半導体装置は、上述した発明において、前記並列pn構造の前記第2カラムの長手方向の端部は、前記チャネルストップパのコーナー部では、前記チャネルストップパの曲率に合わせて傾斜していることを特徴とする。

[0036] また、この発明にかかる超接合半導体装置は、上述した発明において、前記活性領域が、前記並列pn構造の表面側に設けられた、第2導電型の第2

半導体層と、前記第2半導体層の表面層に選択的に設けられた、第1導電型の第1半導体領域と、前記第2半導体層の表面側に設けられた、前記第2半導体層に接触するゲート絶縁膜と、前記ゲート絶縁膜の前記第2半導体層と接触する面と反対側の表面側に設けられた、ゲート電極と、を備えることを特徴とする。

[0037] また、この発明にかかる超接合半導体装置は、上述した発明において、前記並列pn構造の前記第1カラムおよび前記第2カラムは、前記半導体基板に達していないことを特徴とする。

[0038] また、この発明にかかる超接合半導体装置は、上述した発明において、前記半導体基板は、ワイドバンドギャップ半導体で構成されていることを特徴とする。また、この発明にかかる超接合半導体装置は、上述した発明において、前記チャネルストッパは、第1導電型であることを特徴とする。また、この発明にかかる超接合半導体装置は、上述した発明において、前記半導体基板は、炭化珪素半導体であり、前記第1導電型は、窒素を前記炭化珪素半導体に添加することにより形成されたn型であり、前記第2導電型は、アルミニウムを前記炭化珪素半導体に添加することにより形成されたp型であることを特徴とする。

[0039] 上述した発明によれば、終端領域第2並列pn構造でのp型カラム領域（第2導電型の第2カラム）が、n⁺型領域（チャネルストッパ）と離れていることより、終端領域第2並列pn構造でのp型の不純物量を、活性領域並列pn構造および終端領域第1並列pn構造でのp型の不純物量より少なくしている。これにより、エッジ終端領域に中性領域が残っている電圧の低い状態で、チャネルストッパとp型カラム領域が重なる部分に電界が集中するのを防止することができ、チャネルストッパ付近の電界を緩和し、エッジ終端領域での耐圧の低下を防止することができる。

発明の効果

[0040] 本発明にかかる超接合半導体装置によれば、チャネルストッパ付近の電界を緩和し、エッジ終端領域での耐圧の低下を防止できるという効果を奏する

。

図面の簡単な説明

[0041] [図1]図1は、実施の形態1にかかる超接合半導体装置の構造を示す平面図である。

[図2]図2は、実施の形態1にかかる超接合半導体装置の構造を示す図1の断面図である。

[図3]図3は、実施の形態1にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。

[図4]図4は、実施の形態1にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。

[図5]図5は、実施の形態1にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。

[図6]図6は、実施の形態1にかかる超接合半導体装置の製造途中の状態を示す断面図である。

[図7]図7は、実施の形態2にかかる超接合半導体装置の構造を示す平面図である。

[図8]図8は、実施の形態2にかかる超接合半導体装置の構造を示す図7の断面図である。

[図9]図9は、実施の形態2にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。

[図10]図10は、実施の形態2にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。

[図11]図11は、実施の形態2にかかる超接合半導体装置のエッジ終端領域の構造をシミュレーションした図である。

[図12]図12は、実施の形態3にかかる超接合半導体装置の構造を示す平面図である。

[図13]図13は、実施の形態3にかかる超接合半導体装置の構造を示す断面図である。

[図14]図14は、実施の形態4にかかる超接合半導体装置の構造を示す断面図である。

[図15]図15は、実施の形態5にかかる超接合半導体装置であり、図3～図5および図9～図11と同様にシミュレーションするために設定したp型カラム領域の長手方向の端部を示す上面図である。

[図16]図16は、耐圧1200V級のSJ-SiCMOSFETについて図15(c)の構造とした場合の高温での耐圧低下を示すグラフである。

[図17]図17は、耐圧3300V級のフルSJ-SiCMOSFETの V_{ds} と C_{oss} との関係を示すグラフである。

[図18]図18は、耐圧3300V級のSJ-SiCMOSFETのp型カラム領域の幅とp型カラム領域の空乏化電圧との関係を示すグラフである。

[図19]図19は、絶縁破壊電界のドーピング密度依存性を示すグラフである。

[図20]図20は、Al活性化率70%（イオン注入で形成した場合の下限值）の場合のp型カラム領域とn⁺型領域との距離と、ブレイクダウン電圧との関係を示すグラフである。

[図21]図21は、Al活性化率90%（イオン注入で形成した場合の上限值）の場合のp型カラム領域とn⁺型領域との距離と、ブレイクダウン電圧との関係を示すグラフである。

[図22]図22は、Al活性化率100%の場合のp型カラム領域とn⁺型領域との距離と、ブレイクダウン電圧との関係を示すグラフである。

[図23]図23は、実施の形態5にかかる超接合半導体装置の平面視構造から平面視で4隅の1つを拡大して示した、p型カラム領域とn⁺型領域との近傍の構成を示す上面図である。

[図24]図24は、従来の超接合半導体装置の構造を示す平面図である。

[図25]図25は、従来の超接合半導体装置の構造を示す断面図である。

[図26]図26は、従来の超接合半導体装置におけるエッジ終端領域での低電圧(V_{ds1})の空乏層の広がり性を示す図である。

[図27]図27は、従来の超接合半導体装置におけるエッジ終端領域での中電圧 (V_{ds2}) の空乏層の広がりを示す図である。

[図28]図28は、従来の超接合半導体装置におけるエッジ終端領域での高電圧 (V_{ds3}) の空乏層の広がりを示す図である。

[図29]図29は、耐圧1200V級のSJ-SiCMOSFETの高温でのブレークダウン箇所を示す図である。

発明を実施するための形態

[0042] 以下に添付図面を参照して、この発明にかかる超接合半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めたnやpの表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0043] (実施の形態1)

本発明にかかる超接合半導体装置40は、ワイドバンドギャップ半導体を用いて構成される。実施の形態1においては、ワイドバンドギャップ半導体として例えば炭化珪素 (SiC) を用いて作製 (製造) された炭化珪素半導体装置について、超接合MOSFETを例に説明する。

[0044] 図1は、実施の形態1にかかる超接合半導体装置の構造を示す平面図である。図1に示すように、SJ-MOSFET40は、活性領域30と、活性領域30の周囲を囲むエッジ終端領域31とを備える。図1において、点線Cの内側の領域が活性領域30であり、点線Cと点線Dとの間の領域がエッジ終端領域31である。

[0045] SJ-MOSFET40は、活性領域30とエッジ終端領域31とに、p型カラム領域3とn型カラム領域4とを交互に繰り返し並べた並列構造 (以

降、並列pn構造19と称する)を有している。並列pn構造19では、p型カラム領域3およびn型カラム領域4に含まれる不純物量を略等しくし、チャージバランスをとることで、オフ状態において擬似的にノンドープ層を作り出して高耐圧化を図ることができる。

[0046] また、並列pn構造19は、活性領域並列pn構造19a、終端領域第1並列pn構造19bおよび終端領域第2並列pn構造19cから構成される。終端領域第1並列pn構造19bは、p型カラム領域3とn型カラム領域4との長手方向(x方向)で、活性領域30側の並列pn構造19の部分であり、終端領域第2並列pn構造19cは、長手方向(x方向)で、外周側の並列pn構造19の部分である。

[0047] 図2は、実施の形態1にかかる超接合半導体装置の構造を示す図1の断面図である。図2(a)は、図1のY-Y'断面図である。図2(b)は、図1のX-X'断面図である。図2(c)は、図1のX1-X1'断面図である。また、図2(b)は、図2(a)のAの部分の断面であり、図2(c)は、図2(a)のBの部分の断面である。図2(a)~図2(c)のC、Dは、図1の点線C、Dの位置に対応している。

[0048] 図2(a)~図2(c)には、2つの単位セル(素子の機能単位)を内蔵する超接合半導体装置を示しているが、実際の超接合半導体装置で2つより多くの単位セルを内蔵している。図2(a)~図2(c)に示す超接合半導体装置40は、炭化珪素からなる半導体基体(炭化珪素基体:半導体チップ)のおもて面(p型ベース領域6側の面)側にMOSゲートを備えた超接合MOSFETである。

[0049] 炭化珪素基体は、n⁺型半導体基板(第1導電型の半導体基板)1の第1主面(おもて面)上にn型ドリフト層2となる炭化珪素層をエピタキシャル成長させてなる。MOSゲートは、p型ベース領域(第2導電型の第2半導体層)6と、n⁺型ソース領域(第1導電型の第1半導体領域)7、ゲート絶縁膜9およびゲート電極10で構成される。

[0050] n型ドリフト層2には、並列pn構造19が設けられている。並列pn構

造 19 は、p 型カラム領域（第 2 導電型の第 2 半導体領域）3 と、p 型カラム領域 3 に挟まれた n 型領域（n 型カラム領域 4）とが交互に繰り返し接合されている。p 型カラム領域 3 は、p 型ベース領域 6 の底面（n⁺型半導体基板 1 側の面）から、n 型ドリフト層 2 を貫通して、n⁺型半導体基板 1 の表面に達している。p 型カラム領域 3 および n 型カラム領域 4 の平面形状は、図 1 に示すように、ストライプ状（矩形状）である。

[0051] n 型ドリフト層 2 のソース側（オーミック電極側）の表面層には、p 型ベース領域 6 が設けられる。炭化珪素基体の第 1 主面側（p 型ベース領域 6 側）には、トレンチ構造が形成されている。具体的には、トレンチ 18 は、p 型ベース領域 6 の n⁺型半導体基板 1 側に対して反対側（炭化珪素基体の第 1 主面側）の表面から p 型ベース領域 6 を貫通して p 型カラム領域 3 に達する。トレンチ 18 の内壁に沿って、トレンチ 18 の底部および側壁にゲート絶縁膜 9 が形成されており、トレンチ 18 内のゲート絶縁膜 9 の内側にゲート電極 10 が形成されている。ゲート絶縁膜 9 によりゲート電極 10 が、n 型カラム領域 4 および p 型ベース領域 6 と絶縁されている。ゲート電極 10 の一部は、トレンチ 18 の上方（第 1 主面側）からオーミック電極側に突出していてもよい。

[0052] トレンチ 18 の下に第 1 p⁺型ベース領域 14 が設けられていてもよく、第 1 p⁺型ベース領域 14 の幅はトレンチ 18 の幅よりも広くてもよい。並列 p n 構造 19 の n⁺型半導体基板 1 側に対して反対側（炭化珪素半導体基体の第 1 主面側）の表面層には、第 2 p⁺型ベース領域 15 が p 型ベース領域 6 に接続されるように選択的に設けられていてもよい。第 1 p⁺型ベース領域 14 と第 2 p⁺型ベース領域 15 は、例えばアルミニウムがドーピングされている。

[0053] 第 1 p⁺型ベース領域 14 と第 2 p⁺型ベース領域 15 のドレイン側端部の深さ位置は、第 1 p⁺型ベース領域 14 および第 2 p⁺型ベース領域 15 と、n 型カラム領域 4 との p n 接合がトレンチ 18 の底面よりもドレイン側に深い位置にあればよく、設計条件に合わせて種々変更可能である。第 1 p⁺型ベース領域 14 と第 2 p⁺型ベース領域 15 により、トレンチ 18 の底面に沿った部

分でゲート絶縁膜 9 に高電界が印加されることを防止することができる。

[0054] p 型ベース領域 6 の内部には、基体第 1 主面側に n^+ 型ソース領域 7 が選択的に設けられている。また、 p^+ 型コンタクト領域（不図示）が選択的に設けられていてもよい。この場合、 n^+ 型ソース領域 7 および p^+ 型コンタクト領域は互いに接してもよい。 p^+ 型コンタクト領域の深さは、例えば n^+ 型ソース領域 7 より浅くてもよいし、より深くてもよい。また、トレンチ 18 の奥行き方向（x 軸方向）に p^+ 型コンタクト領域と n^+ 型ソース領域 7 とが並んで設けられている。

[0055] 層間絶縁膜（不図示）は、炭化珪素基体の第 1 主面側の全面に、トレンチ 18 に埋め込まれたゲート電極 10 を覆うように設けられている。オーミック電極（不図示）は、層間絶縁膜に開口されたコンタクトホールを介して、 n^+ 型ソース領域 7 および p 型ベース領域 6 に接する。 p^+ 型コンタクト領域が設けられた場合は、 n^+ 型ソース領域 7 および p^+ 型コンタクト領域に接する。オーミック電極は、層間絶縁膜によって、ゲート電極 10 と電氣的に絶縁されている。オーミック電極上には、ソース電極パッド（不図示）が設けられている。オーミック電極と層間絶縁膜との間に、例えばオーミック電極からゲート電極 10 側への金属原子の拡散を防止するバリアメタル（不図示）が設けられていてもよい。

[0056] n^+ 型半導体基板 1 の第 2 主面（裏面、すなわち半導体基体の裏面）には、裏面電極（不図示）が設けられている。裏面電極は、ドレイン電極を構成する。

[0057] また、図 2（a）～図 2（c）に示すように、エッジ終端領域 31 は、接合終端（JTE: Junction Termination Extension）構造が設けられている。エッジ終端領域 31 では、全域にわたって p 型ベース領域 6 が除去され、炭化珪素基体のおもて面にエッジ終端領域 31 を活性領域 30 よりも低くした（ドレイン側に凹ませた）段差が形成され、段差の底面に並列 pn 構造 19 が露出されている。また、エッジ終端領域 31 には、外側（チップ端部側）に配置されるほど不純物濃度を低くした

複数の p^- 型低濃度領域（ここでは2つ、内側から p^- 型、 p^- 型とし符号20、21を付す）を隣接して配置したJTE構造として第1JTE領域20、第2JTE領域21が設けられている。また、第2JTE領域21の外側（チップ端部側）に、チャンネルストッパとして機能する n^+ 型領域22が設けられている。JTE構造の代わりにガードリングを設けてもよい。なお、図2（b）において p 型カラム領域3は第2JTE領域21にかかる領域で終端しているが、図2（b）で⇒の先に点線で示す様に第2JTE領域21と n^+ 型領域22の間で終端してもよい。

[0058] 実施の形態1では、終端領域第2並列 pn 構造19cでの p 型の不純物量が、活性領域並列 pn 構造19aおよび終端領域第1並列 pn 構造19bでの p 型の不純物量より少なくなっている。終端領域第2並列 pn 構造19cでの p 型の不純物量は、終端領域第2並列 pn 構造19cに存在する p 型カラム領域3の幅 w と、長さ l と、深さ d と、 p 型の不純物濃度との積である（図1および図2（a）参照）。活性領域並列 pn 構造19aおよび終端領域第1並列 pn 構造19bでの p 型の不純物量も同様である。

[0059] 図1では、 p 型カラム領域3と n 型カラム領域4とが並ぶ方向と直交する、 p 型カラム領域3の長手方向（ x 方向）において、終端領域第2並列 pn 構造19cでの p 型カラム領域3が、チャンネルストッパとして機能する n^+ 型領域22（図2（a）～図2（c）参照）と離れている。終端領域第2並列 pn 構造19cでの p 型の不純物量は、活性領域並列 pn 構造19aおよび終端領域第1並列 pn 構造19bでの p 型の不純物量より少なくなっている。なお、図1において、エッジ終端領域31の外周の点線Dの外側を取り囲むように n^+ 型領域22が配置されている。

[0060] 例えば、終端領域第2並列 pn 構造19cでの p 型カラム領域3の端は、第2JTE領域21の外周側の端より活性領域30側にあってもよい（図2（a）参照）。また、終端領域第2並列 pn 構造19cでの p 型カラム領域3の端は、 n^+ 型領域22側に達していなければ、第2JTE領域21より、 n^+ 型領域22側にあってもよい。

[0061] 図3は、実施の形態1にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。図3(a)は、エッジ終端領域での低電圧(V_{ds1})のシミュレーションで空乏層の広がりを示す平面図である。図3(b)は、図3(a)のX-X'断面図である。図3(a)および図3(b)に示すように、低い電圧 V_{ds1} ではドレイン電位のチャネルストッパ(n^+ 型領域22)に接するn型領域(n型カラム領域4)とp型カラム領域3間の接合から伸びる空乏層32にソースドレイン間電圧が印加される。p型カラム領域3とチャネルストッパとの間にn型カラム領域4があるため、チャネルストッパとp型カラム領域3間の耐圧が増加する。

[0062] 図4は、実施の形態1にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。図4(a)は、エッジ終端領域での中電圧(V_{ds2})のシミュレーションで空乏層の広がりを示す平面図である。図4(b)は、図4(a)のX-X'断面図である。図4(a)および図4(b)に示すように、 V_{ds} を増加させるとp型カラム領域3側の空乏層32が広がり、p型カラム領域3の中性領域33とチャネルストッパとの距離が広がるため電界が緩和される。

[0063] 図5は、実施の形態1にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。図5(a)は、エッジ終端領域での高電圧(V_{ds3})のシミュレーションで空乏層の広がりを示す平面図である。図5(b)は、図5(a)のX-X'断面図である。図5(a)および図5(b)に示すように、 V_{ds2} から V_{ds3} と電圧を増加させるとSJ構造の効果により急激に中性領域33が後退する。

[0064] このように、エッジ終端領域31のp型カラム領域3の不純物量(チャージ量)をドレイン電位側(チャネルストッパ側)で少なくし、エッジ終端領域31でnリッチの状態にしている。このため、エッジ終端領域31に中性領域(ソース電位である領域)が残っている電圧の低い状態(V_{ds1})では、チャネルストッパとp型カラム領域3が重なる部分に電界が集中するのを防止することができ、チャネルストッパ付近の電界を緩和し、エッジ終端

領域 3 1 での耐圧の低下を防止することができる。

[0065] (実施の形態 1 にかかる超接合半導体装置の製造方法)

次に、実施の形態 1 にかかる超接合半導体装置 4 0 の製造方法について説明する。図 6 は、実施の形態 1 にかかる超接合半導体装置の製造途中の状態を示す断面図である。

[0066] まず、 n 型の単結晶 $4H-SiC$ でできた n^+ 型半導体基板 1 を用意する。そして、 n^+ 型半導体基板 1 の表面上に n 型の不純物をドーピングしながら炭化珪素でできた下部 n 型ドリフト層 2 a を、エピタキシャル成長させる。ここまでの状態が図 6 (a) に示されている。単結晶 $4H-SiC$ でできた n^+ 型半導体基板 1 に、下部 n 型ドリフト層 2 a 等のエピタキシャル成長させた層を形成した基板を単結晶 $4H-SiC$ エピタキシャル基板と称する。

[0067] 次に、下部 n 型ドリフト層 2 a の表面上に、フォトリソグラフィ技術によって所定の開口部を有するイオン注入用マスク 3 4 を例えば酸化膜で形成する。そして、 p 型の不純物を、酸化膜の開口部に注入し、下部 p 型カラム領域 3 a を形成する。下部 p 型カラム領域 3 a は、チャネルストップとして機能する n^+ 型領域 2 2 (不図示) と離れるように形成する。ここまでの状態が図 6 (b) に示されている。次に、イオン注入用マスク 3 4 を除去する。

[0068] 次に、下部 n 型ドリフト層 2 a と下部 p 型カラム領域 3 a の表面上に、 n 型の不純物をドーピングしながら炭化珪素でできた上部 n 型ドリフト層 2 b を、エピタキシャル成長させる。ここまでの状態が図 6 (c) に示されている。次に、ここで形成した上部 n 型ドリフト層 2 b の表面上に、フォトリソグラフィ技術によって所定の開口部を有するイオン注入用マスク 3 4 を例えば酸化膜で形成する。そして、 p 型の不純物を、酸化膜の開口部に注入し、上部 p 型カラム領域 3 b を形成する。上部 p 型カラム領域 3 b は、下部 p 型カラム領域 3 a と同様に、チャネルストップとして機能する n^+ 型領域 2 2 (不図示) と離れるように形成する。ここまでの状態が図 6 (d) に示されている。次に、イオン注入用マスク 3 4 を除去する。

[0069] 次に、図 6 (c) のエピタキシャル成長と図 6 (d) のイオン注入の工程

を所定回数繰り返し、p型カラム領域3およびn型カラム領域4を形成する。下部p型カラム領域3aと上部p型カラム領域3bは、p型カラム領域3の一部になり、下部n型ドリフト層2aと上部n型ドリフト層2bはn型カラム領域4の一部となる。また、n型カラム領域4を形成した後、n型カラム領域4の一部を打ち返して第1p⁺型ベース領域14（不図示）および第2p⁺型ベース領域15（不図示）を形成してもよい。なお、上記は所謂マルチエピ法であるが、一導電型のドリフト領域にトレンチを形成し、他導電型の不純物を含むエピタキシャル層をトレンチ内に成長させる所謂トレンチ埋め戻し法で形成してもよい。

[0070] 次に、工程を順に示した図を省略するが、図2（a）の断面図に示すように、p型カラム領域3とn型カラム領域4の表面上に、アルミニウム等のp型不純物をドーピングしたp型ベース領域6を形成する。次に、フォトリソグラフィおよびエッチングにより、エッジ終端領域31におけるp型ベース領域6の表面に例えば0.3 μm の深さで段差を形成し、エッジ終端領域31において、p型ベース領域6を除去して、n型ドリフト層2を露出させる。次に、p型ベース領域6の表面上に、フォトリソグラフィによって所定の開口部を有するイオン注入用マスクを例えばレジスト、酸化膜、半導体膜、ないし酸化膜／半導体膜の積層構造で形成する。この開口部にリン（P）等のn型の不純物をイオン注入し、p型ベース領域6の表面の一部にn⁺型ソース領域7を形成する。次に、n⁺型ソース領域7の形成に用いたイオン注入用マスクを除去する。次に、同様の方法で、所定の開口部を有するイオン注入用マスクを形成し、n型ドリフト層2の表面の一部にn型の不純物をイオン注入し、n⁺型領域22を形成する。次に、n⁺型領域22の形成に用いたイオン注入用マスクを除去する。なお、n⁺型領域22は同一マスクでn⁺型ソース領域7と同時に形成してもよい。

[0071] 次に、同様の方法で、所定の開口部を有するイオン注入用マスクを形成し、p型ベース領域6の表面の一部にアルミニウム等のp型の不純物をイオン注入し、p⁺型コンタクト領域を形成してもよい。p⁺型コンタクト領域の不純

物濃度は、p型ベース領域6の不純物濃度より高くなるように設定する。次に、エッジ終端領域31の段差およびn型ドリフト層2の表面上に、フォトリソグラフィによって所定の開口部を有するイオン注入用マスクを例えば酸化膜で形成する。この開口部にp型の不純物をイオン注入し、段差およびn型ドリフト層2の表面の一部に第1JTE領域20および第2JTE領域21を形成する。次に、第1JTE領域20および第2JTE領域21の形成に用いたイオン注入用マスクを除去する。

[0072] 次に、1700℃程度の不活性ガス雰囲気中で熱処理（アニール）を行い、p型カラム領域3、n⁺型ソース領域7、p⁺型コンタクト領域等の活性化処理を実施する。なお、上述したように1回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

[0073] 次に、p型ベース領域6の表面上に、フォトリソグラフィによって所定の開口部を有するトレンチ形成用マスクを例えば酸化膜で形成する。次に、ドライエッチングによってp型ベース領域6を貫通し、n型カラム領域4に達するトレンチ18を形成する。トレンチ18の底部はn型カラム領域4に形成された第1p⁺型ベース領域14に達してもよい。次に、トレンチ形成用マスクを除去する。

[0074] トレンチ形成用マスクを除去する前に、トレンチ形成用マスクのついた状態で、トレンチ18のダメージを除去するための等方性エッチングや、トレンチ18の底部およびトレンチ18の開口部の角を丸めるための熱処理や犠牲酸化を行ってもよい。等方性エッチングと犠牲酸化はどちらか一方のみを行ってもよい。また、等方性エッチングを行った後に犠牲酸化を行ってもよい。トレンチ形成用マスクは犠牲酸化により形成される酸化膜と同時に除去される。

[0075] 次に、n⁺型ソース領域7の表面と、トレンチ18の底部および側壁と、に沿ってゲート絶縁膜9を形成する。このゲート絶縁膜9は、酸素雰囲気中において1000℃程度の温度の熱酸化によって形成してもよい。また、この

ゲート絶縁膜 9 は高温酸化 (High Temperature Oxide : HTO) 等のような化学反応によって堆積する方法で形成してもよい。

[0076] 熱酸化によって形成した場合、熱処理 (POA (Post Oxidation Anneal) 処理) により、ゲート絶縁膜 9 と半導体部との界面の界面準位密度を低減させてもよい。HTO のような堆積法によってゲート絶縁膜 9 を形成した場合は、リーク電流の低減および比誘電率の向上のために堆積後アニール (PDA : Post Deposition Anneal) を行ってもよい。

[0077] 次に、ゲート絶縁膜 9 上に、例えばリン原子がドーピングされた多結晶シリコン層を設ける。この多結晶シリコン層はトレンチ 18 内を埋めるように形成してもよい。この多結晶シリコン層をフォトリソグラフィによりパターニングし、トレンチ 18 内部に残すことによって、ゲート電極 10 を形成する。

[0078] 次に、ゲート絶縁膜 9 およびゲート電極 10 を覆うように、例えばリンガラスを $1\ \mu\text{m}$ 程度の厚さで成膜し、層間絶縁膜 (不図示) を形成する。次に、層間絶縁膜を覆うように、チタン (Ti) または窒化チタン (TiN) からなるバリアメタル (不図示) を形成してもよい。層間絶縁膜およびゲート絶縁膜 9 をフォトリソグラフィによりパターニングし、 n^+ 型ソース領域 7 を露出させたコンタクトホールを形成する。 p^+ 型コンタクト領域を形成した場合、 n^+ 型ソース領域 7 および n^+ 型ソース領域 7 を露出させたコンタクトホールを形成する。その後、熱処理 (リフロー) を行って層間絶縁膜を平坦化する。

[0079] 次に、コンタクトホール内および層間絶縁膜上にオーミック電極 (不図示) となる導電性の膜を設ける。この導電性の膜を選択的に除去してコンタクトホール内にのみオーミック電極を残し、 n^+ 型ソース領域 7 とオーミック電極とを接触させる。 p^+ 型コンタクト領域を形成した場合、 n^+ 型ソース領域 7 および p^+ 型コンタクト領域とオーミック電極とを接触させる。次に、コンタクトホール以外のオーミック電極を選択的に除去する。

- [0080] 次に、例えばスパッタ法によって、炭化珪素半導体基板のおもて面のオーミック電極上および層間絶縁膜の上部に、ソース電極パッド（不図示）となる電極パッドを堆積する。
- [0081] 次に、 n^+ 型半導体基板 1 の第 2 主面上に、ニッケル等の裏面電極（不図示）を設ける。この後、 1000°C 程度の不活性ガス雰囲気中で熱処理を行って、 n^+ 型半導体基板 1 とオーミック接合する裏面電極を形成する。なお、トレンチ 18 を形成しない場合は、 p 型ベース領域 6 の表面領域の一部に、 n 型ウェル領域を形成し、炭化珪素半導体基板のおもて面側を熱酸化し、ゲート絶縁膜 9 を形成し、 p 型ベース領域 6 および p 型ベース領域 6 の表面に形成された各領域をゲート絶縁膜 9 で覆い、ゲート絶縁膜 9 上に、ゲート電極 10 として、多結晶シリコン層を形成し、多結晶シリコン層をパターニングして選択的に除去し、 p 型ベース領域 6 の n^+ 型ソース領域 7 と n 型ウェル領域に挟まれた部分上に多結晶シリコン層を残し、ゲート電極 10 を覆うように、層間絶縁膜を形成する。
- [0082] 上述したエピタキシャル成長およびイオン注入においては、 n 型不純物（ n 型ドーパント）として、例えば、炭化珪素に対して n 型となる窒素（N）やリン（P）、ヒ素（As）、アンチモン（Sb）などを用いればよい。 p 型不純物（ p 型ドーパント）として、例えば、炭化珪素に対して p 型となるホウ素（B）やアルミニウム（Al）、ガリウム（Ga）、インジウム（In）、タリウム（Tl）などを用いればよい。以上のようにして、図 1～図 2（c）に示す炭化珪素半導体装置が完成する。
- [0083] 以上、説明したように、実施の形態 1 によれば、終端領域第 2 並列 pn 構造での p 型カラム領域が、 n^+ 型領域（チャネルストッパ）と離れていることより、終端領域第 2 並列 pn 構造での p 型の不純物量を、活性領域並列 pn 構造および終端領域第 1 並列 pn 構造での p 型の不純物量より少なくしている。これにより、エッジ終端領域の p カラムに中性領域が残っている電圧の低い状態で、チャネルストッパと p 型カラム領域が重なる部分に電界が集中することを防止することができ、チャネルストッパ付近の電界を緩和し、エ

ッジ終端領域での耐圧の低下を防止することができる。

[0084] (実施の形態2)

図7は、実施の形態2にかかる超接合半導体装置の構造を示す平面図である。また、図8は、実施の形態2にかかる超接合半導体装置の構造を示す図7の断面図である。図8(a)は、図7のY-Y'断面図である。また、図8(b)は、図7のX-X'断面図である。また、図8(c)は、図7のX₁-X₁'断面図である。

[0085] 図7に示すように、実施の形態2では、p型カラム領域3とn型カラム領域4とが並ぶ方向と直交する、p型カラム領域3の長手方向(x方向)において、p型カラム領域3の幅wが外周に近づくにつれて狭くなっている。これにより、エッジ終端領域31のp型カラム領域3の不純物量をドレイン電位側(チャネルストッパとして機能するn⁺型領域22側)で少なくしている。このため、実施の形態1と同様に、エッジ終端領域31に中性領域(ソース電位である領域)が残っている電圧の低い状態ではチャネルストッパ(n⁺型領域22)とp型カラム領域3が重なる部分に電界が集中することを防止することができ、チャネルストッパ(n⁺型領域22)付近の電界を緩和し、エッジ終端領域31での耐圧の低下を防止することができる。

[0086] 図9は、実施の形態2にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。図9(a)は、エッジ終端領域での低電圧(V_{ds1})のシミュレーションで空乏層の広がりを示す平面図である。図9(b)は、図9(a)のX-X'断面図である。図9(a)および図9(b)に示すように、p型カラム領域3端部の不純物量が少ないため、V_{ds1}で、すでにp型カラム領域3とn型カラム領域4間の接合から伸びる空乏層32がチャネルストッパとp型カラム領域3間の接合から伸びる空乏層32とつながっている。

[0087] 図10は、実施の形態2にかかる超接合半導体装置におけるエッジ終端領域をシミュレーションした平面図である。図10(a)は、エッジ終端領域での中電圧(V_{ds2})のシミュレーションで空乏層の広がりを示す平面図

である。図10(b)は、図10(a)のX-X'断面図である。図10(a)および図10(b)に示すように、さらに V_{ds} を増加させると空乏層32端はチャネルストッパから離れるため、ソース電位の中性領域33とドレイン電位のチャネルストッパ間の電界強度が高くなり、低い電圧でブレークダウンしないようになる。

[0088] 図11は、実施の形態2にかかる超接合半導体装置のエッジ終端領域の構造をシミュレーションした図である。図11(a)は、エッジ終端領域での高電圧(V_{ds3})のシミュレーションで空乏層の広がりを示す平面図である。図11(b)は、図11(a)のX-X'断面図である。図11(a)および図11(b)に示すように、 V_{ds2} から V_{ds3} と電圧を増加させるとSJの効果により急激に中性領域33が後退する。

[0089] (実施の形態2にかかる超接合半導体装置の製造方法)

実施の形態2にかかる超接合半導体装置40の製造方法は、実施の形態1にかかる超接合半導体装置40の製造方法において、p型カラム領域3を、チャネルストッパとして機能する n^+ 型領域22の下部領域にまで形成して、p型カラム領域3の長手方向で、p型カラム領域3の幅を外周に近づくにつれて狭くすることで製造することができる。

[0090] 以上、説明したように、実施の形態2によれば、p型カラム領域の長手方向において、p型カラム領域の幅が外周に近づくにつれて狭くなっている。これにより、終端領域第2並列pn構造でのp型の不純物量を、活性領域並列pn構造および終端領域第1並列pn構造でのp型の不純物量より少なくしている。このため、実施の形態1と同様の効果を得ることができる。

[0091] (実施の形態3)

図12は、実施の形態3にかかる超接合半導体装置の構造を示す平面図である。図13は、実施の形態3にかかる超接合半導体装置の構造を示す断面図である。図13(a)は、図12のY-Y'断面図である。図13(b)は、図12のX-X'断面図である。図13(c)は、図12のX1-X1'断面図である。

[0092] 図12に示すように、実施の形態3では、p型カラム領域3の長手方向において、終端領域第2並列pn構造19cでのp型カラム領域3を、チャンネルストッパとして機能するn⁺型領域22と離し、かつ、p型カラム領域3の長手方向において、p型カラム領域3の幅wが外周に近づくにつれて狭くなっている。つまり、実施の形態1の特徴と実施の形態2の特徴の両方を備えている。

[0093] これにより、実施の形態1および実施の形態2と同様に、エッジ終端領域31に中性領域（ソース電位である領域）が残っている電圧の低い状態で、チャンネルストッパ（n⁺型領域22）とp型カラム領域3が重なる部分に電界が集中するのを防止することができ、チャンネルストッパ（n⁺型領域22）付近の電界を緩和し、エッジ終端領域31での耐圧の低下を防止することができる。

[0094] （実施の形態3にかかる超接合半導体装置の製造方法）

実施の形態3にかかる超接合半導体装置40の製造方法は、実施の形態1にかかる超接合半導体装置40の製造方法において、p型カラム領域3の長手方向で、p型カラム領域3をチャンネルストッパとして機能するn⁺型領域22と離れるように形成し、かつ、p型カラム領域3の長手方向で、p型カラム領域3の幅を外周に近づくにつれて狭くすることで製造することができる。

[0095] 以上、説明したように、実施の形態3によれば、p型カラム領域の長手方向において、終端領域第2並列pn構造でのp型カラム領域がチャンネルストッパとして機能するn⁺型領域と離れ、かつ、p型カラム領域の長手方向において、p型カラム領域の幅が外周に近づくにつれて狭くなっている。これにより、終端領域第2並列pn構造でのp型の不純物量を、活性領域並列pn構造および終端領域第1並列pn構造でのp型の不純物量より少なくしている。このため、実施の形態1および実施の形態2と同様の効果を得ることができる。

[0096] （実施の形態4）

実施の形態4にかかる超接合半導体装置の構造を示す平面図は、図12と同じであるため、記載を省略する。図14は、実施の形態4にかかる超接合半導体装置の構造を示す断面図である。図14(a)は、図12のY-Y'断面図である。図14(b)は、図12のX-X'断面図である。図14(c)は、図12のX1-X1'断面図である。

[0097] 図14(a)～図14(c)に示すように、実施の形態4では、p型カラム領域3およびn型カラム領域4が、n⁺型半導体基板1に達していない所謂セミスJ構造である。このため、並列pn構造19とn⁺型半導体基板1の間にn型ドリフト層2が存在している。実施の形態4でも、実施の形態3と同様に、p型カラム領域3の長手方向において、終端領域第2並列pn構造19cでのp型カラム領域3を、チャネルストッパとして機能するn⁺型領域22と離し、かつ、p型カラム領域3の長手方向において、p型カラム領域3の幅を外周に近づくにつれて狭くしている。

[0098] これにより、実施の形態3と同様に、エッジ終端領域31に中性領域（ソース電位である領域）が残っている電圧の低い状態ではチャネルストッパとp型カラム領域3が重なる部分に電界が集中することを防止することができ、チャネルストッパ付近の電界を緩和し、エッジ終端領域31での耐圧の低下を防止することができる。

[0099] （実施の形態4にかかる超接合半導体装置の製造方法）

実施の形態4にかかる超接合半導体装置40の製造方法は、実施の形態3にかかる超接合半導体装置40の製造方法において、p型カラム領域3およびn型カラム領域4を、n⁺型半導体基板1に達しないように形成することで製造することができる。

[0100] 以上、説明したように、実施の形態4によれば、p型カラム領域およびn型カラム領域が、n⁺型半導体基板1に達していない。この形状のSJ構造でも、実施の形態3と同様の効果を得ることができる。

[0101] また、従来の超接合半導体装置と同様の構造にして、終端領域第2並列pn構造19cのp型カラム領域3の不純物濃度を、p型カラム領域3の長手

方向（x方向）において、外周に近づくにつれて減少するようにしてもよい。これにより、エッジ終端領域31のp型カラム領域3の不純物量をドレイン電位側（チャンネルストッパ側）で少なくしている。

[0102] この場合も、上記の実施の形態1～4と同様の効果が得られる。また、上記の実施の形態1～4において、p型カラム領域3の不純物濃度を、外周に近づくにつれて減少するようにしてもよい。

[0103] （実施の形態5）

図15は、実施の形態5にかかる超接合半導体装置であり、図3～図5および図9～図11と同様にシミュレーションするために設定したp型カラム領域の長手方向の端部を示す上面図である。実施の形態5では、並列pn構造19は、n型カラム領域4およびp型カラム領域3の長手方向（x方向）で、n⁺型領域22と接する領域Sでは、nリッチとなっている。つまり、領域Sでは、n型カラム領域4の幅とn型カラム領域4の不純物濃度との積が、p型カラム領域3の幅とp型カラム領域3の不純物濃度との積より大きくなっている。

[0104] 例えば、図15（a）に示すように、n型カラム領域4の不純物濃度とp型カラム領域3の不純物濃度とを同じにして、並列pn構造19がn⁺型領域22と接する領域Sの近傍で、p型カラム領域3の幅W2をn型カラム領域4の幅W1より狭くしてもよい。また、図15（b）に示すように、n型カラム領域4の不純物濃度とp型カラム領域3の不純物濃度とを同じにして、並列pn構造19がn⁺型領域22と接する領域Sに近づくにつれて、p型カラム領域3の幅W2を単調減少させてもよい。また、p型カラム領域3の幅W2とn型カラム領域4の幅W1を同じにして、n型カラム領域4の不純物濃度をp型カラム領域3の不純物濃度より高くしてもよい。また、表面付近のp型カラム領域3と高濃度のn⁺型領域22が接する箇所に、特に電界が集中するため、n⁺型領域22と接する領域Sの表面付近のみ、nリッチとしてもよい。

[0105] また、実施の形態5では、図15（c）に示すように、並列pn構造19

のp型カラム領域3を、p型カラム領域3の長手方向で、n⁺型領域22と距離Lだけ離して設けてもよい。この場合、エッジ終端領域31のn⁺型領域22の近傍では、距離Lを離すほどnリッチとなる。この距離Lを離すことで、並列pn構造19のp型カラム領域3の長手方向の端部において、活性領域と同じくpリッチとすることができる。この場合、p型カラム領域3の長手方向とn型カラム領域4の長手方向でそれぞれの幅と不純物濃度を変えずに活性領域と同じとすることができる。

[0106] よって、図15(c)に示すように、並列pn構造19のp型カラム領域3を、p型カラム領域3の長手方向で、n⁺型領域22と距離Lだけ離すと、n型カラム領域4の不純物濃度とp型カラム領域3の不純物濃度とを同じにして、p型カラム領域3の長手方向全体で、p型カラム領域3の幅W2をn型カラム領域4の幅W1と同じまたはより広くしてもよい。また、p型カラム領域3の幅W2とn型カラム領域4の幅W1を同じにして、n型カラム領域4の不純物濃度をp型カラム領域3の不純物濃度と同じまたはより低くしてもよい。また、表面付近のp型カラム領域3と高濃度のn⁺型領域22が接する箇所に、特に電界が集中するため、表面付近のみ、p型カラム領域3をn⁺型領域22と距離Lだけ離して設けてもよい。

[0107] ここで、図16は、耐圧1200V級のSJ-SiCMOSFETについて図15(c)の構造とした場合の高温での耐圧低下を示すグラフである。図16において、縦軸はドレインソース間電流 I_{DS} を示し、単位はAである。横軸はドレインソース間電圧 V_{DS} を示し、単位はVである。図16では、セルピッチ5 μ mのセミSJ構造のSiCMOSFETに V_{GS} を0Vにして、並列pn構造19をnリッチまたはpリッチにした場合の室温(RT)と高温(175℃)での耐圧低下を示している。

[0108] 図16(a)では50%pリッチにした場合を示し、図16(b)では30%pリッチにした場合を示し、図16(c)では10%nリッチにした場合を示し、図16(d)では50%nリッチにした場合を示す。ここで、50%pリッチとは、p型カラム領域3の幅とp型カラム領域3の不純物濃度

との積が、 n 型カラム領域4の幅と n 型カラム領域4の不純物濃度との積の50%増、つまり1.5倍であることを示す。30%pリッチ、10%nリッチ、50%nリッチも同様である。

[0109] 図16(a)に示すように、50%pリッチにした場合では、高温(175℃)になると、室温(RT)より、58%耐圧が低下し、図16(b)に示すように、30%pリッチにした場合では、高温(175℃)になると、室温(RT)より、26%耐圧が低下する。一方、図16(c)に示すように、10%nリッチにした場合、図16(d)に示すように、50%nリッチにした場合では、高温(175℃)でも耐圧の低下がないことが分かる。

[0110] このため、実施の形態5では、 p 型カラム領域3と高濃度の n^+ 型領域22が接する箇所に、高温で電界が集中することを防止するため、図15(a)、図15(b)に示すように、 n 型カラム領域4および p 型カラム領域3の長手方向で、 n^+ 型領域22と接する領域Sでは、 n リッチとしている。これにより、 $A1$ イオン注入により生成される深い電子トラップや深い正孔トラップを減らし、多数キャリアが高温でデトラップされることを減らし、空乏層が縮むことを抑止している。このため、チャネルストッパとして機能する n^+ 型領域22と p 型カラム領域3の交差する部分を n リッチとすることで、高温(175℃)での耐圧低下を抑制することができる。 p 型カラム領域3と高濃度の n^+ 型領域22の形成は別の工程となり、 p 型カラム領域3の端部と高濃度の n^+ 型領域22のマスク合わせによる形成位置にばらつきが生ずる。 n 型カラム領域4および p 型カラム領域3の長手方向で、 n^+ 型領域22と接する構造では、接する位置が製造ばらつきによってずれたとしても、 n 型カラム領域4および p 型カラム領域3の幅を変えて n リッチとしてある部分であるので耐圧低下の抑制に影響がなく、かつ n 型カラム領域4および p 型カラム領域3の幅を変えるだけなので設計の自由度及び製造の自由度が高い。

[0111] また、図15(c)に示すように、並列 pn 構造19の p 型カラム領域3を、 p 型カラム領域3の長手方向で、 n^+ 型領域22と距離 L だけ離すことよ

り、p型カラム領域3と高濃度のn⁺型領域22が接する箇所を無くし、高温時にチャネルストッパであるn⁺型領域22近傍でブレークダウンすることを防ぐことができる。アバランシェ耐量を高くするため活性領域をpリッチの構造とした場合に、活性領域のp型カラム領域3およびn型カラム領域4の幅を端部まで変えずに済むため、並列pn構造を精度よく形成できる。

[0112] 図17は、耐圧3300V級のフルSJ-SiCMOSFETの V_{ds} と C_{oss} との関係を示すグラフである。図17において、縦軸は出力容量 C_{oss} を示し、単位はFである。横軸はドレインソース間電圧 V_{ds} を示し、単位はVである。図17では、SJ-SiCMOSFETの温度を変えた場合の V_{ds} と C_{oss} との関係を示し、図17(a)は-55℃の場合であり、図17(b)は25℃の場合であり、図17(c)は、140℃の場合である。図17では、SJ-SiCMOSFETの動作周波数が1MHz、100kHz、10kHz、1kHzの場合を示している。

[0113] また、図17は、p型カラム領域3の不純物濃度を $6 \times 10^{16} / \text{cm}^3$ 、n型カラム領域4の不純物濃度を $3 \times 10^{16} / \text{cm}^3$ 、p型カラム領域3の幅を1.5 μm 、n型カラム領域4の幅を3.5 μm で、p型カラム領域3に注入した不純物の活性化率を70%として計算している。ここで、活性化率とは、電氣的に活性化した真のドーピング濃度分布について、p型カラム領域3の領域にわたって真のドーピング濃度を積分した積分濃度を、注入ドーズ量にて割った値と定義する。なお、真のドーピング濃度は、周知のC-V（静電容量-印加電圧）測定によって得ることができる。

[0114] 図17に示すように、低温（-55℃）や室温（25℃）では、高周波数（1MHz）になると C_{oss} が低下しているが、高温（140℃）では高周波数でも低周波数（1kHz）でも C_{oss} が同じになっている。これは、深い準位があると高い周波数に追従できなく、容量が小さく見えるためである。低周波数にすると、深いトラップ（準位）でも追従できるため、容量が大きくなる。また、温度を高くすると、キャリアの応答がよくなるため、高周波数でも低周波数でも容量が大きくなる。このように、高温になったり、周波数

が低くなると、容量が大きくなる。容量が大きくなることは、空乏層が縮むことを意味している。この結果からも図15に示すように、チャネルストッパとして機能する n^+ 型領域22とp型カラム領域3の交差する部分をnリッチとすることがよい。

[0115] 図18は、耐圧3300V級のSJ-SiCMOSFETでのp型カラム領域の幅とp型カラム領域の空乏化電圧との関係を示すグラフである。図18において、縦軸は空乏化電圧を示し、単位はVである。横軸はp型カラム領域3の幅を示し、単位は μm である。図18では、p型カラム領域3に注入したアルミニウムの活性化率が70%、90%、100%の場合を示している。活性化率が100%の場合は、エピタキシャル成長で形成した場合であり、活性化率が70%及び90%はイオン注入で形成した場合の下限值と上限値を示す。図18のSJ-SiCMOSFETの構成は、図17のSJ-SiCMOSFETの構成と同じである。

[0116] 図18に示すように、p型カラム領域3の幅が大きくなる、つまり、pリッチになるに従い、空乏化電圧は大きくなり、活性化率が大きくなるに従い、空乏化電圧は大きくなる。このため、高温時にチャネルストッパである n^+ 型領域22近傍でブレークダウンすることを防ぐためのp型カラム領域3と n^+ 型領域22との距離Lは、活性化率を考慮して決める必要がある。

[0117] 図19は、絶縁破壊電界のドーピング密度依存性を示すグラフである。図19において、縦軸は絶縁破壊電界を示し、単位はV/cmである。横軸はドーピング密度を示し、単位は $/cm^3$ である。図19では、Siの他、3C-SiC、4H-SiC、6H-SiCの場合、どれくらいで、ブレークダウンするかを示している。図19より、4H-SiCで、p型カラム領域3の不純物濃度（ドーピング密度）が $6 \times 10^{16}/cm^3$ の場合、絶縁破壊電界は、 $3 \times 10^6 V/cm$ となる。

[0118] 図20は、Al活性化率70%（イオン注入で形成した場合の下限值）の場合のp型カラム領域と n^+ 型領域との距離と、ブレークダウン電圧との関係を示すグラフである。図20において、縦軸はブレークダウン電圧を示し、

単位はVである。横軸はp型カラム領域3とn⁺型領域22との距離Lを示し、単位はμmである。図20は、SJ-SiCMOSFETの構成を、図18の構成と同じにして計算した結果である。図20では、絶縁破壊電界E_{max}が $3 \times 10^6 \text{ V/cm}$ の場合と、絶縁破壊電界E_{max}は、横方向E_{max}が縦方向E_{max}の0.8倍になる場合があるため、絶縁破壊電界E_{max}×0.9、E_{max}×0.8の場合も計算している。ここの横方向、縦方向とは、炭化珪素半導体基板のC軸に対する方向である。一般的なSi面、C面のプレーナ型やm面、a面のトレンチ型であるMOSFET又はIGBTでは深さ方向が略C軸方向で、p型カラム領域3の長手方向がC軸に垂直であるため、絶縁破壊電界E_{max}は、横方向のE_{max}を用いて、距離Lの大きさを決定している。図20には、p型カラム領域3の幅を1.5μmから、+30%、+50%にして、pリッチにした場合のp型カラム領域3の空乏化電圧も直線によって示している。

[0119] 図20に示すように、p型カラム領域3の不純物濃度が $6 \times 10^{16} \text{ /cm}^3$ 、Al活性化率70%の場合、E_{max}×0.8の場合でも、p型カラム領域3とn⁺型領域22との距離Lが0μmでも、p型カラム領域3が空乏化するので、n⁺型領域22ではブレークダウンしない。このため、Al活性化率70%を超える場合に、p型カラム領域3とn⁺型領域22との距離Lを0μmより大きく設定する。

[0120] 図21は、Al活性化率90%（イオン注入で形成した場合の上限値）の場合のp型カラム領域とn⁺型領域との距離と、ブレークダウン電圧との関係を示すグラフである。図21において、縦軸はブレークダウン電圧を示し、単位はVである。横軸はp型カラム領域3とn⁺型領域22との距離Lを示し、単位はμmである。図21は、図20と同じ構成で計算した結果である。

[0121] 図21に示すように、p型カラム領域3の不純物濃度が $6 \times 10^{16} \text{ /cm}^3$ 、Al活性化率90%の場合、絶縁破壊電界E_{max}の場合で、p型カラム領域3の幅+30%でp型カラム領域3とn⁺型領域22との距離Lが0.1μm以下だとn⁺型領域22近傍でブレークダウンが発生する。このため、p型

カラム領域3とn⁺型領域22との距離Lが0.1 μm より大きいことが好ましい。

[0122] また、絶縁破壊電界E_{max}の場合、p型カラム領域3の幅+50%でp型カラム領域3とn⁺型領域22との距離Lが0.4 μm 以下だとn⁺型領域22近傍でブレークダウンが発生する。また、横方向E_{max}が縦方向E_{max}より小さい場合、つまりE_{max}×0.8の場合は、必要な距離がさらに増加する。

[0123] 図22は、A1活性化率100%の場合のp型カラム領域とn⁺型領域との距離と、ブレークダウン電圧との関係を示すグラフである。A1活性化率100%は、例えば、p型カラム領域3をエピタキシャル成長で形成した場合である。図22において、縦軸はブレークダウン電圧を示し、単位はVである。横軸はp型カラム領域3とn⁺型領域22との距離Lを示し、単位は μm である。図22は、図20と同じ構成で計算した結果である。

[0124] 図22に示すように、p型カラム領域3の不純物濃度が $6 \times 10^{16} / \text{cm}^3$ 、A1活性化率100%の場合、絶縁破壊電界E_{max}の場合で、p型カラム領域3の幅+30%でp型カラム領域3とn⁺型領域22との距離Lが0.4 μm 以下だとn⁺型領域22近傍でブレークダウンが発生する。このため、p型カラム領域3とn⁺型領域22との距離Lが0.4 μm より大きいことが好ましい。

[0125] また、絶縁破壊電界E_{max}の場合、p型カラム領域3の幅+50%でp型カラム領域3とn⁺型領域22との距離Lが1.0 μm 以下だとn⁺型領域22近傍でブレークダウンが発生する。このため、p型カラム領域3とn⁺型領域22との距離Lが1.0 μm より大きいことが好ましい。また、横方向E_{max}が縦方向E_{max}より小さい場合、つまりE_{max}×0.8の場合は、必要な距離がさらに増加する。

[0126] 図23は、実施の形態5にかかる超接合半導体装置の平面視構造から平面視で4隅の1つを拡大して示した、p型カラム領域とn⁺型領域との近傍の構成を示す上面図である。n⁺型領域22は、活性領域30を取り囲むように設

けられ、直線部分とコーナ一部の曲線部分とから構成されている。図23のS1が指す点線の領域内のように、p型カラム領域3の長手方向で、p型カラム領域3とn⁺型領域22とが離間する距離L1は、n⁺型領域22の直線部では一様であることが好ましい。また、n⁺型領域22のコーナ一部のp型カラム領域3とn⁺型領域22とが離間する距離L2は、直線部での距離L1と同じかまたは長いことが好ましい。

[0127] また、図23のS2が指す点線の領域内のように、p型カラム領域3の長手方向の端部は、n⁺型領域22のコーナ部では、n⁺型領域22の曲率に合わせて傾斜している。これにより、コーナ部でも、p型カラム領域3とn⁺型領域22とが離間する距離は、一様になる。

[0128] (実施の形態5にかかる超接合半導体装置の製造方法)

実施の形態5にかかる超接合半導体装置40の製造方法は、実施の形態1にかかる超接合半導体装置40の製造方法において、p型カラム領域3の長手方向において、p型カラム領域3の幅を狭くする、またはp型カラム領域3がn⁺型領域22に達しないように形成することで製造することができる。

[0129] 以上、説明したように、実施の形態5によれば、n型カラム領域およびp型カラム領域の長手方向で、n⁺型領域と接する領域では、nリッチとなっている。これにより、A1イオン注入により生成される深い電子トラップや深い正孔トラップを減らし、多数キャリアが高温でデトラップされることを減らし、空乏層が縮むことを抑止している。このため、チャネルストッパとして機能するn⁺型領域とp型カラム領域の交差する部分をnリッチとすることで、高温（175℃）での耐圧低下を抑制することができる。また、並列pn構造のp型カラム領域を、p型カラム領域の長手方向で、n⁺型領域と距離Lだけ離すことより、p型カラム領域と高濃度のn⁺型領域が接する箇所を無くし、高温時にチャネルストッパであるn⁺型領域近傍でブレークダウンすることを防ぐことができる。

[0130] 以上において本発明では、炭化珪素でできた炭化珪素基板の第1主面上にMOSゲート構造を構成した場合を例に説明したが、これに限らず、基板主

面の面方位などを種々変更可能である。また、本発明では、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。また、本発明は、チャネルが基板表面に対して垂直に形成されるトレンチ構造の半導体装置だけでなく、チャネルが基板表面に対して平行に形成されるプレーナ構造にも適用可能である。また、上述した各実施の形態では、ワイドバンドギャップ半導体として炭化珪素を用いた場合を例に説明したが、窒化ガリウム（Ga N）など炭化珪素以外のワイドバンドギャップ半導体、および、ワイドバンドギャップ半導体以外のシリコン等を用いた場合においても同様の効果が得られる。また、本発明ではトレンチ18がp型カラム領域3、n型カラム領域4の長手方向に平行な構造の実施例で説明したが、トレンチ18がp型カラム領域3、n型カラム領域4の長手方向に垂直な構造でも同様の効果が得られる。

産業上の利用可能性

[0131] 以上のように、本発明にかかる超接合半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

符号の説明

- [0132]
- 1、101 n⁺型半導体基板
 - 2、102 n型ドリフト層
 - 2a 下部n型ドリフト層
 - 2b 上部n型ドリフト層
 - 3、103 p型カラム領域
 - 3a 下部p型カラム領域
 - 3b 上部p型カラム領域
 - 4、104 n型カラム領域
 - 6、106 p型ベース領域
 - 7、107 n⁺型ソース領域

- 9、109 ゲート絶縁膜
- 10、110 ゲート電極
- 14、114 第1 p⁺型ベース領域
- 15、115 第2 p⁺型ベース領域
- 18、118 トレンチ
- 19、119 並列 p n 構造
- 19 a 活性領域並列 p n 構造
- 19 b 終端領域第1 並列 p n 構造
- 19 c 終端領域第2 並列 p n 構造
- 20、120 第1 J T E 領域
- 21、121 第2 J T E 領域
- 22、122 n⁺型領域
- 30、130 活性領域
- 31、131 エッジ終端領域
- 32、132 空乏層
- 33、133 中性領域
- 34 イオン注入用マスク
- 40、140 S J - M O S F E T

請求の範囲

- [請求項1] 電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する超接合半導体装置であって、
前記活性領域および前記終端構造部は、
第1導電型の半導体基板のおもて面に設けられた、前記半導体基板より低不純物濃度の第1導電型の第1半導体層と、
前記第1半導体層の表面に設けられた、ストライプ状の第1導電型の第1カラムとストライプ状の第2導電型の第2カラムとが前記おもて面に平行な方向に繰り返し交互に配置された並列pn構造と、
を備え、
前記終端構造部は、平面視において前記並列pn構造を取り囲むように配置され前記並列pn構造の表面層に設けられたチャネルストッパを備え、
前記並列pn構造は、前記第1カラムおよび前記第2カラムの長手方向で、前記チャネルストッパと接する領域において、前記第2カラムの幅と前記第2カラムの不純物濃度の積が、前記第1カラムの幅と前記第1カラムの不純物濃度の積より小さいことを特徴とする超接合半導体装置。
- [請求項2] 電流が流れる活性領域と、前記活性領域の外側に配置され、耐圧構造が形成された終端構造部と、を有する超接合半導体装置であって、
前記活性領域および前記終端構造部は、
第1導電型の半導体基板のおもて面に設けられた、前記半導体基板より低不純物濃度の第1導電型の第1半導体層と、
前記第1半導体層の表面に設けられた、ストライプ状の第1導電型の第1カラムとストライプ状の第2導電型の第2カラムとが前記おもて面に平行な方向に繰り返し交互に配置された並列pn構造と、
を備え、
前記終端構造部は、平面視において前記並列pn構造を取り囲むよ

うに配置されたチャネルストッパを備え、

前記並列 p n 構造の前記第 2 カラムは、前記第 2 カラムの長手方向で、前記チャネルストッパと離して設けられ、

前記並列 p n 構造の前記第 2 カラムの長手方向の端部において、前記第 2 カラムの幅と前記第 2 カラムの不純物濃度の積が、前記第 1 カラムの幅と前記第 1 カラムの不純物濃度の積と同じまたはより大きく、

前記並列 p n 構造の前記第 2 カラムが、表面電極電位と直接接続された前記第 2 カラムの長手方向で、前記チャネルストッパと離間する距離は、前記チャネルストッパの直線部では一様であり、前記チャネルストッパのコーナー部では、前記直線部の距離と同じまたはより長いことを特徴とする超接合半導体装置。

[請求項3] 前記第 2 カラムの長手方向で、前記第 2 カラムと前記チャネルストッパとは $0.1 \mu\text{m}$ 以上離れていることを特徴とする請求項 2 に記載の超接合半導体装置。

[請求項4] 前記第 2 カラムは、第 2 導電型の不純物が注入され、注入された不純物の活性化率は 70% より大きく 90% 以下であることを特徴とする請求項 2 または 3 に記載の超接合半導体装置。

[請求項5] 前記第 2 カラムは、前記第 1 半導体層の表面に堆積された領域であり、

前記第 2 カラムの長手方向で、前記第 2 カラムと前記チャネルストッパとは $0.4 \mu\text{m}$ 以上離れていることを特徴とする請求項 2 に記載の超接合半導体装置。

[請求項6] 前記並列 p n 構造の前記第 2 カラムの長手方向の端部は、前記チャネルストッパのコーナー部では、前記チャネルストッパの曲率に合わせて傾斜していることを特徴とする請求項 2 に記載の超接合半導体装置。

[請求項7] 前記活性領域が、

前記並列 p n 構造の表面側に設けられた、第 2 導電型の第 2 半導体層と、

前記第 2 半導体層の表面層に選択的に設けられた、第 1 導電型の第 1 半導体領域と、

前記第 2 半導体層の表面側に設けられた、前記第 2 半導体層に接触するゲート絶縁膜と、

前記ゲート絶縁膜の前記第 2 半導体層と接触する面と反対側の表面側に設けられた、ゲート電極と、

を備えることを特徴とする請求項 1 ～ 6 のいずれか一つに記載の超接合半導体装置。

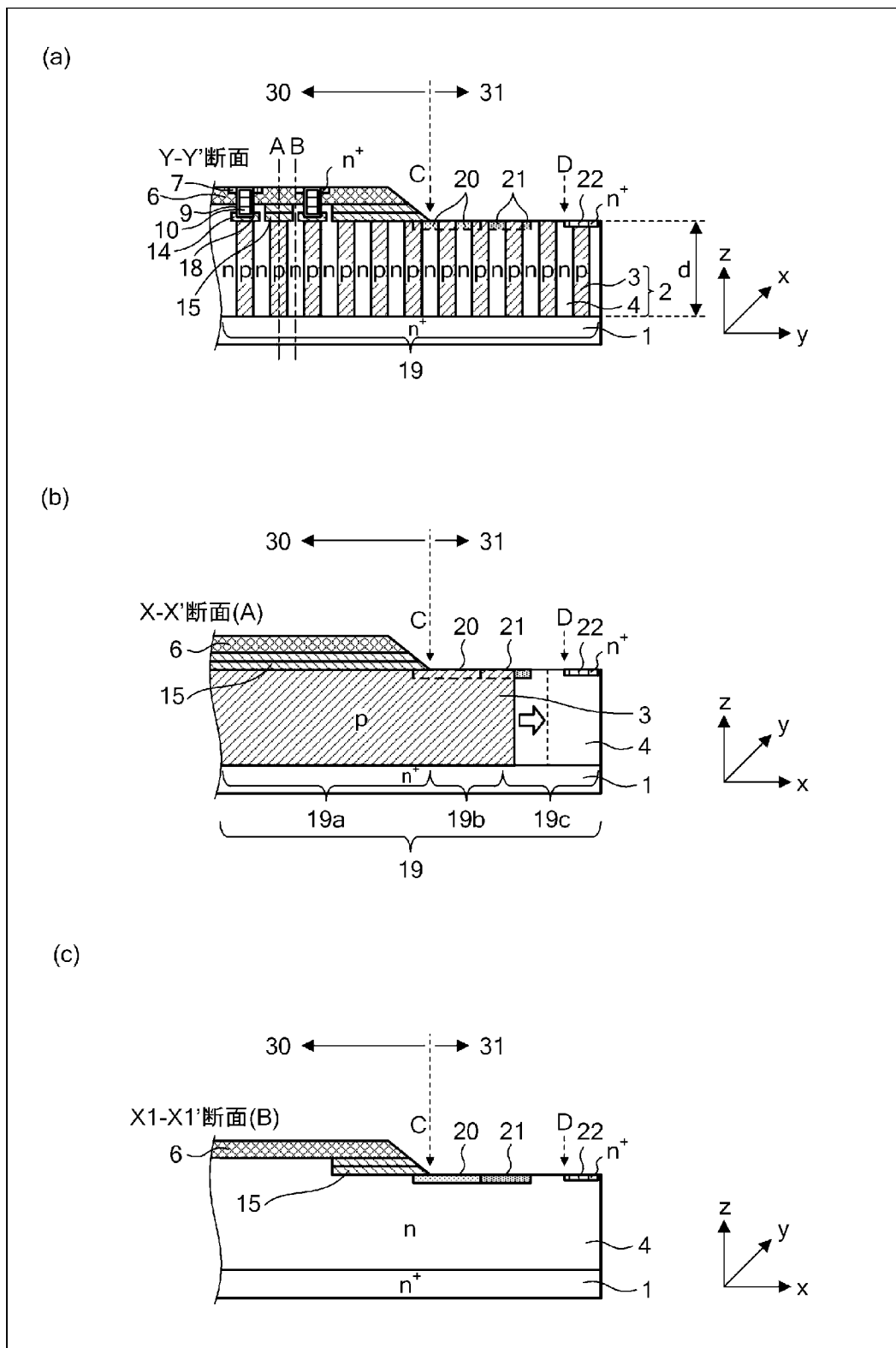
[請求項 8] 前記並列 p n 構造の前記第 1 カラムおよび前記第 2 カラムは、前記半導体基板に達していないことを特徴とする請求項 1 ～ 7 のいずれか一つに記載の超接合半導体装置。

[請求項 9] 前記半導体基板は、ワイドバンドギャップ半導体で構成されていることを特徴とする請求項 1 ～ 8 のいずれか一つに記載の超接合半導体装置。

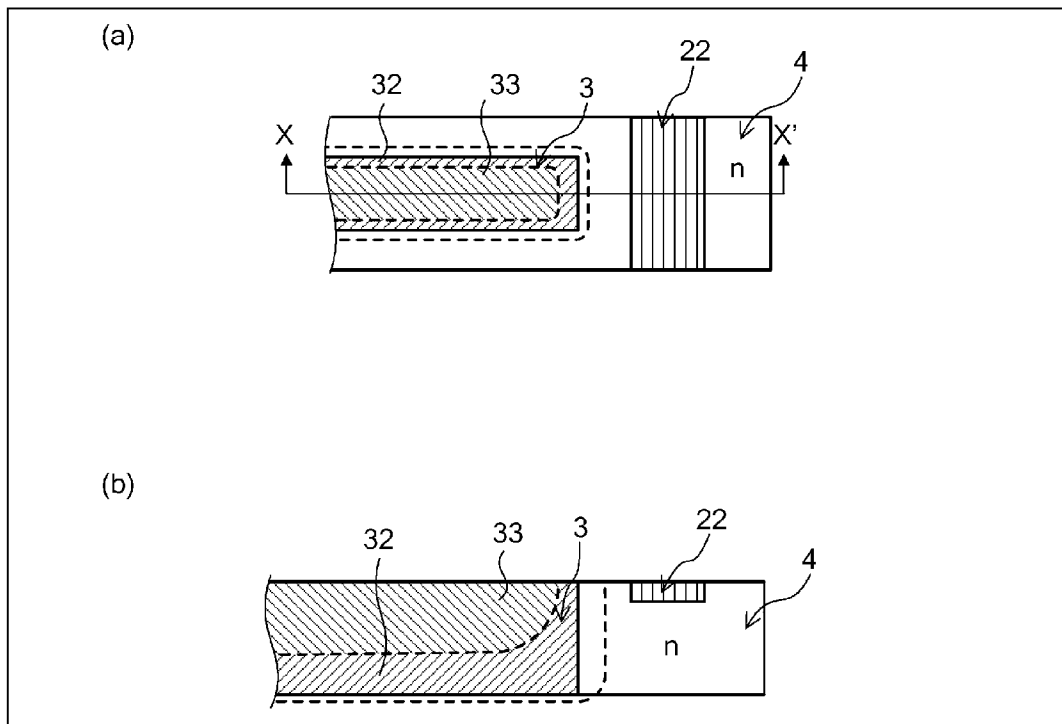
[請求項 10] 前記チャネルストッパは、第 1 導電型であることを特徴とする請求項 1 ～ 9 のいずれか一つに記載の超接合半導体装置。

[請求項 11] 前記半導体基板は、炭化珪素半導体であり、
前記第 1 導電型は、窒素を前記炭化珪素半導体に添加することにより形成された n 型であり、
前記第 2 導電型は、アルミニウムを前記炭化珪素半導体に添加することにより形成された p 型であることを特徴とする請求項 1 ～ 10 のいずれか一つに記載の超接合半導体装置。

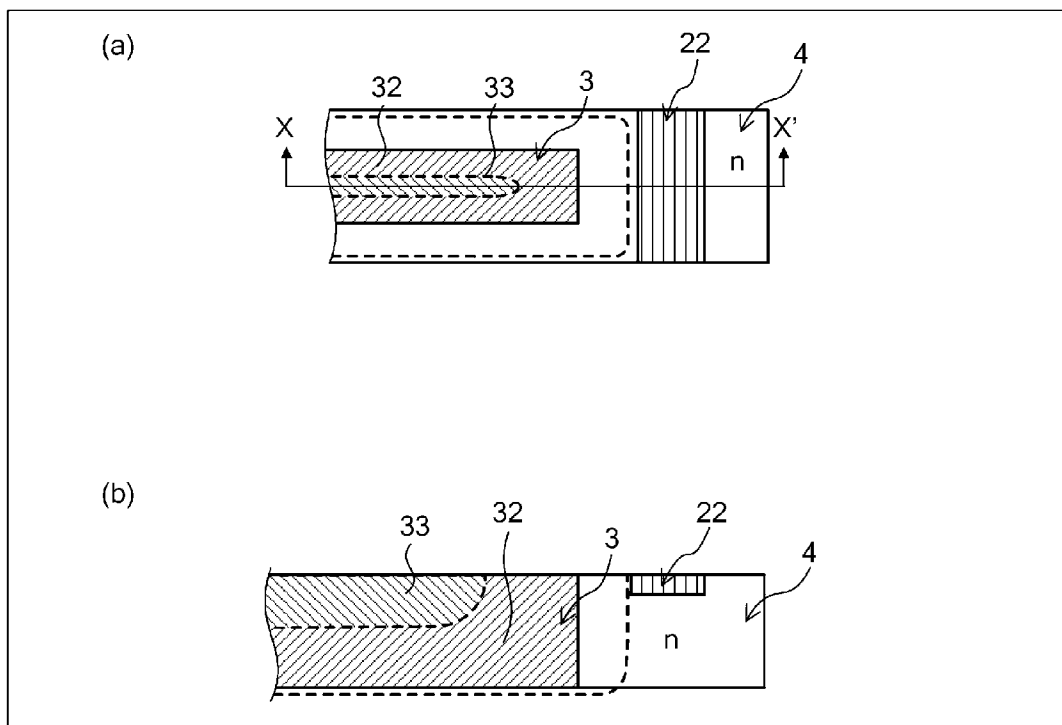
[図2]



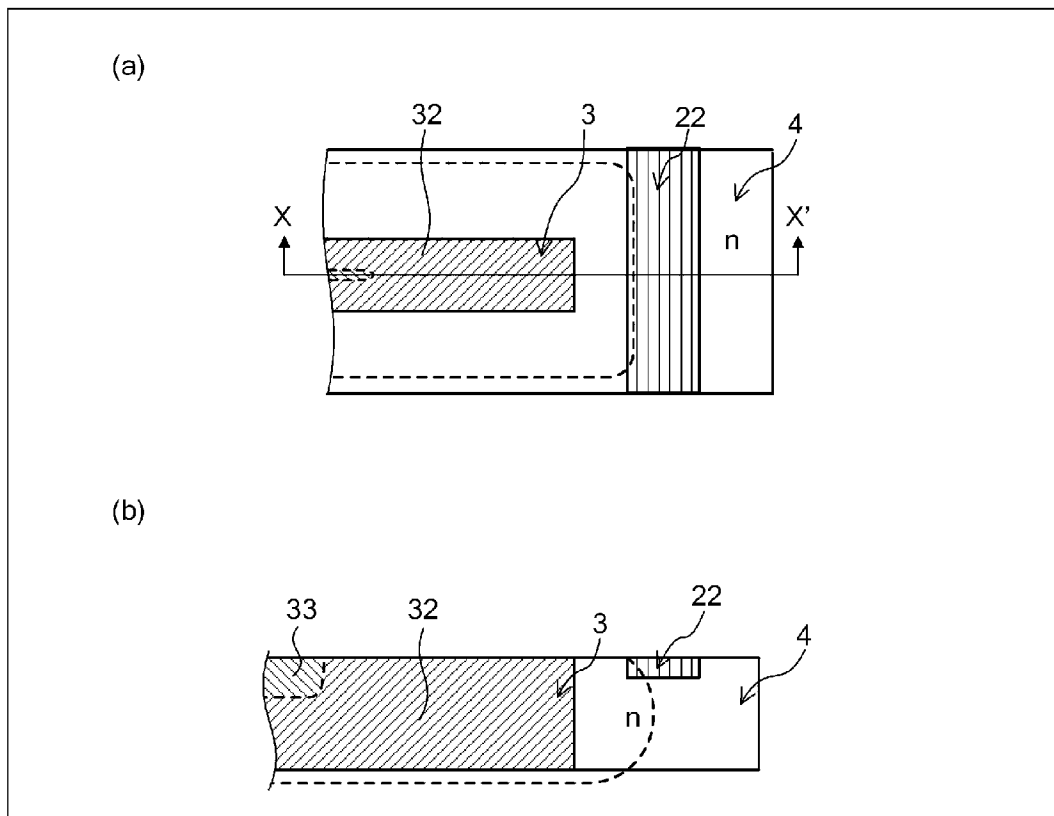
[図3]



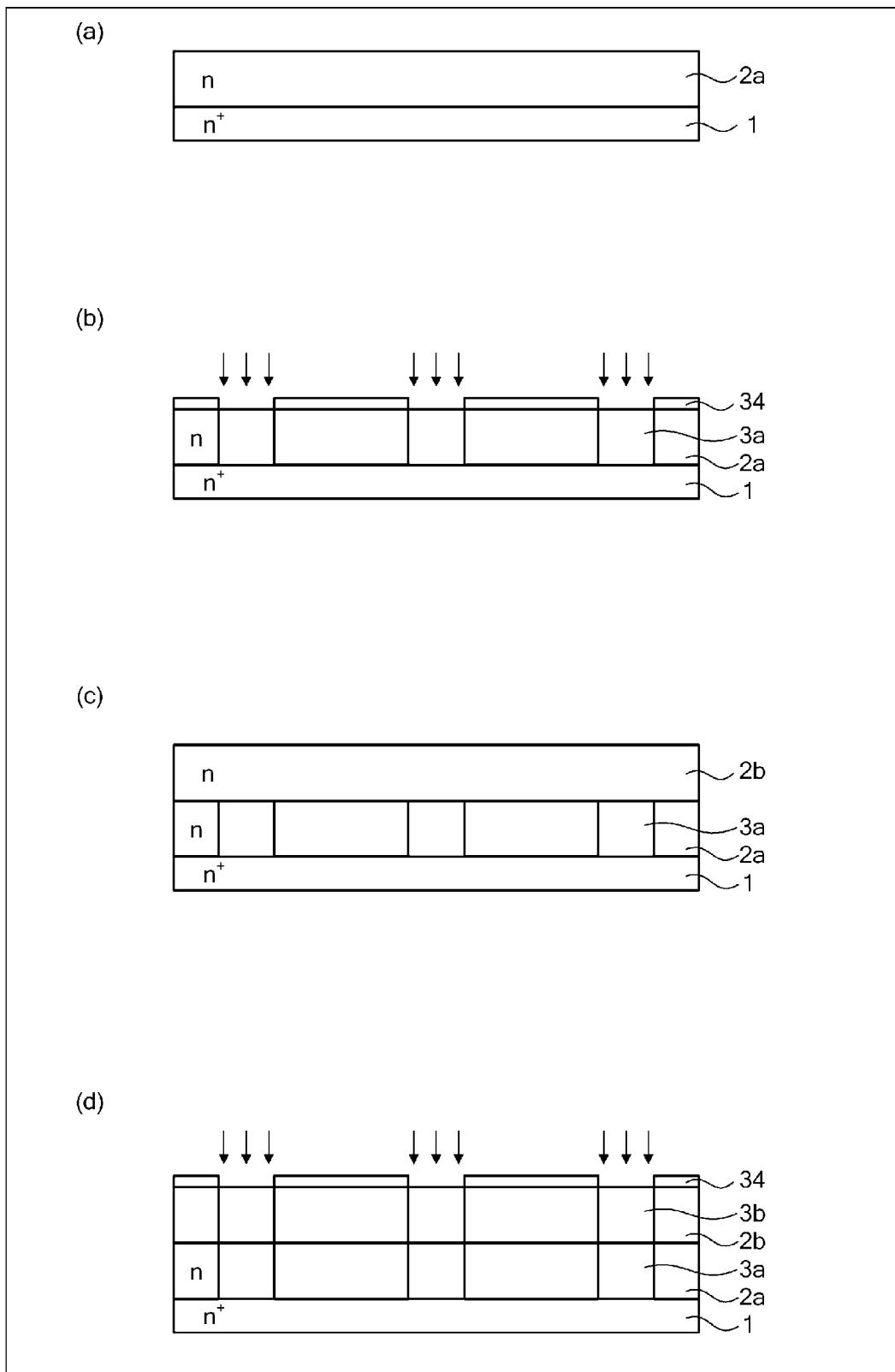
[図4]



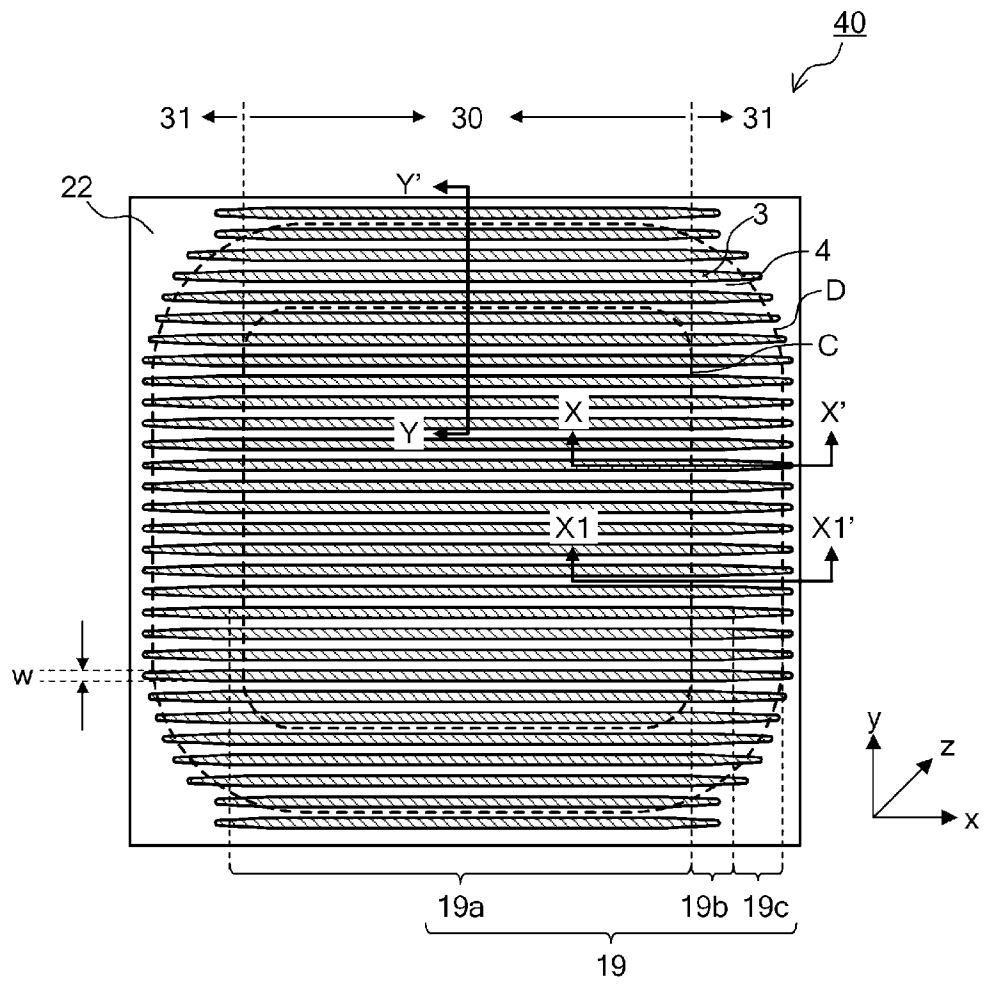
[図5]

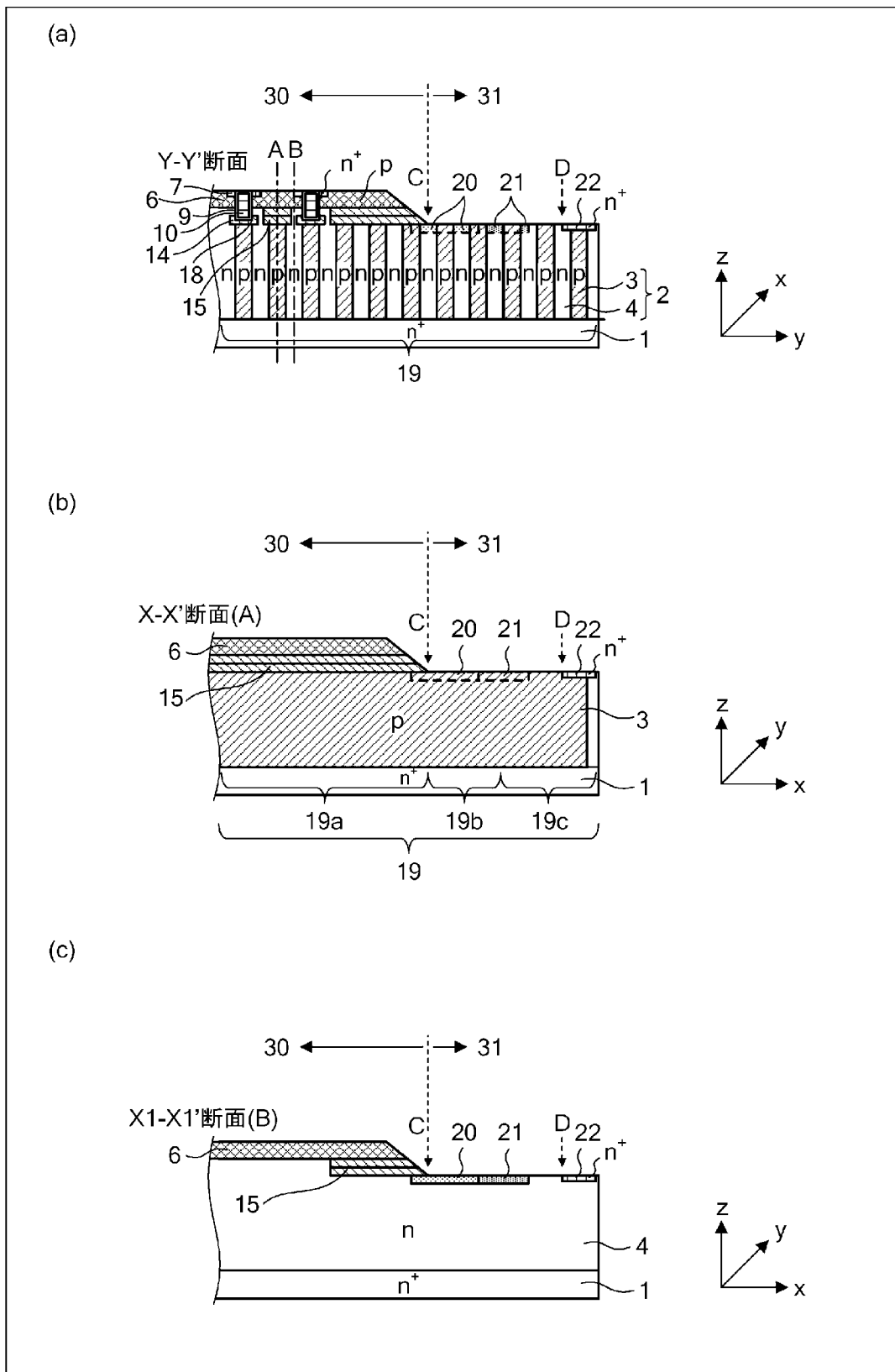


[図6]

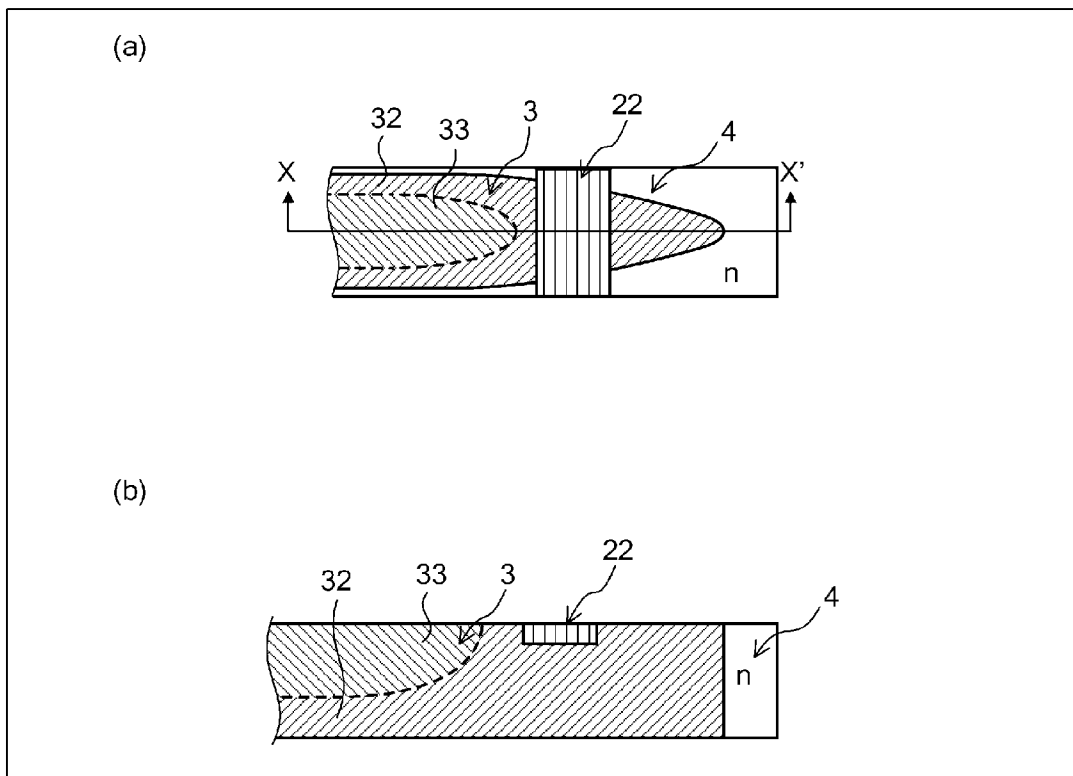


[図7]

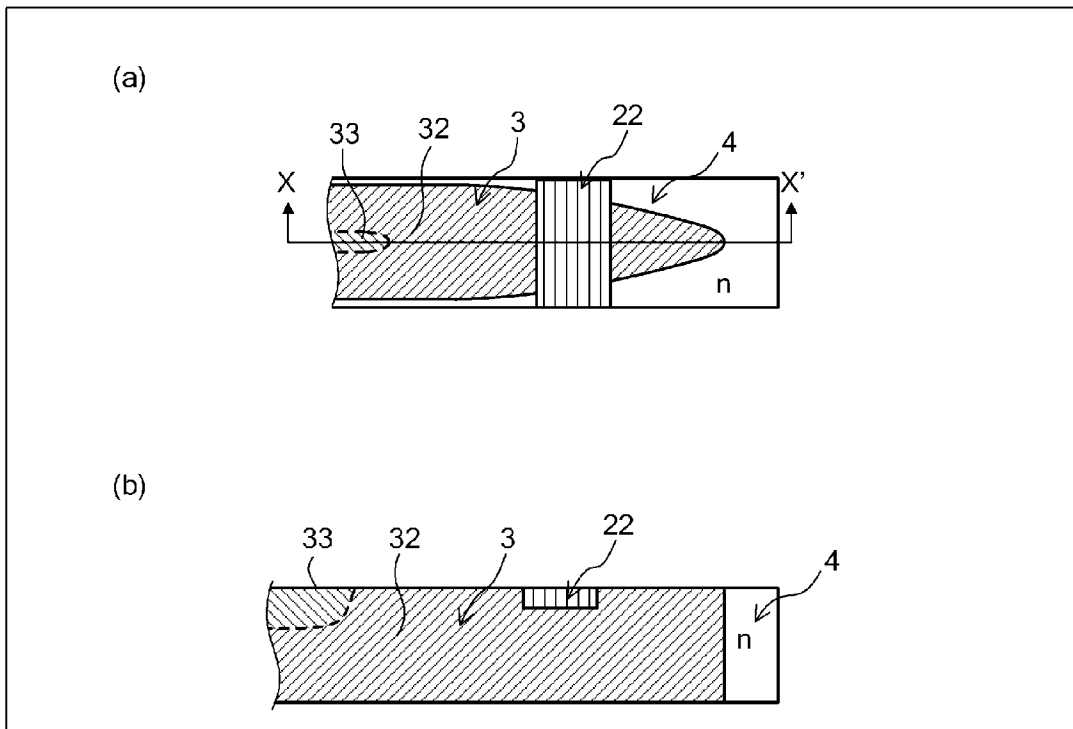




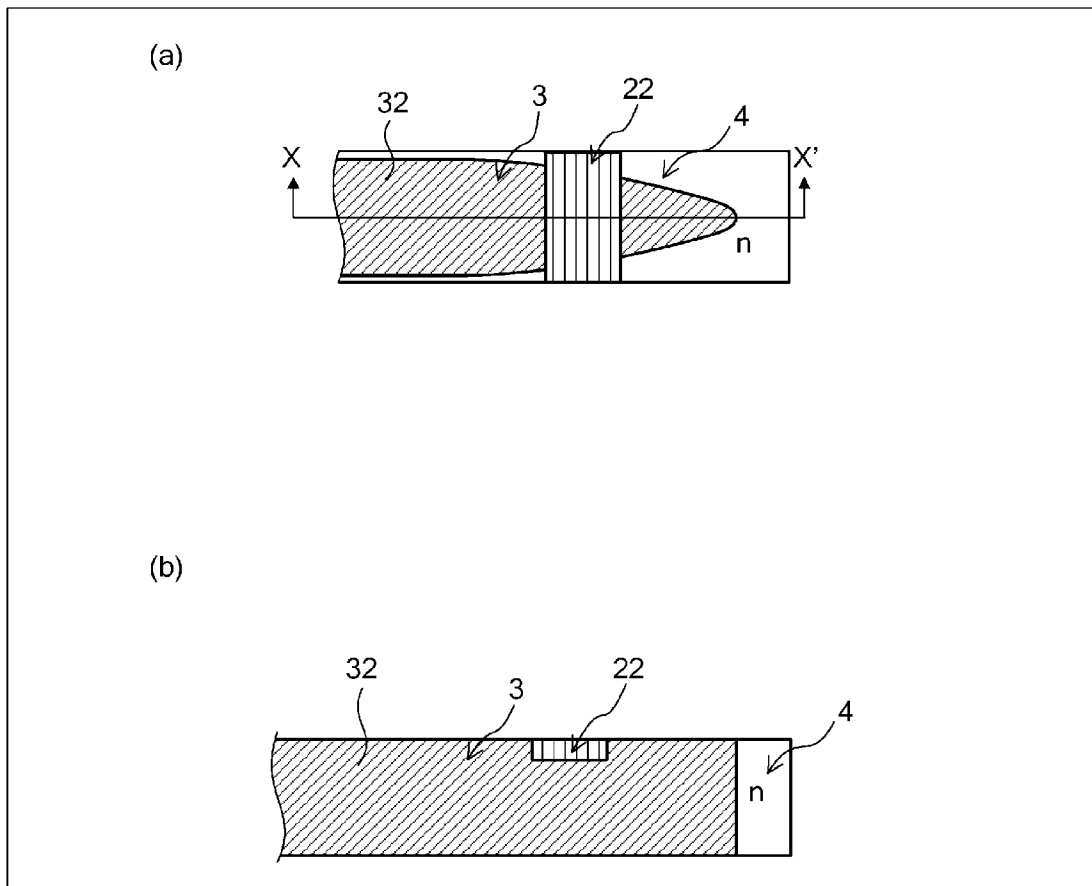
[図9]



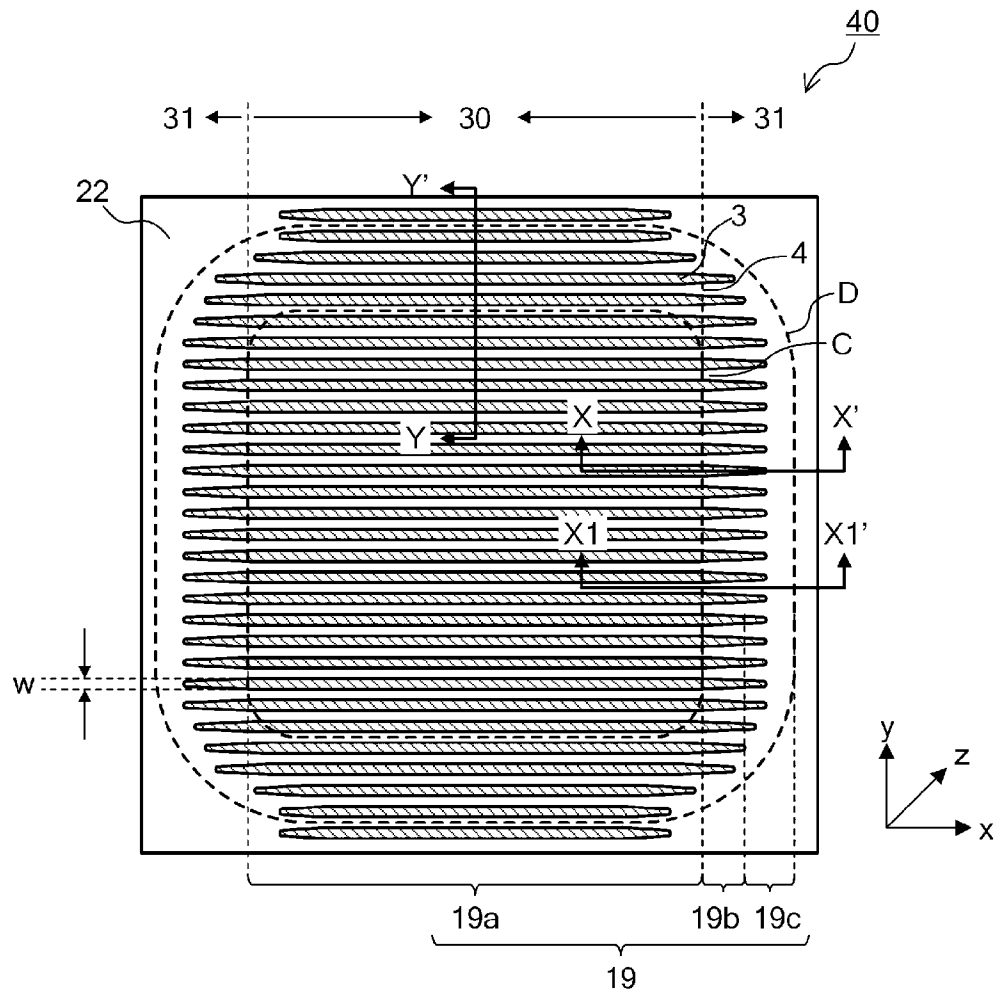
[図10]



[図11]

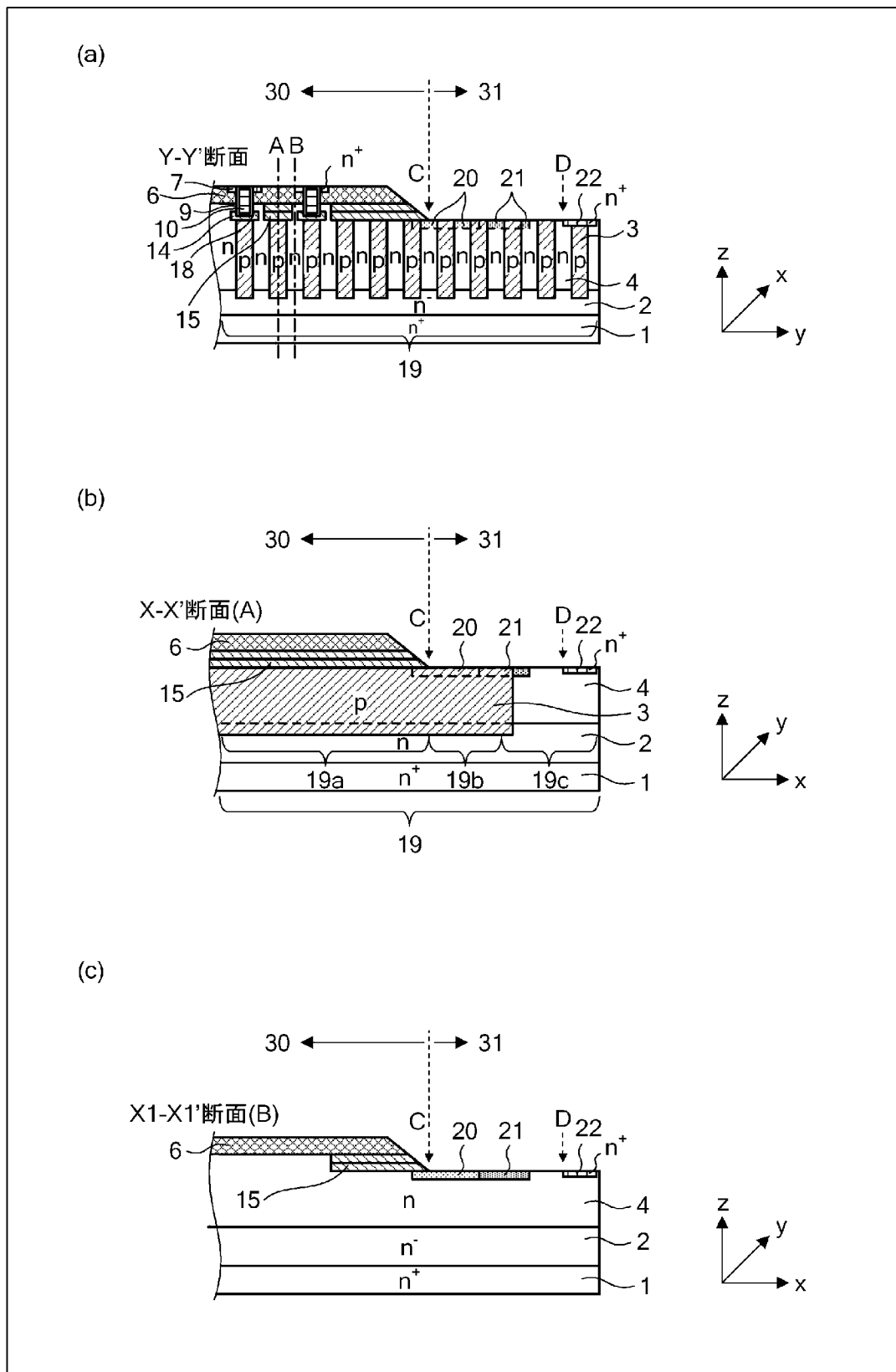


[図12]

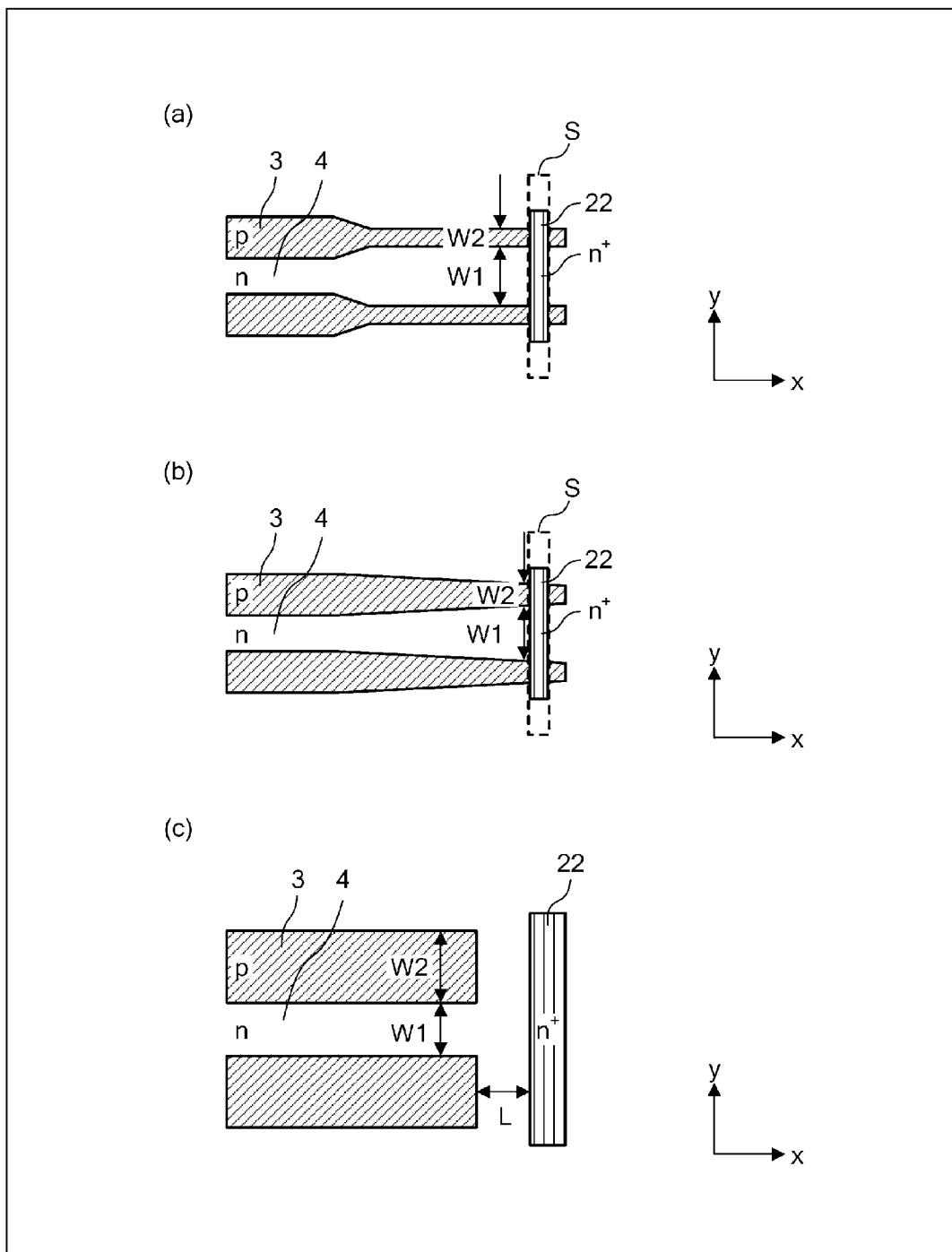


[illegible]

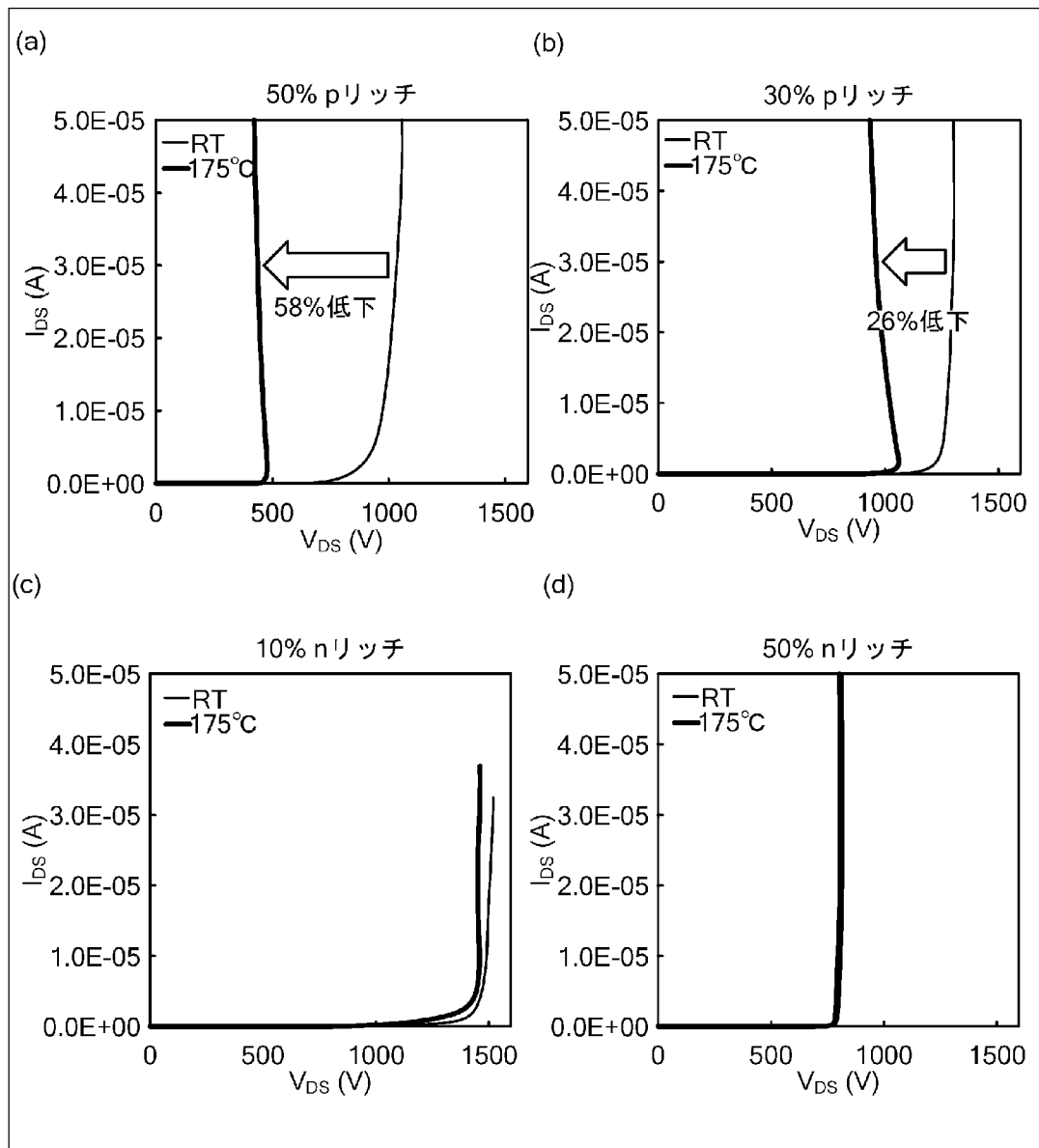
[図14]



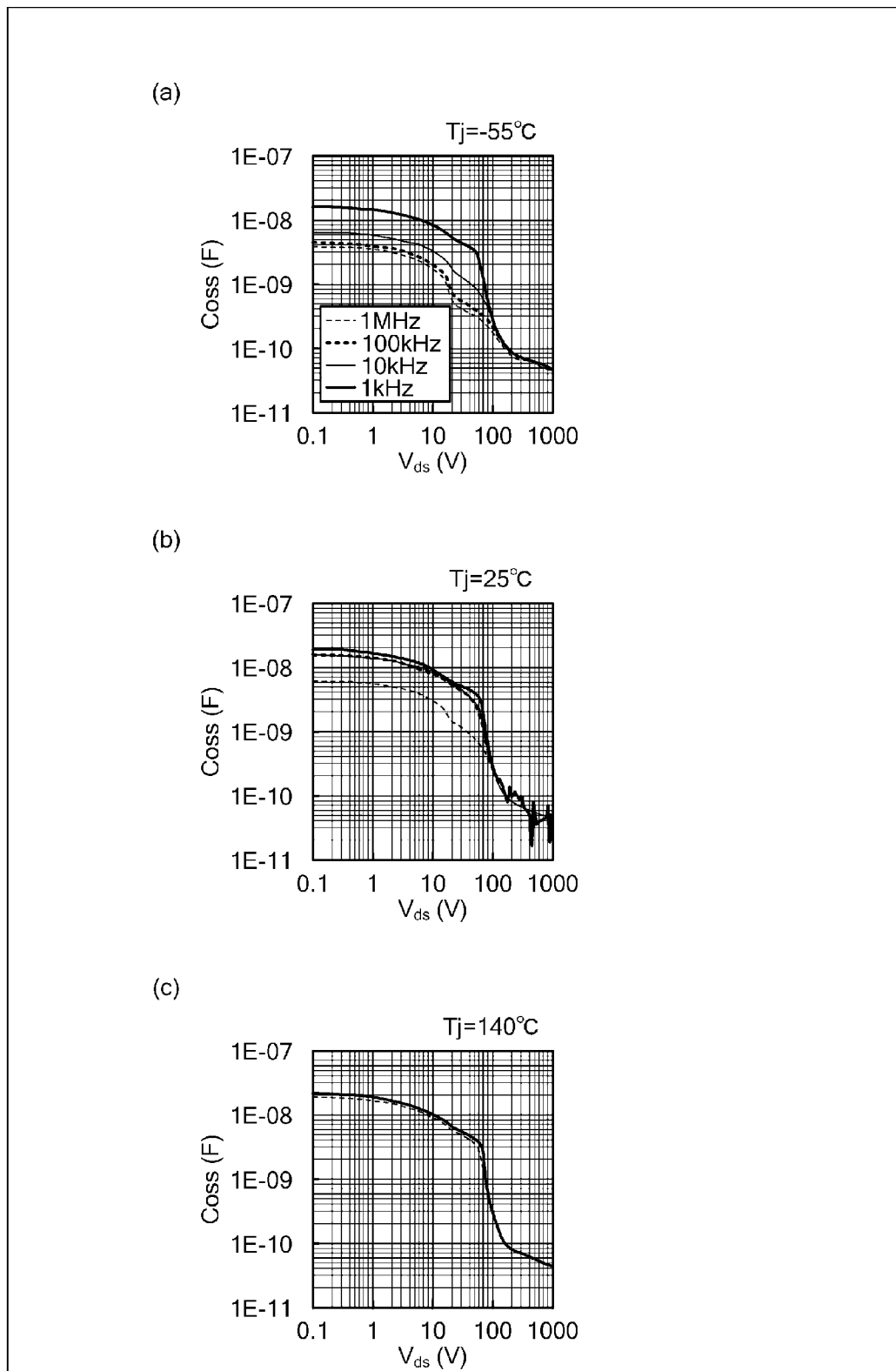
[図15]



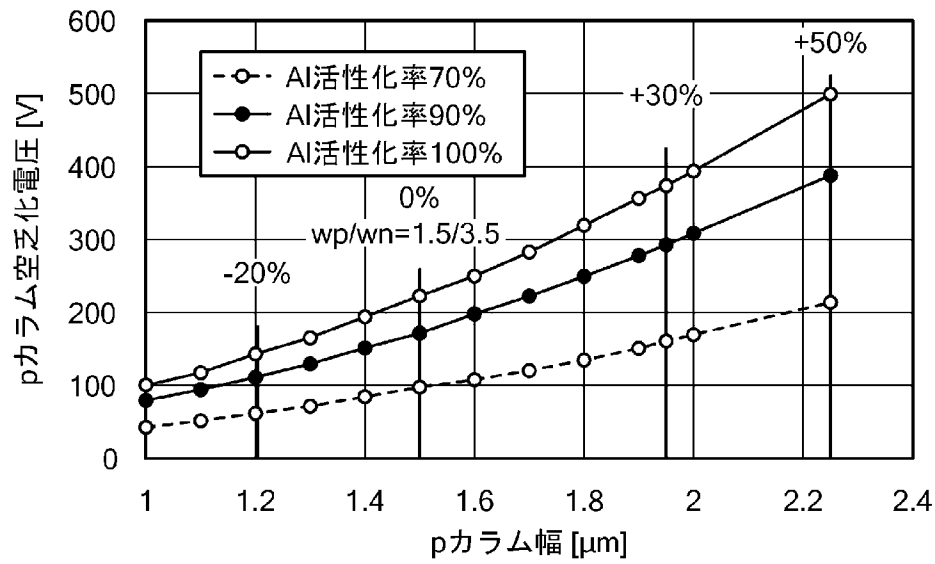
[図16]



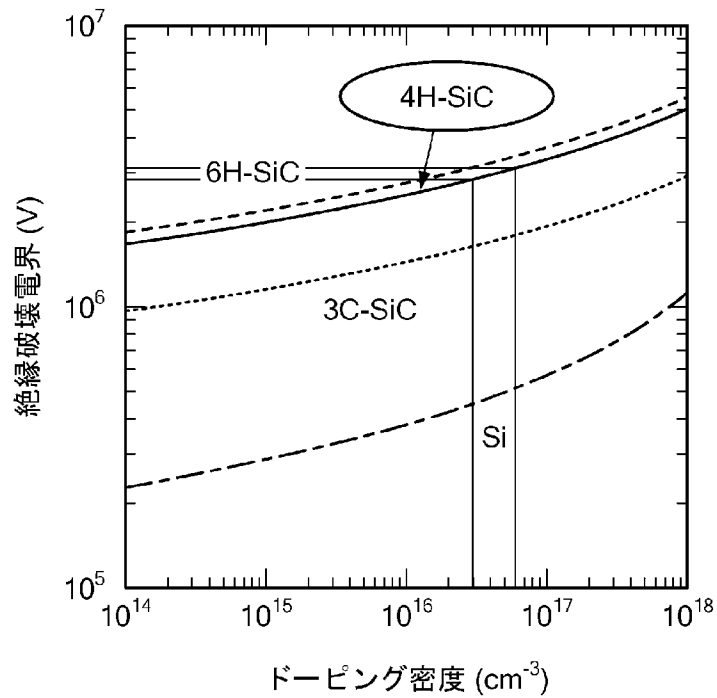
[図17]



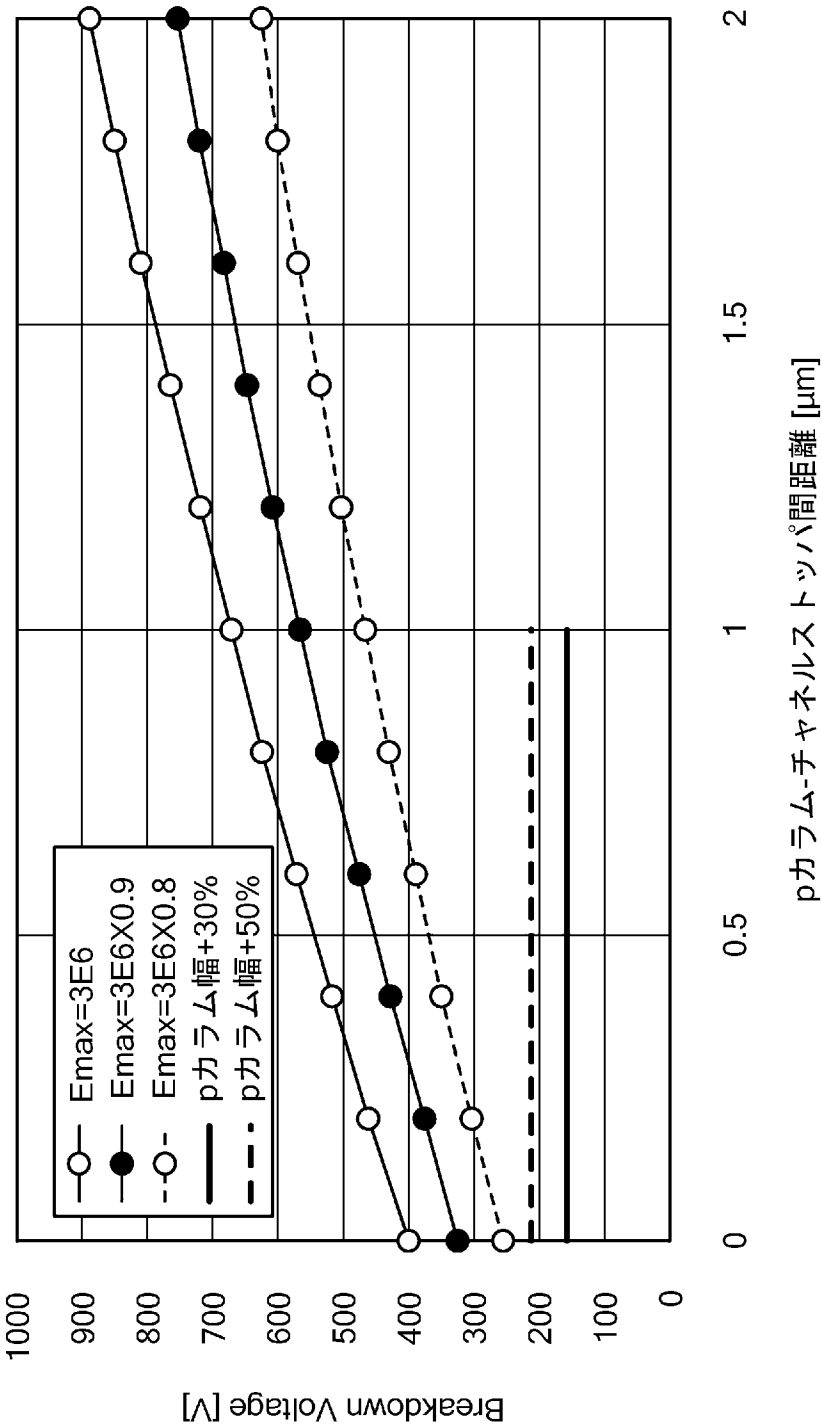
[図18]



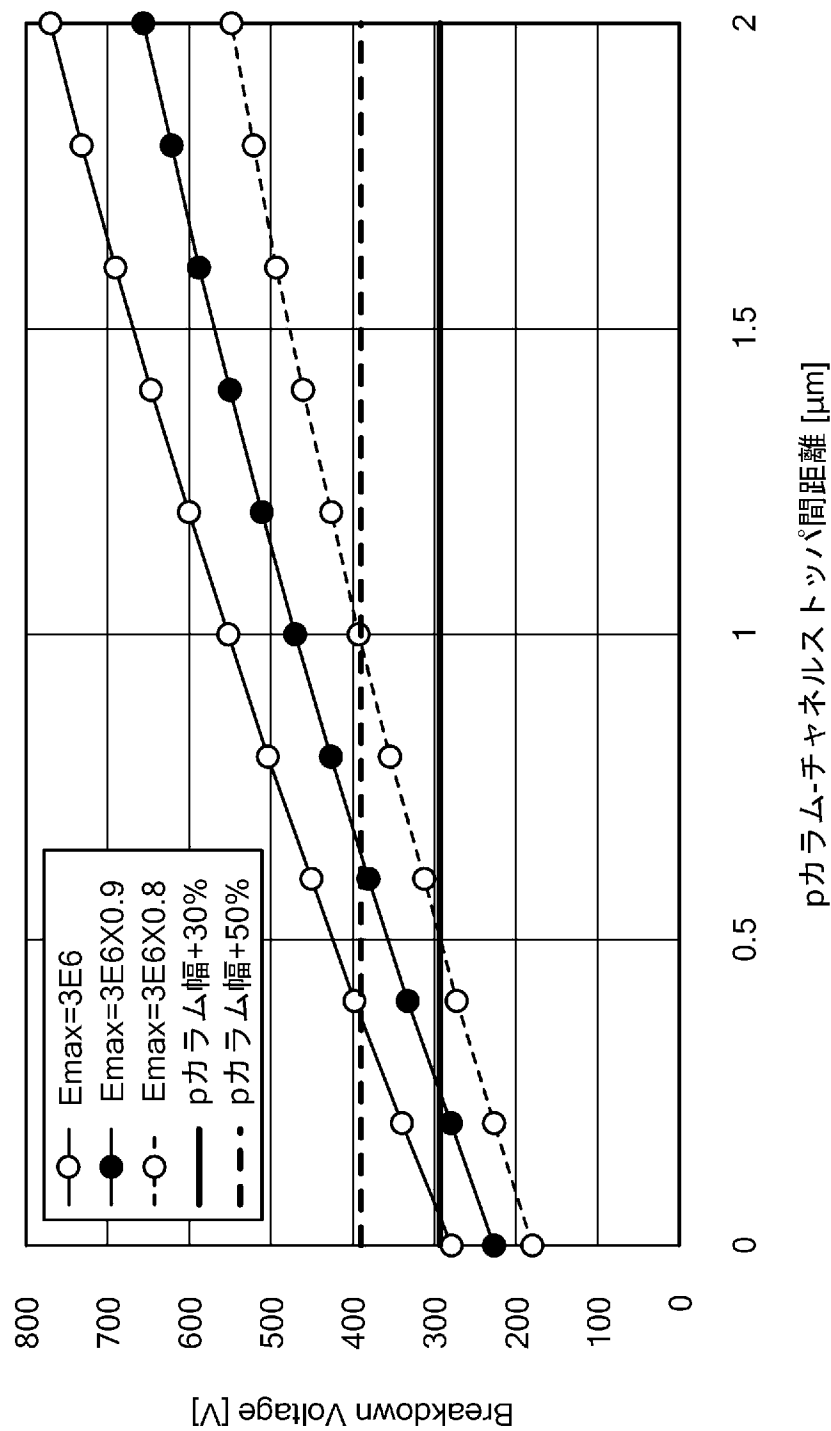
[図19]



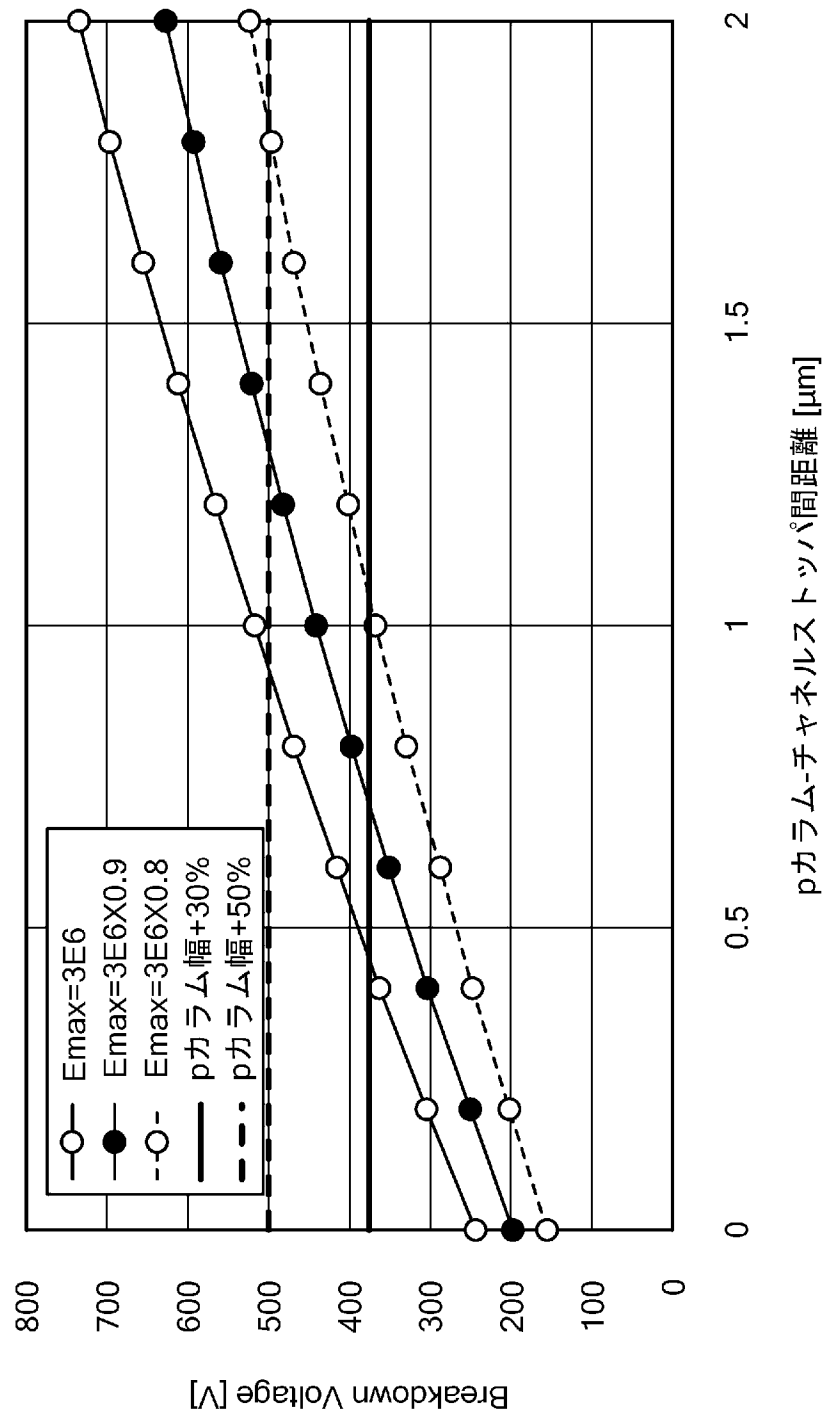
[図20]



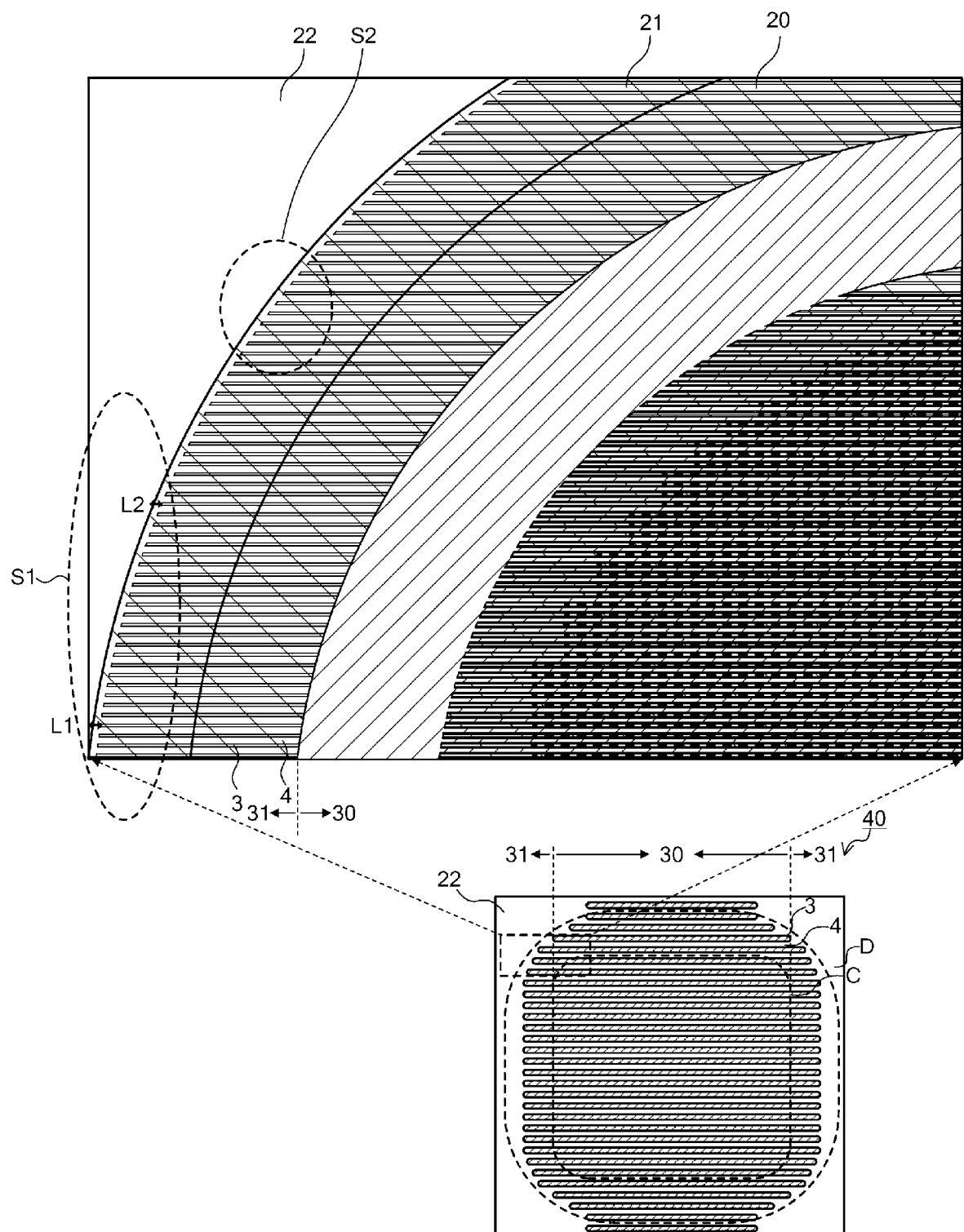
[図21]



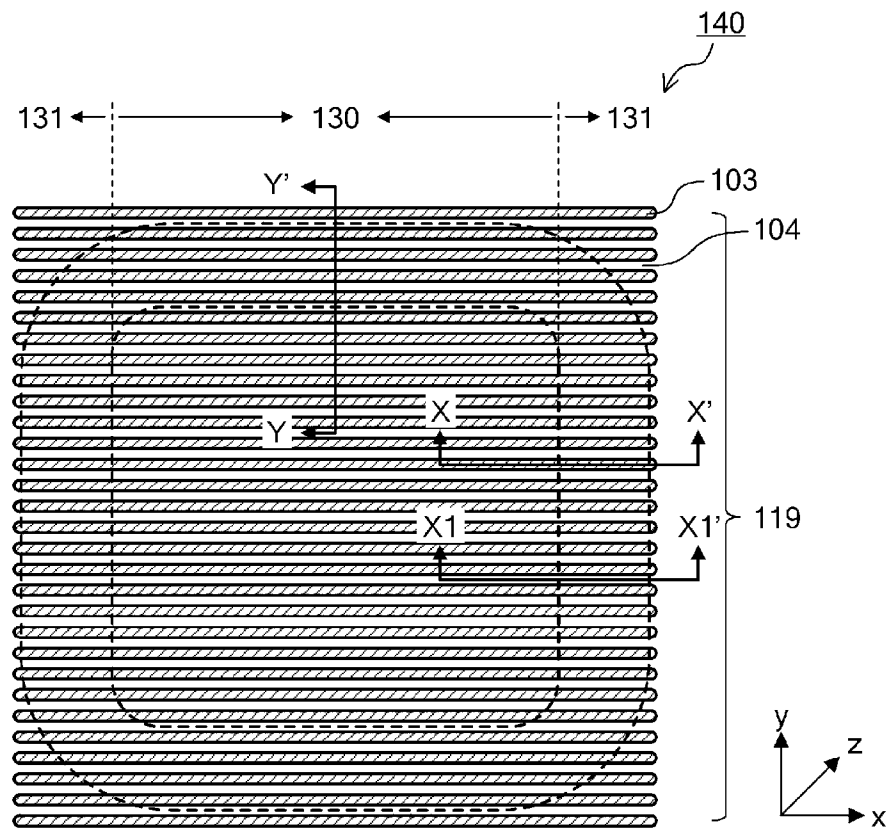
[図22]



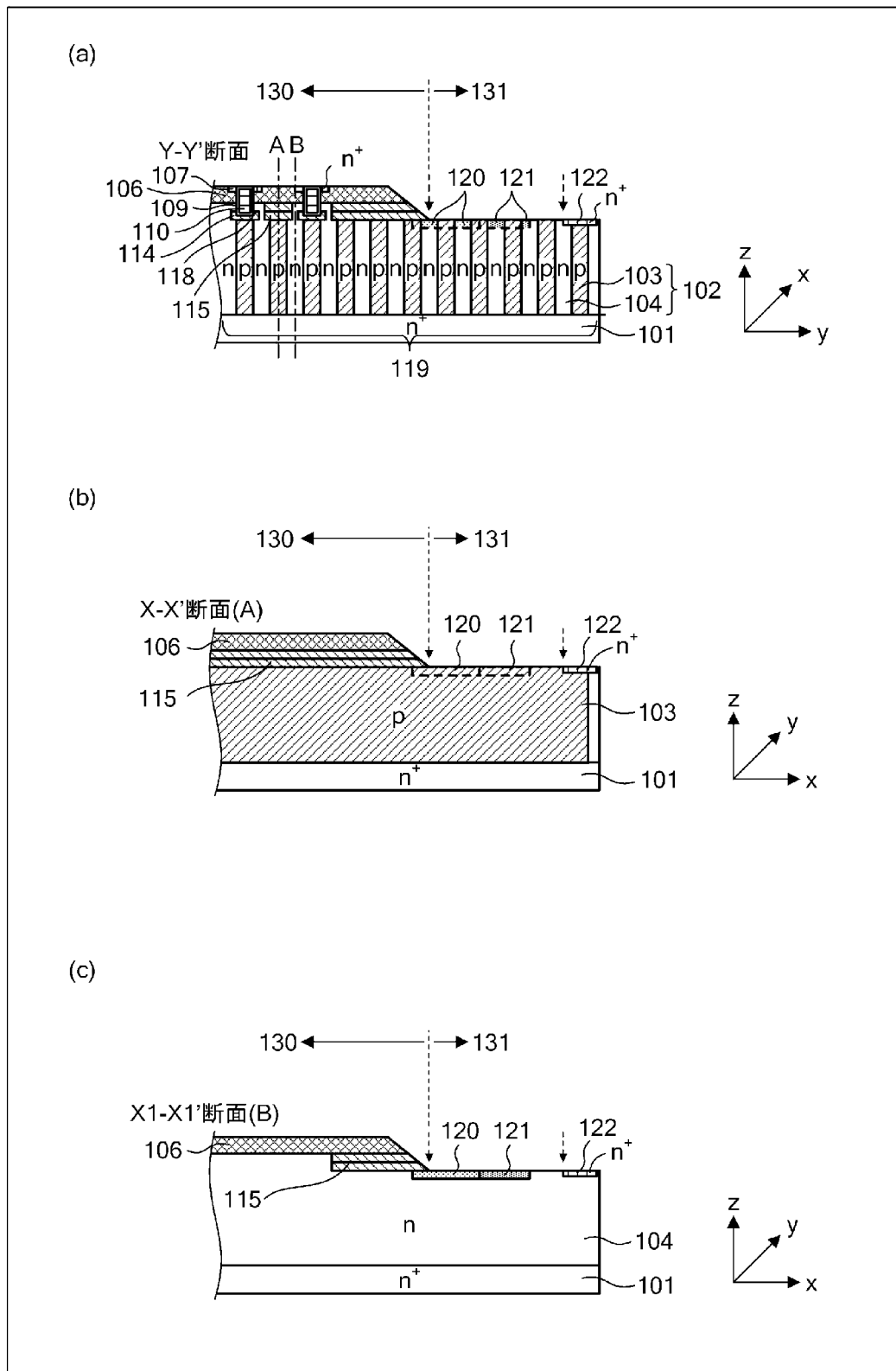
[図23]



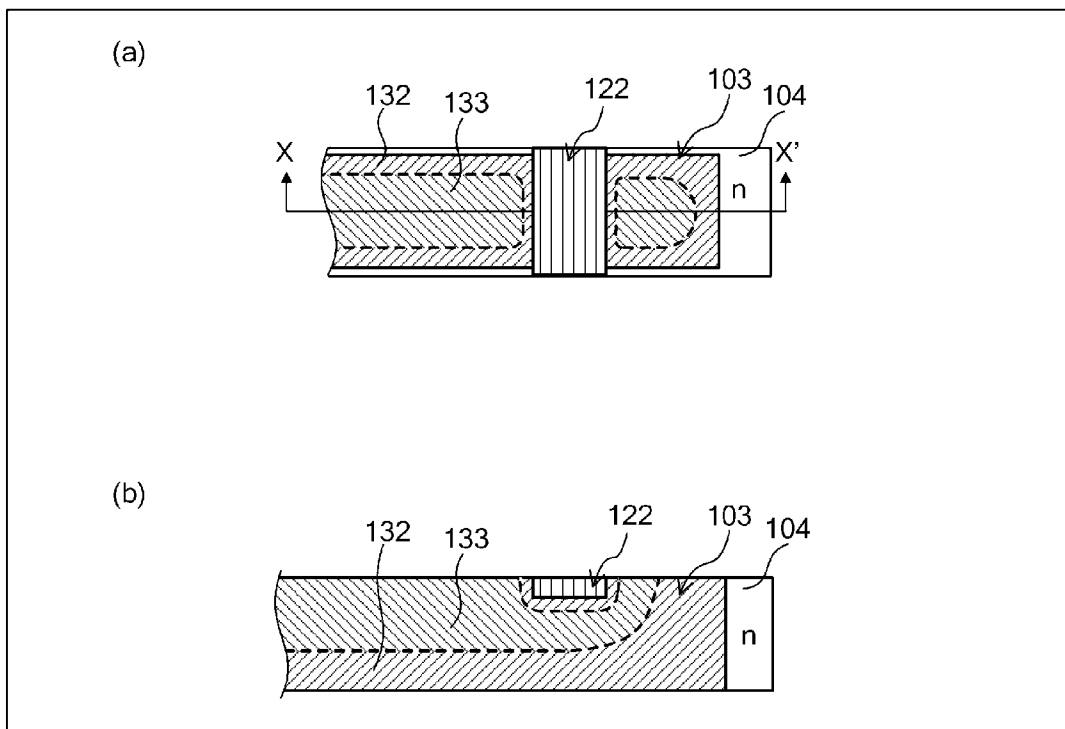
[図24]



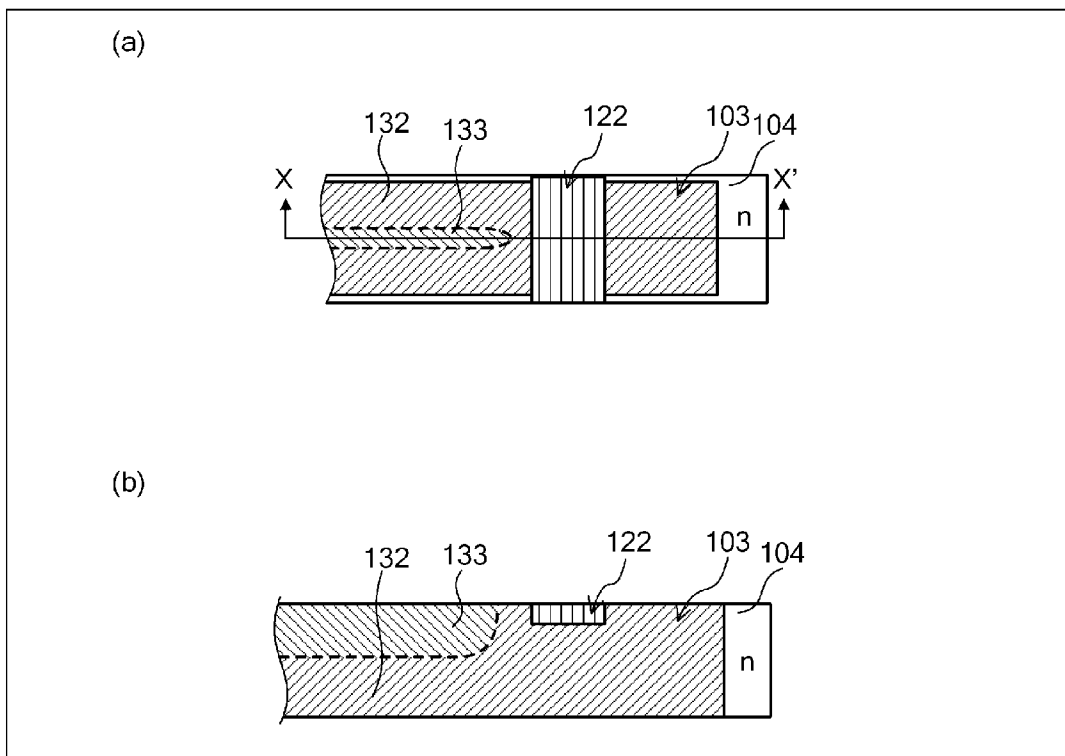
[図25]



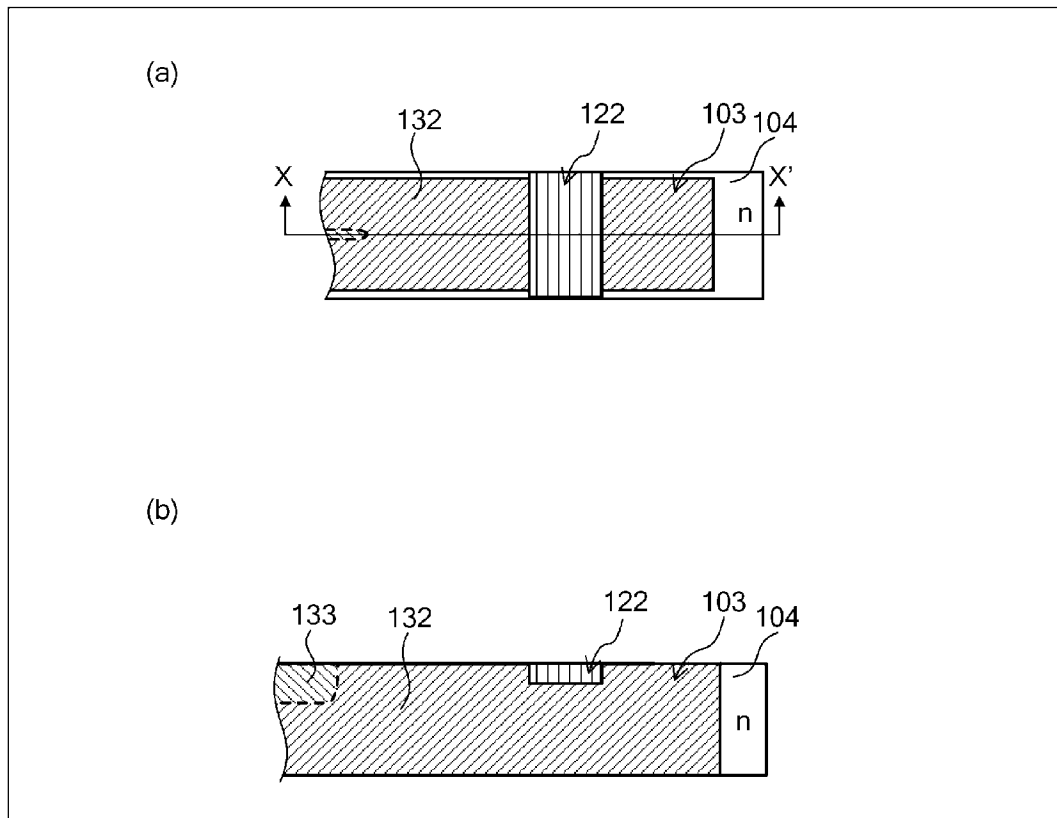
[図26]



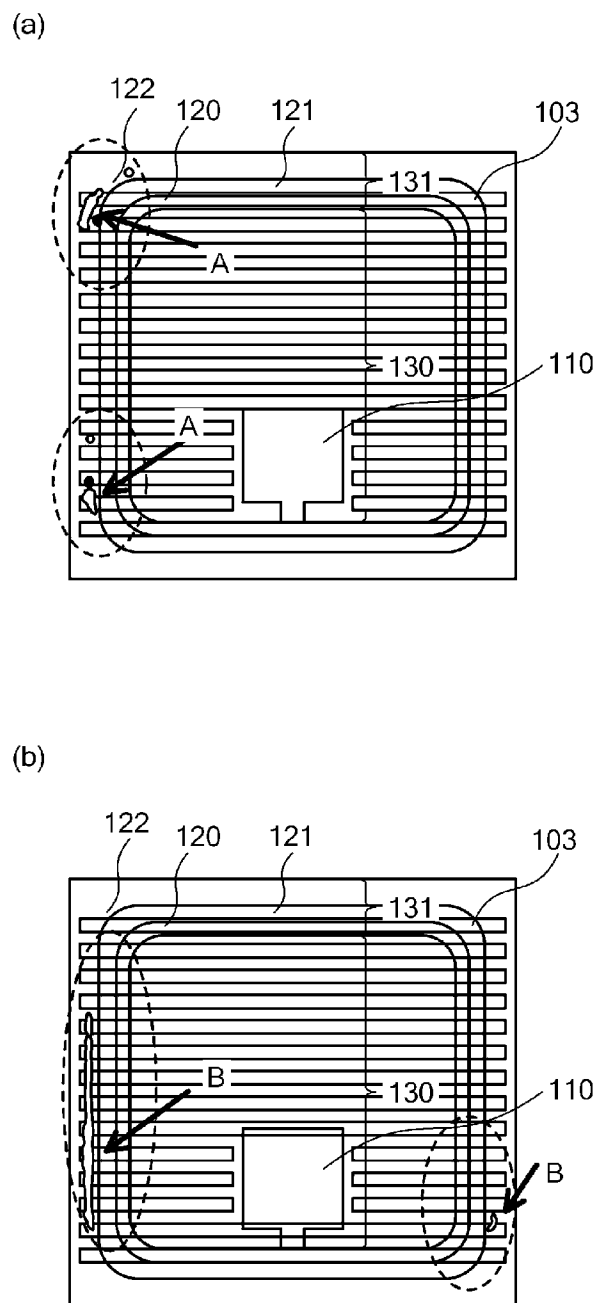
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/044586

A. CLASSIFICATION OF SUBJECT MATTER**H01L 29/06**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 21/336**(2006.01)iFI: H01L29/78 652H; H01L29/78 653A; H01L29/06 301M; H01L29/06 301V; H01L29/06 301D; H01L29/06 301G;
H01L29/78 652T; H01L29/78 652J; H01L29/78 652K; H01L29/78 652P; H01L29/78 658A; H01L29/06 301R;
H01L29/78 652N; H01L29/78 658E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06; H01L29/78; H01L29/12; H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-041920 A (RENESAS ELECTRONICS CORP.) 28 February 2013 (2013-02-28) paragraphs [0048], [0058]-[0078], [0122]-[0124], fig. 1-10, 30	2-3, 5-8, 10 1, 4, 9, 11
X Y A	JP 2016-197633 A (FUJI ELECTRIC CO., LTD.) 24 November 2016 (2016-11-24) paragraphs [0037]-[0056], fig. 1-4	2-3, 7-8, 10 4, 9, 11 1, 5-6
Y A	JP 2015-060841 A (MITSUBISHI ELECTRIC CORP.) 30 March 2015 (2015-03-30) paragraphs [0019]-[0031], fig. 1-3	4, 9, 11 1-3, 5-8, 10
A	JP 2001-298190 A (FUJI ELECTRIC CO., LTD.) 26 October 2001 (2001-10-26) paragraphs [0105]-[0107], fig. 21	1-11

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 February 2022

Date of mailing of the international search report

15 February 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/044586**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-015752 A (FUJI ELECTRIC CO., LTD.) 19 January 2001 (2001-01-19) paragraphs [0038]-[0043], fig. 8, 9	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/044586

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-041920	A	28 February 2013	US 2013/0037852 A1 paragraphs [0099], [0109]- [0131], [0183]-[0186], fig. 1- 10, 30 CN 102956707 A	
JP	2016-197633	A	24 November 2016	US 2016/0293693 A1 paragraphs [0055]-[0074], fig. 1-4 CN 106057888 A TW 201707067 A	
JP	2015-060841	A	30 March 2015	(Family: none)	
JP	2001-298190	A	26 October 2001	US 2001/0028083 A1 paragraphs [0166]-[0168], fig. 20 DE 10106006 A1	
JP	2001-015752	A	19 January 2001	US 6677626 B1 column 7, line 66 to column 8, line 67, fig. 8, 9 DE 19954352 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/06(2006.01)i; H01L 29/78(2006.01)i; H01L 29/12(2006.01)i; H01L 21/336(2006.01)i FI: H01L29/78 652H; H01L29/78 653A; H01L29/06 301M; H01L29/06 301V; H01L29/06 301D; H01L29/06 301G; H01L29/78 652T; H01L29/78 652J; H01L29/78 652K; H01L29/78 652P; H01L29/78 658A; H01L29/06 301R; H01L29/78 652N; H01L29/78 658E																													
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/06; H01L29/78; H01L29/12; H01L21/336 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2022年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2022年	日本国実用新案登録公報	1996-2022年	日本国登録実用新案公報	1994-2022年																			
日本国実用新案公報	1922-1996年																												
日本国公開実用新案公報	1971-2022年																												
日本国実用新案登録公報	1996-2022年																												
日本国登録実用新案公報	1994-2022年																												
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2013-041920 A（ルネサスエレクトロニクス株式会社）28.02.2013（2013-02-28） 段落[0048], [0058]-[0078], [0122]-[0124], 図1-10, 30</td> <td>2-3, 5-8, 10</td> </tr> <tr> <td>A</td> <td></td> <td>1, 4, 9, 11</td> </tr> <tr> <td>X</td> <td>JP 2016-197633 A（富士電機株式会社）24.11.2016（2016-11-24） 段落[0037]-[0056], 図1-4</td> <td>2-3, 7-8, 10</td> </tr> <tr> <td>Y</td> <td></td> <td>4, 9, 11</td> </tr> <tr> <td>A</td> <td></td> <td>1, 5-6</td> </tr> <tr> <td>Y</td> <td>JP 2015-060841 A（三菱電機株式会社）30.03.2015（2015-03-30） 段落[0019]-[0031], 図1-3</td> <td>4, 9, 11</td> </tr> <tr> <td>A</td> <td></td> <td>1-3, 5-8, 10</td> </tr> <tr> <td>A</td> <td>JP 2001-298190 A（富士電機株式会社）26.10.2001（2001-10-26） 段落[0105]-[0107], 図21</td> <td>1-11</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2013-041920 A（ルネサスエレクトロニクス株式会社）28.02.2013（2013-02-28） 段落[0048], [0058]-[0078], [0122]-[0124], 図1-10, 30	2-3, 5-8, 10	A		1, 4, 9, 11	X	JP 2016-197633 A（富士電機株式会社）24.11.2016（2016-11-24） 段落[0037]-[0056], 図1-4	2-3, 7-8, 10	Y		4, 9, 11	A		1, 5-6	Y	JP 2015-060841 A（三菱電機株式会社）30.03.2015（2015-03-30） 段落[0019]-[0031], 図1-3	4, 9, 11	A		1-3, 5-8, 10	A	JP 2001-298190 A（富士電機株式会社）26.10.2001（2001-10-26） 段落[0105]-[0107], 図21	1-11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																											
X	JP 2013-041920 A（ルネサスエレクトロニクス株式会社）28.02.2013（2013-02-28） 段落[0048], [0058]-[0078], [0122]-[0124], 図1-10, 30	2-3, 5-8, 10																											
A		1, 4, 9, 11																											
X	JP 2016-197633 A（富士電機株式会社）24.11.2016（2016-11-24） 段落[0037]-[0056], 図1-4	2-3, 7-8, 10																											
Y		4, 9, 11																											
A		1, 5-6																											
Y	JP 2015-060841 A（三菱電機株式会社）30.03.2015（2015-03-30） 段落[0019]-[0031], 図1-3	4, 9, 11																											
A		1-3, 5-8, 10																											
A	JP 2001-298190 A（富士電機株式会社）26.10.2001（2001-10-26） 段落[0105]-[0107], 図21	1-11																											
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																													
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																													
国際調査を完了した日 07.02.2022		国際調査報告の発送日 15.02.2022																											
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 杉山 芳弘 5F 6311 電話番号 03-3581-1101 内線 3516																											

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-015752 A（富士電機株式会社）19.01.2001（2001 - 01 - 19） 段落[0038]-[0043], 図8-9	1-11

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/044586

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-041920	A	28.02.2013	US 2013/0037852 A1 段落[0099],[0109]-[0131], [0183]-[0186], 図1-10, 30 CN 102956707 A	
JP	2016-197633	A	24.11.2016	US 2016/0293693 A1 段落[0055]-[0074], 図1-4 CN 106057888 A TW 201707067 A	
JP	2015-060841	A	30.03.2015	(ファミリーなし)	
JP	2001-298190	A	26.10.2001	US 2001/0028083 A1 段落[0166]-[0168], 図20 DE 10106006 A1	
JP	2001-015752	A	19.01.2001	US 6677626 B1 第7欄第66行-第8欄第67行, 第8図, 第9図 DE 19954352 A1	