



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209222
(11) (B1)

(51) Int. Cl.³
G 06 F 3/00

(22) Přihlášeno 01 11 79
(21) (PV 7415-79)

(40) Zveřejněno 27 02 81

(45) Vydáno 01 05 83

(75)

Autor vynálezu

BUREŠ JAROSLAV ing., BRNO

(54) Zapojení procesoru pro inteligentní terminál

Vynález se týká zapojení procesoru pro inteligentní terminál.

Známa zapojení procesoru pro inteligentní terminál jsou vytvořena tak, že registry procesoru pracují se stejnou šířkou vnitřních procesorových sběrnic. Procesorové systémy, pracující se šestnáctibitovým slovem a používající tři vnitřních sběrnic, lze rozdělit zhruba na dva typy. První typ používá dvou šestnáctibitových sběrnic označovaných R a S, které tvoří vstup do aritmetické jednotky a logické jednotky procesorového systému a jedné šestnáctibitové sběrnice, označované T, která tvoří výstup výsledku operace a současně vstup do registrů procesoru. U prvního typu se provádí paralelní zpracování informace. Druhý typ používá seriového zpracování šestnáctibitového slova, kde šířka každé ze tří sběrnic je jednobitová.

Uvedené typy procesorových systémů jsou buď složité, neboť sestávají z nadměrného množství prvků, anebo jejich rychlost operací je pro inteligentní terminál malá. U prvního typu je systém značně rozsáhlý, neboť vyžaduje paralelní cesty pro všech šestnáct bitů slova. Tato nevýhoda se projeví zejména tam, kde se vyžaduje přímé provádění dekadických operací. U druhého typu se kromě malé rychlosti zpracování slova projevuje nepříznivý vliv jednobitové výstupní sběrnice T, která znemožňuje rychlé přesuny mezi pracovními

registry procesoru a ostatními bloky systému.

Uvedené nevýhody odstraňuje zapojení procesoru pro inteligentní terminál podle vynálezu, jehož podstatou je, že druhý vstup prvního čtyřvstupového součtově součinového hradla tvoří současně první vstup zapojení, kdežto jeho třetí vstup je připojen na třetí vstupy druhého až šestnáctého čtyřvstupového součtově součinového hradla a tvoří současně druhý vstup zapojení, druhý vstup druhého čtyřvstupového součtově součinového hradla tvoří současně třetí vstup zapojení, druhý vstup třetího čtyřvstupového součtově součinového hradla tvoří současně čtvrtý vstup zapojení, druhý vstup čtvrtého čtyřvstupového součtově součinového hradla tvoří současně pátý vstup zapojení, hodinové vstupy prvního až čtvrtého pětibitového posuvného registru jsou spojeny a tvoří současně šestý vstup zapojení, druhý vstup pátého čtyřvstupového součtově součinového hradla tvoří současně sedmý vstup zapojení, druhý vstup šestého čtyřvstupového součtově součinového hradla tvoří současně osmý vstup zapojení, druhý vstup sedmého čtyřvstupového součtově součinového hradla tvoří současně devátý vstup zapojení, druhý vstup osmého čtyřvstupového součtově součinového hradla tvoří současně desátý vstup zapojení, druhý vstup devátého čtyřvstupového součtově součinového hradla tvoří sou-

časné jedenáctý vstup zapojení, druhý vstup desátého čtyřvstupového součtově součinnového hradla tvoří současně dvanáctý vstup zapojení, druhý vstup jedenáctého čtyřvstupového součtově součinnového hradla tvoří současně třináctý vstup zapojení, druhý vstup dvanáctého čtyřvstupového součtově součinnového hradla tvoří současně čtrnáctý vstup zapojení, druhý vstup třináctého čtyřvstupového součtově součinnového hradla tvoří současně patnáctý vstup zapojení, druhý vstup čtrnáctého čtyřvstupového součtově součinnového hradla tvoří současně šestnáctý vstup zapojení, druhý vstup patnáctého čtyřvstupového součtově součinnového hradla tvoří současně sedmnáctý vstup zapojení, druhý vstup šestnáctého čtyřvstupového součtově součinnového hradla tvoří současně osmnáctý vstup zapojení, první vstup prvního dvouvstupového obvodu typu negace logického součinu tvoří současně devatenáctý vstup zapojení, kdežto jeho výstup je připojen na výstup druhého dvouvstupového obvodu typu negace logického součinu a tvoří současně první výstup zapojení, druhý vstup prvního dvouvstupového obvodu typu negace logického součinu a první vstup druhého dvouvstupového obvodu typu negace logického součinu jsou spojeny a tvoří současně dvacátý vstup zapojení, první vstup prvního třívstupového obvodu typu negace logického součinu je připojen na první nastavovací vstup dvacátého šestého pětibitového posuvného registru a tvoří současně dvacátý první vstup zapojení, kdežto jeho druhý vstup tvoří současně dvacátý druhý vstup zapojení, třetí vstup prvního třívstupového obvodu typu negace logického součinu je připojen na třetí vstupy čtvrtého až šestého třívstupového obvodu, dále na druhý vstup dvacátého dvouvstupového obvodu typu negace logického součinu a tvoří současně dvacátý třetí vstup zapojení, výstup prvního třívstupového obvodu typu negace logického součinu je připojen na vstup devatenáctého invertoru, jehož výstup je připojen na druhý vstup druhého dvouvstupového obvodu typu negace logického součinu a na základní vstup prvního klopného obvodu typu D, hodinový vstup prvního klopného obvodu typu D tvoří současně dvacátý čtvrtý vstup zapojení, kdežto jeho jedničkový výstup je připojen na první vstupy prvního až šestnáctého čtyřvstupového součtově součinnového hradla a tvoří současně druhý výstup zapojení, výstup prvního čtyřvstupového součtově součinnového hradla je připojen na vstup prvního invertoru, jehož výstup je připojen na čtvrtý nastavovací vstup prvního pětibitového posuvného registru, výstup druhého čtyřvstupového součtově součinnového hradla je připojen na vstup druhého invertoru, jehož výstup je připojen na třetí nastavovací vstup prvního pětibitového posuvného registru, výstup třetího čtyřvstupového součtově součinnového hradla je připojen na vstup třetího invertoru, jehož výstup je připojen na druhý nastavovací vstup prvního pětibitového posuvného registru, výstup čtvrtého čtyřvstupového součtově součinnového hradla je připojen na vstup čtvrtého invertoru,

jehož výstup je připojen na první nastavovací vstup prvního pětibitového posuvného registru, pátý nastavovací vstup prvního pětibitového posuvného registru je připojen na nulový potenciál, kdežto jeho pátý datový výstup tvoří současně šedesátý čtvrtý výstup zapojení, čtvrtý datový výstup prvního pětibitového posuvného registru je připojen na první vstupy prvního a druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy osmého, dvanáctého, šestnáctého, dvacátého a dvacátého čtvrtého pětibitového posuvného registru, dále na pátý nastavovací vstup třicátého prvního pětibitového posuvného registru, na seriový vstup dat dvacátého osmého pětibitového posuvného registru a na druhý vstup dvacátého pátého dvouvstupového obvodu typu negace logického součinu, třetí datový výstup prvního pětibitového posuvného registru je připojen na třetí nastavovací vstupy osmého, dvanáctého, šestnáctého, dvacátého a dvacátého čtvrtého pětibitového posuvného registru a na první nastavovací vstup třicátého prvního pětibitového posuvného registru, druhý datový výstup prvního pětibitového posuvného registru je připojen na druhé nastavovací vstupy osmého, dvanáctého, šestnáctého, dvacátého, dvacátého čtvrtého a třicátého pětibitového posuvného registru, první datový výstup prvního pětibitového posuvného registru je připojen na první nastavovací vstupy osmého, dvanáctého, šestnáctého, dvacátého, dvacátého čtvrtého pětibitového posuvného registru a na třetí nastavovací vstup dvacátého devátého pětibitového posuvného registru, nulovací vstupy prvního až čtvrtého pětibitového posuvného registru jsou spojeny a tvoří současně devadesátýsedmý vstup zapojení, uvolňovací vstupy nastavení prvního a druhého pětibitového posuvného registru jsou připojeny na výstup sedmnáctého invertoru, uvolňovací vstupy nastavení třetího a čtvrtého pětibitového posuvného registru jsou připojeny na výstup osmnáctého invertoru, jehož vstup je spojen se vstupem sedmnáctého invertoru a tvoří současně padesátý devátý vstup zapojení, seriový vstup dat prvního pětibitového posuvného registru tvoří současně osmdesátý vstup zapojení, výstup pátého čtyřvstupového součtově součinnového hradla je připojen na vstup pátého invertoru, jehož výstup je připojen na čtvrtý nastavovací vstup druhého pětibitového posuvného registru, jehož seriový vstup dat tvoří současně sedmdesátýšestý vstup zapojení, výstup šestého čtyřvstupového součtově součinnového hradla je připojen na vstup šestého invertoru, jehož výstup je připojen na třetí nastavovací vstup druhého pětibitového posuvného registru, výstup sedmého čtyřvstupového součtově součinnového hradla je připojen na vstup sedmého invertoru, jehož výstup je připojen na druhý nastavovací vstup druhého pětibitového posuvného registru, výstup osmého čtyřvstupového součtově součinnového hradla je připojen na vstup osmého invertoru, jehož výstup je připojen na první nastavovací vstup

druhého pětibitového posuvného registru, pátý nastavovací vstup druhého pětibitového posuvného registru je připojen na nulový potenciál, kdežto jeho pátý datový výstup tvoří současně šedesátýpátý výstup zapojení, čtvrtý datový výstup druhého pětibitového posuvného registru je připojen na první vstupy třetího a čtvrtého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, dále na čtvrté nastavovací vstupy sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího a třicátého prvního pětibitového posuvného registru, dále na druhý vstup dvacátého čtvrtého dvouvstupového obvodu typu negace logického součinu a na seriový vstup dat dvacátého sedmého pětibitového posuvného registru, třetí datový výstup druhého pětibitového posuvného registru je připojen na třetí nastavovací vstupy sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru, dále na pátý nastavovací vstup třicátého pětibitového posuvného registru, druhý datový výstup druhého pětibitového posuvného registru je připojen na druhé nastavovací vstupy sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru a na první nastavovací vstup třicátého pětibitového posuvného registru, první datový výstup druhého pětibitového posuvného registru je připojen na první nastavovací vstupy sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru a na druhý nastavovací vstup dvacátého devátého pětibitového posuvného registru, výstup devátého čtyřvstupového součtově součinného hradla je připojen na vstup devátého invertoru, jehož výstup je připojen na čtvrtý nastavovací vstup třetího pětibitového posuvného registru, výstup desátého čtyřvstupového součtově součinného hradla je připojen na vstup desátého invertoru, jehož výstup je připojen na třetí nastavovací vstup třetího pětibitového posuvného registru, výstup jedenáctého čtyřvstupového součtově součinného hradla je připojen na vstup jedenáctého invertoru, jehož výstup je připojen na druhý nastavovací vstup třetího pětibitového posuvného registru, výstup dvanáctého čtyřvstupového součtově součinného hradla je připojen na vstup dvanáctého invertoru, jehož výstup je připojen na první nastavovací vstup třetího pětibitového posuvného registru, pátý nastavovací vstup třetího pětibitového posuvného registru je připojen na nulový potenciál, kdežto jeho pátý datový výstup tvoří současně šedesátýšestý výstup zapojení, čtvrtý datový výstup třetího pětibitového posuvného registru je připojen na první vstupy pátého a šestého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru, dále na seriový vstup dat dvacátého šestého pětibitového posuvného registru, na třetí nastavovací vstup třicátého prvního pětibitového posuvného registru a na druhý vstup

dvacátého třetího dvouvstupového obvodu typu negace logického součinu, třetí datový výstup třetího pětibitového posuvného registru je připojen na třetí nastavovací vstupy šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru, dále na čtvrtý nastavovací vstup třicátého pětibitového posuvného registru, druhý datový výstup třetího pětibitového posuvného registru je připojen na druhé nastavovací vstupy, šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru a na pátý nastavovací vstup dvacátého devátého pětibitového posuvného registru, první datový výstup třetího pětibitového posuvného registru je připojen na první nastavovací vstupy šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého a dvacátého devátého pětibitového posuvného registru, seriový vstup dat třetího pětibitového posuvného registru tvoří současně sedmdesátýdevátý vstup zapojení, výstup třináctého čtyřvstupového součtově součinného hradla je připojen na vstup třináctého invertoru, jehož výstup je připojen na čtvrtý nastavovací vstup čtvrtého pětibitového posuvného registru, výstup čtrnáctého čtyřvstupového součtově součinného hradla je připojen na vstup čtrnáctého invertoru, jehož výstup je připojen na třetí nastavovací vstup čtvrtého pětibitového posuvného registru, výstup patnáctého čtyřvstupového součtově součinného hradla je připojen na vstup patnáctého invertoru, jehož výstup je připojen na druhý nastavovací vstup čtvrtého pětibitového posuvného registru, výstup šestnáctého čtyřvstupového součtově součinného hradla je připojen na vstup šestnáctého invertoru, jehož výstup je připojen na první nastavovací vstup čtvrtého pětibitového posuvného registru, pátý nastavovací vstup čtvrtého pětibitového posuvného registru je připojen na nulový potenciál, kdežto jeho seriový vstup dat tvoří současně dvacátýdevátý vstup zapojení, pátý datový výstup čtvrtého pětibitového posuvného registru tvoří současně šedesátýsedmý výstup, čtvrtý datový výstup čtvrtého pětibitového posuvného registru je připojen na první vstupy sedmého a osmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru, dále na druhý nastavovací vstup třicátého prvního pětibitového posuvného registru, na seriový vstup dat dvacátého pátého pětibitového posuvného registru a na druhý vstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu, třetí datový výstup čtvrtého pětibitového posuvného registru je připojen na třetí nastavovací vstupy pátého, devátého, třináctého, sedmnáctého, dvacátého prvního a třicátého pětibitového posuvného registru, druhý datový výstup čtvrtého pětibitového posuvného registru je připojen na druhé nastavovací vstupy pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru,

dále na čtvrtý nastavovací vstup dvacátého devátého pětibitového posuvného registru, první datový výstup čtvrtého pětibitového posuvného registru je připojen na první nastavovací vstupy pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru a na druhý vstup třetího dvou vstupového obvodu typu negace logického součinu, druhé vstupy prvního, třetího, pátého a sedmého dvou vstupového obvodu jsou spojeny a tvoří současně dvacátý pátý vstup zapojení, výstup prvního dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen jednak přes druhý odpor na kladný pól zdroje elektrické energie, jednak na výstupy dvanáctého, šestnáctého, dvacátého, dvacátého čtvrtého, dvacátého osmého a třicátého devátého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně třetí výstup zapojení, výstup druhého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen jednak přes první odpor na kladný pól zdroje elektrické energie, jednak na výstup třicátého druhého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně čtvrtý výstup zapojení, výstup třetího dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen jednak přes čtvrtý odpor na kladný pól zdroje elektrické energie, jednak na výstup jedenáctého, patnáctého, devatenáctého, dvacátého třetího, dvacátého sedmého a třicátého osmého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně sedmý výstup zapojení, výstup čtvrtého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen jednak na výstup třicátého prvního dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem, jednak přes třetí odpor na kladný pól zdroje elektrické energie a tvoří současně osmý výstup zapojení, výstup pátého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen jednak přes šestý odpor na kladný pól zdroje elektrické energie, jednak na výstup desátého, čtrnáctého, osmnáctého, dvacátého druhého, dvacátého šestého a třicátého sedmého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně devátý výstup zapojení, výstup šestého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen jednak přes pátý odpor na kladný pól zdroje elektrické energie, jednak na třicátý dvou vstupový obvod typu negace logického součinu s otevřeným kolektorem a tvoří současně desátý výstup zapojení, výstup sedmého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem je připojen jednak přes osmý odpor na kladný pól zdroje elektrické energie, jednak na výstup devátého, třináctého, sedmnáctého, dvacátého prvního, dvacátého pátého a třicátého šestého dvou vstupového obvodu typu negace logického součinu s ote-

vřeným kolektorem a tvoří současně třináctý výstup zapojení, výstup osmého dvou vstupového obvodu typu negace logického součinu je připojen jednak přes sedmý odpor na kladný pól zdroje elektrické energie, jednak na výstup dvacátého devátého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně čtrnáctý výstup zapojení, nulovací vstupy pátého, šestého, sedmého a osmého pětibitového posuvného registru jsou spojeny a tvoří současně dvacátý šestý vstup zapojení, hodinové vstupy pátého až osmého pětibitového posuvného registru jsou spojeny a tvoří současně dvacátý sedmý vstup zapojení, uvolňovací vstupy nastavení pátého a šestého pětibitového posuvného registru jsou připojeny na výstup dvacátého prvního invertoru, uvolňovací vstupy nastavení sedmého a osmého pětibitového registru jsou připojeny na výstup dvacátého druhého invertoru, jeho vstup je spojen se vstupem dvacátého prvního invertoru a tvoří současně dvacátý osmý vstup zapojení, první datový výstup pátého pětibitového posuvného registru tvoří současně šestnáctý výstup zapojení, čtvrtý datový výstup pátého pětibitového posuvného registru je připojen na seriový vstup dat pátého pětibitového posuvného registru a na první vstup devátého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup šestého pětibitového posuvného registru je připojen na seriový vstup dat šestého pětibitového posuvného registru a na první vstup desátého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem, čtvrtý datový vstup sedmého pětibitového posuvného registru je připojen na seriový vstup dat sedmého pětibitového posuvného registru a na první vstup jedenáctého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup osmého pětibitového posuvného registru je připojen na seriový vstup dat osmého pětibitového posuvného registru a na první vstup dvanáctého dvou vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně patnáctý výstup zapojení, druhé vstupy devátého až dvanáctého dvou vstupového klopného obvodu typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátý vstup zapojení, uvolňovací vstupy nastavení devátého a desátého pětibitového posuvného registru jsou připojeny na výstup dvacátého třetího invertoru, uvolňovací vstupy nastavení jedenáctého a dvanáctého pětibitového posuvného registru jsou připojeny na výstup dvacátého čtvrtého invertoru, jehož vstup je připojen na vstup dvacátého třetího invertoru a tvoří současně třicátý třetí vstup zapojení, nulovací vstupy devátého až dvanáctého pětibitového posuvného registru jsou spojeny a tvoří současně třicátý první vstup zapojení, hodinové vstupy devátého až dvanáctého pětibitového posuvného registru jsou spojeny a tvoří současně třicátý druhý vstup zapojení, první datový výstup devátého pětibitového posuvného registru tvoří

současné sedmnáctý výstup zapojení, čtvrtý datový výstup devátého pětibitového posuvného registru je připojen na seriový vstup dat devátého pětibitového posuvného registru a na první vstup třináctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup desátého pětibitového posuvného registru je připojen na seriový vstup dat desátého pětibitového posuvného registru a na první vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup jedenáctého pětibitového posuvného registru je připojen na seriový vstup dat jedenáctého pětibitového posuvného registru a na první vstup patnáctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup dvanáctého pětibitového posuvného registru je připojen na seriový vstup dat dvanáctého pětibitového posuvného registru a na první vstup šestnáctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, druhé vstupy třináctého až šestnáctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátýosmý vstup zapojení, uvolňovací vstupy nastavení třináctého a čtrnáctého pětibitového posuvného registru jsou připojeny na výstup dvacátéhoopátého invertoru, uvolňovací vstupy nastavení patnáctého a šestnáctého pětibitového posuvného registru jsou připojeny na výstup dvacátého šestého invertoru, jehož vstup je spojen se vstupem dvacátéhoopátého invertoru a tvoří současně třicátýšestý vstup zapojení, nulovací vstupy třináctého až šestnáctého pětibitového posuvného registru jsou spojeny a tvoří současně třicátýčtvrtý vstup zapojení, hodinové vstupy třináctého a šestnáctého pětibitového posuvného registru jsou spojeny a tvoří současně třicátýpátý vstup zapojení, první datový výstup třináctého pětibitového posuvného registru tvoří současně osmnáctý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně devatenáctý výstup zapojení, třetí datový výstup třináctého pětibitového posuvného registru tvoří současně dvacátý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat třináctého pětibitového posuvného registru a na první vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátýprvní výstup zapojení, první datový výstup čtrnáctého pětibitového posuvného registru tvoří současně dvacátý druhý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně dvacátý třetí výstup zapojení, třetí datový výstup čtrnáctého pětibitového posuvného registru tvoří současně dvacátý čtvrtý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat čtrnáctého pětibitového posuvného registru a na první vstup osmnáctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátýpátý výstup zapojení, první datový výstup patnáctého pětibitového posuvného re-

gistru tvoří současně dvacátýšestý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně dvacátýsedmý výstup zapojení, třetí datový výstup patnáctého pětibitového posuvného registru tvoří současně dvacátýosmý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat patnáctého pětibitového posuvného registru a na první vstup devatenáctého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátýdevátý výstup zapojení, první datový výstup šestnáctého pětibitového posuvného registru tvoří současně třicátý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně třicátýprvní výstup zapojení, třetí datový výstup šestnáctého pětibitového posuvného registru tvoří současně třicátýdruhý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat šestnáctého pětibitového posuvného registru a na první vstup dvacátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně třicátýtřetí výstup zapojení, druhé vstupy sedmnáctého až dvacátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátýsedmý vstup zapojení, uvolňovací vstupy nastavení sedmnáctého a osmnáctého pětibitového posuvného registru jsou připojeny na výstup dvacátéhošestého invertoru, uvolňovací vstupy nastavení devatenáctého a dvacátého pětibitového posuvného registru jsou připojeny na výstup dvacátéhoosmého invertoru, jehož vstup je připojen na vstup dvacátéhošestého invertoru a tvoří současně čtyřicátýprvní vstup zapojení, nulovací vstupy sedmnáctého až dvacátého pětibitového posuvného registru jsou spojeny a tvoří současně třicátýdevátý vstup zapojení, hodinové vstupy sedmnáctého až dvacátého pětibitového posuvného registru jsou spojeny a tvoří současně čtyřicátý vstup zapojení, první datový výstup sedmnáctého pětibitového posuvného registru tvoří současně pátý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně šestý výstup zapojení, třetí datový výstup sedmnáctého pětibitového posuvného registru tvoří současně jedenáctý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat sedmnáctého pětibitového posuvného registru a na první vstup dvacátéhooprvního dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně dvanáctý výstup zapojení, první datový výstup osmnáctého pětibitového posuvného registru tvoří současně třicátýčtvrtý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně třicátýpátý výstup zapojení, třetí datový výstup osmnáctého pětibitového posuvného registru tvoří současně třicátýšestý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat osmnáctého pětibitového posuvného registru a na první vstup dvacátéhohodruhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně třicátýsedmý výstup zapojení, první dato-

vý výstup devatenáctého pětibitového posuvného registru tvoří současně třicátýosmý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně třicátýdevátý výstup zapojení, třetí datový výstup devatenáctého pětibitového posuvného registru tvoří současně čtyřicátý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat devatenáctého pětibitového posuvného registru a na první vstup dvacátéhočetřetího dvou-
vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýprvní výstup zapojení, první datový výstup dvacátého pětibitového posuvného registru tvoří současně čtyřicátýdruhý výstup zapojení, kdežto jeho druhý datový výstup tvoří současně čtyřicátýtřetí výstup zapojení, třetí datový výstup dvacátého pětibitového posuvného registru tvoří současně čtyřicátýčtvrtý výstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na seriový vstup dat dvacátého pětibitového posuvného registru a na první vstup dvacátéhočtvrtého dvou-
vstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýpátý výstup zapojení, druhé vstupy dvacátéhooprvního až dvacátéhočtvrtého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně čtyřicátýdruhý vstup zapojení, uvolňovací vstupy nastavení dvacátéhooprvního a dvacátého druhého pětibitového posuvného registru jsou připojeny na výstup dvacátéhoosmého invertoru, uvolňovací vstupy nastavení dvacátéhočetřetího a dvacátéhočtvrtého pětibitového posuvného registru jsou připojeny na výstup dvacátého devátého invertoru, jehož vstup je spojen s dvacátýmosmým invertorem a tvoří současně čtyřicátýpátý vstup zapojení, nulovací vstupy dvacátéhooprvního až dvacátéhočtvrtého pětibitového posuvného registru jsou spojeny a tvoří současně čtyřicátýtřetí vstup zapojení, hodinové vstupy dvacátéhooprvního až dvacátéhočtvrtého pětibitového posuvného registru jsou spojeny a tvoří současně čtyřicátýčtvrtý vstup zapojení, čtvrtý datový výstup dvacátéhooprvního pětibitového posuvného registru je připojen na seriový vstup dat dvacátéhooprvního pětibitového posuvného registru a na první vstup dvacátéhoopátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup dvacátého druhého pětibitového posuvného registru je připojen na seriový vstup dat a na první vstup dvacátéhoosmého dvouvstupového obvodu typu negace lo-

gického součinu s otevřeným kolektorem, druhé vstupy dvacátéhoopátého až dvacátéhoosmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně čtyřicátýšestý vstup zapojení, uvolňovací vstupy nastavení dvacátéhoopátého a dvacátéhošestého pětibitového posuvného registru jsou připojeny na výstup třicátého invertoru, uvolňovací vstupy nastavení dvacátéhoosmého a dvacátéhoosmého pětibitového posuvného registru jsou připojeny na výstup třicátéhooprvního invertoru, jehož vstup je spojen se vstupem třicátého invertoru a připojen na výstup druhého třívstupového obvodu typu negace logického součinu, jehož první vstup tvoří současně čtyřicátýosmý vstup zapojení a jehož druhý vstup tvoří současně čtyřicátýdevátý vstup zapojení, třetí vstup druhého a první vstup třetího třívstupového obvodu typu negace logického součinu jsou spojeny a tvoří současně padesátý vstup zapojení, druhý vstup třetího třívstupového obvodu typu negace logického součinu tvoří současně padesátýprvní vstup zapojení, kdežto jeho třetí vstup tvoří současně padesátýdruhý vstup zapojení, výstup třetího třívstupového obvodu typu negace logického součinu je připojen na nulovací vstupy dvacátéhoopátého až dvacátéhoosmého pětibitového posuvného registru, hodinové vstupy dvacátéhoopátého až dvacátéhoosmého pětibitového posuvného registru jsou spojeny a tvoří současně čtyřicátýsedmý vstup, první nastavovací vstup dvacátéhoopátého pětibitového posuvného registru tvoří současně padesátýčtvrtý vstup zapojení, kdežto jeho druhý nastavovací vstup je připojen na druhý vstup šestého třívstupového obvodu typu negace logického součinu a na první vstup dvacátéhooprvního dvouvstupového obvodu typu negace logického součinu a tvoří současně padesátýpátý vstup zapojení, třetí nastavovací vstup dvacátéhoopátého pětibitového posuvného registru tvoří současně padesátýšestý vstup zapojení, kdežto jeho čtvrtý nastavovací vstup tvoří současně padesátýsedmý vstup zapojení a jeho čtvrtý datový výstup je připojen na první vstup dvacátého devátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, druhý nastavovací vstup dvacátého šestého pětibitového posuvného registru je připojen na první vstup čtvrtého třívstupového obvodu typu negace logického součinu a tvoří současně šedesátý vstup zapojení, kdežto jeho třetí nastavovací vstup tvoří současně šedesátýprvní vstup zapojení a jeho čtvrtý nastavovací vstup tvoří současně šedesátýdruhý vstup zapojení, přičemž jeho čtvrtý datový výstup je připojen na první vstup třicátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, první nastavovací vstup dvacátéhoosmého pětibitového posuvného registru tvoří současně šedesátýtřetí vstup zapojení, kdežto jeho druhý nastavovací vstup tvoří současně šedesátýčtvrtý vstup zapojení a jeho třetí nastavo-

vací vstup tvoří současně šedesátýpátý vstup zapojení, čtvrtý nastavovací vstup dvacátéhoosmého pětibitového posuvného registru tvoří současně šedesátýšestý vstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na první vstup třicátého-prvního dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, první nastavovací vstup dvacátéhoosmého pětibitového posuvného registru tvoří současně šedesátýsedmý vstup zapojení, kdežto jeho druhý nastavovací vstup tvoří současně šedesátýosmý vstup zapojení a jeho třetí nastavovací vstup tvoří současně šedesátýdevátý vstup zapojení, čtvrtý nastavovací vstup dvacátéhoosmého pětibitového posuvného registru tvoří současně sedmdesátý vstup zapojení, kdežto jeho čtvrtý datový výstup je připojen na první vstup třicátého-druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, druhý vstup čtvrtého třívstupového obvodu typu negace logického součinu je připojen na první vstup pátého třívstupového obvodu typu negace logického součinu a tvoří současně sedmdesátýsedmý vstup zapojení, kdežto jeho výstup je připojen na vstup třicátého-pátého invertoru, jehož výstup je připojen na druhý vstup třicátého-třetího dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a na vstupy prvního až čtvrtého invertoru s otevřeným kolektorem, výstup prvního invertoru s otevřeným kolektorem je připojen na výstup dvacátého-devátého obvodu typu negace logického součinu s otevřeným kolektorem, výstup druhého invertoru s otevřeným kolektorem je připojen na výstup třicátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, výstup třetího invertoru s otevřeným kolektorem je připojen na výstup třicátého-prvního dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, výstup čtvrtého invertoru s otevřeným kolektorem je připojen na výstup třicátého-druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, druhý vstup pátého třívstupového obvodu typu negace logického součinu je připojen na první vstup šestého třívstupového obvodu typu negace logického součinu a tvoří současně sedmdesátýosmý vstup zapojení, kdežto jeho výstup je připojen na vstup třicátého-šestého invertoru, jehož výstup je připojen na druhý vstup třicátého-čtvrtého dvouvstupového obvodu typu negace logického součinu, výstup šestého třívstupového obvodu typu negace logického součinu je připojen na vstup třicátého-sedmého invertoru, jehož výstup je připojen na vstup pátého invertoru s otevřeným kolektorem a na druhé vstupy druhého, čtvrtého, šestého a osmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, výstup dvacátého-prvního dvouvstupového obvodu typu negace logického součinu je připojen na první vstup dvacátého dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na první vstup třicátého-pátého dvouvstupového

obvodu typu negace logického součinu s otevřeným kolektorem a na druhé vstupy dvacátého-devátého až třicátého-druhého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, výstupy třicátého-třetího až třicátého-pátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a výstup pátého invertoru s otevřeným kolektorem jsou spojeny a připojeny jednak přes dvacátý pátý odpor na kladný pól zdroje elektrické energie, jednak na základní vstup druhého klopného obvodu typu D, jehož nulový výstup je připojen na první vstup třicátého-třetího dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na seriový vstup dat dvacátého-devátého pětibitového posuvného registru, na čtvrtý vstup šestnáctého čtyřvstupového součtově součinového hradla a na první vstup dvouvstupového obvodu typu negace logického součinu, hodinový vstup druhého klopného obvodu typu D je připojen na hodinové vstupy dvacátého-devátého až třicátého-prvního pětibitového posuvného registru a tvoří současně padesátýtřetí vstup zapojení, nulovací vstupy dvacátého-devátého až třicátého-prvního pětibitového posuvného registru jsou spojeny a připojeny na nastavovací vstup druhého klopného obvodu typu D a tvoří současně padesátýosmý vstup zapojení, vstupy třicátého-druhého a třicátého-třetího invertoru jsou spojeny a tvoří současně sedmdesátý-první vstup zapojení, výstup třicátého-druhého invertoru je připojen jednak na první vstup třetího dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na nulovací vstup druhého klopného obvodu typu D, jednak na uvolňovací vstup nastavení dvacátého-devátého pětibitového posuvného registru, výstup třicátého-třetího invertoru je připojen na uvolňovací vstupy třicátého a třicátého-prvního pětibitového posuvného registru, první datový výstup dvacátého-devátého pětibitového posuvného registru je připojen na čtvrtý vstup dvanáctého čtyřvstupového součtově součinového hradla a na první vstup pátého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně čtyřicátý-devátý výstup zapojení, výstup čtvrtého dvouvstupového obvodu typu negace logického součinu tvoří současně čtyřicátý-osmý výstup zapojení, druhý datový výstup dvacátého-devátého pětibitového posuvného registru je připojen na čtvrtý vstup osmého čtyřvstupového součtově součinového hradla a na první vstup šestého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátý výstup zapojení, třetí datový výstup dvacátého-devátého pětibitového posuvného registru je připojen na čtvrtý vstup čtvrtého součtově součinového hradla a na první vstup sedmého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátý-první výstup zapojení, čtvrtý datový výstup dvacátého-devátého pětibitového posuvného registru je připojen na čtvrtý vstup patnáctého čtyřvstupového součtově součinového hradla a na

209222

první vstup osmého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýdruhý výstup zapojení, pátý datový výstup dvacátého devátého pětibitového posuvného registru je připojen na čtvrtý vstup jedenáctého čtyřvstupového součtově součinového hradla, na seriový vstup dat třicátého pětibitového posuvného registru a na první vstup devátého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýtřetí výstup zapojení, první datový výstup třicátého pětibitového posuvného registru je připojen na čtvrtý vstup sedmého součtově součinového hradla a na první vstup desátého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýčtvrtý výstup zapojení, druhý datový výstup třicátého pětibitového posuvného registru je připojen na čtvrtý vstup třetího čtyřvstupového součtově součinového hradla a na první vstup jedenáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýpátý výstup zapojení, třetí datový výstup třicátého pětibitového posuvného registru je připojen na čtvrtý vstup čtrnáctého čtyřvstupového součtově součinového hradla a na první vstup dvanáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýšestý výstup zapojení, čtvrtý datový výstup třicátého pětibitového posuvného registru je připojen na čtvrtý vstup desátého čtyřvstupového součtově součinového hradla a na první vstup třináctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýsedmý výstup zapojení, pátý datový výstup třicátého pětibitového posuvného registru je připojen na čtvrtý vstup šestého čtyřvstupového součtově součinového hradla, na seriový vstup dat třicátého prvního pětibitového posuvného registru a na první vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýosmý výstup zapojení, první datový výstup třicátého prvního pětibitového posuvného registru je připojen na čtvrtý vstup druhého čtyřvstupového součtově součinového hradla a na první vstup patnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně padesátýdevátý výstup zapojení, druhý datový výstup třicátého prvního pětibitového posuvného registru je připojen na čtvrtý vstup třináctého čtyřvstupového součtově součinového hradla a na první vstup šestnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně šedesátý výstup zapojení, třetí datový výstup třicátého prvního pětibitového posuvného registru je připojen na čtvrtý vstup devátého čtyřvstupového součtově součinového hradla a na první vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně šedesátýprvní výstup zapojení, čtvrtý datový výstup třicátého prvního pětibitového posuvného registru je připojen na čtvrtý vstup pátého čtyřvstupového součtově součinového

hradla a na první vstup osmnáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně šedesátýdruhý výstup zapojení, pátý datový výstup třicátého prvního pětibitového posuvného registru je připojen na druhý vstup třicátého pátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na čtvrtý vstup prvního čtyřvstupového součtově součinového hradla a na první vstup devatenáctého dvouvstupového obvodu typu negace logického součinu, jehož výstup tvoří současně šedesátýtřetí výstup zapojení, druhý vstup čtvrtého dvouvstupového obvodu typu negace logického součinu je připojen přes devátý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýprvní vstup zapojení, druhý vstup pátého dvouvstupového obvodu typu negace logického součinu je připojen přes desátý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýdruhý vstup zapojení, druhý vstup šestého dvouvstupového obvodu typu negace logického součinu je připojen přes jedenáctý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýtřetí vstup zapojení, druhý vstup sedmého dvouvstupového obvodu typu negace logického součinu je připojen přes dvanáctý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýčtvrtý vstup zapojení, druhý vstup osmého dvouvstupového obvodu typu negace logického součinu je připojen přes třináctý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýpátý vstup zapojení, druhý vstup devátého dvouvstupového obvodu typu negace logického součinu je připojen přes čtrnáctý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýšestý vstup zapojení, druhý vstup desátého dvouvstupového obvodu typu negace logického součinu je připojen přes patnáctý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýsedmý vstup zapojení, druhý vstup jedenáctého dvouvstupového obvodu typu negace logického součinu je připojen přes šestnáctý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýosmý vstup zapojení, druhý vstup dvanáctého dvouvstupového obvodu typu negace logického součinu je připojen přes sedmnáctý odpor na kladný pól zdroje elektrické energie a tvoří současně osmdesátýdevátý vstup zapojení, druhý vstup třináctého dvouvstupového obvodu typu negace logického součinu je připojen přes osmnáctý odpor na kladný pól zdroje elektrické energie a tvoří současně devadesátý vstup zapojení, druhý vstup čtrnáctého dvouvstupového obvodu typu negace logického součinu je připojen přes devatenáctý odpor na kladný pól zdroje elektrické energie a tvoří současně devadesátýprvní vstup zapojení, druhý vstup patnáctého dvouvstupového obvodu typu negace logického součinu je připojen přes dvacátý odpor na kladný pól zdroje elektrické energie a tvoří současně devadesátýdruhý vstup zapojení, druhý vstup šestnáctého dvouvstupového obvodu typu

negace logického součinu je připojen přes dvacátý-první odpor na kladný pól zdroje elektrické energie a tvoří současně devadesátýtřetí vstup zapojení, druhý vstup sedmnáctého dvouvstupového obvodu typu negace logického součinu je připojen přes dvacátýdruhý odpor na kladný pól zdroje elektrické energie a tvoří současně devadesátýčtvrtý vstup zapojení, druhý vstup osmnáctého dvouvstupového obvodu typu negace logického součinu je připojen přes dvacátýtřetí odpor na kladný pól zdroje elektrické energie a tvoří současně devadesátýpátý vstup zapojení, druhý vstup devatenáctého dvouvstupového obvodu typu negace logického součinu je připojen přes dvacátýčtvrtý odpor na kladný pól zdroje elektrické energie a tvoří současně devadesátýšestý vstup zapojení, druhé vstupy třicátéhošestého až třicátého devátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně sedmdesátýdruhý vstup zapojení, nastavovací vstupy třetího až šestého klopného obvodu typu D jsou spojeny a tvoří současně sedmdesátýtřetí vstup zapojení, kdežto jejich základní vstupy jsou připojeny na kladný pól zdroje elektrické energie a jejich hodinové vstupy jsou spojeny a současně tvoří sedmdesátýčtvrtý vstup zapojení, nulový výstup třetího klopného obvodu typu D je připojen na první vstup třicátéhošestého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup je připojen na výstup dvacátého druhého dvouvstupového obvodu typu negace logického součinu, nulový výstup čtvrtého klopného obvodu typu D je připojen na první vstup třicátéhošedmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup je připojen na výstup dvacátého třetího dvouvstupového obvodu typu negace logického součinu, nulový výstup pátého klopného obvodu typu D je připojen na první vstup třicátéhošedsmého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup je připojen na výstup dvacátého čtvrtého dvouvstupového obvodu typu negace logického součinu, jedničkový výstup šestého klopného obvodu typu D tvoří současně čtyřicátýšestý výstup zapojení, nulovací vstup šestého klopného obvodu typu D je připojen na výstup dvacátého pátého dvouvstupového obvodu typu negace logického součinu, kdežto jeho nulový výstup je připojen na první vstup třicátéhočtvrtého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem, na první vstup třicátého devátého dvouvstupového obvodu typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýsedmý výstup zapojení, vstup třicátéhočtvrtého invertoru tvoří současně sedmdesátýpátý vstup zapojení, kdežto jeho výstup je připojen na první vstupy dvacátého druhého až dvacátého pátého dvouvstupového obvodu typu negace logického součinu.

Zapojením procesoru pro inteligentní terminál

podle vynálezu se dosáhne maximálního snížení počtu prvků procesoru, přičemž se docílí řady dalších výhod. Za prvé, zapojení registrů procesoru umožňuje posuv registrů po čtyřbitových sběrnici přes aritmetickou a logickou jednotku a po šestnáctibitové sběrnici vzájemně mezi sebou, což má za následek pronikavé snížení nutných obvodů jak v aritmetické jednotce, která je čtyřbitová, například podle čs. autorského osvědčení č. 209221, tak i ve vlastních obvodech řízení čtyřbitových sběrnic. Za druhé se umožní jednoduché provádění přímých dekadických operací v aritmetické jednotce. Za třetí se dosáhne velké rychlosti přesuvu dat mezi registry, neboť tyto přesuvy probíhají po šestnáctibitové sběrnici. Uvedených vlastností se dosáhne tím, že časový cyklus procesoru je rozdělen na šest časových intervalů, z nichž v prvních čtyřech časových intervalech jsou ovládané dvě čtyřbitové sběrnice a současně posuv registrů procesoru o mikroprogramem volitelný počet bitů a v posledních dvou časových intervalech je řízena jedna šestnáctibitová sběrnice, která umožňuje paralelní přenos mezi registry procesoru. Uvedených vlastností je dále dosaženo využitím pracovních registrů procesoru pro serio-paralelní převod a pro přepínání šestnáctibitové sběrnice, čímž odpadají složité multiplexory této sběrnice. Datový registr T2 je kromě styku s pamětí využíván pro funkce jednobitových posuvů, rotací a cyklických rotací přes jeden bit přenosového registru, což dále vede ke zvýšení výkonu procesoru za současného zjednodušení zapojení procesoru.

Příklad zapojení procesoru pro inteligentní terminál podle vynálezu je znázorněn schematicky na připojených výkresech, na nichž, obr. 1a představuje zapojení pracovního registru R1, obr. 1b zapojení pracovního registru R2, obr. 1c zapojení adresového registru R3, obr. 1d zapojení registru podmínky Q, obr. 1e zapojení čítače makroinstrukcí P, obr. 1f zapojení registru konstanty K, obr. 1g, h zapojení akumulátoru T1, obr. 1i, j zapojení registru T2, obr. 1k zapojení registru E, obr. 2 schéma pětibitového posuvného registru, obr. 3 skladbu mikroinstrukce a obr. 4 časový diagram řízení procesoru.

Druhý vstup prvního čtyřvstupového součtově součinného hradla **SSH1** pro datový signál DAT(0) tvoří současně první vstup **01** zapojení, připojitelný na neznázorněnou hlavní paměť, kdežto jeho třetí vstup pro signál T2D0T1 je připojen na třetí vstupy druhého až šestnáctého čtyřvstupového součtově součinného hradla **SSH2** až **SSH16** a tvoří současně druhý vstup **02** zapojení, připojitelný na neznázorněný časový zdroj. Druhý vstup druhého čtyřvstupového součtově součinného hradla **SSH2** pro datový signál DAT(4) tvoří současně třetí vstup **03** zapojení, připojitelný na hlavní paměť. Druhý vstup třetího čtyřvstupového součtově součinného hradla **SSH3** pro datový signál DAT(8) tvoří současně čtvrtý vstup **04** zapojení, připojitelný na hlavní paměť. Druhý

vstup čtvrtého čtyřvstupového součtově součinného hradla **SSHC4** pro datový signál **DAT(12)** tvoří současně pátý vstup **05** zapojení, připojitelný na hlavní paměť. Hodinové vstupy 1 prvního až čtvrtého pětibitového posuvného registru **PR1** až **PR4** pro signál **T1(HOD)** jsou spojeny a tvoří současně šestý vstup **06** zapojení, připojitelný na časový zdroj. Druhý vstup pátého čtyřvstupového součtově součinného hradla **SSHC5** pro datový signál **DAT(1)** tvoří současně sedmý vstup **07** zapojení, připojitelný na hlavní paměť. Druhý vstup šestého čtyřvstupového součtově součinného hradla **SSHC6** pro datový signál **DAT(5)** tvoří současně osmý vstup **08** zapojení, připojitelný na hlavní paměť. Druhý vstup sedmého čtyřvstupového součtově součinného hradla **SSHC7** pro datový signál **DAT(9)** tvoří současně devátý vstup **09** zapojení, připojitelný na hlavní paměť. Druhý vstup osmého čtyřvstupového součtově součinného hradla **SSHC8** pro datový signál **DAT(13)** tvoří současně desátý vstup **010** zapojení, připojitelný na hlavní paměť. Druhý vstup devátého čtyřvstupového součtově součinného hradla **SSHC9** pro datový signál **DAT(2)** tvoří současně jedenáctý vstup **011** zapojení, připojitelný na hlavní paměť. Druhý vstup desátého čtyřvstupového součtově součinného hradla **SSHC10** pro datový signál **DAT(6)** tvoří současně dvanáctý vstup **012** zapojení, připojitelný na hlavní paměť. Druhý vstup jedenáctého čtyřvstupového součtově součinného hradla **SSHC11** pro datový signál **DAT(10)** tvoří současně třináctý vstup **013** zapojení, připojitelný na hlavní paměť. Druhý vstup dvanáctého čtyřvstupového součtově součinného hradla **SSHC12** pro datový signál **DAT(14)** tvoří současně čtrnáctý vstup **014** zapojení, připojitelný na hlavní paměť. Druhý vstup třináctého čtyřvstupového součtově součinného hradla **SSHC13** pro datový signál **DAT(3)** tvoří současně patnáctý vstup **015** zapojení, připojitelný na hlavní paměť. Druhý vstup čtrnáctého čtyřvstupového součtově součinného hradla **SSHC14** pro datový signál **DAT(7)** tvoří současně šestnáctý vstup **016** zapojení, připojitelný na hlavní paměť. Druhý vstup patnáctého čtyřvstupového součtově součinného hradla **SSHC15** pro datový signál **DAT(11)** tvoří současně sedmnáctý vstup **017** zapojení, připojitelný na hlavní paměť. Druhý vstup šestnáctého čtyřvstupového součtově součinného hradla **SSHC16** pro datový signál **DAT(15)** tvoří současně osmnáctý vstup **018** zapojení, připojitelný na hlavní paměť. První vstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu pro signál **ROM(33)** tvoří současně devatenáctý vstup **019** zapojení, připojitelný na neznázorněnou řídicí paměť typu ROM, kdežto jeho výstup pro řídicí signál **START1** je připojen na výstup druhého dvouvstupového obvodu **NSD2** typu negace logického součinu a tvoří současně první výstup **001** zapojení, připojitelný na hlavní paměť. Druhý vstup prvního dvouvstupového obvodu **NSD1** typu negace logického součinu a první vstup druhého dvouvstupového obvodu

NSD2 typu negace logického součinu pro signál **TOA** jsou spojeny a tvoří současně dvacátý vstup **020** zapojení, připojitelný na časový zdroj. První vstup prvního třívstupového obvodu **NST1** typu negace logického součinu pro signál **ROM(20)** je připojen na první nastavovací vstup **2** dvacátého šestého pětibitového posuvného registru **PR26** a tvoří současně dvacátýprvní vstup **021** zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho druhý vstup pro signál **ROM(21)** tvoří současně dvacátýdruhý vstup **022** zapojení, připojitelný na řídicí paměť typu ROM. Třetí vstup prvního třívstupového obvodu **NST1** typu negace logického součinu pro signál **ROM(22)** je připojen na třetí vstupy čtvrtého až šestého třívstupového obvodu **NST4**, **NST5**, **NST6**, dále na druhý vstup dvacátého dvouvstupového obvodu **NSD20** typu negace logického součinu a tvoří současně dvacátýtřetí vstup **023** zapojení. Výstup prvního třívstupového obvodu **NST1** typu negace logického součinu je připojen na vstup devatenáctého invertoru **INV19**, jehož výstup je připojen na druhý vstup druhého dvouvstupového obvodu **NSD2** typu negace logického součinu a na základní vstup **11** prvního klopného obvodu **AČT** typu D. Hodinový vstup **12** prvního klopného obvodu **AČT** typu D pro signál **TAKT** tvoří současně dvacátýčtvrtý vstup **024** zapojení, připojitelný na časový zdroj, kdežto jeho jedničkový výstup **101** pro řídicí signál **ČTENÍ** je připojen na první vstupy prvního až šestnáctého čtyřvstupového součtově součinného hradla **SSHC1** až **SSHC16** a tvoří současně druhý výstup **002** zapojení, připojitelný na hlavní paměť. Výstup prvního čtyřvstupového součtově součinného hradla **SSHC1** je připojen na vstup prvního invertoru **INV1**, jehož výstup je připojen na čtvrtý nastavovací vstup **6** prvního pětibitového posuvného registru **PR1**. Výstup druhého čtyřvstupového součtově součinného hradla **SSHC2** je připojen na vstup druhého invertoru **INV2**, jehož výstup je připojen na třetí nastavovací vstup **4** prvního pětibitového posuvného registru **PR1**. Výstup třetího čtyřvstupového součtově součinného hradla **SSHC3** je připojen na vstup třetího invertoru **INV3**, jehož výstup je připojen na druhý nastavovací vstup **3** prvního pětibitového posuvného registru **PR1**. Výstup čtvrtého čtyřvstupového součtově součinného hradla **SSHC4** je připojen na vstup čtvrtého invertoru **INV4**, jehož výstup je připojen na první nastavovací vstup **2** prvního pětibitového posuvného registru **PR1**. Pátý nastavovací vstup **7** prvního pětibitového posuvného registru **PR1** je připojen na nulový potenciál, kdežto jeho pátý datový výstup **10** pro signál **T1(0)V** tvoří současně šedesátýčtvrtý výstup **0064** zapojení, připojitelný na neznázorněnou řídicí jednotku vstupů a výstupů. Čtvrtý datový výstup **11** prvního pětibitového posuvného registru **PR1** pro signál **T1(0)** je připojen na první vstupy prvního a druhého dvouvstupového obvodu **NSDK1**, **NSDK2** typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací

vstupy 6 osmého, dvanáctého, šestnáctého, dvacátého a dvacátéhočtvrtého pětibitového posuvného registru **PR8, PR12, PR16, PR20, PR24**, dále na pátý nastavovací vstup 7 třicátého prvního pětibitového posuvného registru **PR31**, na seriový vstup dat 9 dvacátého osmého pětibitového posuvného registru **PR28** a na druhý vstup dvacátého pátého dvouvstupového obvodu **NSD25** typu negace logického součinu. Třetí datový výstup 13 prvního pětibitového posuvného registru **PR1** pro signál **T1(4)** je připojen na třetí nastavovací vstupy 4 osmého, dvanáctého, šestnáctého, dvacátého a dvacátéhočtvrtého pětibitového posuvného registru **PR8, PR12, PR16, PR20, PR24** a na první nastavovací vstup 2 třicátého prvního pětibitového posuvného registru **PR31**. Druhý datový výstup 14 prvního pětibitového posuvného registru **PR1** pro signál **T1(8)** je připojen na druhé nastavovací vstupy 3 osmého, dvanáctého, šestnáctého, dvacátého, dvacátéhočtvrtého a třicátého pětibitového posuvného registru **PR8, PR12, PR16, PR20, PR24, PR30**. První datový výstup 15 prvního pětibitového posuvného registru **PR1** pro signál **T1(12)** je připojen na první nastavovací vstupy 2 osmého, dvanáctého, šestnáctého, dvacátého, dvacátéhočtvrtého pětibitového posuvného registru **PR8, PR12, PR16, PR20, PR24** a na třetí nastavovací vstup 4 dvacátého devátého pětibitového posuvného registru **PR29**. Nulovací vstupy 16 prvního až čtvrtého pětibitového posuvného registru **PR1 až PR4** pro signál **T1(NUL)** jsou spojeny a tvoří současně devadesátý sedmý vstup 097 zapojení, připojitelný na časový zdroj. Uvolňovací vstupy nastavení 8 prvního a druhého pětibitového posuvného registru **PR1 a PR2** jsou připojeny na výstup sedmnáctého invertoru **INV17**. Uvolňovací vstupy nastavení 8 třetího a čtvrtého pětibitového posuvného registru **PR3 a PR4** jsou připojeny na výstup osmnáctého invertoru **INV18**, jehož vstup je spojen se vstupem sedmnáctého invertoru **INV17** pro signál **T1(NAS)** a tvoří současně padesátý devátý vstup 059 zapojení, připojitelný na časový zdroj. Seriový vstup dat 9 prvního pětibitového posuvného registru **PR1** pro signál **ALJ(0)** tvoří současně osmdesátý vstup 080 zapojení, připojitelný na neznázorněnou aritmetickou a logickou jednotku mikroprocesoru. Výstup pátého čtyřvstupového součtově součinového hradla **SSHC5** je připojen na vstup pátého invertoru **INV5**, jehož výstup je připojen na čtvrtý nastavovací vstup 6 druhého pětibitového posuvného registru **PR2**, jehož seriový vstup dat 9 pro signál **ALJ(1)** tvoří současně sedmdesátý šestý vstup 076 zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup šestého čtyřvstupového součtově součinového hradla **SSHC6** je připojen na vstup šestého invertoru **INV6**, jehož výstup je připojen na třetí nastavovací vstup 4 druhého pětibitového posuvného registru **PR2**. Výstup sedmého čtyřvstupového součtově součinového hradla **SSHC7**, je připojen na vstup sedmého invertoru **INV7**, jehož výstup je připojen

na druhý nastavovací vstup 3 druhého pětibitového posuvného registru **PR2**. Výstup osmého čtyřvstupového součtově součinového hradla **SSHC8** je připojen na vstup osmého invertoru **INV8**, jehož výstup je připojen na první nastavovací vstup 2 druhého pětibitového posuvného registru **PR2**. Pátý nastavovací vstup 7 druhého pětibitového posuvného registru **PR2** je připojen na nulový potenciál, kdežto jeho pátý datový výstup 10 pro signál **T1(1)V** tvoří současně šedesátý pátý výstup 0065 zapojení, připojitelný na řídicí jednotku vstupů a výstupů. Čtvrtý datový výstup 11 druhého pětibitového posuvného registru **PR2** pro signál **T1(1)** je připojen na první vstupy třetího a čtvrtého dvouvstupového obvodu **NSDK3, NSDK4** typu negace logického součinu s otevřeným kolektorem, dále na čtvrté nastavovací vstupy 6 sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího a třicátého prvního pětibitového posuvného registru **PR7, PR11, PR15, PR19, PR23, PR31**, dále na druhý vstup dvacátéhočtvrtého dvouvstupového obvodu **NSD24** typu negace logického součinu a na seriový vstup dat 9 dvacátého sedmého pětibitového posuvného registru **PR27**. Třetí datový výstup 13 druhého pětibitového posuvného registru **PR2** pro signál **T1(5)** je připojen na třetí nastavovací vstupy 4 sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru **PR7, PR11, PR15, PR19, PR23**, dále na pátý nastavovací vstup 7 třicátého pětibitového posuvného registru **PR30**. Druhý datový výstup 14 druhého pětibitového posuvného registru **PR2** pro signál **T1(9)** je připojen na druhé nastavovací vstupy 3 sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru **PR7, PR11, PR15, PR19, PR23** a na první nastavovací vstup 2 třicátého pětibitového posuvného registru **PR30**. První datový výstup 15 druhého pětibitového posuvného registru **PR15** pro signál **T1(13)** je připojen na první nastavovací vstupy 2 sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího, pětibitového posuvného registru **PR7, PR11, PR15, PR19, PR23** a na druhý nastavovací vstup 3 dvacátého devátého pětibitového posuvného registru **PR29**. Výstup devátého čtyřvstupového součtově součinového hradla **SSHC9** je připojen na vstup devátého invertoru **INV9**, jehož výstup je připojen na čtvrtý nastavovací vstup 6 třetího pětibitového posuvného registru **PR3**. Výstup desátého čtyřvstupového součtově součinového hradla **SSHC10** je připojen na vstup desátého invertoru **INV10**, jehož výstup je připojen na třetí nastavovací vstup 4 třetího pětibitového posuvného registru **PR3**. Výstup jedenáctého čtyřvstupového součtově součinového hradla **SSHC11** je připojen na vstup jedenáctého invertoru **INV11**, jehož výstup je připojen na druhý nastavovací vstup 3 třetího pětibitového posuvného registru **PR3**. Výstup dvanáctého čtyřvstupového součtově součinového hradla **SSHC12** je připojen na vstup dvanáctého invertoru

209222

INV12, jehož výstup je připojen na první nastavovací vstup 2 třetího pětibitového posuvného registru **PR3**. Pátý nastavovací vstup 7 třetího pětibitového posuvného registru **PR3** je připojen na nulový potenciál, kdežto jeho pátý datový výstup 10 pro signál **T1(2)V** tvoří současně šedesátýšestý výstup 0066 zapojení, připojitelný na řídicí jednotku vstupů a výstupů. Čtvrtý datový výstup 11 třetího pětibitového posuvného registru **PR3** pro signál **T1(2)** je připojen na první vstupy pátého a šestého dvouvstupového obvodu **NSDK5**, **NSDK6** typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy 6 šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru **PR6**, **PR10**, **PR14**, **PR18**, **PR22**, dále na seriový vstup dat 9 dvacátého šestého pětibitového posuvného registru **PR26**, na třetí nastavovací vstup 4 třicátého prvního pětibitového posuvného registru **PR31** a na druhý vstup dvacátého třetího dvouvstupového obvodu **NSD23** typu negace logického součinu. Třetí datový výstup 13 třetího pětibitového posuvného registru **PR3** pro signál **T1(6)** je připojen na třetí nastavovací vstupy 4 šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru **PR6**, **PR10**, **PR14**, **PR18**, **PR22**, dále na čtvrtý nastavovací vstup 6 třicátého pětibitového posuvného registru **PR30**. Druhý datový výstup 14 třetího pětibitového posuvného registru **PR3** pro signál **T1(10)** je připojen na druhé nastavovací vstupy 3 šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru **PR6**, **PR10**, **PR14**, **PR18**, **PR22** a na pátý nastavovací vstup 7 dvacátého devátého pětibitového posuvného registru **PR29**. První datový výstup 15 třetího pětibitového posuvného registru **PR3** pro signál **T1(14)** je připojen na první nastavovací vstup 2 šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého a dvacátého devátého pětibitového posuvného registru **PR6**, **PR10**, **PR14**, **PR18**, **PR22** a **PR29**. Seriový vstup dat 9 třetího pětibitového posuvného registru **PR3** pro signál **ALJ(2)** tvoří sedmdesátýdevátý vstup 079 zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup třináctého čtyřvstupového součtově součinného hradla **SSHC13** je připojen na vstup třináctého invertoru **INV13**, jehož výstup je připojen na čtvrtý nastavovací vstup 6 čtvrtého pětibitového posuvného registru **PR4**. Výstup čtrnáctého čtyřvstupového součtově součinného hradla **SSHC14** je připojen na vstup čtrnáctého invertoru **INV14**, jehož výstup je připojen na třetí nastavovací vstup 4 čtvrtého pětibitového posuvného registru **PR4**. Výstup patnáctého čtyřvstupového součtově součinného hradla **SSHC15** je připojen na vstup patnáctého invertoru **INV15**, jehož výstup je připojen na druhý nastavovací vstup 3 čtvrtého pětibitového posuvného registru **PR4**. Výstup šestnáctého čtyřvstupového součtově součinného hradla **SSHC16** je připojen na vstup šestnáctého invertoru

INV16, jehož výstup je připojen na první nastavovací vstup 2 čtvrtého pětibitového posuvného registru **PR4**. Pátý nastavovací vstup 7 čtvrtého pětibitového posuvného registru **PR4** je připojen na nulový potenciál, kdežto jeho seriový vstup dat 9 pro signál **ALJ(3)** tvoří současně dvacátýdevátý vstup 029 zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Pátý datový výstup 10 čtvrtého pětibitového posuvného registru **PR4** pro signál **T1(3)V** tvoří současně šedesátýsedmý výstup 0067 připojitelný na řídicí jednotku vstupů a výstupů. Čtvrtý datový výstup 11 čtvrtého pětibitového posuvného registru **PR4** pro signál **T1(3)** je připojen na první vstupy sedmého a osmého dvouvstupového obvodu **NSDK7** a **NSDK8** typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy 6 pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru **PR5**, **PR9**, **PR13**, **PR17**, **PR21**, dále na druhý nastavovací vstup 3 třicátého prvního pětibitového posuvného registru **PR31**, na seriový vstup dat 9 dvacátého pátého pětibitového posuvného registru **PR25** a na druhý vstup dvacátého druhého dvouvstupového obvodu **NSD22** typu negace logického součinu. Třetí datový výstup 13 čtvrtého pětibitového posuvného registru **PR4** pro signál **T1(7)** je připojen na třetí nastavovací vstupy 4 pátého, devátého, třináctého, sedmnáctého, dvacátého prvního a třicátého pětibitového posuvného registru **PR5**, **PR9**, **PR13**, **PR17**, **PR21**, **PR30**. Druhý datový výstup 14 čtvrtého pětibitového posuvného registru **PR4** pro signál **T1(11)** je připojen na druhé nastavovací vstupy 3 pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru **PR5**, **PR9**, **PR13**, **PR17**, **PR21**, dále na čtvrtý nastavovací vstup 6 dvacátého devátého pětibitového posuvného registru **PR29**. První datový výstup 15 čtvrtého pětibitového posuvného registru **PR4** pro signál **T1(15)** je připojen na první nastavovací vstupy 2 pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru **PR5**, **PR9**, **PR13**, **PR17**, **PR21** a na druhý vstup třetího dvouvstupového obvodu **NSD3** typu negace logického součinu. Druhé vstupy prvního, třetího, pátého a sedmého dvouvstupového obvodu **NSDK1**, **NSDK3**, **NSDK5**, **NSDK7** pro signál **T1DOR** jsou spojeny a tvoří současně dvacátýpátý vstup 025 zapojení, připojitelný na časový zdroj. Výstup prvního dvouvstupového obvodu **NSDK1** typu negace logického součinu s otevřeným kolektorem pro signál **RBUS(0)** je připojen jednak přes druhý odpor **R2** na kladný pól + zdroje elektrické energie, jednak na výstupy dvanáctého, šestnáctého, dvacátého, dvacátého čtvrtého, dvacátého osmého a třicátého devátého dvouvstupového obvodu **NSDK12**, **NSDK16**, **NSDK20**, **NSDK24**, **NSDK28**, **NSDK39** typu negace logického součinu s otevřeným kolektorem a tvoří současně třetí výstup 003 zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup dru-

hého dvouvstupového obvodu **NSDK2** typu negace logického součinu s otevřeným kolektorem pro signál **SBUS(0)** je připojen jednak přes první odpor **R1** na kladný pól + zdroje elektrické energie, jednak na výstup třicátého druhého dvouvstupového obvodu **NSDK32** typu negace logického součinu s otevřeným kolektorem a tvoří současně čtvrtý výstup **004** zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup třetího dvouvstupového obvodu **NSDK3** typu negace logického součinu s otevřeným kolektorem pro signál **RBUS(1)** je připojen jednak přes čtvrtý odpor **R4** na kladný pól + zdroje elektrické energie, jednak na výstup jedenáctého, patnáctého, devatenáctého, dvacátého třetího, dvacátého sedmého a třicátého osmého dvouvstupového obvodu **NSDK11**, **NSDK15**, **NSDK19**, **NSDK23**, **NSDK27**, **NSDK38** typu negace logického součinu s otevřeným kolektorem a tvoří současně sedmý výstup **007** zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup čtvrtého dvouvstupového obvodu **NSDK4** typu negace logického součinu s otevřeným kolektorem pro signál **SBUS(1)** je připojen jednak na výstup třicátého prvního dvouvstupového obvodu **NSDK31** typu negace logického součinu s otevřeným kolektorem, jednak přes třetí odpor **R3** na kladný pól + zdroje elektrické energie a tvoří současně osmý výstup **008** zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup pátého dvouvstupového obvodu **NSDK5** typu negace logického součinu s otevřeným kolektorem pro signál **RBUS(2)** je připojen jednak přes šestý odpor **R6** na kladný pól + zdroje elektrické energie, jednak na výstup desátého, čtrnáctého, osmnáctého, dvacátého druhého, dvacátého šestého, třicátého sedmého dvouvstupového obvodu **NSDK10**, **NSDK14**, **NSDK18**, **NSDK22**, **NSDK26**, **NSDK37** typu negace logického součinu s otevřeným kolektorem a tvoří současně devátý výstup **009** zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup šestého dvouvstupového obvodu **NSDK6** typu negace logického součinu s otevřeným kolektorem pro signál **SBUS(2)** je připojen jednak přes pátý odpor **R5** na kladný pól + zdroje elektrické energie, jednak na třicátý dvouvstupový obvod **NSDK30** typu negace logického součinu s otevřeným kolektorem a tvoří současně desátý výstup **0010** zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Výstup sedmého dvouvstupového obvodu **NSDK7** typu negace logického součinu s otevřeným kolektorem pro signál **RBUS(3)** je připojen jednak přes osmý odpor **R8** na kladný pól + zdroje elektrické energie, jednak na výstup devátého, třináctého, sedmnáctého, dvacátého prvního, dvacátého pátého a třicátého šestého dvouvstupového obvodu **NSDK9**, **NSDK13**, **NSDK17**, **NSDK21**, **NSDK25**, **NSDK36** typu negace logického součinu s otevřeným kolektorem a tvoří současně třináctý výstup **0013** zapojení, připojitelný na aritmetickou

a logickou jednotku. Výstup osmého dvouvstupového obvodu **NSDK8** typu negace logického součinu pro signál **SBUS(3)** je připojen jednak přes sedmý odpor **R7** na kladný pól + zdroje elektrické energie, jednak na výstup dvacátého devátého dvouvstupového obvodu **NSDK29** typu negace logického součinu s otevřeným kolektorem a tvoří současně čtrnáctý výstup **0014** zapojení, připojitelný na aritmetickou a logickou jednotku mikroprocesoru. Nulovací vstupy **16** pátého, šestého, sedmého a osmého pětibitového posuvného registru **PR5**, **PR6**, **PR7**, **PR8** pro signál **R1(NUL)** jsou spojeny a tvoří současně dvacátý šestý vstup **026** zapojení, připojitelný na časový zdroj. Hodinové vstupy **1** pátého až osmého pětibitového posuvného registru **PR5** až **PR8** pro signál **R1(HOD)** jsou spojeny a tvoří současně dvacátý sedmý vstup **027** zapojení, připojitelný na časový zdroj. Uvolňovací vstupy nastavení **8** pátého a šestého pětibitového posuvného registru **PR5**, **PR6** jsou připojeny na výstup dvacátého prvního invertoru **INV21**. Uvolňovací vstupy nastavení **8** sedmého a osmého pětibitového posuvného registru **PR7**, **PR8** jsou připojeny na výstup dvacátého druhého invertoru **INV22**, jehož vstup je spojen se vstupem dvacátého prvního invertoru **INV21** a tvoří současně dvacátý osmý vstup **028** zapojení pro signál **R1(NAS)**, připojitelný na časový zdroj. První datový výstup **15** pátého pětibitového posuvného registru **PR5** pro signál **R1(15)** tvoří současně šestnáctý výstup **0016** zapojení, připojitelný na neznázorněnou řídicí jednotku mikroprocesoru. Čtvrtý datový výstup **11** pátého pětibitového posuvného registru **PR5** pro signál **R1(3)** je připojen na seriový vstup dat **9** pátého pětibitového posuvného registru **PR5** a na první vstup devátého dvouvstupového obvodu **NSDK9** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** šestého pětibitového posuvného registru **PR6** pro signál **R1(2)** je připojen na seriový vstup dat **9** šestého pětibitového posuvného registru **PR6** a na první vstup desátého dvouvstupového obvodu **NSDK10** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** sedmého pětibitového posuvného registru **PR7** pro signál **R1(1)** je připojen na seriový vstup dat **9** sedmého pětibitového posuvného registru **PR7** a na první vstup jedenáctého dvouvstupového obvodu **NSDK11** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** osmého pětibitového posuvného registru **PR8** pro signál **R1(0)** je připojen na seriový vstup dat **9** osmého pětibitového posuvného registru **PR8** a na první vstup dvanáctého dvouvstupového obvodu **NSDK12** typu negace logického součinu s otevřeným kolektorem a tvoří současně patnáctý výstup **0015** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Druhé vstupy devátého až dvanáctého dvouvstupového klopného obvodu **NSDK9** až **NSDK12** typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátý vstup **030** zapojení pro signál **R1DOR**, připojitelný na

časový zdroj. Uvolňovací vstupy nastavení 8 devátého a desátého pětibitového posuvného registru **PR9**, **PR10** jsou připojeny na výstup dvacátého-třetího invertoru **INV23**. Uvolňovací vstupy nastavení 8 jedenáctého a dvanáctého pětibitového posuvného registru **PR11**, **PR12** jsou připojeny na výstup dvacátéhočtvrtého invertoru **INV24**, jehož vstup je připojen na vstup dvacátého třetího invertoru **INV23** a tvoří současně třicátý třetí vstup **O33** zapojení pro signál **R2(NAS)**, připojitelný na časový zdroj. Nulovací vstupy 16 devátého až dvanáctého pětibitového posuvného registru **PR9** až **PR12** pro signál **R2(NUL)** jsou spojeny a tvoří současně třicátý první vstup **O31** zapojení, připojitelný na časový zdroj. Hodinové vstupy 1 devátého až dvanáctého pětibitového posuvného registru **PR9** až **PR12** pro signál **R2(HOD)** jsou spojeny a tvoří současně třicátý druhý vstup **O32** zapojení, připojitelný na časový zdroj. První datový výstup **15** devátého pětibitového posuvného registru **PR9** pro signál **R2(15)** tvoří současně sedmnáctý výstup **0017** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Čtvrtý datový výstup **11** devátého pětibitového posuvného registru **PR9** pro signál **R2(3)** je připojen na seriový vstup dat **9** devátého pětibitového posuvného registru **PR9** a na první vstup třináctého dvouvstupového obvodu **NSDK13** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** desátého pětibitového posuvného registru **PR10** pro signál **R2(2)** je připojen na seriový vstup dat **9** desátého pětibitového posuvného registru **PR10** a na první vstup čtrnáctého dvouvstupového obvodu **NSDK14** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** jedenáctého pětibitového posuvného registru **PR11** pro signál **R2(1)** je připojen na seriový vstup dat **9** jedenáctého pětibitového posuvného registru **PR11** a na první vstup patnáctého dvouvstupového obvodu **NSDK15** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** dvanáctého pětibitového posuvného registru **PR12** pro signál **R2(0)** je připojen na seriový vstup dat **9** dvanáctého pětibitového posuvného registru **PR12** a na první vstup šestnáctého dvouvstupového obvodu **NSDK16** typu negace logického součinu s otevřeným kolektorem. Druhé vstupy třináctého až šestnáctého dvouvstupového obvodu **NSDK13** až **NSDK16** typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátý osmý vstup **O38** zapojení pro signál **R2DOR**, připojitelný na časový zdroj. Uvolňovací vstupy nastavení 8 třináctého a čtrnáctého pětibitového posuvného registru **PR13**, **PR14** jsou připojeny na výstup dvacátého pátého invertoru **INV25**. Uvolňovací vstupy nastavení 8 patnáctého a šestnáctého pětibitového posuvného registru **PR15**, **PR16** jsou připojeny na výstup dvacátého šestého invertoru **INV26**, jehož vstup je spojen se vstupem dvacátého pátého invertoru **INV25** a tvoří současně třicátý šestý vstup **O36** zapojení pro signál **R3(NAS)**, připojitelný na časový zdroj.

Nulovací vstupy 16 třináctého až šestnáctého pětibitového posuvného registru **PR13** až **PR16** pro signál **R3(NUL)** jsou spojeny a tvoří současně třicátý čtvrtý vstup zapojení **O34** zapojení, připojitelný na časový zdroj. Hodinové vstupy 1 třináctého až šestnáctého pětibitového posuvného registru **PR13** až **PR16** pro signál **R3(HOD)** jsou spojeny a tvoří současně třicátý pátý vstup **O35** zapojení, připojitelný na časový zdroj. První datový výstup **15** třináctého pětibitového posuvného registru **PR13** pro adresový signál **R3(15)** tvoří současně osmnáctý výstup **0018** zapojení připojitelný na hlavní paměť, kdežto jeho druhý datový výstup **14** pro adresový signál **R3(11)** tvoří současně devatenáctý výstup **0019** zapojení, připojitelný na hlavní paměť. Třetí datový výstup **13** třináctého pětibitového posuvného registru **PR13** pro adresový signál **R3(7)** tvoří současně dvacátý výstup **0020** zapojení, připojitelný na hlavní paměť, kdežto jeho čtvrtý datový výstup **11** pro adresový signál **R3(3)** je připojen na seriový vstup dat **9** třináctého pětibitového posuvného registru **PR13** a na první vstup sedmnáctého dvouvstupového obvodu **NSDK17** typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátý první výstup **0021** zapojení, připojitelný na hlavní paměť. První datový výstup **15** čtrnáctého pětibitového posuvného registru **PR14** pro adresový signál **R3(14)** tvoří současně dvacátý druhý výstup **0022** zapojení, připojitelný na hlavní paměť, kdežto jeho druhý datový výstup **14** pro adresový signál **R3(10)** tvoří současně dvacátý třetí výstup **0023** zapojení, připojitelný na hlavní paměť. Třetí datový výstup **13** čtrnáctého pětibitového posuvného registru **PR14** pro adresový signál **R3(6)** tvoří současně dvacátý čtvrtý výstup **0024** zapojení, připojitelný na hlavní paměť, kdežto jeho čtvrtý datový výstup **11** pro adresový signál **R3(2)** je připojen na seriový vstup dat **9** čtrnáctého pětibitového posuvného registru **PR14** a na první vstup osmnáctého dvouvstupového obvodu **NSDK18** typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátý pátý výstup **0025** zapojení, připojitelný na hlavní paměť. První datový výstup **15** patnáctého pětibitového posuvného registru **PR15** pro adresový signál **R3(13)** tvoří současně dvacátý šestý výstup **0026** zapojení, připojitelný na hlavní paměť, kdežto jeho druhý datový výstup **14** pro adresový signál **R3(9)** tvoří současně dvacátý sedmý výstup **0027** zapojení, připojitelný na hlavní paměť. Třetí datový výstup **13** patnáctého pětibitového posuvného registru **PR15** pro adresový signál **R3(5)** tvoří současně dvacátý osmý výstup **0028** zapojení, připojitelný na hlavní paměť, kdežto jeho čtvrtý datový výstup **11** pro adresový signál **R3(1)** je připojen na seriový vstup dat **9** patnáctého pětibitového posuvného registru **PR15** a na první vstup devatenáctého dvouvstupového obvodu **NSDK19** typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátý devátý výstup **0029** zapojení, připojitelný na hlavní paměť. První datový výstup **15** šestnáctého pětibitového posuvného

registru **PR16** pro adresový signál **R3(12)** tvoří současně třicátý výstup **0030** zapojení, připojitelný na hlavní paměť, kdežto jeho datový výstup **14** pro adresový signál **R3(8)** tvoří současně třicátýprvní výstup **0031** zapojení, připojitelný na hlavní paměť. Třetí datový výstup **13** šestnáctého pětibitového posuvného registru **PR16** pro adresový signál **R3(4)** tvoří současně třicátýdruhý výstup **0032** zapojení, připojitelný na hlavní paměť, kdežto jeho čtvrtý datový výstup **11** pro adresový signál **R3(0)** je připojen na seriový vstup dat **9** šestnáctého pětibitového posuvného registru **PR16** a na první vstup dvacátého dvouvstupového obvodu **NSDK20** typu negace logického součinu s otevřeným kolektorem a tvoří současně třicátýtřetí výstup **0033** zapojení, připojitelný na hlavní paměť.

Druhé vstupy sedmnáctého až dvacátého dvouvstupového obvodu **NSDK17** až **NSDK20** typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátýsedmý vstup **0037** zapojení pro signál **R3DOR**, připojitelný na časový zdroj. Uvolňovací vstupy nastavení **8** sedmnáctého a osmnáctého pětibitového posuvného registru **PR17**, **PR18** jsou připojeny na výstup dvacátéhošestého invertoru **INV26**. Uvolňovací vstupy nastavení **8** devatenáctého a dvacátého pětibitového posuvného registru **PR19**, **PR20** jsou připojeny na výstup dvacátéhošedmého invertoru **INV27**, jehož vstup je připojen na vstup dvacátéhošestého invertoru **INV26** a tvoří současně čtyřicátýprvní vstup **041** zapojení pro signál **Q(NAS)**, připojitelný na časový zdroj. Nulovací vstupy **16** sedmnáctého až dvacátého pětibitového posuvného registru **PR17** až **PR20** jsou spojeny a tvoří současně třicátýdevátý vstup **039** zapojení pro signál **Q(NUL)**, připojitelný na časový zdroj. Hodinové vstupy **1** sedmnáctého až dvacátého pětibitového posuvného registru **PR17** až **PR20** jsou spojeny a tvoří současně čtyřicátý vstup **040** zapojení pro signál **Q(HOD)**, připojitelný na časový zdroj. První datový výstup **15** sedmnáctého pětibitového posuvného registru **PR17** pro signál **Q(15)** tvoří současně pátý výstup **005** zapojení, připojitelný na řídicí jednotku mikroprocesoru, kdežto jeho druhý datový výstup **14** pro signál **Q(11)** tvoří současně šestý výstup **006** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Třetí datový výstup **13** sedmnáctého pětibitového posuvného registru **PR17** pro signál **Q(7)** tvoří současně jedenáctý výstup **0011** zapojení, připojitelný na řídicí jednotku mikroprocesoru, kdežto jeho čtvrtý datový výstup **11** pro signál **Q(3)** je připojen na seriový vstup dat **9** sedmnáctého pětibitového posuvného registru **PR17** a na první vstup dvacátéhooprvního dvouvstupového obvodu **NSDK21** typu negace logického součinu s otevřeným kolektorem a tvoří současně dvanáctý výstup **0012** zapojení, připojitelný na řídicí jednotku mikroprocesoru. První datový výstup **15** osmnáctého pětibitového posuvného registru **PR18** pro signál **Q(14)** tvoří současně třicátýčtvrtý výstup **0034** zapojení, připojitelný na řídicí jednotku

mikroprocesoru, kdežto jeho druhý datový výstup **14** pro signál **Q(10)** tvoří současně třicátýpátý výstup **0035** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Třetí datový výstup **13** osmnáctého pětibitového posuvného registru **PR18** pro signál **Q(6)** tvoří současně třicátýšestý výstup **0036** zapojení, připojitelný na řídicí jednotku mikroprocesoru, kdežto jeho čtvrtý datový výstup **11** pro signál **Q(2)** je připojen na seriový vstup dat **9** osmnáctého pětibitového posuvného registru **PR18** a na první vstup dvacátéhoodruhého dvouvstupového obvodu **NSDK22** typu negace logického součinu s otevřeným kolektorem a tvoří současně třicátýsedmý výstup **0037** zapojení, připojitelný na řídicí jednotku mikroprocesoru. První datový výstup **15** devatenáctého pětibitového posuvného registru **PR19** pro signál **Q(13)** tvoří současně třicátýosmý výstup **0038** zapojení, připojitelný na řídicí jednotku mikroprocesoru, kdežto jeho druhý datový výstup **14** pro signál **Q(9)** tvoří současně třicátýdevátý výstup **0039** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Třetí datový výstup **13** devatenáctého pětibitového posuvného registru **PR19** pro signál **Q(5)** tvoří současně čtyřicátý výstup **0040** zapojení, připojitelný na řídicí jednotku mikroprocesoru, kdežto jeho čtvrtý datový výstup **11** pro signál **Q(1)** je připojen na seriový vstup dat **9** devatenáctého pětibitového posuvného registru **PR19** a na první vstup dvacátéhočtřetího dvouvstupového obvodu **NSDK23** typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýprvní výstup **0041** zapojení, připojitelný na řídicí jednotku mikroprocesoru. První datový výstup **15** dvacátého pětibitového posuvného registru **PR20** pro signál **Q(12)** tvoří současně čtyřicátýdruhý výstup **0042** zapojení, připojitelný na řídicí jednotku mikroprocesoru, kdežto jeho druhý datový výstup **14** pro signál **Q(8)** tvoří současně čtyřicátýčtvrtý **0043** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Třetí datový výstup **13** dvacátého pětibitového posuvného registru **PR20** pro signál **Q(4)** tvoří současně čtyřicátýčtvrtý výstup **0044** zapojení, připojitelný na řídicí jednotku mikroprocesoru, kdežto jeho čtvrtý datový výstup **11** pro signál **Q(0)** je připojen na seriový vstup dat **9** dvacátého pětibitového posuvného registru **PR20** a na první vstup dvacátéhočtvrtého dvouvstupového obvodu **NSDK24** typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýpátý výstup **0045** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Druhé vstupy dvacátéhooprvního až dvacátéhočtvrtého dvouvstupového obvodu **NSDK21** až **NSDK24** typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně čtyřicátýdruhý vstup **042** zapojení pro signál **QDOR**, připojitelný na časový zdroj. Uvolňovací vstupy nastavení **8** dvacátéhooprvního a dvacátéhoodruhého pětibitového posuvného registru **PR21**, **PR22** jsou připojeny na výstup dvacátéhoosmého invertoru **INV28**. Uvolňovací vstupy nastavení **8** dvacátéhočtřetího a dvacátého-

čtvrtého pětibitového posuvného registru **PR23**, **PR24** jsou připojeny na výstup dvacátého devátého invertoru **INV29**, jehož vstup je spojen s dvacátým osmým invertorem **INV28** a tvoří současně čtyřicátý pátý vstup **045** zapojení pro signál **P(NAS)**, připojitelný na časový zdroj. Nulovací vstupy **16** dvacátého prvního až dvacátého čtvrtého pětibitového posuvného registru **PR21**, **PR24** jsou spojeny a tvoří současně čtyřicátý třetí vstup **043** zapojení pro signál **P(NUL)**, připojitelný na časový zdroj. Hodinové vstupy **1** dvacátého prvního až dvacátého čtvrtého pětibitového posuvného registru **PR21** až **PR24** jsou spojeny a tvoří současně čtyřicátý čtvrtý vstup **044** zapojení pro signál **P(HOD)**, připojitelný na časový zdroj. Čtvrtý datový výstup **11** dvacátého prvního pětibitového posuvného registru **PR21** pro signál **P(3)** je připojen na seriový vstup dat **9** dvacátého prvního pětibitového posuvného registru **PR21** a na první vstup dvacátého pátého dvouvstupového obvodu **NSDK25** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** dvacátého druhého pětibitového posuvného registru **PR22** pro signál **P(2)** je připojen na seriový vstup dat **9** dvacátého druhého pětibitového posuvného registru **PR22** a na první vstup dvacátého šestého dvouvstupového obvodu **NSDK26** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** dvacátého třetího pětibitového posuvného registru **PR23** pro signál **P(1)** je připojen na seriový vstup dat **9** dvacátého třetího pětibitového posuvného registru **PR23** a na první vstup dvacátého sedmého dvouvstupového obvodu **NSDK27** typu negace logického součinu s otevřeným kolektorem. Čtvrtý datový výstup **11** dvacátého čtvrtého pětibitového posuvného registru **PR24** pro signál **P(0)** je připojen na seriový vstup dat **9** a na první vstup dvacátého osmého dvouvstupového obvodu **NSDK28** typu negace logického součinu s otevřeným kolektorem. Druhé vstupy dvacátého pátého až dvacátého osmého dvouvstupového obvodu **NSDK25** až **NSDK28** typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně čtyřicátý šestý vstup **046** zapojení pro signál **PDOR**, připojitelný na časový zdroj. Uvolňovací vstupy nastavení **8** dvacátého pátého a dvacátého šestého pětibitového posuvného registru **PR25**, **PR26** jsou připojeny na výstup třicátého invertoru **INV30**. Uvolňovací vstupy nastavení **8** dvacátého sedmého a dvacátého osmého pětibitového posuvného registru **PR27**, **PR28** jsou připojeny na výstup třicátého prvního invertoru **INV31**, jehož vstup je spojen se vstupem třicátého invertoru **INV30** a připojen na výstup druhého třívstupového obvodu **NST2** typu negace logického součinu pro signál **K(NAS)**, jehož první vstup pro signál **TC** tvoří současně čtyřicátý osmý vstup **048** zapojení, připojitelný na časový zdroj a jehož druhý vstup pro signál **TE** tvoří současně čtyřicátý devátý vstup **049** zapojení, připojitelný na časový zdroj. Třetí vstup druhého a první vstup třetího třívstupového obvodu **NST2** a **NST3** typu

negace logického součinu jsou spojeny a tvoří současně padesátý vstup **050** zapojení pro signál **ROM(22)**, připojitelný na řídicí paměť typu **ROM**. Druhý vstup třetího třívstupového obvodu **NST3** typu negace logického součinu pro signál **TD** tvoří současně padesátý první vstup **051** zapojení, připojitelný na časový zdroj, kdežto jeho třetí vstup pro signál **TOSC** tvoří současně padesátý druhý vstup **052** zapojení, připojitelný na časový zdroj. Výstup třetího třívstupového obvodu **NST3** typu negace logického součinu pro signál **K(NUL)** je připojen na nulovací vstupy **16** dvacátého pátého až dvacátého osmého pětibitového posuvného registru **PR25** až **PR28**. Hodinové vstupy **1** dvacátého pátého až dvacátého osmého pětibitového posuvného registru **PR25** až **PR28** jsou spojeny a tvoří současně čtyřicátý sedmý vstup **047** zapojení pro signál **T1(HOD)**, připojitelný na časový zdroj. První nastavovací vstup **2** dvacátého pátého pětibitového posuvného registru **PR25** pro signál **ROM(21)** tvoří současně padesátý čtvrtý vstup **054** zapojení, připojitelný na řídicí paměť typu **ROM**, kdežto jeho druhý nastavovací vstup **3** pro signál **ROM17** je připojen na druhý vstup šestého třívstupového obvodu **NST6** typu negace logického součinu a na první vstup dvacátého prvního dvouvstupového obvodu **NSD21** typu negace logického součinu a tvoří současně padesátý pátý vstup **055** zapojení, připojitelný na řídicí paměť typu **ROM**. Třetí nastavovací vstup **4** dvacátého pátého pětibitového posuvného registru **PR25** pro signál **ROM(13)** tvoří současně padesátý šestý vstup **056** zapojení, připojitelný na řídicí paměť typu **ROM**, kdežto jeho čtvrtý nastavovací vstup **6** pro signál **ROM(9)** tvoří současně padesátý sedmý vstup **057** zapojení, připojitelný na řídicí paměť typu **ROM** a jeho čtvrtý datový výstup **11** pro signál **K(3)** je připojen na první vstup dvacátého devátého dvouvstupového obvodu **NSDK29** typu negace logického součinu s otevřeným kolektorem. Druhý nastavovací vstup **3** dvacátého šestého pětibitového posuvného registru **PR26** pro signál **ROM(16)** je připojen na první vstup čtvrtého třívstupového obvodu **NST4** typu negace logického součinu, dále na druhý vstup dvacátého prvního dvouvstupového obvodu **NSD21** typu negace logického součinu a tvoří současně šedesátý vstup **060** zapojení, připojitelný na řídicí paměť typu **ROM**, kdežto jeho třetí nastavovací vstup **4** pro signál **ROM(12)** tvoří současně šedesátý první vstup **061** zapojení, připojitelný na řídicí paměť typu **ROM** a jeho čtvrtý nastavovací vstup **6** pro signál **ROM(8)** tvoří současně šedesátý druhý vstup **062** zapojení, připojitelný na řídicí paměť typu **ROM**, přičemž jeho čtvrtý datový výstup **11** pro signál **K(2)** je připojen na první vstup třicátého dvouvstupového obvodu **NSDK30** typu negace logického součinu s otevřeným kolektorem. První nastavovací vstup **2** dvacátého sedmého pětibitového posuvného registru **PR27** pro signál **ROM(19)** tvoří současně šedesátý třetí vstup **063** zapojení, připojitelný na řídicí paměť typu **ROM**, kdežto jeho druhý nastavovací

vstup 3 pro signál ROM(15) tvoří současně šedesátýčtvrtý vstup 064 zapojení, připojitelný na řídicí paměť typu ROM a jeho třetí nastavovací vstup 4 pro signál ROM(11) tvoří současně šedesátýpátý vstup 065 zapojení, připojitelný na řídicí paměť typu ROM. Čtvrtý nastavovací vstup 6 dvacátéhoosmdmého pětibitového posuvného registru PR27 pro signál ROM(7) tvoří současně šedesátýšestý vstup 066 zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho čtvrtý datový výstup 11 pro signál K(1) je připojen na první vstup třicátéhooprvního dvouvstupového obvodu NSDK 31 typu negace logického součinu s otevřeným kolektorem. První nastavovací vstup 2 dvacátéhoosmdmého pětibitového posuvného registru PR28 pro signál ROM(18) tvoří současně šedesátýsedmý vstup 067 zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho druhý nastavovací vstup 3 pro signál ROM(14) tvoří současně šedesátýosmý vstup 068 zapojení, připojitelný na řídicí paměť typu ROM a jeho třetí nastavovací vstup 4 pro signál ROM(10) tvoří současně šedesátýdevátý vstup 069 zapojení, připojitelný na řídicí paměť typu ROM. Čtvrtý nastavovací vstup 6 dvacátéhoosmdmého pětibitového posuvného registru PR28 pro signál ROM(6) tvoří současně sedmdesátý vstup 070 zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho čtvrtý datový výstup 11 pro signál K(0) je připojen na první vstup třicátéhoosmdmého dvouvstupového obvodu NSDK32 typu negace logického součinu s otevřeným kolektorem. Druhý vstup čtvrtého třívstupového obvodu NST4 typu negace logického součinu pro signál ROM(17) je připojen na první vstup pátého třívstupového obvodu NST5 typu negace logického součinu a tvoří současně sedmdesátýsedmý vstup 077 zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho výstup je připojen na vstup třicátéhoopátého invertoru INV35, jehož výstup pro signál 1DOS je připojen na druhý vstup třicátéhoosmdmého dvouvstupového obvodu NSDK33 typu negace logického součinu s otevřeným kolektorem a na vstupy prvního až čtvrtého invertoru INVK1 až INVK4 s otevřeným kolektorem. Výstup prvního invertoru INVK1 s otevřeným kolektorem je připojen na výstup dvacátéhoosmdmého dvouvstupového obvodu NSDK29 typu negace logického součinu s otevřeným kolektorem. Výstup druhého invertoru INVK2 s otevřeným kolektorem je připojen na výstup třicátého dvouvstupového obvodu NSDK30 typu negace logického součinu s otevřeným kolektorem. Výstup třetího invertoru INVK3 s otevřeným kolektorem je připojen na výstup třicátéhooprvního dvouvstupového obvodu NSDK31 typu negace logického součinu s otevřeným kolektorem. Výstup čtvrtého invertoru INVK4 s otevřeným kolektorem je připojen na výstup třicátéhoosmdmého dvouvstupového obvodu NSDK32 typu negace logického součinu s otevřeným kolektorem. Druhý vstup pátého třívstupového obvodu NST5 typu negace logického součinu pro signál ROM(16) je připojen na první vstup

šestého třívstupového obvodu NST6 typu negace logického součinu a tvoří současně sedmdesátýosmý vstup 078 zapojení, připojitelný na řídicí paměť typu ROM, kdežto jeho výstup je připojen na vstup třicátéhoosmdmého invertoru INV36, jehož výstup pro signál ODOS je připojen na druhý vstup třicátéhoosmdmého dvouvstupového obvodu NSDK34 typu negace logického součinu s otevřeným kolektorem. Výstup šestého třívstupového obvodu NST6 typu negace logického součinu je připojen na vstup třicátéhoosmdmého invertoru INV37, jehož výstup pro signál T1DOS je připojen na vstup pátého invertoru INVK5 s otevřeným kolektorem a na druhé vstupy druhého, čtvrtého, šestého a osmdmého dvouvstupového obvodu NSDK2, NSDK4, NSDK6 a NSDK8 typu negace logického součinu s otevřeným kolektorem. Výstup dvacátého prvního dvouvstupového obvodu NSD21 typu negace logického součinu je připojen na první vstup dvacátého dvouvstupového obvodu NSD20 typu negace logického součinu, jehož výstup pro signál KDOS je připojen na první vstup třicátéhoopátého dvouvstupového obvodu NSDK35 typu negace logického součinu s otevřeným kolektorem a na druhé vstupy dvacátéhoosmdmého až třicátéhoosmdmého dvouvstupového obvodu NSDK29 až NSDK32 typu negace logického součinu s otevřeným kolektorem. Výstupy třicátéhoosmdmého až třicátéhoopátého dvouvstupového obvodu NSDK33 až NSDK35 typu negace logického součinu s otevřeným kolektorem a výstup pátého invertoru INVK5 s otevřeným kolektorem jsou spojeny a připojeny jednak přes dvacátýpátý odpor R25 na kladný pól + zdroje elektrické energie, jednak na základní vstup 21 druhého klopného obvodu AT2(15) typu D, jehož nulový výstup 202 pro signál T2(15) je připojen na první vstup třicátéhoosmdmého dvouvstupového obvodu NSDK33 typu negace logického součinu s otevřeným kolektorem, na seriový vstup dat 9 dvacátéhoosmdmého pětibitového posuvného registru PR29, na čtvrtý vstup šestnáctého čtyřvstupového součtově součinného hradla SSHC16 a na první vstup čtvrtého dvouvstupového obvodu NSD4 typu negace logického součinu. Hodinový vstup 22 druhého klopného obvodu AT2(15) typu D pro signál T2(HOD) je připojen na hodinové vstupy 1 dvacátéhoosmdmého až třicátéhooprvního pětibitového posuvného registru PR29 až PR31 a tvoří současně padesátýtřetí vstup 053 zapojení, připojitelný na časový zdroj. Nulovací vstupy 16 dvacátéhoosmdmého až třicátéhooprvního pětibitového posuvného registru PR29 až PR31 pro signál T2(NUL) jsou spojeny a připojeny na nastavovací vstup 24 druhého klopného obvodu AT2(15) typu D a tvoří současně padesátýosmý vstup 058 zapojení, připojitelný na časový zdroj. Vstupy třicátéhoosmdmého a třicátéhoosmdmého invertoru INV32 a INV33 pro signál T2(NAS) jsou spojeny a tvoří současně sedmdesátýoprvní 071 zapojení, připojitelný na časový zdroj. Výstup třicátéhoosmdmého invertoru INV32 je připojen jednak na první vstup třetího

dvouvstupového obvodu **NSD3** typu negace logického součinu, jehož výstup je připojen na nulovací vstup **23** druhého klopného obvodu **AT2(15)** typu **D**, jednak na uvolňovací vstup nastavení **8** dvacátéhodevátého pětibitového posuvného registru **PR29**. Výstup třicátého třetího invertoru **INV33** je připojen na uvolňovací vstupy **8** třicátého a třicátého prvního pětibitového posuvného registru **PR30** a **PR31**. První datový výstup **15** dvacátéhodevátého pětibitového posuvného registru **PR29** pro signál **T2(14)** je připojen na čtvrtý vstup dvanáctého čtyřvstupového součtově součinnového hradla **SSHC12** a na první vstup pátého dvouvstupového obvodu **NSD5** typu negace logického součinu, jehož výstup pro datový signál **T2(14)M** tvoří současně čtyřicátýdevátý výstup **0049** zapojení, připojitelný na hlavní paměť. Výstup čtvrtého dvouvstupového obvodu **NSD4** typu negace logického součinu pro datový signál **T2(15)M** tvoří současně čtyřicátýosmý výstup **0048** zapojení, připojitelný na hlavní paměť. Druhý datový výstup **14** dvacátéhodevátého pětibitového posuvného registru **PR29** pro signál **T2(13)** je připojen na čtvrtý vstup osmého čtyřvstupového součtově součinnového hradla **SSHC8** a na první vstup šestého dvouvstupového obvodu **NSD6** typu negace logického součinu, jehož výstup pro datový signál **T2(13)M** tvoří současně padesátý výstup **0050** zapojení, připojitelný na hlavní paměť. Třetí datový výstup **13** dvacátéhodevátého pětibitového posuvného registru **PR29** pro signál **T2(12)** je připojen na čtvrtý vstup čtvrtého součtově součinnového hradla **SSHC4** a na první vstup sedmého dvouvstupového obvodu **NSD7** typu negace logického součinu, jehož výstup pro datový signál **T2(12)M** tvoří současně padesátýprvní výstup **0051** zapojení, připojitelný na hlavní paměť. Čtvrtý datový výstup **11** dvacátéhodevátého pětibitového posuvného registru **PR29** pro signál **T2(11)** je připojen na čtvrtý vstup patnáctého čtyřvstupového součtově součinnového hradla **SSHC15** a na první vstup osmého dvouvstupového obvodu **NSD8** typu negace logického součinu, jehož výstup pro datový signál **T2(11)M** tvoří současně padesátýdruhý výstup **0052** zapojení, připojitelný na hlavní paměť. Pátý datový výstup **10** dvacátéhodevátého pětibitového posuvného registru **PR29** pro signál **T2(10)** je připojen na čtvrtý vstup jedenáctého čtyřvstupového součtově součinnového hradla **SSHC11**, na seriový vstup dat **9** třicátého pětibitového posuvného registru **PR30** a na první vstup devátého dvouvstupového obvodu **NSD9** typu negace logického součinu, jehož výstup pro datový signál **T2(10)M** tvoří současně padesátýtřetí výstup **0053** zapojení, připojitelný na hlavní paměť. První datový výstup **15** třicátého pětibitového posuvného registru **PR30** pro signál **T2(9)** je připojen na čtvrtý vstup sedmého součtově součinnového hradla **SSHC7** a na první vstup desátého dvouvstupového obvodu **NSD10** typu negace logického součinu, jehož výstup pro datový signál **T2(9)M** tvoří současně padesátýčtvrtý výstup **0054** zapojení,

připojitelný na hlavní paměť. Druhý datový výstup **14** třicátého pětibitového posuvného registru **PR30** pro signál **T2(8)** je připojen na čtvrtý vstup třetího čtyřvstupového součtově součinnového hradla **SSHC3** a na první vstup jedenáctého dvouvstupového obvodu **NSD11** typu negace logického součinu, jehož výstup pro datový signál **T2(8)M** tvoří současně padesátýpátý výstup **0055** zapojení, připojitelný na hlavní paměť. Třetí datový výstup **13** třicátého pětibitového posuvného registru **PR30** pro signál **T2(7)** je připojen na čtvrtý vstup čtrnáctého čtyřvstupového součtově součinnového hradla **SSHC14** a na první vstup dvanáctého dvouvstupového obvodu **NSD12** typu negace logického součinu, jehož výstup pro datový signál **T2(7)M** tvoří současně padesátýšestý výstup **0056** zapojení, připojitelný na hlavní paměť. Čtvrtý datový výstup **11** třicátého pětibitového posuvného registru **PR30** pro signál **T2(6)** je připojen na čtvrtý vstup desátého čtyřvstupového součtově součinnového hradla **SSHC10** a na první vstup třináctého dvouvstupového obvodu **NSD13** typu negace logického součinu, jehož výstup pro datový signál **T2(6)M** tvoří současně padesátýsedmý výstup **0057** zapojení, připojitelný na hlavní paměť. Pátý datový výstup **10** třicátého pětibitového posuvného registru **PR30** pro signál **T2(5)** je připojen na čtvrtý vstup šestého čtyřvstupového součtově součinnového hradla **SSHC6**, na seriový vstup dat **9** třicátého prvního pětibitového posuvného registru **PR31** a na první vstup čtrnáctého dvouvstupového obvodu **NSD14** typu negace logického součinu, jehož výstup pro datový signál **T2(5)M** tvoří současně padesátýosmý výstup **0058** zapojení, připojitelný na hlavní paměť. První datový výstup **15** třicátého prvního pětibitového posuvného registru **PR31** pro signál **T2(4)** je připojen na čtvrtý vstup druhého čtyřvstupového součtově součinnového hradla **SSHC2** a na první vstup patnáctého dvouvstupového obvodu **NSD15** typu negace logického součinu, jehož výstup pro datový signál **T2(4)M** tvoří současně padesátýdevátý výstup **0059** zapojení, připojitelný na hlavní paměť. Druhý datový výstup **14** třicátého prvního pětibitového posuvného registru **PR31** pro signál **T2(3)** je připojen na čtvrtý vstup třináctého čtyřvstupového součtově součinnového hradla **SSHC13** a na první vstup šestnáctého dvouvstupového obvodu **NSD16** typu negace logického součinu, jehož výstup pro datový signál **T2(3)M** tvoří současně šedesátý výstup **0060** zapojení, připojitelný na hlavní paměť. Třetí datový výstup **13** třicátého prvního pětibitového posuvného registru **PR31** pro signál **T2(2)** je připojen na čtvrtý vstup devátého čtyřvstupového součtově součinnového hradla **SSHC9** a na první vstup sedmnáctého dvouvstupového obvodu **NSD17** typu negace logického součinu, jehož výstup pro datový signál **T2(2)M** tvoří současně šedesátýprvní výstup **0061** zapojení, připojitelný na hlavní paměť. Čtvrtý datový výstup **11** třicátého prvního pětibitového posuvného registru **PR31** pro signál **T2(1)** je připojen na čtvrtý vstup

pátého čtyřvstupového součtově součinnového hradla **SSHCS** a na první vstup osmnáctého dvou-
vstupového obvodu **NSD18** typu negace logického
součinu, jehož výstup pro datový signál **T2(1)M**
tvoří současně šedesátýdruhý výstup **0062** zapoje-
ní, připojitelný na hlavní paměť. Pátý datový
výstup **10** třicátého prvního pětibitového posuvné-
ho registru **PR31** pro signál **T2(0)** je připojen na
druhý vstup třicátého pátého dvouvstupového ob-
vodu **NSDK35** typu negace logického součinu
s otevřeným kolektorem, na čtvrtý vstup prvního
čtyřvstupového součtově součinnového hradla
SSHC1 a na první vstup devatenáctého dvouvstu-
pového obvodu **NSD19** typu negace logického
součinu, jehož výstup pro datový signál **T2(0)M**
tvoří současně šedesátýtřetí výstup **0063** zapoje-
ní, připojitelný na hlavní paměť. Druhý vstup čtvrtého
dvouvstupového obvodu **NSD4** typu negace logic-
kého součinu pro signál **EXT(15)** je připojen přes
devátý odpor **R9** na kladný pól + zdroje elektrické
energie a tvoří současně osmdesátýprvní vstup **081**
zapojení, připojitelný na externí obvody. Druhý
vstup pátého dvouvstupového obvodu **NSD5** typu
negace logického součinu pro signál **EXT(14)** je
připojen přes desátý odpor **R10** na kladný pól
+ zdroje elektrické energie a tvoří současně
osmdesátýdruhý vstup **082** zapojení, připojitelný
na externí obvody. Druhý vstup šestého dvouvstu-
pového obvodu **NSD6** typu negace logického
součinu pro signál **EXT(13)** je připojen přes
jedenáctý odpor **R11** na kladný pól + zdroje
elektrické energie a tvoří současně osmdesátýtřetí
vstup **083** zapojení, připojitelný na externí obvody.
Druhý vstup sedmého dvouvstupového obvodu
NSD7 typu negace logického součinu pro signál
EXT(12) je připojen přes dvanáctý odpor **R12** na
kladný pól + zdroje elektrické energie a tvoří
současně osmdesátýčtvrtý vstup **084** zapojení,
připojitelný na externí obvody. Druhý vstup osmé-
ho dvouvstupového obvodu **NSD8** typu negace
logického součinu pro signál **EXT(11)** je připojen
přes třináctý odpor **R13** na kladný pól + zdroje
elektrické energie a tvoří současně osmdesátýpátý
vstup **085** zapojení, připojitelný na externí obvody.
Druhý vstup devátého dvouvstupového obvodu
NSD9 typu negace logického součinu pro signál
EXT(10) je připojen přes čtrnáctý odpor **R14** na
kladný pól + zdroje elektrické energie a tvoří
současně osmdesátýšestý vstup **086** zapojení, při-
pojitelný na externí obvody. Druhý vstup desátého
dvouvstupového obvodu **NSD10** typu negace lo-
gického součinu pro signál **EXT(9)** je připojen přes
patnáctý odpor **R15** na kladný pól + zdroje
elektrické energie a tvoří současně osmdesátýsed-
mý vstup **087** zapojení, připojitelný na externí
obvody. Druhý vstup jedenáctého dvouvstupové-
ho obvodu **NSD11** typu negace logického součinu
pro signál **EXT(8)** je připojen přes šestnáctý odpor
R16 na kladný pól + zdroje elektrické energie
a tvoří současně osmdesátýosmý vstup **088** zapoje-
ní, připojitelný na externí obvody. Druhý vstup
dvanáctého dvouvstupového obvodu **NSD12** typu

negace logického součinu pro signál **EXT(7)** je
připojen přes sedmnáctý odpor **R17** na kladný pól
+ zdroje elektrické energie a tvoří současně
osmdesátýdevátý vstup **089** zapojení, připojitelný
na externí obvody. Druhý vstup třináctého dvou-
vstupového obvodu **NSD13** typu negace logického
součinu pro signál **EXT(6)** je připojen přes os-
mnáctý odpor **R18** na kladný pól + zdroje elektric-
ké energie a tvoří současně devadesátý vstup **090**
zapojení, připojitelný na externí obvody. Druhý
vstup čtrnáctého dvouvstupového obvodu **NSD14**
typu negace logického součinu pro signál **EXT(5)**
je připojen přes devatenáctý odpor **R19** na kladný
pól + zdroje elektrické energie a tvoří současně
devadesátýprvní vstup **091** zapojení, připojitelný
na externí obvody. Druhý vstup patnáctého dvou-
vstupového obvodu **NSD15** typu negace logického
součinu pro signál **EXT(4)** je připojen přes dvacátý
odpor **R20** na kladný pól + zdroje elektrické
energie a tvoří současně devadesátýdruhý vstup
092 zapojení, připojitelný na externí obvody.
Druhý vstup šestnáctého dvouvstupového obvodu
NSD16 typu negace logického součinu pro signál
EXT(3) je připojen přes dvacátýprvní odpor **R21**
na kladný pól + zdroje elektrické energie a tvoří
současně devadesátýtřetí vstup **093** zapojení, při-
pojitelný na externí obvody. Druhý vstup sedm-
náctého dvouvstupového obvodu **NSD17** typu
negace logického součinu pro signál **EXT(2)** je
připojen přes dvacátýdruhý odpor **R22** na kladný
pól + zdroje elektrické energie a tvoří současně
devadesátýčtvrtý vstup **094** zapojení, připojitelný
na externí obvody. Druhý vstup osmnáctého
dvouvstupového obvodu **NSD18** typu negace lo-
gického součinu pro signál **EXT(1)** je připojen přes
dvacátýtřetí odpor **R23** na kladný pól + zdroje
elektrické energie a tvoří současně devadesátýpátý
vstup **095** zapojení, připojitelný na externí obvody.
Druhý vstup devatenáctého dvouvstupového ob-
vodu **NSD19** typu negace logického součinu pro
signál **EXT(0)** je připojen přes dvacátýčtvrtý
odpor **R24** na kladný pól + zdroje elektrické
energie a tvoří současně devadesátýšestý vstup **096**
zapojení, připojitelný na externí obvody. Druhé
vstupy třicátého šestého až třicátého devátého
dvouvstupového obvodu **NSDK36** až **NSDK39**
typu negace logického součinu s otevřeným kolek-
torem pro signál **EDOR** jsou spojeny a tvoří
současně sedmdesátýdruhý vstup **072** zapojení,
připojitelný na časový zdroj. Nastavovací vstupy
34, 44, 54, 64 třetího až šestého klopného obvodu
AE3, AE2, AE1, AE0 typu D pro signál **E(NUL)**
jsou spojeny a tvoří současně sedmdesátýtřetí
vstup **073** zapojení, připojitelný na časový zdroj,
kdežto jejich základní vstupy **31, 41, 51, 61** jsou
spojeny na kladný pól + zdroje elektrické energie
a jejich hodinové vstupy **32, 42, 52, 62** pro signál
E(HOD) jsou spojeny a tvoří současně sedmdesá-
týčtvrtý vstup **074** zapojení, připojitelný na časový
zdroj. Nulový výstup **302** třetího klopného obvodu
AE3 typu D pro signál **E3** je připojen na první
vstup třicátého šestého dvouvstupového obvodu

NSDK36 typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup **33** je připojen na výstup dvacátého druhého dvouvstupového obvodu **NSD22** typu negace logického součinu. Nulový výstup **402** čtvrtého klopného obvodu **AE2** typu D pro signál **E2** je připojen na první vstup třicátého sedmého dvouvstupového obvodu **NSDK37** typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup **43** je připojen na výstup dvacátého třetího dvouvstupového obvodu **NSD23** typu negace logického součinu. Nulový výstup **502** pátého klopného obvodu **AE1** typu D pro signál **E1** je připojen na první vstup třicátého osmého dvouvstupového obvodu **NSDK38** typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup **53** je připojen na výstup dvacátého čtvrtého dvouvstupového obvodu **NSD24** typu negace logického součinu. Jedničkový výstup **601** šestého klopného obvodu **AE0** typu D pro signál **E0** tvoří současně čtyřicátý šestý výstup **0046** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Nulovací vstup **63** šestého klopného obvodu **AE0** typu D je připojen na výstup dvacátého pátého dvouvstupového obvodu **NSD25** typu negace logického součinu, kdežto jeho nulový výstup **602** pro signál **E0** je připojen na první vstup třicátého čtvrtého dvouvstupového obvodu **NSDK34** typu negace logického součinu s otevřeným kolektorem, na první vstup třicátého devátého dvouvstupového obvodu **NSDK39** typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátý sedmý výstup **0047** zapojení, připojitelný na řídicí jednotku mikroprocesoru. Vstup třicátého čtvrtého invertoru **INV34** pro signál **E(NAS)** tvoří současně sedmdesátý pátý vstup **075** zapojení, připojitelný na časový zdroj, kdežto jeho výstup je připojen na první vstupy dvacátého druhého až dvacátého pátého dvouvstupového obvodu **NSD22** až **NSD25** typu negace logického součinu.

Jako pětibitových posuvných registrů **PR1** až **PR31** je použito známého zapojení, jež je schematicky znázorněno na obr. 2.

Zapojení procesoru pro inteligentní terminál se skládá z akumulátoru **T1** (obr. 1g, h), registru podmínky **Q** (obr. 1d), čítače makroinstrukcí **P** (obr. 1e), registru konstanty **K** (obr. 1f), data-registru **T2** (obr. 1i, j), registru přenosu **E** (obr. 1k), prvního pracovního registru **R1** (obr. 1a), druhého pracovního registru **R2** (obr. 1b) a adresového registru **R3** (obr. 1c) a spolupracuje s neznázorněnými zapojeními aritmetické a logické jednotky dle čs. autorského osvědčení č. 209221, časového zdroje dle čs. autorského osvědčení č. 198987 a řídicí jednotky mikroprocesoru dle čs. autorského osvědčení č. 201557.

První pracovní registr **R1** je serioparalelní šestnáctibitový registr s paralelním vstupem a čtyřbitovým serioparalelním výstupem. Informace je do prvního pracovního registru **R1** převáděna z akumulátoru **T1** paralelně a sice pomocí signálů **T1(0)** až **T1(15)**. Tyto signály jsou řízeny pomocí dalších

signálů **R1(NUL)**, **R1(NAS)**. Signál **R1(NUL)** provádí nulování prvního pracovního registru **R1** v čase **T4B** (obr. 4) a signál **R1(NAS)** provádí převod obsahu akumulátoru **T1** do prvního pracovního registru pomocí uvedených signálů **T1(0)** až **T1(15)**. Převod se provádí podle kódu **T** mikroinstrukce **Tbus → R1** (obr. 3). Serioparalelní výstup z prvního pracovního registru **R1** je řízen hodinovým signálem **R1(HOD)**, v závislosti na kódu **H** v mikroinstrukci, to je 1 až 4 impulsy v časech **T0** až **T3**. Hodinové impulsy přicházejí na vstup **027** pro signál **R1(HOD)** pouze tehdy, je-li kód **R** mikroinstrukce **R1 → Rbus**. Hodinové impulsy jsou dále podmíněně hradlovány v závislosti na kódu podmínky v mikroinstrukci. Výstup prvního pracovního registru **R1** je přiveden na sběrnici **R** signály **RBUS(0)** až **RBUS(3)**, je-li signál **R1DOR** ve stavu logické 1. Signál **R1DOR** je řízen kódem **R** mikroinstrukce **R1 → Rbus**. Sběrnice **R** je zapojena na vstup neznázorněné aritmetické a logické jednotky, řízené kódem **ALJ** mikroinstrukce. První pracovní registr **R1** pracuje současně jako přepínač sběrnice **T**, viz signály **T1(0)** až **T1(15)** se serioparalelní recirkulací obsahu prvního pracovního registru **R1**. Jsou-li splněny shora uvedené podmínky pro přítomnost hodinových impulsů, posune se obsah registru přes aritmetickou a logickou jednotku do akumulátoru **T1** a současně je původní obsah zachován v prvním pracovním registru **R1** nebo posunut o zvolený počet čtyřbitových slov, podle počtu hodinových impulsů daných v mikroinstrukci. Jsou-li splněny shora uvedené podmínky pro převod obsahu akumulátoru **T1** do prvního pracovního registru **R1**, pak je původní obsah prvního pracovního registru **R1** nahrazen novým výsledkem operace, která byla provedena v aritmetické a logické jednotce.

Analogicky jako první pracovní registr **R1** pracuje druhý pracovní registr **R2**, s tím rozdílem, že převod z akumulátoru **T1** nastává ve stavu **Tbus → R2** kódu **T** mikroinstrukce, hodinové impulsy jsou povoleny stavem **R2 → Rbus** kódu **R** mikroinstrukce a výstup druhého pracovního registru **R2** je přepojen na sběrnici **R** ve stavu **R2 → Rbus** kódu **R**.

Adresového registru **R3** je možné využívat stejně jako registrů **R1** a **R2**, navíc však jeho výstupy se signály **R3(0)** až **R3(15)** provádějí adresaci hlavní paměti procesoru pro čtení dat z hlavní paměti do akumulátoru **T1** nebo zápis dat z data-registru **T2** do hlavní paměti procesoru. S adresou je tedy možno provádět všechny operace, stejně jako s obsahy ostatních registrů. Hodinové impulsy přivádět do adresového registru **R3** a přepnutí výstupu na sběrnici **R** je povoleno ve stavu **R3 → Rbus** kódu **R** a přepis z akumulátoru **T1** do adresového registru **R3** nastává ve stavu **Tbus → R3** kódu **T** mikroinstrukce.

Registr podmínky **Q** pracuje analogicky jako registry **R1**, **R2**, **R3**, avšak jeho paralelní výstupy pro signály **Q(0)** až **Q(15)** jsou testovány na základě kódu podmínky v mikroinstrukci. Každé-

mu bitu registru podmínky **Q** přísluší odpovídající stav kódu podmínky 0, 1, 215. Do registru podmínky **Q** se zaznamenává kód makroinstrukce, která je čtena z hlavní paměti do akumulátoru **T1** a ve stejném cyklu mikroprocesoru převedena do registru podmínky **Q**. Testováním obsahu registru podmínky **Q** se provede účinné větvení mikroprogramu podle kódu makroinstrukce.

Do čítače makroinstrukcí **P** se zaznamenává adresa vstupního bodu programu, buď z hlavní paměti přes akumulátor **T1** anebo z libovolného registru přes aritmetickou a logickou jednotku, která může modifikovat předchozí stav zvoleného registru, načež je výsledek operace vrácen přes akumulátor **T1** do čítače makroinstrukcí **P**. Podobně jako u výše popsaných registrů je čítač makroinstrukcí **P** řízen kódem **T** a **R** makroinstrukce $P \rightarrow R_{bus}$, $T_{bus} \rightarrow P$, $T_{bus} \rightarrow PR3$.

Registr konstanty **K** slouží ke vstupu konstant z řídicí paměti typu ROM do registrů procesoru. Bity 0 až 21 mikroinstrukce, viz formát **F2**, jsou paralelně přepisovány do registru konstanty **K** v závislosti na bitu 22, viz signál ROM(22) mikroinstrukce, s časovým řízením pomocí signálů **TC**, **TE**, **TD**, **TOSC**. Konstanta z registru konstanty **K** je vysílána na sběrnici **S**, viz signály **SBUS(0)** až **SBUS(3)**, takže je možno operovat mezi registrem konstanty **K** a libovolným registrem **R1**, **R2**, **R3**, **P**, **Q**, **T1**, které jsou přepínány na sběrnici **R**. Registr konstanty **K** je využit jako zásobníkový registr obsahu akumulátoru **T1**, neboť současně s výstupem konstanty z registru konstanty **K** se dostává do registru konstanty **K** obsah z akumulátoru **T1** pomocí serioparalelního vstupu, kam jsou přivede-

ny signály **T1(0)** až **T1(3)** z akumulátoru **T1**.

Výstup akumulátoru **T1** je pomocí mikroinstrukce přepínán buď na sběrnici **R**, viz stav $T1 \rightarrow R_{bus}$ kódu **R**, nebo na sběrnici **S**, viz stav $T1 \rightarrow S_{bus}$ kódu **S**. Do akumulátoru **T1** se posunuje výsledek operace z aritmetické a logické jednotky pomocí signálů **ALJ(0)** až **ALJ(3)** nebo data čtená z hlavní paměti pomocí paralelních vstupů signálů **DAT(0)** až **DAT(15)** nebo z data-registru **T2** pomocí signálů **T2(0)** až **T2(15)**. Obsah akumulátoru **T1** je paralelně přenášén do jednoho z registrů **R1**, **R2**, **R3**, **Q**, **P**, **E** pomocí kódu **T** mikroinstrukce a nebo do data-registru **T2** pomocí bitu $T1 \rightarrow T2$ mikroinstrukce. Paralelní přenos probíhá v časech **T3**, **T4B**.

Data-registr **T2** má rovněž více funkcí. Za první pracuje jako posuvný registr, který umožňuje posuv informace o jeden až čtyři bity vpravo v jednom cyklu mikroprocesoru. Do nejvyššího bitu se přitom dostává buď „1“ nebo přenosový bit **E0** nebo nejnižší bit **T2(0)**, to je rotace data-registru **T2** anebo se opakuje předchozí stav nejvyššího bitu, to je aritmetický posuv vpravo. Jednu z uvedených možností určuje kód **S** a **X** mikroinstrukce. Za druhé pracuje jako přechodná paměť akumulátoru **T1**, za třetí jako vstupní registr hlavní paměti. Data převáděná z paměti do akumulátoru **T1** mohou být v témže cyklu převedena do data-registru **T2**, tam posunuta nebo zrotována uvedeným způsobem a v následujícím cyklu vrácena zpět do hlavní paměti nebo do akumulátoru **T1**. Registr přenosu **E** pracuje jako paměť binárního nebo dekadického přenosu nebo jako čítač cyklů při provádění dekadických operací.

PŘEDMĚT VYNÁLEZU

Zapojení procesoru pro inteligentní terminál, vyznačené tím, že druhý vstup prvního čtyřvstupového součtově součinného hradla (**SSHC1**) tvoří současně první vstup (01) zapojení, kdežto jeho třetí vstup je připojen na třetí vstupy druhého až šestnáctého čtyřvstupového součtově součinného hradla (**SSHC2** až **SSHC16**) a tvoří současně druhý vstup (02) zapojení, druhý vstup druhého čtyřvstupového součtově součinného hradla (**SSHC2**) tvoří současně třetí vstup (03) zapojení, druhý vstup třetího čtyřvstupového součtově součinného hradla (**SSHC3**) tvoří současně čtvrtý vstup (04) zapojení, druhý vstup čtvrtého čtyřvstupového součtově součinného hradla (**SSHC4**) tvoří současně pátý vstup (05) zapojení, hodinové vstupy (1) prvního až čtvrtého pětibitového posuvného registru (**PR1** až **PR4**) jsou spojeny a tvoří současně šestý vstup (06) zapojení, druhý vstup pátého čtyřvstupového součtově součinného hradla (**SSHC5**) tvoří současně sedmý vstup (07) zapojení, druhý vstup šestého čtyřvstupového součtově součinného hradla (**SSHC6**) tvoří současně osmý vstup (08) zapojení, druhý vstup sedmého čtyřvstupového součtově součinného hradla (**SSHC7**)

tvoří současně devátý vstup (09) zapojení, druhý vstup osmého čtyřvstupového součtově součinného hradla (**SSHC8**) tvoří současně desátý vstup (010) zapojení, druhý vstup devátého čtyřvstupového součtově součinného hradla (**SSHC9**) tvoří současně jedenáctý vstup (011) zapojení, druhý vstup desátého čtyřvstupového součtově součinného hradla (**SSHC10**) tvoří současně dvanáctý vstup (012) zapojení, druhý vstup jedenáctého čtyřvstupového součtově součinného hradla (**SSHC11**) tvoří současně třináctý vstup (013) zapojení, druhý vstup dvanáctého čtyřvstupového součtově součinného hradla (**SSHC12**) tvoří současně čtrnáctý vstup (014) zapojení, druhý vstup třináctého čtyřvstupového součtově součinného hradla (**SSHC13**) tvoří současně patnáctý vstup (015) zapojení, druhý vstup čtrnáctého čtyřvstupového součtově součinného hradla (**SSHC14**) tvoří současně šestnáctý vstup (016) zapojení, druhý vstup patnáctého čtyřvstupového součtově součinného hradla (**SSHC15**) tvoří současně sedmnáctý vstup (017) zapojení, druhý vstup šestnáctého čtyřvstupového součtově součinného hradla (**SSHC16**) tvoří současně osmnáctý vstup (018)

zapojení, první vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu tvoří současně devatenáctý vstup (019) zapojení, kdežto jeho výstup je připojen na výstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu a tvoří současně první výstup (001) zapojení, druhý vstup prvního dvouvstupového obvodu (NSD1) typu negace logického součinu a první vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu jsou spojeny a tvoří současně dvacátý vstup (020) zapojení, první vstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na první nastavovací vstup (2) dvacátéhošestého pětibitového posuvného registru (PR26) a tvoří současně dvacátýprvní vstup (021) zapojení, kdežto jeho druhý vstup tvoří současně dvacátýdruhý vstup (022) zapojení, třetí vstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na třetí vstupy čtvrtého až šestého třívstupového obvodu (NST4 až NST6), dále na druhý vstup dvacátého dvouvstupového obvodu (NSD20) typu negace logického součinu a tvoří současně dvacátýtřetí vstup (023) zapojení, výstup prvního třívstupového obvodu (NST1) typu negace logického součinu je připojen na vstup devatenáctého invertoru (INV19), jehož výstup je připojen na druhý vstup druhého dvouvstupového obvodu (NSD2) typu negace logického součinu a na základní vstup (11) prvního klopného obvodu (AČT) typu D, hodinový vstup (12) prvního klopného obvodu (AČT) typu D tvoří současně dvacátýčtvrtý vstup (024) zapojení, kdežto jeho jedničkový výstup (101) je připojen na první vstupy prvního až šestnáctého čtyřvstupového součtově součinného hradla (SSHC1 až SSHC16) a tvoří současně druhý výstup (002) zapojení, výstup prvního čtyřvstupového součtově součinného hradla (SSHC1) je připojen na vstup prvního invertoru (INV1), jehož výstup je připojen na čtvrtý nastavovací vstup (6) prvního pětibitového posuvného registru (PR1), výstup druhého čtyřvstupového součtově součinného hradla (SSHC2) je připojen na vstup druhého invertoru (INV2), jehož výstup je připojen na třetí nastavovací vstup (4) prvního pětibitového posuvného registru (PR1), výstup třetího čtyřvstupového součtově součinného hradla (SSHC3) je připojen na vstup třetího invertoru (INV3), jehož výstup je připojen na druhý nastavovací vstup (3) prvního pětibitového posuvného registru (PR1), výstup čtvrtého čtyřvstupového součtově součinného hradla (SSHC4) je připojen na vstup čtvrtého invertoru (INV4), jehož výstup je připojen na první nastavovací vstup (2) prvního pětibitového posuvného registru (PR1), pátý nastavovací vstup (7) prvního pětibitového posuvného registru (PR1) je připojen na nulový potenciál, kdežto jeho pátý datový výstup (10) tvoří současně šedesátýčtvrtý výstup (0064) zapojení, čtvrtý datový výstup (11) prvního pětibitového posuvného registru (PR1) je připojen na první vstupy prvního a druhého dvouvstupové-

ho obvodu (NSDK1, NSDK2) typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy (6) osmého, dvanáctého, šestnáctého, dvacátého a dvacátéhočtvrtého pětibitového posuvného registru (PR8, PR12, PR16, PR20, PR24), dále na pátý nastavovací vstup (7) třicátého prvního pětibitového posuvného registru (PR31), na seriový vstup dat (9) dvacátéhoosmého pětibitového posuvného registru (PR28) a na druhý vstup dvacátéhoopátého dvouvstupového obvodu (NSD25) typu negace logického součinu, třetí datový výstup (13) prvního pětibitového posuvného registru (PR1) je připojen na třetí nastavovací vstupy (4) osmého, dvanáctého, šestnáctého, dvacátého a dvacátéhočtvrtého pětibitového posuvného registru (PR8, PR16, PR22, PR24) a na první nastavovací vstup (2) třicátého prvního pětibitového posuvného registru (PR31), druhý datový výstup (14) prvního pětibitového posuvného registru (PR1) je připojen na druhé nastavovací vstupy (3) osmého, dvanáctého, šestnáctého, dvacátého, dvacátéhočtvrtého a třicátého pětibitového posuvného registru (PR8, PR12, PR16, PR20, PR24, PR30), první datový výstup (15) prvního pětibitového posuvného registru (PR1) je připojen na první nastavovací vstupy (2) osmého, dvanáctého, šestnáctého, dvacátého, dvacátéhočtvrtého pětibitového posuvného registru (PR8, PR12, PR16, PR20, PR24) a na třetí nastavovací vstup (4) dvacátého devátého pětibitového posuvného registru (PR29), nulovací vstupy (16) prvního až čtvrtého pětibitového posuvného registru (PR1 až PR4) jsou spojeny a tvoří současně devadesátýsedmý vstup (097) zapojení, uvolňovací vstupy nastavení (8) prvního a druhého pětibitového posuvného registru (PR1 a PR2) jsou připojeny na výstup sedmnáctého invertoru (INV17), uvolňovací vstupy nastavení (8) třetího a čtvrtého pětibitového posuvného registru (PR3, PR4) jsou připojeny na výstup osmnáctého invertoru (INV18), jehož vstup je spojen se vstupem sedmnáctého invertoru (INV17) a tvoří současně padesátýdevátý vstup (059) zapojení, seriový vstup dat (9) prvního pětibitového posuvného registru (PR1) tvoří současně osmdesátý vstup (080) zapojení, výstup pátého čtyřvstupového součtově součinného hradla (SSHC5) je připojen na vstup pátého invertoru (INV5), jehož výstup je připojen na čtvrtý nastavovací vstup (6) druhého pětibitového posuvného registru (PR2), jehož seriový vstup dat (9) tvoří současně sedmdesátýšestý vstup (076) zapojení, výstup šestého čtyřvstupového součtově součinného hradla (SSHC6) je připojen na vstup šestého invertoru (INV6), jehož výstup je připojen na třetí nastavovací vstup (4) druhého pětibitového posuvného registru (PR2), výstup sedmého čtyřvstupového součtově součinného hradla (SSHC7) je připojen na vstup sedmého invertoru (INV7), jehož výstup je připojen na druhý nastavovací vstup (3) druhého pětibitového posuvného registru (PR2), výstup osmého čtyřvstupového součtově součinného hradla (SSHC8) je připojen na vstup

osmého invertoru (INV8), jehož výstup je připojen na první nastavovací vstup (2) druhého pětibitového registru (PR2), pátý nastavovací vstup (7) druhého pětibitového posuvného registru (PR2) je připojen na nulový potenciál, kdežto jeho pátý datový výstup (10) tvoří současně šedesátýpátý výstup (0065) zapojení, čtvrtý datový výstup (11) druhého pětibitového posuvného registru (PR2) je připojen na první vstupy třetího a čtvrtého dvou-vstupového obvodu (NSDK3, NSDK4) typu negace logického součinu s otevřeným kolektorem, dále na čtvrté nastavovací vstupy (6) sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího a třicátého prvního pětibitového posuvného registru (PR7, PR11, PR15, PR19, PR23, PR31), dále na druhý vstup dvacátéhočtvrtého dvou-vstupového obvodu (NSD24) typu negace logického součinu a na seriový vstup dat (9) dvacátého sedmého pětibitového posuvného registru (PR27), třetí datový výstup (13) druhého pětibitového posuvného registru (PR2) je připojen na třetí nastavovací vstupy (4) sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru (PR7, PR11, PR15, PR19, PR23), dále na pátý nastavovací vstup (7) třicátého pětibitového posuvného registru (PR30), druhý datový výstup (14) druhého pětibitového posuvného registru (PR2) je připojen na druhé nastavovací vstupy (3) sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru (PR7, PR11, PR15, PR19, PR23) a na první nastavovací vstup (2) třicátého pětibitového posuvného registru (PR30), první datový výstup (15) druhého pětibitového posuvného registru (PR15) je připojen na první nastavovací vstupy (2) sedmého, jedenáctého, patnáctého, devatenáctého, dvacátého třetího pětibitového posuvného registru (PR7, PR11, PR15, PR19, PR23) a na druhý nastavovací vstup (3) dvacátého devátého pětibitového posuvného registru (PR29), výstup devátého čtyřvstupového součtově součinného hradla (SSHC9) je připojen na vstup devátého invertoru (INV9), jehož výstup je připojen na čtvrtý nastavovací vstup (6) třetího pětibitového posuvného registru (PR3), výstup desátého čtyřvstupového součtově součinného hradla (SSHC10) je připojen na vstup desátého invertoru (INV10), jehož výstup je připojen na třetí nastavovací vstup (4) třetího pětibitového posuvného registru (PR3), výstup jedenáctého čtyřvstupového součtově součinného hradla (SSHC11) je připojen na vstup jedenáctého invertoru (INV11), jehož výstup je připojen na druhý nastavovací vstup (3) třetího pětibitového posuvného registru (PR3), výstup dvanáctého čtyřvstupového součtově součinného hradla (SSHC12) je připojen na vstup dvanáctého invertoru (INV12), jehož výstup je připojen na první nastavovací vstup (2) třetího pětibitového posuvného registru (PR3), pátý nastavovací vstup (7) třetího pětibitového posuvného registru (PR3) je připojen na nulový potenciál, kdežto jeho pátý datový výstup (10)

tvoří současně šedesátýšestý výstup (0066) zapojení, čtvrtý datový výstup (11) třetího pětibitového posuvného registru (PR3) je připojen na první vstupy pátého a šestého dvou-vstupového obvodu (NSDK5, NSDK6) typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy (6) šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru (PR6, PR10, PR14, PR18, PR22), dále na seriový vstup dat (9) dvacátého šestého pětibitového posuvného registru (PR26), na třetí nastavovací vstup (4) třicátého prvního pětibitového posuvného registru (PR31) a na druhý vstup dvacátého třetího dvou-vstupového obvodu (NSD23) typu negace logického součinu, třetí datový výstup (13) třetího pětibitového posuvného registru (PR3) je připojen na třetí nastavovací vstupy (4) šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru (PR6, PR10, PR14, PR18, PR22), dále na čtvrtý nastavovací vstup (6) třicátého pětibitového posuvného registru (PR30), druhý datový výstup (14) třetího pětibitového posuvného registru (PR3) je připojen na druhé nastavovací vstupy (3) šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého pětibitového posuvného registru (PR6, PR10, PR14, PR18, PR22) a na pátý nastavovací vstup (7) dvacátého devátého pětibitového posuvného registru (PR29), první datový výstup (15) třetího pětibitového posuvného registru (PR3) je připojen na první nastavovací vstupy (2) šestého, desátého, čtrnáctého, osmnáctého, dvacátého druhého a dvacátého devátého pětibitového posuvného registru (PR6, PR10, PR14, PR18, PR22 a PR29), seriový vstup dat (9) třetího pětibitového posuvného registru (PR3) tvoří současně sedmdesátýdevátý vstup (0079) zapojení, výstup třináctého čtyřvstupového součtově součinného hradla (SSHC13) je připojen na vstup třináctého invertoru (INV13), jehož výstup je připojen na čtvrtý nastavovací vstup (6) čtvrtého pětibitového posuvného registru (PR4), výstup čtrnáctého čtyřvstupového součtově součinného hradla (SSHC14) je připojen na vstup čtrnáctého invertoru (INV14), jehož výstup je připojen na třetí nastavovací vstup (4) čtvrtého pětibitového posuvného registru (PR4), výstup patnáctého čtyřvstupového součtově součinného hradla (SSHC15), je připojen na vstup patnáctého invertoru (INV15), jehož výstup je připojen na druhý nastavovací vstup (3) čtvrtého pětibitového posuvného registru (PR4), výstup šestnáctého čtyřvstupového součtově součinného hradla (SSHC16) je připojen na vstup šestnáctého invertoru (INV16), jehož výstup je připojen na první nastavovací vstup (2) čtvrtého pětibitového posuvného registru (PR4), pátý nastavovací vstup (7) čtvrtého pětibitového posuvného registru (PR4) je připojen na nulový potenciál, kdežto jeho seriový vstup dat (9) tvoří současně dvacátýdevátý vstup (0029) zapojení, pátý datový výstup (10) čtvrtého pětibitového posuvného registru (PR4) tvoří současně šedesátýsedmý výstup (0067) zapojení,

209222

čtvrtý datový výstup (11) čtvrtého pětibitového posuvného registru (PR4) je připojen na první vstupy sedmého a osmého dvouvstupového obvodu (NSDK7, NSDK8) typu negace logického součinu s otevřeným kolektorem, na čtvrté nastavovací vstupy (6) pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru (PR5, PR9, PR13, PR17, PR21), dále na druhý nastavovací vstup (3) třicátého prvního pětibitového posuvného registru (PR31), na seriový vstup dat (9) dvacátého pátého pětibitového posuvného registru (PR25) a na druhý vstup dvacátého druhého dvouvstupového obvodu (NSD22) typu negace logického součinu, třetí datový výstup (3) čtvrtého pětibitového posuvného registru (PR4) je připojen na třetí nastavovací vstupy (4) pátého, devátého, třináctého, sedmnáctého, dvacátého prvního a třicátého pětibitového posuvného registru (PR5, PR9, PR13, PR17, PR21, PR30), druhý datový výstup (14) čtvrtého pětibitového posuvného registru (PR4) je připojen na druhé nastavovací vstupy (3) pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru (PR5, PR9, PR13, PR17, PR21), dále na čtvrtý nastavovací vstup (6) dvacátého devátého pětibitového posuvného registru (PR29), první datový výstup (15) čtvrtého pětibitového posuvného registru (PR4) je připojen na první nastavovací vstupy (2) pátého, devátého, třináctého, sedmnáctého, dvacátého prvního pětibitového posuvného registru (PR5, PR9, PR13, PR17, PR21) a na druhý vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, druhé vstupy prvního, třetího, pátého a sedmého dvouvstupového obvodu (NSDK1, NSDK3, NSDK5, NSDK7) typu negace logického součinu jsou spojeny a tvoří současně dvacátý pátý vstup (025) zapojení, výstup prvního dvouvstupového obvodu (NSDK1) typu negace logického součinu s otevřeným kolektorem je připojen jednak přes druhý odpor (R2) na kladný pól zdroje elektrické energie, jednak na výstupy dvanáctého, šestnáctého, dvacátého, dvacátého čtvrtého, dvacátého osmého a třicátého devátého dvouvstupového obvodu (NSDK12, NSDK16, NSDK20, NSDK24, NSDK28, NSDK39) typu negace logického součinu s otevřeným kolektorem a tvoří současně třetí výstup (003) zapojení, výstup druhého dvouvstupového obvodu (NSDK2) typu negace logického součinu s otevřeným kolektorem je připojen jednak přes první odpor (R1) na kladný pól zdroje elektrické energie, jednak na výstup třicátého druhého dvouvstupového obvodu (NSDK32) typu negace logického součinu s otevřeným kolektorem a tvoří současně čtvrtý výstup (004) zapojení, výstup třetího dvouvstupového obvodu (NSDK3) typu negace logického součinu s otevřeným kolektorem je připojen jednak přes čtvrtý odpor (R4) na kladný pól zdroje elektrické energie, jednak na výstup jedenáctého, patnáctého, devatenáctého, dvacátého třetího, dvacátého sedmého a třicátého osmého dvouvstupového obvodu (NSDK11,

NSDK15, NSDK19, NSDK23, NSDK27, NSDK38) typu negace logického součinu s otevřeným kolektorem a tvoří současně sedmý výstup (007) zapojení, výstup čtvrtého dvouvstupového obvodu (NSDK4) typu negace logického součinu s otevřeným kolektorem je připojen jednak na výstup třicátého prvního dvouvstupového obvodu (NSDK31) typu negace logického součinu s otevřeným kolektorem, jednak přes třetí odpor (R3) na kladný pól zdroje elektrické energie a tvoří současně osmý výstup (008) zapojení, výstup pátého dvouvstupového obvodu (NSDK5) typu negace logického součinu s otevřeným kolektorem je připojen jednak přes šestý odpor (R6) na kladný pól zdroje elektrické energie, jednak na výstup desátého, čtrnáctého, osmnáctého, dvacátého druhého, dvacátého šestého a třicátého sedmého dvouvstupového obvodu (NSDK10, NSDK14, NSDK18, NSDK22, NSDK26, NSDK37) typu negace logického součinu s otevřeným kolektorem a tvoří současně devátý výstup (009) zapojení, výstup šestého dvouvstupového obvodu (NSDK6) typu negace logického součinu s otevřeným kolektorem je připojen jednak přes pátý odpor (R5) na kladný pól zdroje elektrické energie, jednak na třicátý dvouvstupový obvod (NSDK30) typu negace logického součinu s otevřeným kolektorem a tvoří současně desátý výstup (0010) zapojení, výstup sedmého dvouvstupového obvodu (NSDK7) typu negace logického součinu s otevřeným kolektorem je připojen jednak přes osmý odpor (R8) na kladný pól zdroje elektrické energie, jednak na výstup devátého, třináctého, sedmnáctého, dvacátého prvního, dvacátého pátého a třicátého šestého dvouvstupového obvodu (NSDK9, NSDK13, NSDK17, NSDK21, NSDK25, NSDK36) typu negace logického součinu s otevřeným kolektorem a tvoří současně třináctý výstup (0013) zapojení, výstup osmého dvouvstupového obvodu (NSDK8) typu negace logického součinu s otevřeným kolektorem je připojen jednak přes sedmý odpor (R7) na kladný pól zdroje elektrické energie, jednak na výstup dvacátého devátého dvouvstupového obvodu (NSDK29) typu negace logického součinu s otevřeným kolektorem a tvoří současně čtrnáctý výstup (0014) zapojení, nulovací vstupy (16) pátého, šestého, sedmého a osmého pětibitového posuvného registru (PR5, PR6, PR7, PR8) jsou spojeny a tvoří současně dvacátý šestý vstup (026) zapojení, hodinové vstupy (1) pátého až osmého pětibitového posuvného registru (PR5 až PR8) jsou spojeny a tvoří současně dvacátý sedmý vstup (027) zapojení, uvolňovací vstupy nastavení (8) pátého a šestého pětibitového posuvného registru (PR5, PR6) jsou připojeny na výstup dvacátého prvního invertoru (INV21), uvolňovací vstupy nastavení (8) sedmého a osmého pětibitového posuvného registru (PR7, PR8) jsou připojeny na výstup dvacátého druhého invertoru (INV22), jehož vstup je spojen se vstupem dvacátého prvního invertoru (INV21) a tvoří současně dvacátý osmý vstup (028)

zapojení, první datový výstup (15) pátého pětibitového posuvného registru (PR5) tvoří současně šestnáctý výstup (0016) zapojení, čtvrtý datový výstup (11) pátého pětibitového posuvného registru (PR5) je připojen na seriový vstup dat (9) pátého pětibitového posuvného registru (PR5) a na první vstup devátého dvouvstupového obvodu (NSDK9) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11) šestého pětibitového posuvného registru (PR6) je připojen na seriový vstup dat (9) šestého pětibitového posuvného registru (PR6) a na první vstup desátého dvouvstupového obvodu (NSDK10) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový vstup (11) sedmého pětibitového posuvného registru (PR7) je připojen na seriový vstup dat (9) sedmého pětibitového posuvného registru (PR7) a na první vstup jedenáctého dvouvstupového obvodu (NSDK11) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11) osmého pětibitového posuvného registru (PR8) je připojen na seriový vstup dat (9) osmého pětibitového posuvného registru (PR8) a na první vstup dvanáctého dvouvstupového obvodu (NSDK12) typu negace logického součinu s otevřeným kolektorem a tvoří současně patnáctý výstup (0015) zapojení, druhé vstupy devátého až dvanáctého dvouvstupového klopného obvodu (NSDK9 až NSDK12) typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátý vstup (030) zapojení, uvolňovací vstupy nastavení (8) devátého a desátého pětibitového posuvného registru (PR9, PR10) jsou připojeny na výstup dvacátého třetího invertoru (INV23), uvolňovací vstupy nastavení (8) jedenáctého a dvanáctého pětibitového posuvného registru (PR11, PR12) jsou připojeny na výstup dvacátého čtvrtého invertoru (INV24), jehož vstup je připojen na vstup dvacátého třetího invertoru (INV23) a tvoří současně třicátý třetí vstup (033) zapojení, nulovací vstupy (16) devátého až dvanáctého pětibitového posuvného registru (PR9 až PR12) jsou spojeny a tvoří současně třicátý první vstup (031) zapojení, hodinové vstupy (1) devátého až dvanáctého pětibitového posuvného registru (PR9 až PR12) jsou spojeny a tvoří současně třicátý druhý vstup (032) zapojení, první datový výstup (15) devátého pětibitového posuvného registru (PR9) tvoří současně sedmnáctý výstup (0017) zapojení, čtvrtý datový výstup (11) devátého pětibitového posuvného registru (PR9) je připojen na seriový vstup dat (9) devátého pětibitového posuvného registru (PR9) a na první vstup třináctého dvouvstupového obvodu (NSDK13) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11) desátého pětibitového posuvného registru (PR10) je připojen na seriový vstup dat (9) desátého pětibitového posuvného registru (PR10) a na první vstup čtrnáctého dvouvstupového obvodu (NSDK14) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11)

jedenáctého pětibitového posuvného registru (PR11) je připojen na seriový vstup dat (9) jedenáctého pětibitového posuvného registru (PR11) a na první vstup patnáctého dvouvstupového obvodu (NSDK15) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11) dvanáctého pětibitového posuvného registru (PR12) je připojen na seriový vstup dat (9) dvanáctého pětibitového posuvného registru (PR12) a na první vstup šestnáctého dvouvstupového obvodu (NSDK16) typu negace logického součinu s otevřeným kolektorem, druhé vstupy třináctého až šestnáctého dvouvstupového obvodu (NSDK13 až NSDK16) typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátý osmý vstup (038) zapojení, uvolňovací vstupy nastavení (8) třináctého a čtrnáctého pětibitového posuvného registru (PR13, PR14) jsou připojeny na výstup dvacátého pátého invertoru (INV25), uvolňovací vstupy nastavení (8) patnáctého a šestnáctého pětibitového posuvného registru (PR15, PR16) jsou připojeny na výstup dvacátého šestého invertoru (INV26), jehož vstup je spojen se vstupem dvacátého pátého invertoru (INV25) a tvoří současně třicátý šestý vstup (036) zapojení, nulovací vstupy (16) třináctého až šestnáctého pětibitového posuvného registru (PR13 až PR16) jsou spojeny a tvoří současně třicátý čtvrtý vstup (034) zapojení, hodinové vstupy (1) třináctého až šestnáctého pětibitového posuvného registru (PR13 až PR16) jsou spojeny a tvoří současně třicátý pátý vstup (035) zapojení, první datový výstup (15) třináctého pětibitového posuvného registru (PR13) tvoří současně osmnáctý výstup (0018) zapojení, kdežto jeho druhý datový výstup (14) tvoří současně devatenáctý výstup (0019) zapojení, třetí datový výstup (13) třináctého pětibitového posuvného registru (PR13) tvoří současně dvacátý výstup (0020) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) třináctého pětibitového posuvného registru (PR13) a na první vstup sedmnáctého dvouvstupového obvodu (NSDK17) typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátý první výstup (0021) zapojení, první datový výstup (15) čtrnáctého pětibitového posuvného registru (PR14) tvoří současně dvacátý druhý výstup (0022) zapojení, kdežto jeho druhý datový výstup (14) tvoří současně dvacátý třetí výstup (0023) zapojení, třetí datový výstup (13) třináctého pětibitového posuvného registru (PR13) tvoří současně dvacátý čtvrtý výstup (0024) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) čtrnáctého pětibitového posuvného registru (PR14) a na první vstup osmnáctého dvouvstupového obvodu (NSDK18) typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátý pátý výstup (0025) zapojení, první datový výstup (15) patnáctého pětibitového posuvného registru (PR15) tvoří současně dvacátý šestý výstup (0026) zapojení, kdežto jeho druhý datový výstup (14)

tvorí současně dvacátýsedmý výstup (0027) zapojení, třetí datový výstup (13) patnáctého pětibitového posuvného registru (PR15) tvoří současně dvacátýosmý výstup (0028) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) patnáctého pětibitového posuvného registru (PR15) a na první vstup devatenáctého dvouvstupového obvodu (NSDK19) typu negace logického součinu s otevřeným kolektorem a tvoří současně dvacátýdevátý výstup (0029) zapojení, první datový výstup (15) šestnáctého pětibitového posuvného registru (PR16) tvoří současně třicátý výstup (0030) zapojení, kdežto jeho druhý datový výstup (14) tvoří současně třicátýprvní výstup (0031) zapojení, třetí datový výstup (13) šestnáctého pětibitového posuvného registru (PR16) tvoří současně třicátýdruhý výstup (0032) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) šestnáctého pětibitového posuvného registru (PR16) a na první vstup dvacátého dvouvstupového obvodu (NSDK20) typu negace logického součinu s otevřeným kolektorem a tvoří současně třicátýtřetí výstup (0033) zapojení, druhé vstupy sedmnáctého až dvacátého dvouvstupového obvodu (NSDK17 až NSDK20) typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně třicátýsedmý vstup (037) zapojení, uvolňovací vstupy nastavení (8) sedmnáctého až osmnáctého pětibitového posuvného registru (PR17, PR18) jsou připojeny na výstup dvacátéhošestého invertoru (INV26), uvolňovací vstupy nastavení devatenáctého a dvacátého pětibitového posuvného registru (PR19, PR20) jsou připojeny na výstup dvacátéhošedmého invertoru (INV27), jehož vstup je připojen na vstup dvacátéhošestého invertoru (INV26) a tvoří současně čtyřicátýprvní vstup (041) zapojení, nulovací vstupy (16) sedmnáctého až dvacátého pětibitového posuvného registru (PR17 až PR20) jsou spojeny a tvoří současně třicátýdevátý vstup (039) zapojení, hodinové vstupy (1) sedmnáctého až dvacátého pětibitového posuvného registru (PR17 až PR20) jsou spojeny a tvoří současně čtyřicátý vstup (040) zapojení, první datový výstup (15) sedmnáctého pětibitového posuvného registru (PR17) tvoří současně pátý výstup (005) zapojení, kdežto jeho druhý datový výstup (14) tvoří současně šestý výstup (006) zapojení, třetí datový výstup (13) sedmnáctého pětibitového posuvného registru (PR17) tvoří současně jedenáctý výstup (0011) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) sedmnáctého pětibitového posuvného registru (PR17) a na první vstup dvacátéhooprvního dvouvstupového obvodu (NSDK21) typu negace logického součinu s otevřeným kolektorem a tvoří současně dvanáctý výstup (0012) zapojení, první datový výstup (15) osmnáctého pětibitového posuvného registru (PR18) tvoří současně třicátýčtvrtý výstup (0034) zapojení, kdežto jeho druhý datový výstup (14) tvoří současně třicátýpátý výstup (0035) zapojení, třetí datový výstup (13)

osmnáctého pětibitového posuvného registru (PR18) tvoří současně třicátýšestý výstup (0036) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) osmnáctého pětibitového posuvného registru (PR18) a na první vstup dvacátého druhého dvouvstupového obvodu (NSDK22) typu negace logického součinu s otevřeným kolektorem a tvoří současně třicátýsedmý výstup (0037) zapojení, první datový výstup (15) devatenáctého pětibitového posuvného registru (PR19) tvoří současně třicátýosmý výstup (0038) zapojení, kdežto jeho druhý datový výstup (14) tvoří současně třicátýdevátý výstup (0039) zapojení, třetí datový výstup (13) devatenáctého pětibitového posuvného registru (PR19) tvoří současně čtyřicátý výstup (0040) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) devatenáctého pětibitového posuvného registru (PR19) a na první vstup dvacátého třetího dvouvstupového obvodu (NSDK23) typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýprvní výstup (0041) zapojení, první datový výstup (15) dvacátého pětibitového posuvného registru (PR20) tvoří současně čtyřicátýdruhý výstup (0042) zapojení, kdežto jeho druhý datový výstup (14) tvoří současně čtyřicátýtřetí výstup (0043) zapojení, třetí datový výstup (13) dvacátého pětibitového posuvného registru (PR20) tvoří současně čtyřicátýčtvrtý výstup (0044) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na seriový vstup dat (9) dvacátého pětibitového posuvného registru (PR20) a na první vstup dvacátéhočtvrtého dvouvstupového obvodu (NSDK24) typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýpátý výstup (0045) zapojení, druhé vstupy dvacátéhooprvního až dvacátéhočtvrtého dvouvstupového obvodu (NSDK21 až NSDK24) typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně čtyřicátýdruhý vstup (042) zapojení, uvolňovací vstupy nastavení (8) dvacátéhooprvního a dvacátého druhého pětibitového posuvného registru (PR21, PR22) jsou připojeny na výstup dvacátéhoosmého invertoru (INV28), uvolňovací vstupy nastavení (8) dvacátého třetího a dvacátéhočtvrtého pětibitového posuvného registru (PR23, PR24) jsou připojeny na výstup dvacátého devátého invertoru (INV29), jehož vstup je spojen s dvacátým osmým invertorem (INV28) a tvoří současně čtyřicátýpátý vstup (045) zapojení, nulovací vstupy (16) dvacátéhooprvního až dvacátéhočtvrtého pětibitového posuvného registru (PR21 až PR24) jsou spojeny a tvoří současně čtyřicátýtřetí vstup (043) zapojení, hodinové vstupy (1) dvacátéhooprvního až dvacátéhočtvrtého pětibitového posuvného registru (PR21 až PR24) jsou spojeny a tvoří současně čtyřicátýčtvrtý vstup (044) zapojení, čtvrtý datový výstup (11) dvacátéhooprvního pětibitového posuvného registru (PR21) je připojen na seriový vstup dat (9) dvacátéhooprvního pětibitového posuvného registru (PR21) a na první vstup

dvacátéhopátého dvouvstupového obvodu (NSDK25) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11) dvacátéhodruhého pětibitového posuvného registru (PR22) je připojen na seriový vstup dat (9) dvacátéhodruhého pětibitového posuvného registru (PR22) a na první vstup dvacátéhošestého dvouvstupového obvodu (NSDK26) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11) dvacátéhotřetího pětibitového posuvného registru (PR23) je připojen na seriový vstup dat (9) dvacátéhotřetího pětibitového posuvného registru (PR23) a na první vstup dvacátéhošedemého dvouvstupového obvodu (NSDK27) typu negace logického součinu s otevřeným kolektorem, čtvrtý datový výstup (11) dvacátéhočtvrtého pětibitového posuvného registru (PR24) je připojen na seriový vstup dat (9) a na první vstup dvacátéhoosmého dvouvstupového obvodu (NSDK28) typu negace logického součinu s otevřeným kolektorem, druhé vstupy dvacátéhopátého až dvacátéhoosmého dvouvstupového obvodu (NSDK25 až NSDK28) typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně čtyřicátýšestý vstup (046) zapojení, uvolňovací vstupy nastavení (8) dvacátéhopátého a dvacátéhošestého pětibitového posuvného registru (PR25, PR26) jsou připojeny na výstup třicátého invertoru (INV30), uvolňovací vstupy nastavení (8) dvacátéhošedemého a dvacátéhoosmého pětibitového posuvného registru (PR27, PR28) jsou připojeny na výstup třicátéhoprvního invertoru (INV31), jehož vstup je spojen se vstupem třicátého invertoru (INV30) a připojen na výstup druhého třívstupového obvodu (NST2) typu negace logického součinu, jehož první vstup tvoří současně čtyřicátýosmý vstup (048) zapojení a jehož druhý vstup tvoří současně čtyřicátýdevátý vstup (049) zapojení, třetí vstup druhého a první vstup třetího třívstupového obvodu (NST2, NST3) typu negace logického součinu jsou spojeny a tvoří současně padesátý vstup (050) zapojení, druhý vstup třetího třívstupového obvodu (NST3) typu negace logického součinu tvoří současně padesátýprvní vstup (051) zapojení, kdežto jeho třetí vstup tvoří současně padesátýdruhý vstup (052) zapojení, výstup třetího třívstupového obvodu (NST3) typu negace logického součinu je připojen na nulovací vstupy (16) dvacátéhopátého až dvacátéhoosmého pětibitového posuvného registru (PR25 až PR28), hodinové vstupy (1) dvacátéhopátého až dvacátéhoosmého pětibitového posuvného registru (PR25 až PR28) jsou spojeny a tvoří současně čtyřicátýsedmý vstup (047) zapojení, první nastavovací vstup (2) dvacátéhopátého pětibitového posuvného registru (PR25) tvoří současně padesátýčtvrtý vstup (054) zapojení, kdežto jeho druhý nastavovací vstup (3) je připojen na druhý vstup šestého třívstupového obvodu (NST6) typu negace logického součinu a na první vstup dvacátéhoprvního dvouvstupového obvodu (NSD21) typu negace logického součinu a tvoří současně padesátýpátý vstup (055)

zapojení, třetí nastavovací vstup (4) dvacátéhopátého pětibitového posuvného registru (PR25) tvoří současně padesátýšestý vstup (056) zapojení, kdežto jeho čtvrtý nastavovací vstup (6) tvoří současně padesátýsedmý vstup (057) zapojení a jeho čtvrtý datový výstup (11) je připojen na první vstup dvacátéhošedemého dvouvstupového obvodu (NSDK29) typu negace logického součinu s otevřeným kolektorem, druhý nastavovací vstup (3) dvacátéhošestého pětibitového posuvného registru (PR26) je připojen na první vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu, dále na druhý vstup dvacátéhoprvního dvouvstupového obvodu (NSD21) typu negace logického součinu a tvoří současně šedesátý vstup (060) zapojení, kdežto jeho třetí nastavovací vstup (4) tvoří současně šedesátýprvní vstup (061) zapojení a jeho čtvrtý nastavovací vstup (6) tvoří současně šedesátýdruhý vstup (062) zapojení, přičemž jeho čtvrtý datový výstup (11) je připojen na první vstup třicátého dvouvstupového obvodu (NSDK30) typu negace logického součinu s otevřeným kolektorem, první nastavovací vstup (2) dvacátéhošedemého pětibitového posuvného registru (PR27) tvoří současně šedesátýtřetí vstup (063) zapojení, kdežto jeho druhý nastavovací vstup (3) tvoří současně šedesátýčtvrtý vstup (064) zapojení a jeho třetí nastavovací vstup (4) tvoří současně šedesátýpátý vstup (065) zapojení, čtvrtý nastavovací vstup (6) dvacátéhošedemého pětibitového posuvného registru (PR27) tvoří současně šedesátýšestý vstup (066) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na první vstup třicátéhoprvního dvouvstupového obvodu (NSDK31) typu negace logického součinu s otevřeným kolektorem, první nastavovací vstup (2) dvacátéhoosmého pětibitového posuvného registru (PR28) tvoří současně šedesátýsedmý vstup (067) zapojení, kdežto jeho druhý nastavovací vstup (3) tvoří současně šedesátýosmý vstup (068) zapojení, a jeho třetí nastavovací vstup (4) tvoří současně šedesátýdevátý vstup (069) zapojení, čtvrtý nastavovací vstup (6) dvacátéhoosmého pětibitového posuvného registru (PR28) tvoří současně sedmdesátý vstup (070) zapojení, kdežto jeho čtvrtý datový výstup (11) je připojen na první vstup třicátéhodruhého dvouvstupového obvodu (NSDK32) typu negace logického součinu s otevřeným kolektorem, druhý vstup čtvrtého třívstupového obvodu (NST4) typu negace logického součinu je připojen na první vstup pátého třívstupového obvodu (NST5) typu negace logického součinu a tvoří současně sedmdesátýsedmý vstup (077) zapojení, kdežto jeho výstup je připojen na vstup třicátéhopátého invertoru (INV35), jehož výstup je připojen na druhý vstup třicátéhotřetího dvouvstupového obvodu (NSDK33) typu negace logického součinu s otevřeným kolektorem a na vstupy prvního až čtvrtého invertoru (INVK1 až INVK4) s otevřeným kolektorem, výstup prvního invertoru (INVK1) s otevřeným kolektorem je připojen na výstup dvacátéhošedemého dvouvstupového obvo-

du (NSDK29) typu negace logického součinu s otevřeným kolektorem, výstup druhého invertoru (INVK2) s otevřeným kolektorem je připojen na výstup třicátého dvouvstupového obvodu (NSDK30) typu negace logického součinu s otevřeným kolektorem, výstup třetího invertoru (INVK3) s otevřeným kolektorem je připojen na výstup třicátého prvního dvouvstupového obvodu (NSDK31) typu negace logického součinu s otevřeným kolektorem, výstup čtvrtého invertoru (INVK4) s otevřeným kolektorem je připojen na výstup třicátého druhého dvouvstupového obvodu (NSDK32) typu negace logického součinu s otevřeným kolektorem, druhý vstup pátého třívstupového obvodu (NST5) typu negace logického součinu je připojen na první vstup šestého třívstupového obvodu (NST6) typu negace logického součinu a tvoří současně sedmdesátýosmý vstup (078) zapojení, kdežto jeho výstup je připojen na vstup třicátého šestého invertoru (INV36), jehož výstup je připojen na druhý vstup třicátého čtvrtého dvouvstupového obvodu (NSDK34) typu negace logického součinu s otevřeným kolektorem, výstup šestého třívstupového obvodu (NST6) typu negace logického součinu je připojen na vstup třicátého sedmého invertoru (INV37), jehož výstup je připojen na vstup pátého invertoru (INVK5) s otevřeným kolektorem a na druhé vstupy druhého, čtvrtého, šestého a osmého dvouvstupového obvodu (NSDK2, NSDK4, NSDK6, NSDK8) typu negace logického součinu s otevřeným kolektorem, výstup dvacátého prvního dvouvstupového obvodu (NSD21) typu negace logického součinu je připojen na první vstup dvacátého dvouvstupového obvodu (NSD20) typu negace logického součinu, jehož výstup je připojen na první vstup třicátého pátého dvouvstupového obvodu (NSDK35) typu negace logického součinu s otevřeným kolektorem a na druhé vstupy dvacátého devátého až třicátého druhého dvouvstupového obvodu (NSDK29 až NSDK32) typu negace logického součinu s otevřeným kolektorem, výstupy třicátého třetího až třicátého pátého dvouvstupového obvodu (NSDK33 až NSDK35) typu negace logického součinu s otevřeným kolektorem a výstup pátého invertoru (INVK5) s otevřeným kolektorem jsou spojeny a připojeny jednak přes dvacátýpátý odpor (R25) na kladný pól zdroje elektrické energie, jednak na základní vstup (21) druhého klopného obvodu (**AT2(15)**) typu D, jehož nulový výstup (202) je připojen na první vstup třicátého třetího dvouvstupového obvodu (NSDK33) typu negace logického součinu s otevřeným kolektorem, na seriový vstup dat (9) dvacátého devátého pětibitového posuvného registru (PR29), na čtvrtý vstup šestnáctého čtyřvstupového součtově součinného hradla (SSHC16) a na první vstup dvouvstupového obvodu (NSD4) typu negace logického součinu, hodinový vstup (22) druhého klopného obvodu (**AT2(15)**) typu D je připojen na hodinové vstupy (1) dvacátého devátého až třicátého prvního pětibitového posuvného registru (PR29 až PR31) a tvoří

současně padesátýtřetí vstup (053) zapojení, nulovací vstupy (16) dvacátého devátého až třicátého prvního pětibitového posuvného registru (PR29 až PR31) jsou spojeny a připojeny na nastavovací vstup (24) druhého klopného obvodu (**AT2(15)**) typu D a tvoří současně padesátýosmý vstup (058) zapojení, vstupy třicátého druhého a třicátého třetího invertoru (INV32 a INV33) jsou spojeny a tvoří současně sedmdesátý první vstup (071) zapojení, výstup třicátého druhého invertoru (INV32) je připojen jednak na první vstup třetího dvouvstupového obvodu (NSD3) typu negace logického součinu, jehož výstup je připojen na nulovací vstup (23) druhého klopného obvodu (**AT2(15)**) typu D, jednak na uvolňovací vstup nastavení (8) dvacátého devátého pětibitového posuvného registru (PR29), výstup třicátého třetího invertoru (INV33) je připojen na uvolňovací vstupy (8) třicátého a třicátého prvního pětibitového posuvného registru (PR30 a PR31), první datový výstup (15) dvacátého devátého pětibitového posuvného registru (PR29) je připojen na čtvrtý vstup dvanáctého čtyřvstupového součtově součinného hradla (SSHC12) a na první vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu, jehož výstup tvoří současně čtyřicátý devátý výstup (0049) zapojení, výstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu tvoří současně čtyřicátýosmý výstup (0048) zapojení, druhý datový výstup (14) dvacátého devátého pětibitového registru (PR29) je připojen na čtvrtý vstup osmého čtyřvstupového součtově součinného hradla (SSHC8) a na první vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu, jehož výstup tvoří současně padesátý výstup (0050) zapojení, třetí datový výstup (13) dvacátého devátého pětibitového posuvného registru (PR29) je připojen na čtvrtý vstup čtvrtého součtově součinného hradla (SSHC4) a na první vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu, jehož výstup tvoří současně padesátý první výstup (0051) zapojení, čtvrtý datový výstup (11) dvacátého devátého pětibitového posuvného registru (PR29) je připojen na čtvrtý vstup patnáctého čtyřvstupového součtově součinného hradla (SSHC15) a na první vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu, jehož výstup tvoří současně padesátý druhý výstup (0052) zapojení, pátý datový výstup (10) dvacátého devátého pětibitového posuvného registru (PR29) je připojen na čtvrtý vstup jedenáctého čtyřvstupového součtově součinného hradla (SSHC11), na seriový vstup dat (9) třicátého pětibitového posuvného registra (PR30) a na první vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu, jehož výstup tvoří současně padesátýtřetí výstup (0053) zapojení, první datový výstup (15) třicátého pětibitového posuvného registru (PR30) je připojen na čtvrtý vstup sedmého čtyřvstupového součtově součinného hradla (SSHC7) a na první vstup desátého

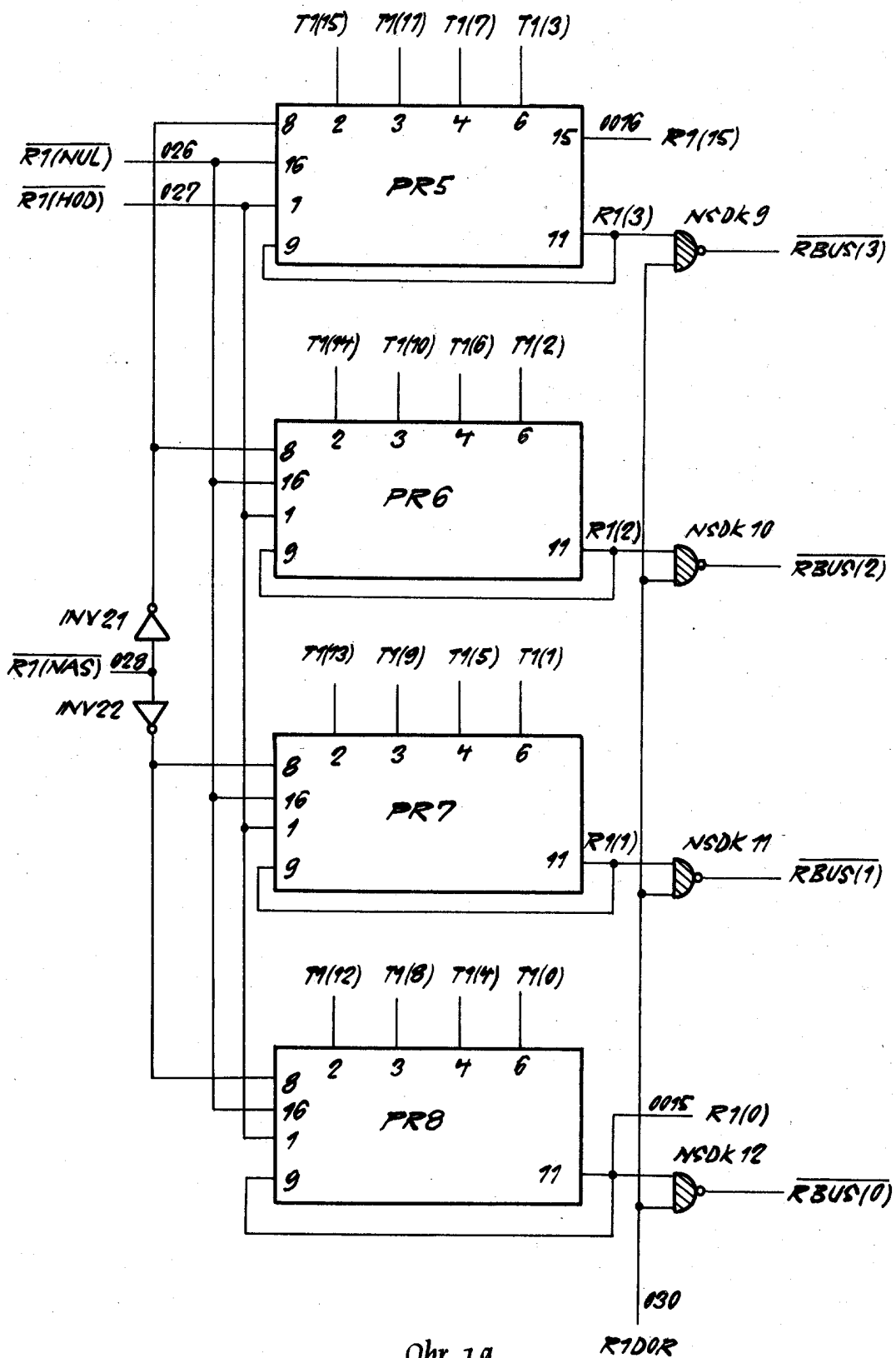
dvouvstupového obvodu (NSD10) typu negace logického součinu, jehož výstup tvoří současně padesátýčtvrtý výstup (0054) zapojení, druhý datový výstup (14) třicátého pětibitového posuvného registru (PR30) je připojen na čtvrtý vstup třetího čtyřvstupového součtově součinového hradla (SSHC3) a na první vstup jedenáctého dvouvstupového obvodu (NSD11) typu negace logického součinu, jehož výstup tvoří současně padesátýpátý výstup (0055) zapojení, třetí datový výstup (13) třicátého pětibitového posuvného registru (PR30) je připojen na čtvrtý vstup čtrnáctého čtyřvstupového součtově součinového hradla (SSHC14) a na první vstup dvanáctého dvouvstupového obvodu (NSD12) typu negace logického součinu, jehož výstup tvoří současně padesátýšestý výstup (0056) zapojení, čtvrtý datový výstup (11) třicátého pětibitového posuvného registru (PR30) je připojen na čtvrtý vstup desátého čtyřvstupového součtově součinového hradla (SSHC10) a na první vstup třináctého dvouvstupového obvodu (NSD13) typu negace logického součinu, jehož výstup tvoří současně padesátýsedmý výstup (0057) zapojení, pátý datový výstup (10) třicátého pětibitového posuvného registru (PR30) je připojen na čtvrtý vstup šestého čtyřvstupového součtově součinového hradla (SSHC6), na seriový vstup dat (9) třicátého-prvního pětibitového posuvného registru (PR31) a na první vstup čtrnáctého dvouvstupového obvodu (NSD14) typu negace logického součinu, jehož výstup tvoří současně padesátýosmý výstup (0058) zapojení, první datový výstup (15) třicátého-prvního pětibitového posuvného registru (PR31) je připojen na čtvrtý vstup druhého čtyřvstupového součtově součinového hradla (SSHC2) a na první vstup patnáctého dvouvstupového obvodu (NSD15) typu negace logického součinu, jehož výstup tvoří současně padesátýdevátý výstup (0059) zapojení, druhý datový výstup (14) třicátého-prvního pětibitového posuvného registru (PR31) je připojen na čtvrtý vstup třináctého čtyřvstupového součtově součinového hradla (SSHC13) a na první vstup šestnáctého dvouvstupového obvodu (NSD16) typu negace logického součinu, jehož výstup tvoří současně šedesátý výstup (0060) zapojení, třetí datový výstup (13) třicátého-prvního pětibitového posuvného registru (PR31) je připojen na čtvrtý vstup devátého čtyřvstupového součtově součinového hradla (SSHC9) a na první vstup sedmnáctého dvouvstupového obvodu (NSD17) typu negace logického součinu, jehož výstup tvoří současně šedesátýprvní výstup (0061) zapojení, čtvrtý datový výstup (11) třicátého-prvního pětibitového posuvného registru (PR31) je připojen na čtvrtý vstup pátého čtyřvstupového součtově součinového hradla (SSHC5) a na první vstup osmnáctého dvouvstupového obvodu (NSD18) typu negace logického součinu, jehož výstup tvoří současně šedesátýdruhý výstup (0062) zapojení, pátý datový výstup (10) třicátého-prvního pětibitového posuvného registru (PR31) je připojen na druhý vstup třicátého-pátého

dvouvstupového obvodu (NSDK35) typu negace logického součinu s otevřeným kolektorem, na čtvrtý vstup prvního čtyřvstupového součtově součinového hradla (SSHC1) a na první vstup devatenáctého dvouvstupového obvodu (NSD19) typu negace logického součinu, jehož výstup tvoří současně šedesátýtřetí výstup (0063) zapojení, druhý vstup čtvrtého dvouvstupového obvodu (NSD4) typu negace logického součinu je připojen přes devátý odpor (R9) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýprvní vstup (081) zapojení, druhý vstup pátého dvouvstupového obvodu (NSD5) typu negace logického součinu je připojen přes desátý odpor (R10) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýdruhý vstup (082) zapojení, druhý vstup šestého dvouvstupového obvodu (NSD6) typu negace logického součinu je připojen přes jedenáctý odpor (R11) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýtřetí vstup (083) zapojení, druhý vstup sedmého dvouvstupového obvodu (NSD7) typu negace logického součinu je připojen přes dvanáctý odpor (R12) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýčtvrtý vstup (084) zapojení, druhý vstup osmého dvouvstupového obvodu (NSD8) typu negace logického součinu je připojen přes třináctý odpor (R13) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýpátý vstup (085) zapojení, druhý vstup devátého dvouvstupového obvodu (NSD9) typu negace logického součinu je připojen přes čtrnáctý odpor (R14) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýšestý vstup (086) zapojení, druhý vstup desátého dvouvstupového obvodu (NSD10) typu negace logického součinu je připojen přes patnáctý odpor (R15) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýsedmý vstup (087) zapojení, druhý vstup jedenáctého dvouvstupového obvodu (NSD11) typu negace logického součinu je připojen přes šestnáctý odpor (R16) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýosmý vstup (088) zapojení, druhý vstup dvanáctého dvouvstupového obvodu (NSD12) typu negace logického součinu je připojen přes sedmnáctý odpor (R17) na kladný pól zdroje elektrické energie a tvoří současně osmdesátýdevátý vstup (089) zapojení, druhý vstup třináctého dvouvstupového obvodu (NSD13) typu negace logického součinu je připojen přes osmnáctý odpor (R18) na kladný pól zdroje elektrické energie a tvoří současně devadesátý vstup (090) zapojení, druhý vstup čtrnáctého dvouvstupového obvodu (NSD14) typu negace logického součinu je připojen přes devatenáctý odpor (R19) na kladný pól zdroje elektrické energie a tvoří současně devadesátýprvní vstup (091) zapojení, druhý vstup patnáctého dvouvstupového obvodu (NSD15) typu negace logického součinu je připojen přes dvacátý odpor (R20) na kladný pól zdroje elektrické energie a tvoří současně devadesátýdruhý vstup (092) zapojení, druhý vstup šestnáctého dvouvstu-

209222

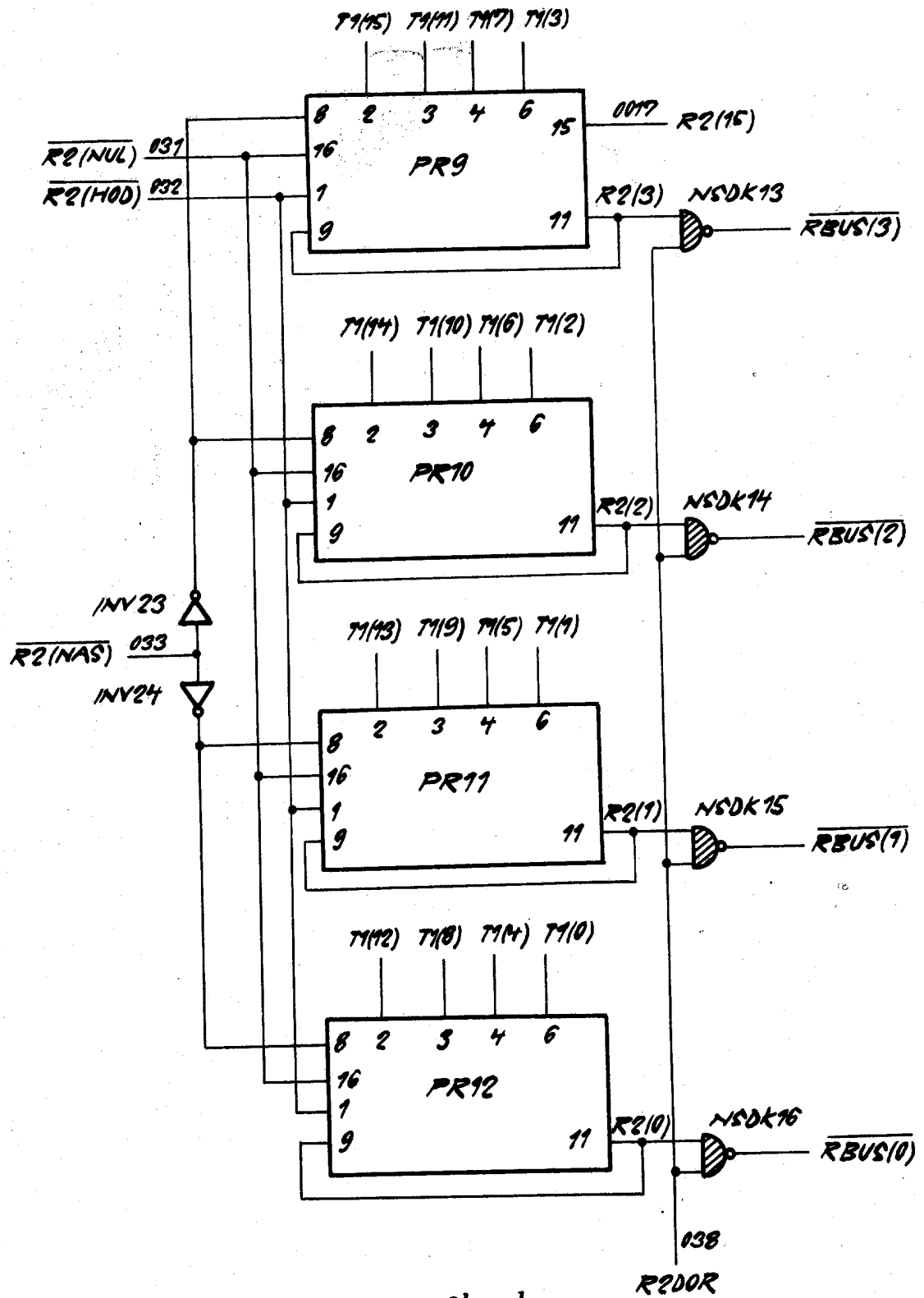
pového obvodu (NSD16) typu negace logického součinu je připojen přes dvacátýprvní odpor (R21) na kladný pól zdroje elektrické energie a tvoří současně devadesátýtřetí vstup (093) zapojení, druhý vstup sedmnáctého dvouvstupového obvodu (NSD17) typu negace logického součinu je připojen přes dvacátýdruhý odpor (R22) na kladný pól zdroje elektrické energie a tvoří současně devadesátýčtvrtý vstup (094) zapojení, druhý vstup osmnáctého dvouvstupového obvodu (NSD18) typu negace logického součinu je připojen přes dvacátýtřetí odpor (R23) na kladný pól zdroje elektrické energie a tvoří současně devadesátýpátý vstup (095) zapojení, druhý vstup devatenáctého dvouvstupového obvodu (NSD19) typu negace logického součinu je připojen přes dvacátýčtvrtý odpor (R24) na kladný pól zdroje elektrické energie a tvoří současně devadesátýšestý vstup (096) zapojení, druhé vstupy třicátéhošestého až třicátéhodevátého dvouvstupového obvodu (NSDK36 až NSDK39) typu negace logického součinu s otevřeným kolektorem jsou spojeny a tvoří současně sedmdesátýdruhý vstup (072) zapojení, nastavovací vstupy (34, 44, 54, 64) třetího až šestého klopného obvodu (**AE3**, **AE2**, **AE1**, **AE0**) typu D jsou spojeny a tvoří současně sedmdesátýtřetí vstup (073) zapojení, kdežto jejich základní vstupy (31, 41, 51, 61) jsou připojeny na kladný pól zdroje elektrické energie a jejich hodinové vstupy (32, 42, 52, 62) jsou spojeny a tvoří současně sedmdesátýčtvrtý vstup (074) zapojení, nulový výstup (302) třetího klopného obvodu (**AE3**) typu D je připojen na první vstup třicátéhošestého dvouvstupového obvodu (NSDK36) typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup (33) je připojen na výstup dvacátéhodruhého

dvouvstupového obvodu (NSD22) typu negace logického součinu, nulový výstup (402) čtvrtého klopného obvodu (**AE2**) typu D je připojen na první vstup třicátéhosedmého dvouvstupového obvodu (NSDK37) typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup (43) je připojen na výstup dvacátéhočtvrtého dvouvstupového obvodu (NSD23) typu negace logického součinu, nulový výstup (502) pátého klopného obvodu (**AE1**) typu D je připojen na první vstup třicátéhoosmého dvouvstupového obvodu (NSDK38) typu negace logického součinu s otevřeným kolektorem, kdežto jeho nulovací vstup (53) je připojen na výstup dvacátéhočtvrtého dvouvstupového obvodu (NSD24) typu negace logického součinu, jedničkový výstup (601) šestého klopného obvodu (**AE0**) typu D tvoří současně čtyřicátýšestý výstup (0046) zapojení, nulovací vstup (63) šestého klopného obvodu (**AE0**) typu D je připojen na výstup dvacátéhopátého dvouvstupového obvodu (NSD25) typu negace logického součinu, kdežto jeho nulový výstup (602) je připojen na první vstup třicátéhočtvrtého dvouvstupového obvodu (NSDK34) typu negace logického součinu s otevřeným kolektorem, na první vstup třicátéhodevátého dvouvstupového obvodu (NSDK39) typu negace logického součinu s otevřeným kolektorem a tvoří současně čtyřicátýšedmý výstup (0047) zapojení, vstup třicátéhočtvrtého invertoru (INV34) tvoří současně sedmdesátýpátý vstup (075) zapojení, kdežto jeho výstup je připojen na první vstupy dvacátéhodruhého až dvacátéhopátého dvouvstupového obvodu (NSD22 až NSD25) typu negace logického součinu.

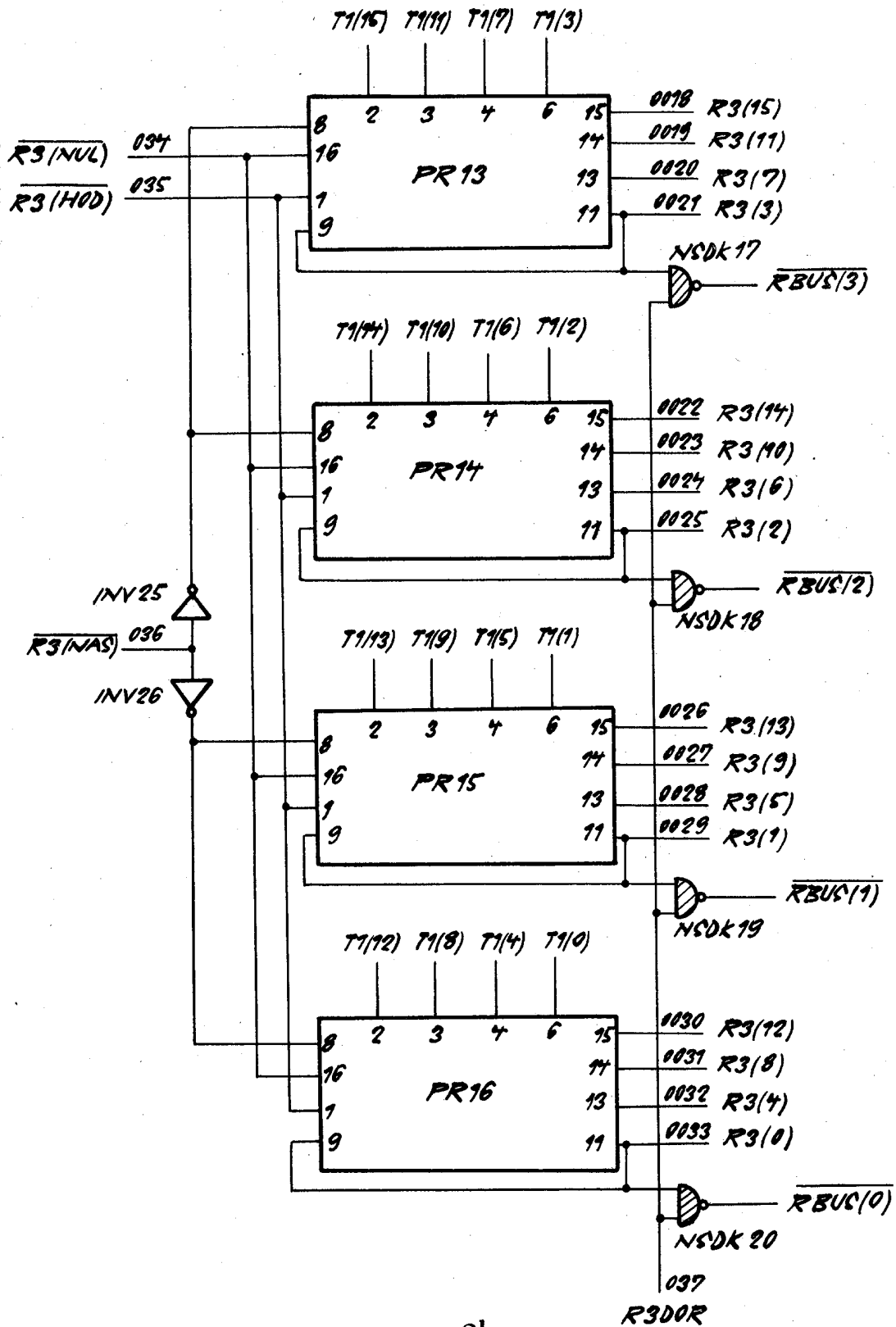
R1

Obr. 1a

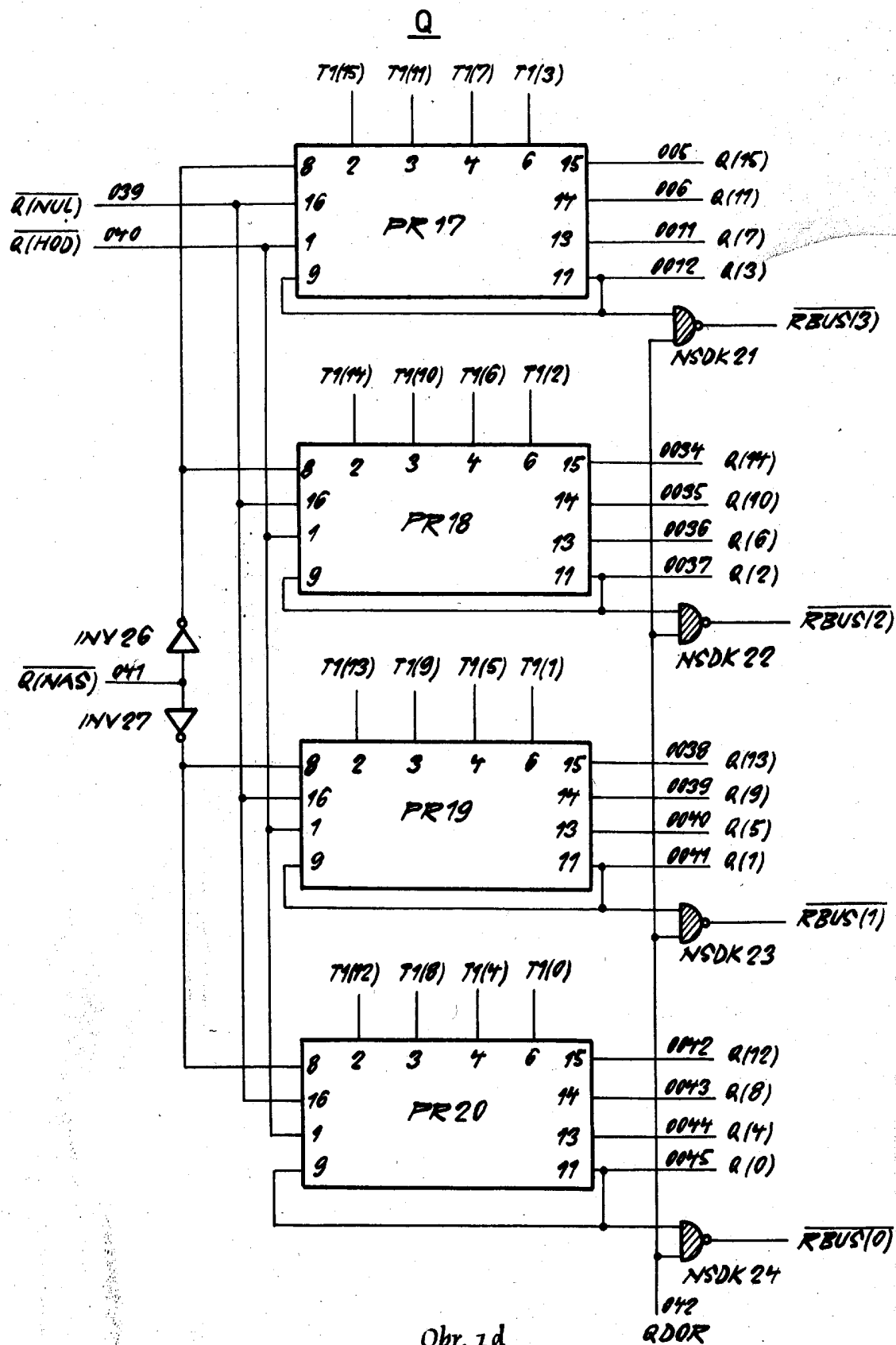
R2

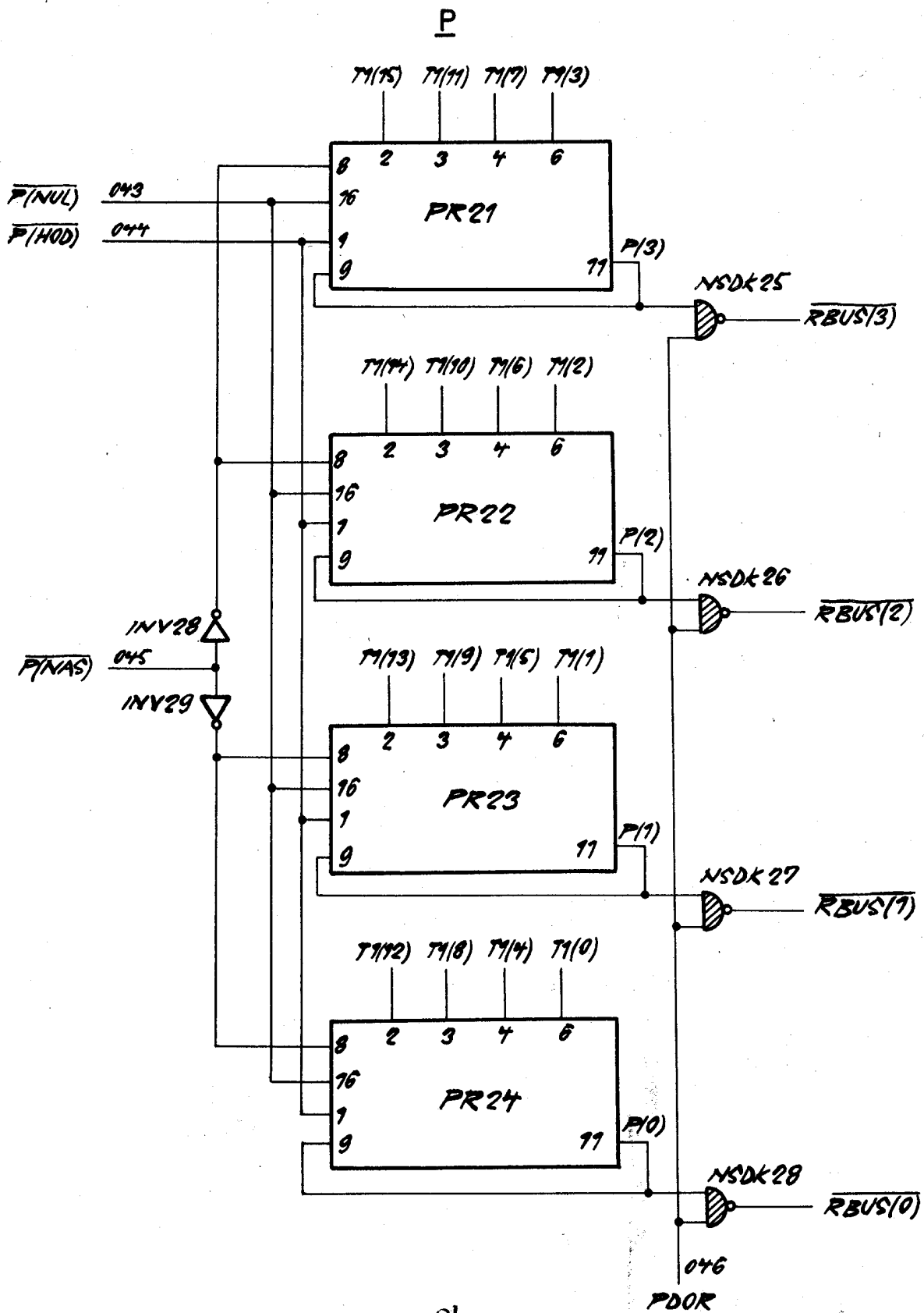


Obr. 1b

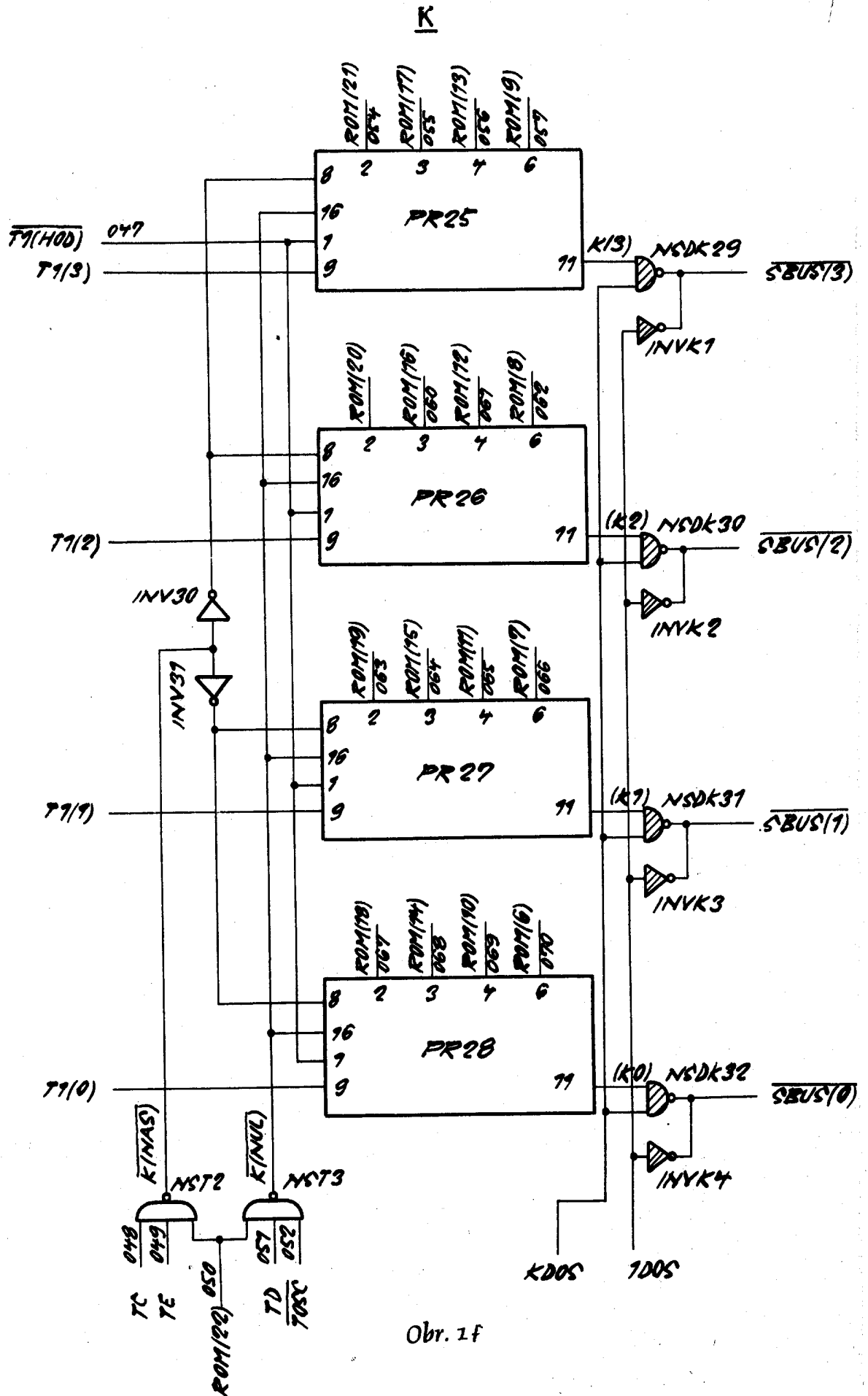
R3

Obr. 1c

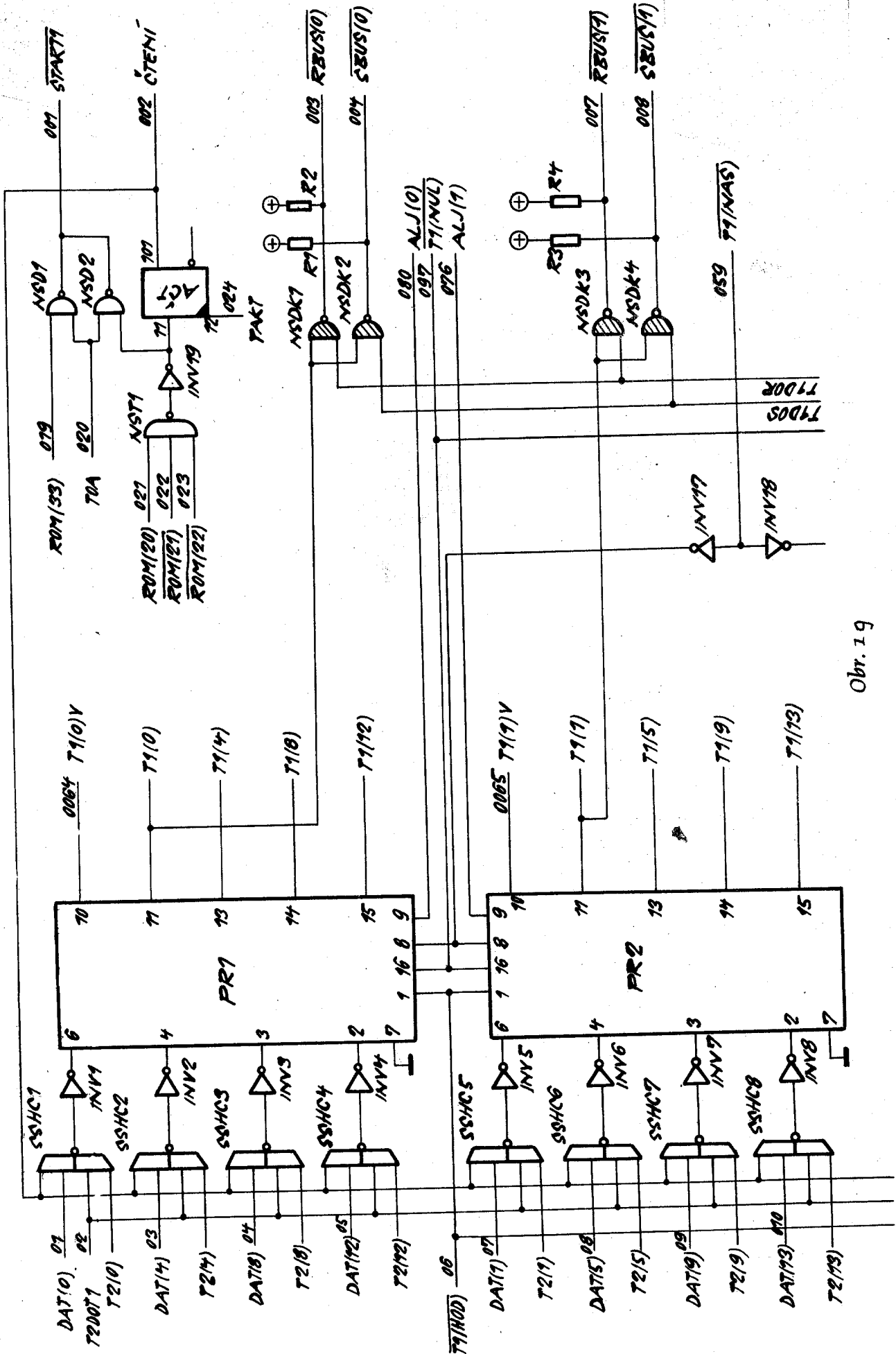




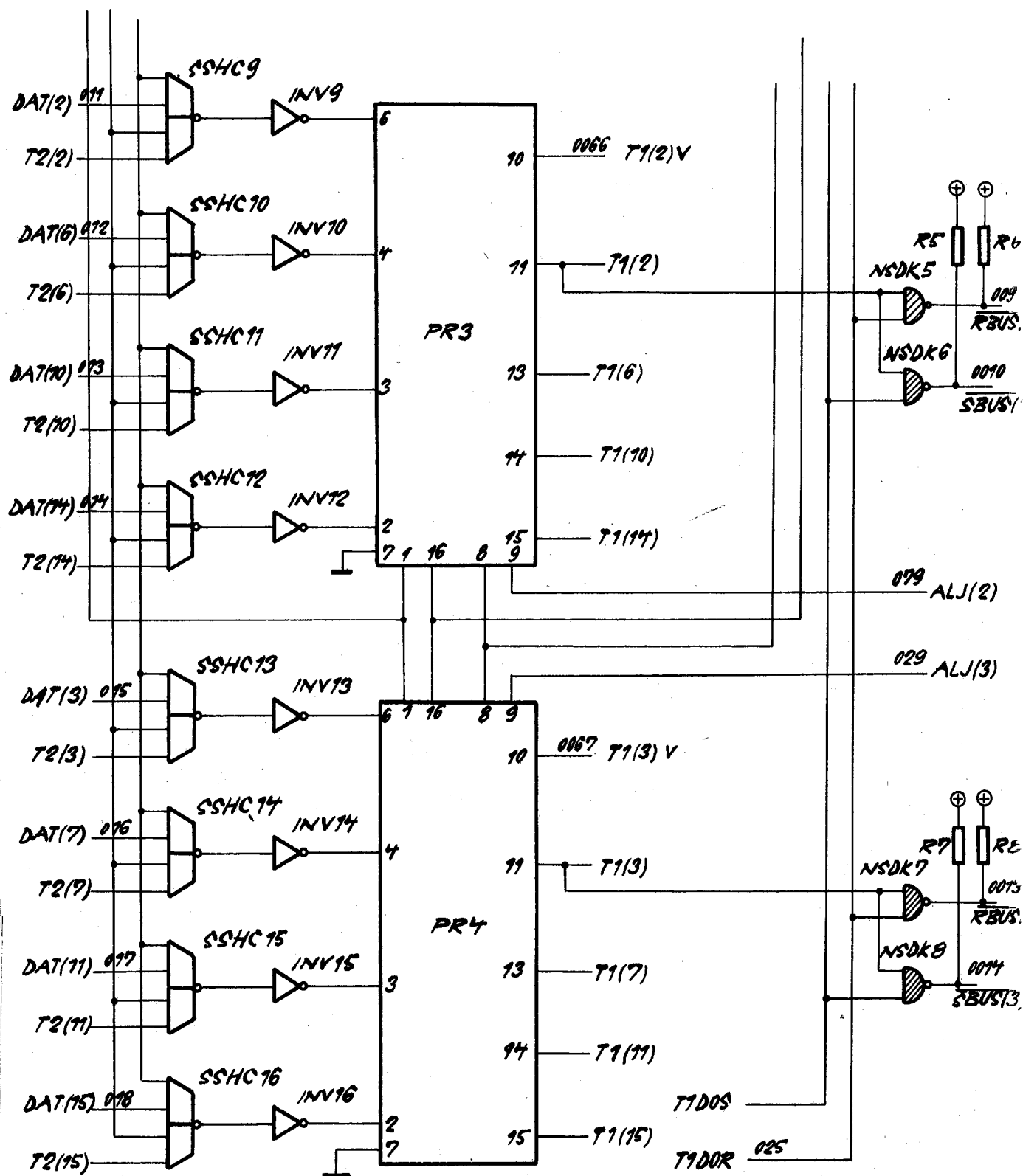
Obr. 1e



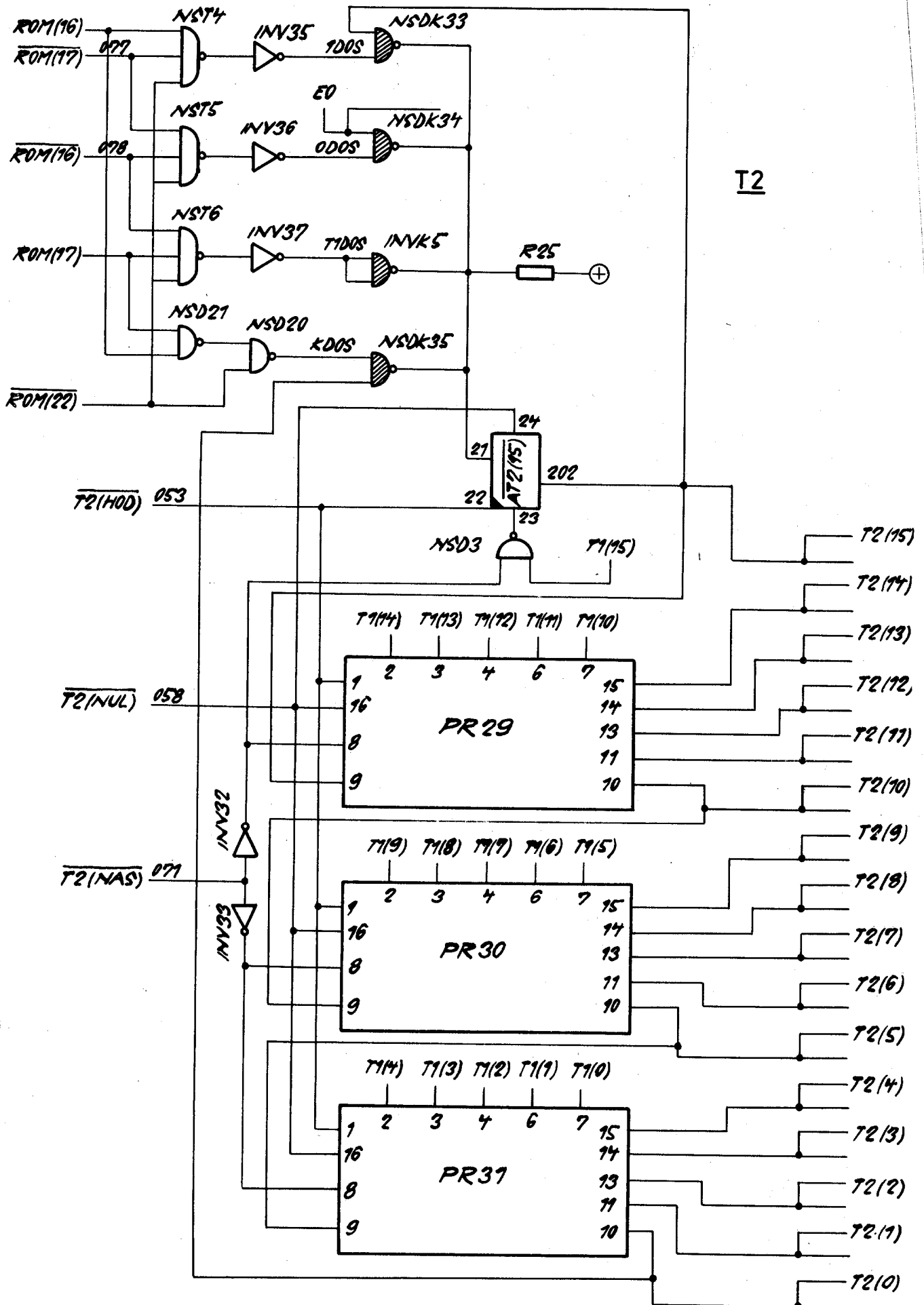
T1



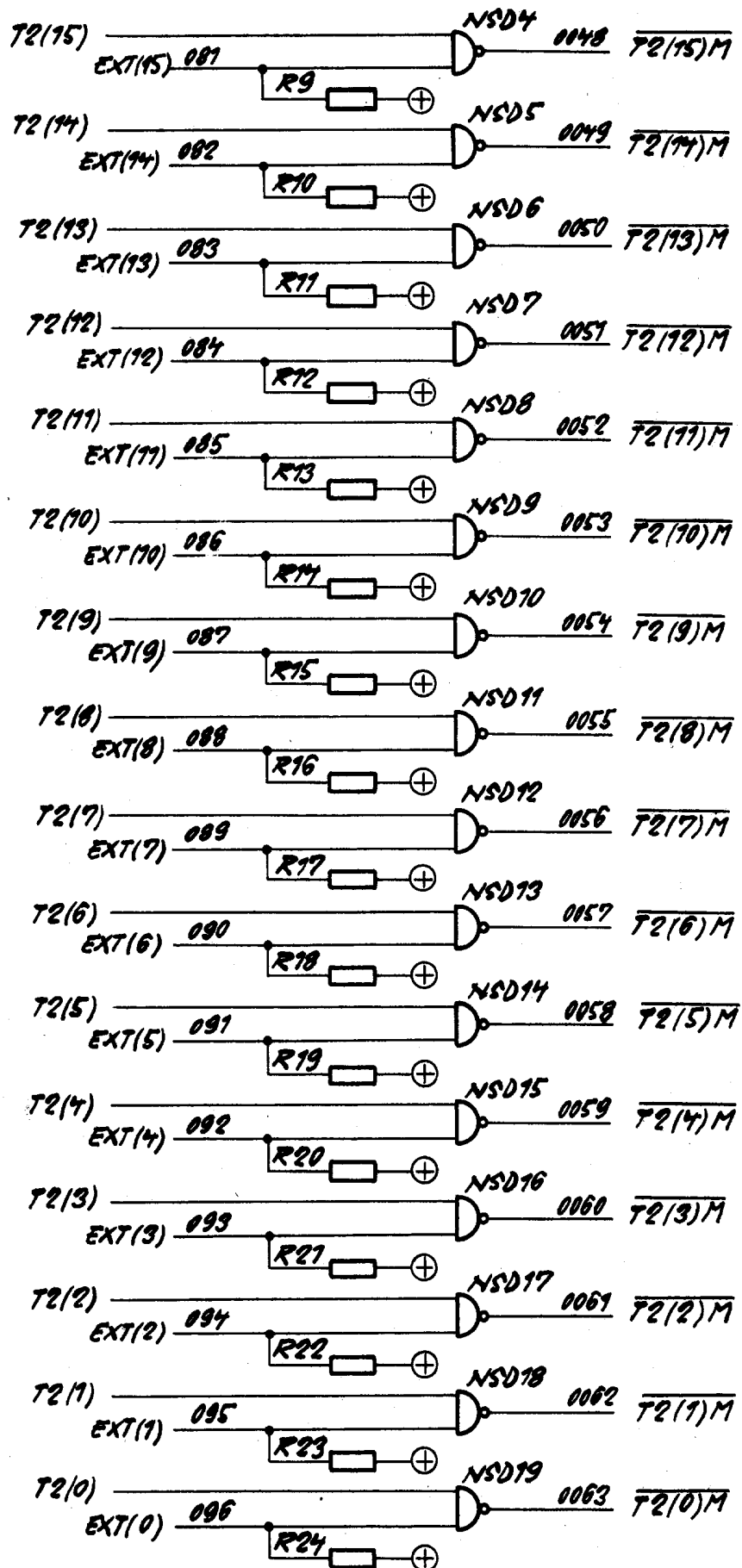
Obr. 19



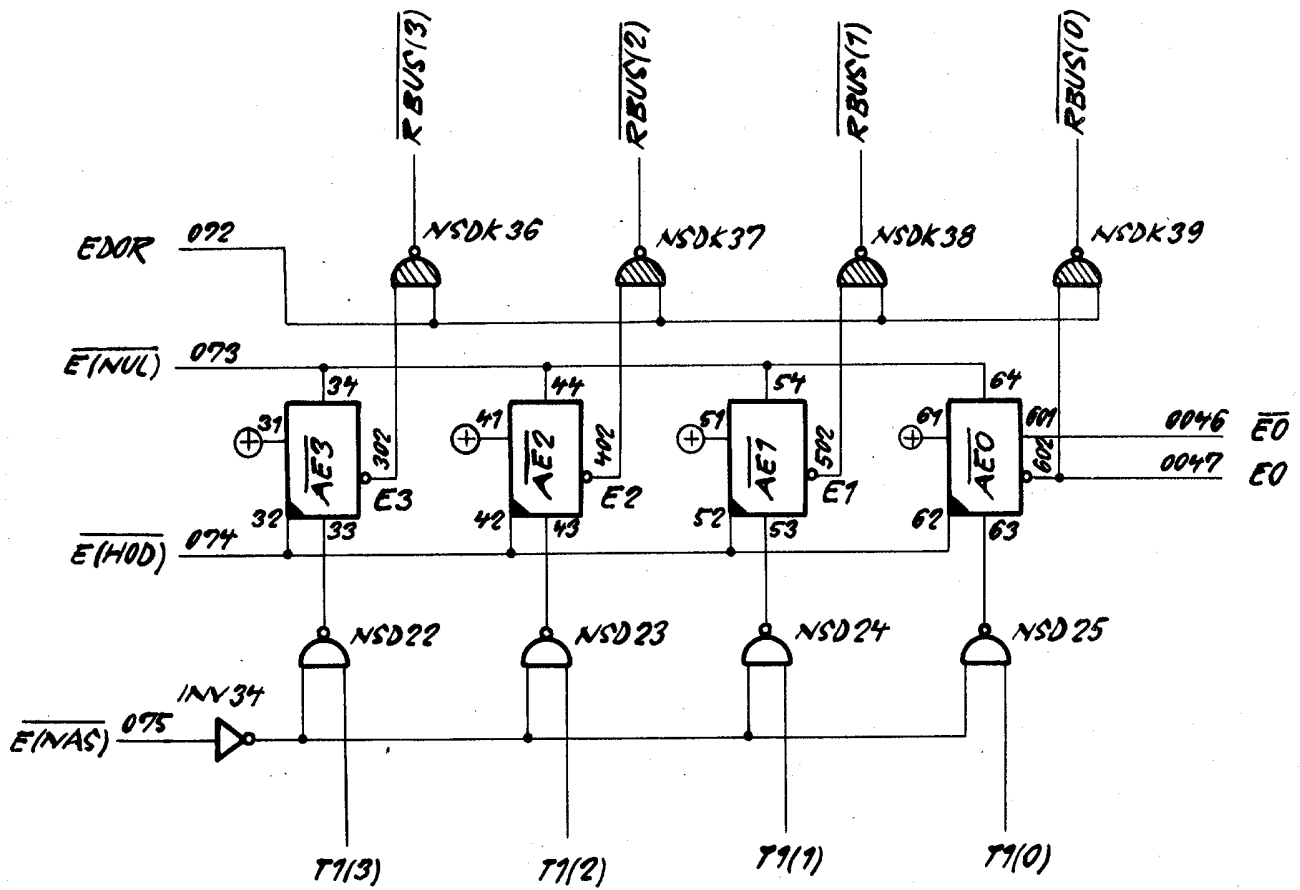
Obr. 1 h



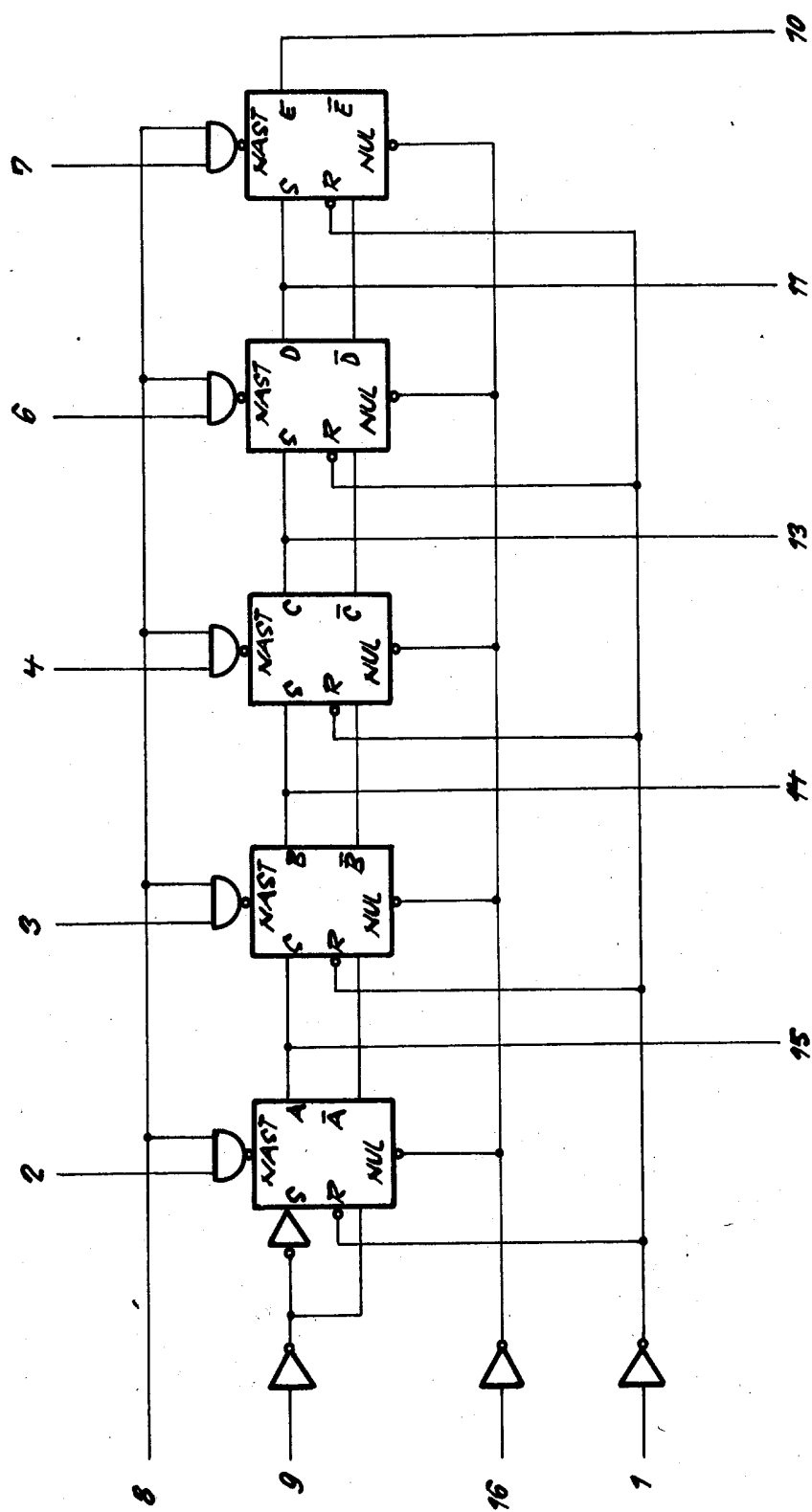
T2



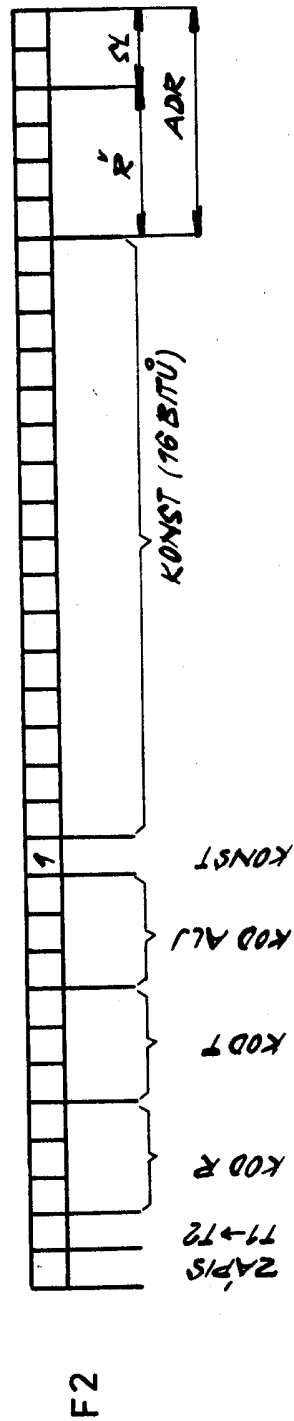
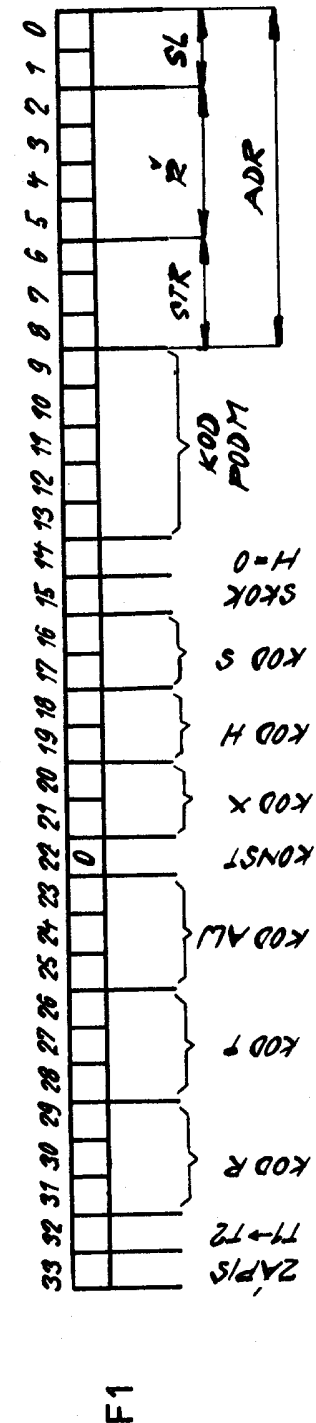
E



Obr. 1k



Obr. 2



0	0	0 → Sbus (T2ED05)
0	1	1 → Sbus (T2OPAK15)
1	0	T4 → Sbus (T2SE715)
1	1	K → Sbus (T2KOL)

KOD H	
0 0	H=4
0 1	H=1
1 0	H=2
1 1	H=3

0 0	NOP
0 1	CTENI
1 0	Q → AROM
1 1	H → T2

KOD ALJ	10R	10RS	10RC	AND	XOR	ADD	ADD-DEK	ADDO
0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1	

KOD T	0	0	0	NOP
	0	0	0	Tbus → R1
	0	0	1	Tbus → R2
	0	1	0	Tbus → R3
	0	1	1	Tbus → P, R3
	1	0	0	Tbus → P
	1	0	1	Tbus → Q
	0	1	1	Tbus → E

KOD R	0	0	0	0 → Rbus
	0	0	1	R1 → Rbus
	0	1	0	R2 → Rbus
	0	1	1	R3 → Rbus
	1	0	0	T1 → Rbus
	1	0	1	P → Rbus
	1	1	0	Q → Rbus
	1	1	1	E → Rbus

2507

