



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201327687 A1

(43)公開日：中華民國 102 (2013) 年 07 月 01 日

(21)申請案號：100147723

(22)申請日：中華民國 100 (2011) 年 12 月 21 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/8238(2006.01)

H01L27/092 (2006.01)

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)
新竹市新竹科學工業園區力行二路 3 號

(72)發明人：蘇浩 SU, HAO (CN)；胡航 HU, HANG (SG)；廖鴻 LIAO, HONG (SG)

(74)代理人：吳豐任；戴俊彥

申請實體審查：無 申請專利範圍項數：20 項 圖式數：10 共 32 頁

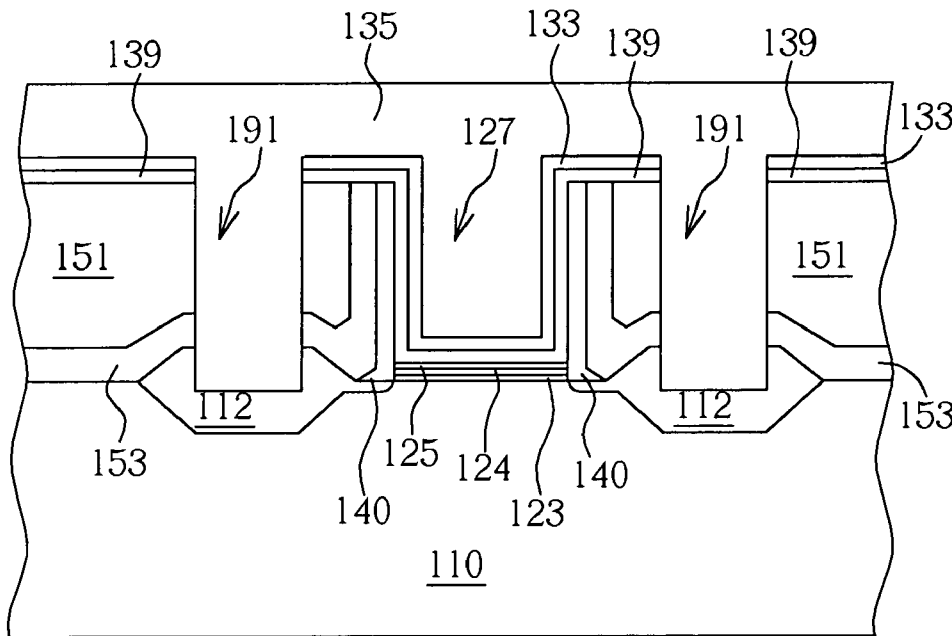
(54)名稱

半導體元件與製作方法

SEMICONDUCTOR DEVICE AND FABRICATING METHOD THEREOF

(57)摘要

一種半導體之接觸孔構造及其製作方法，包括下列步驟。首先，提供一基底，基底上形成有至少一閘極溝渠、至少一第一層間介電層。接著，於閘極溝渠中形成一功函數金屬層。接續，於第一層間介電層中形成一第一接觸孔。之後，同時於閘極溝渠以及第一接觸孔內形成一主導電層。



- 110：基底
- 112：摻雜區
- 123：緩衝層
- 124：高介電常數介電層
- 125：阻障層
- 127：閘極溝渠
- 133：功函數金屬層
- 135：主導電層
- 139：底阻障層
- 140：側壁子
- 151：第一層間介電層
- 153：接觸蝕刻停止層
- 191：第一接觸孔

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100147723

(2006.01)

※申請日：100.12.21

※IPC 分類：

H01L 21/336

(2006.01)

H01L 21/8238

H01L 27/092

一、發明名稱：(中文/英文)

半導體元件與製作方法/SEMICONDUCTOR DEVICE AND
FABRICATING METHOD THEREOF

二、中文發明摘要：

一種半導體之接觸孔構造及其製作方法，包括下列步驟。首先，提供一基底，基底上形成有至少一閘極溝渠、至少一第一層間介電層。接著，於閘極溝渠中形成一功函數金屬層。接續，於第一層間介電層中形成一第一接觸孔。之後，同時於閘極溝渠以及第一接觸孔內形成一主導電層。

三、英文發明摘要：

A manufacturing method of a semiconductor device includes the following steps. First, a substrate is provided. At least one gate trench and a first inter-layer dielectric layer are formed on the substrate. A work function metallic layer is then formed in the gate trench. A first contact hole is then formed in the first inter-layer dielectric layer. A main conductive layer is formed in the gate trench and the first contact hole simultaneously.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

110	基底	112	摻雜區
123	緩衝層	124	高介電常數介電層
125	阻障層	127	閘極溝渠
133	功函數金屬層	135	主導電層
139	底阻障層	140	側壁子
151	第一層間介電層	153	接觸蝕刻停止層
191	第一接觸孔		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體裝置及其製作方法，尤指一種於取代閘極製程完成前於層間介電層形成接觸孔之半導體裝置製作方法及其半導體裝置。

【先前技術】

於習知半導體產業中，多晶矽被廣泛地應用於半導體元件例如金氧半導體(metal-oxide-semiconductor, MOS)電晶體中，成為一標準的閘極填充材料。然而，隨著 MOS 電晶體尺寸持續地縮小化，傳統多晶矽閘極因硼穿透(boron penetration)效應導致元件效能降低，及其難以避免的空乏效應(depletion effect)等問題，使得等效的閘極介電層厚度增加、閘極電容值下降，進而導致元件驅動能力的衰退等困境。因此，半導體業界更嘗試以新的閘極填充材料，例如利用功函數(work function)金屬來取代傳統的多晶矽閘極，用以作為匹配高介電常數(High-K)閘極介電層的控制電極。

在互補式金氧半導體(complementary metal-oxide semiconductor, CMOS)元件中，雙功函數金屬閘極一需與 NMOS 元件搭配，一則需與 PMOS 元件搭配，因此使得相關元件的整合技術以及製程控制更形複雜，且各填充材料的厚度與成分控制要求亦更形嚴苛。雙功函數金屬閘極之製作方法係可概分為前閘極(gate first)

製程及後閘極(gate last)製程兩大類。其中前閘極製程會在形成金屬閘極後始進行源極/汲極超淺接面活化回火以及形成金屬矽化物等高熱預算製程，因此使得填充材料的選擇與調整面對較多的挑戰。為避免上述高熱預算環境並獲得較寬的填充材料選擇，業界係提出以後閘極製程取代前閘極製程之方法。

習知之後閘極製程中，係先形成一犧牲閘極(sacrifice gate)或取代閘極(replacement gate)，並在完成一般 MOS 電晶體的製作後，將犧牲/取代閘極移除而形成一閘極溝渠(gate recess)，再依電性需求於閘極溝渠內填入不同的金屬，例如填入並形成功函數金屬層、阻障層以及主導電層。上述於閘極溝渠內填入不同的金屬之製程一般係稱之為取代閘極(replacement metal gate, RMG)製程。此外，於習知製程中，一般係於完成取代閘極製程以及層間介電層(inter-layer dielectric, ILD)之後再於汲極/源極等之摻雜區上形成接觸插塞(contact plug)。而由於接觸插塞必須貫穿相當厚的層間介電層，使得蝕刻製程之控制面臨相當大的挑戰。

【發明內容】

本發明之目的之一在於提供一種於取代閘極製程完成前於層間介電層形成接觸孔之半導體裝置製作方法及其半導體裝置，以達到改善製程以及提升元件效能之目的。

本發明之一較佳實施例提供一種半導體裝置的製作方法，包括

下列步驟。首先，提供一基底，基底上形成有至少一犧牲閘極結構及至少一第一層間介電層。接著，於犧牲閘極結構中形成一閘極溝渠。接續，於閘極溝渠內形成一第一金屬層。之後，於第一層間介電層中形成一第一接觸孔，後續同時於閘極溝渠與第一接觸孔內形成一第二金屬層。

本發明之另一較佳實施例提供一種半導體裝置的製作方法，包括下列步驟。首先，提供一基底，基底上形成有至少一第一半導體元件、至少一第二半導體元件以及一第一層間介電層，其中第一半導體元件包括一第一犧牲閘極結構，第二半導體元件包括一第二犧牲閘極結構，且第一層間介電層係覆蓋基板。接著，於第一犧牲閘極結構與第二犧牲閘極結構中分別形成一第一閘極溝渠與一第二閘極溝渠。之後，於第一閘極溝渠、第二閘極溝渠內形成一第一金屬層。然後，於第一層間介電層中形成複數個第一接觸孔。再於第一閘極溝渠、第二閘極溝渠以及第一接觸孔內同時形成一第二金屬層。

本發明之另一較佳實施例提供一種半導體裝置，其包括一基底、一第一半導體元件、一第二半導體元件、一第一層間介電層以及複數個第一接觸孔。第一半導體元件與第二半導體元件係設置於基底上。第一半導體元件包括一第一金屬閘極。第二半導體元件包括一第二金屬閘極。第一層間介電層係設置於金屬閘極兩側之基板上，且第一層間介電層具有複數個第一接觸孔分別置於第一金屬閘極與第二金屬閘極至少一側。第一金屬閘極、第二金屬閘極均包括

一第一功函數金屬層與一主導電層，第一接觸孔包含主導電層，且主導電層直接接觸該第一接觸孔之側壁。

在本發明中，藉由於取代閘極製程完成之前，先於層間介電層形成接觸孔，避免在形成接觸孔時對金屬閘極造成破壞，此外亦可藉此減少接觸插塞的蝕刻深度，改善接觸孔蝕刻製程的製程窗口，達到良率提升與元件品質改善的效果，此外由於製程步驟減少，故對製程成本的降低有相當大的幫助。

【實施方式】

請參考第 1 圖至第 4 圖。第 1 圖至第 4 圖繪示了本發明之第一較佳實施例之半導體裝置的製作方法示意圖。為了方便說明，本發明之各圖式僅為示意以更容易了解本發明，其詳細的比例可依照設計的需求進行調整。如第 1 圖至第 4 圖所示，本發明之第一較佳實施例提供一種半導體裝置的製作方法，包括下列步驟。首先，如第 1 圖所示，提供一基底 110，基底 110 上形成有一犧牲閘極結構 121、一摻雜區 112 位於犧牲閘極結構 121 之至少一側的基底 110 中以及一平坦之第一層間介電層 151 覆蓋摻雜區 112。本實施例之犧牲閘極結構 121 可包括一高介電常數介電層 124 以及一犧牲閘極材料層 126 例如多晶矽層，且高介電常數介電層 124 可設置於基底 110 與犧牲閘極材料層 126 之間。此外，在本實施例中，犧牲閘極結構 121 之兩側可形成有側壁子 140，第一層間介電層 151 與摻雜區 112 之間可另形成一接觸蝕刻停止層(contact etch stop layer, CESL)153，犧

牲閘極材料層 126 與高介電常數介電層 124 之間可另形成一阻障層 125，且高介電常數介電層 124 與基底 110 之間可形成有一緩衝層 123，各摻雜區 112 包含習知之 LDD(輕摻雜汲極)區與源/汲極區域，另外摻雜區 112 上可形成有金屬矽化物層(圖未示)，但並不以此為限。

接著，如第 2 圖所示，將犧牲閘極材料層 126 移除以於犧牲閘極結構 121 中形成一閘極溝渠 127。之後，至少於閘極溝渠 127 內形成一功函數金屬層 133，然後，如第 3 圖所示，可藉由一黃光蝕刻製程(photo-etching process)，先形成一圖案化之光阻層 170，再於功函數金屬層 133、第一層間介電層 151 以及接觸蝕刻停止層 153 中蝕刻形成至少一第一接觸孔 191，以至少部分暴露各摻雜區 112。值得說明的是，在形成功函數金屬層 133 之前，可先選擇性形成一底阻障層 139 覆蓋閘極溝渠 127，但並不限於此。在去除光阻層 170 之後，如第 4 圖所示，再同時於閘極溝渠 127 與各第一接觸孔 191 內同時形成一主導電層 135。

本實施例之功函數金屬層 133 可包括一功函數金屬，主導電層 135 可為一複合材料層，包含一低阻值導電材料與一阻障材料。換句話說，閘極溝渠 127 以及第一接觸孔 191 內之主導電層 135 係由相同材質所形成，但並不以此為限，而可以不同材質形成閘極溝渠 127 以及第一接觸孔 191 內主導電層 135。

接著，如第 5 圖所示，進行一或多道平坦化製程，例如化學機械研磨(chemical mechanical polishing, CMP)研磨製程，移除多餘的主導電層 135、功函數金屬層 133、底阻障層 139 直至第一層間介電層 151 表面，使閘極溝渠 127 以及各第一接觸孔 191 各自形成金屬閘極 131 以及摻雜接觸插塞 161。然後，形成一第二層間介電層 152 覆蓋基底 110 與主導電層 135，也可說是使第二層間介電層 152 覆蓋金屬閘極 131 與摻雜接觸插塞 161。此外，在本實施例中，亦可視需要於第二層間介電層 152 形成之前先形成一摻雜氮之碳化介電層 154，但並不以此為限。接著，於第二層間介電層 152 與摻雜氮之碳化介電層 154 中形成一閘極接觸孔 195 以及至少一第二接觸孔 193，其中閘極接觸孔 195 至少部分暴露閘極溝渠 127 中之主導電層 135，且第二接觸孔 93 至少部分暴露第一接觸孔 191 中之主導電層 135。此外，本實施例之半導體裝置的製作方法可另包括於閘極接觸孔 195 以及第二接觸孔 193 中填入一導電材料 160，例如鋁(aluminum, Al)、鎢(tungsten, W)、銅(copper, Cu)、鋁化鈦(titanium aluminide, TiAl)、鈦(titanium, Ti)、氮化鈦(titanium nitride, TiN)、鉭(tantalum, Ta)、氮化鉭(Tantalum nitride, TaN)或氧化鋁鈦(titanium aluminum oxide, TiAlO)等，但不限於此，最後再平坦化導電材料 160，以形成一閘極接觸插塞 163 與至少一第二摻雜接觸插塞 162。藉由上述製程方法，即可得到如第 5 圖所示之半導體裝置 101。也就是說，在半導體裝置 101 中，金屬閘極 131 包括功函數金屬層 133 與主導電層 135，而摻雜接觸插塞 161 包含主導電層 135。

由於本較佳實施例係在閘極溝渠 127 中形成功函數金屬層 133 之後，才同時於閘極溝渠 127 與第一接觸孔 191 中完成主導電層 135 的沉積製程，故用以形成第一接觸孔 191 之方式例如一蝕刻製程並不會對金屬閘極 131 造成破壞，而且第一接觸孔 191 也不會有過大之深寬比(aspect ratio)以及過多的薄膜層而導致懸突(overhang)的狀況。此外，在半導體裝置 101 中，第二層間介電層 152 係設置於金屬閘極 131 與摻雜接觸插塞 161 上，因此，在於第二層間介電層 152 中形成閘極接觸孔 195 以至少部分暴露金屬閘極 131 時，以及於第二層間介電層 152 中形成各第二接觸孔 193 以至少部分暴露摻雜接觸插塞 161 時，都僅需蝕刻第二層間介電層 152 與摻雜氮之碳化介電層 154 而停止於主導電層 135 表面，而且深寬比相同，故蝕刻製程控制較容易。第二層間介電層 152 中形成有閘極接觸插塞 163 與第二摻雜接觸插塞 162，其中閘極接觸插塞 163 與金屬閘極 131 電性連結，而第二摻雜接觸插塞 162 與摻雜接觸插塞 161 電性連結，本實施例所形成之半導體裝置 101 可用於具有金屬閘極的半導體元件，例如靜態隨機存取記憶體(SRAM)，但並不以此為限。

在本實施例中，基底 110 例如是一矽基底、一含矽基底或一矽覆絕緣(silicon-on-insulator, SOI)基底等半導體基底。高介電常數介電層 124 可選自氧化鈦(hafnium oxide, HfO_2)、矽酸鈦氧化合物(hafnium silicon oxide, HfSiO_4)、矽酸鈦氮氧化合物(hafnium silicon oxynitride, HfSiON)、氧化鋁(aluminum oxide, Al_2O_3)、氧化釧(lanthanum oxide, La_2O_3)、氧化鉭(tantalum oxide, Ta_2O_5)、氧化鈮

(yttrium oxide, Y_2O_3)、氧化鋯(zirconium oxide, ZrO_2)、鈦酸鋇 (strontium titanate oxide, $SrTiO_3$)、矽酸鋯氧化合物(zirconium silicon oxide, $ZrSiO_4$)、鋯酸鈣(hafnium zirconium oxide, $HfZrO_4$)、鋇鉍鉭氧化物(strontium bismuth tantalate, $SrBi_2Ta_2O_9$, SBT)、鋯鈦酸鉛(lead zirconate titanate, $PbZr_xTi_{1-x}O_3$, PZT)與鈦酸鋇鋇(barium strontium titanate, $Ba_xSr_{1-x}TiO_3$, BST) 所組成之群組。功函數金屬層 133 可具有一預設功函數，即功函數金屬層 133 可為一具有 P 型導電型式的 P 型功函數金屬層或一具有 N 型導電型式的 N 型功函數金屬層或可同時包含 P 型功函數金屬層與 N 型功函數金屬層，以分別調整金屬閘極 131 至期望之功函數(例如 NMOS 為 3.9 至 4.3 eV；PMOS 為 4.8 至 5.2 eV)，例如功函數金屬層 133 可選自包含氮化鈦(titanium nitride, TiN)、碳化鈦(titanium carbide, TiC)、氮化鉭(tantalum nitride, TaN)、碳化鉭(tantalum carbide, TaC)、碳化鎢(tungsten carbide, WC)、鋁化鈦(titanium aluminide, TiAl)或氮化鋁鈦(aluminum titanium nitride, TiAlN)所組成之群組，但不限於此。此外，功函數金屬層 133 可為一單層結構或一複合層結構。第一層間介電層 151 與第二層間介電層 152 可為例如一氧化矽層。側壁子 140 可為例如一以氮化矽或氧化矽等材質所組成之單層或多層複合結構。阻障層 125 可在移除犧牲閘極材料層 126 時用於保護高介電常數介電層 124，可包含例如鈦、氮化鈦、鉭、氮化鉭等材料。主導電層 135 可為一複合材料層，包括一低電阻值的導電材料，例如鋁(aluminum, Al)、鎢(tungsten, W)、銅(copper, Cu)、鋁化鈦(titanium aluminide, TiAl)或氧化鋁鈦(titanium aluminum oxide, TiAlO)，以及一阻障材料，如鈦、

氮化鈦、鈹、氮化鈹等，但不限於此。此外，摻雜區 112 可包括一磊晶層例如鍍化矽磊晶層或碳化矽磊晶層，且摻雜區 112 上可另形成一金屬矽化物層(圖未示)，但並不以此為限。

請參考第 6 圖至第 10 圖。第 6 圖至第 10 圖繪示了本發明之第二較佳實施例之半導體裝置的製作方法示意圖。本發明之第二較佳實施例提供一種半導體裝置的製作方法，包括下列步驟。首先，如第 6 圖所示，提供一基底 210，基底 210 上形成有一第一半導體元件 281、一第二半導體元件 282 以及一第一層間介電層 251。基底 210 中可於一第一半導體元件 281 與一第二半導體元件 282 之間形成有一淺溝絕緣 211。第一半導體元件 281 包括一第一犧牲閘極結構 221 與一第一摻雜區 212 位於第一犧牲閘極結構 221 之兩側的基底 210 中。第二半導體元件 282 包括一第二犧牲閘極結構 222 與一第二摻雜區 213 位於第二犧牲閘極結構 222 之兩側的基底 210 中。一平坦之第一層間介電層 251 係覆蓋各第一摻雜區 212 與各第二摻雜區 213。第一犧牲閘極結構 221 與第二犧牲閘極結構 222 可包括一高介電常數介電層 224 以及一犧牲閘極材料層 226，且高介電常數介電層 224 係設置於基底 210 與犧牲閘極材料層 226 之間。此外，在本實施例中，犧牲閘極結構 221 與犧牲閘極結構 222 之兩側可分別形成有側壁子 240，第一摻雜區與第二摻雜區可包括 LDD(輕摻雜汲極)區與源/汲極區，第一層間介電層 251 與第一摻雜區 212/第二摻雜區 213 之間可另形成一接觸蝕刻停止層 253，犧牲閘極材料層 226 與高介電常數介電層 224 之間可另形成一阻障層 225，且高介電

常數介電層 224 與基底 210 之間可形成有一緩衝層 223，但並不以此為限。

接著，如第 7 圖所示，去除各犧牲閘極材料層 226，以於第一犧牲閘極結構 221 與第二犧牲閘極結構 222 中分別形成一第一閘極溝渠 227 與一第二閘極溝渠 228。並且於第一閘極溝渠 227 與第二閘極溝渠 228 內形成一第一功函數金屬層 234。值得說明的是，在形成第一功函數金屬層 234 之前，可先選擇性地形成一底阻障層 239 覆蓋第一閘極溝渠 227 與第二閘極溝渠 228，但本發明並不以此為限。

隨後藉由一黃光蝕刻製程去除位於第一閘極溝渠 227 中的第一功函數金屬層 234，而僅剩第二半導體元件 282 中保存有第一功函數金屬層 234，之後再於第一閘極溝渠 227 與第二閘極溝渠 228 內分別形成一第二功函數金屬層 233。然後，如第 8 圖所示，可藉由一黃光蝕刻製程，先形成一圖案化之光阻層 270，再於第二功函數金屬層 233、第一功函數金屬層 234、底阻障層 239、第一層間介電層 251 以及接觸蝕刻停止層 253 中形成複數個第一接觸孔 291，以分別至少部分暴露各第一摻雜區 212 或各第二摻雜區 213。

在去除光阻層 270 之後，如第 9 圖所示，再於第一閘極溝渠 227、第二閘極溝渠 228 以及各第一接觸孔 291 內同時形成一主導電層 235，而第一閘極溝渠 227、第二閘極溝渠 228 以及各第一接觸孔

291 內之主導電層 235 係由同一成膜製程同時形成，但並不以此為限。此外，在形成主導電層之前，可先選擇性形成一頂阻障層(圖未示)覆蓋第一閘極溝渠 227、第二閘極溝渠 228 以及各第一接觸孔 291。而本實施例之主導電層可為一複合材料層，包括一低電阻值的導電材料，例如鋁(aluminum, Al)、鎢(tungsten, W)、銅(copper, Cu)、鋁化鈦(titanium aluminide, TiAl)或氧化鋁鈦(titanium aluminum oxide, TiAlO)等，以及一阻障材料，例如鈦、氮化鈦、鈽、氮化鈽等。

接著，如第 10 圖所示，可藉由一或多道平坦化製程例如化學機械研磨製程移除多餘的主導電層 235、第一功函數金屬層 234 以及第二功函數金屬層 233 直至第一層間介電層 251 表面，使第一閘極溝渠 227、第二閘極溝渠 228 以及第一接觸孔 291 內的主導電層 235、第一功函數金屬層 234 以及第二功函數金屬層 233 互相分離，而各自形成第一金屬閘極 231、第二金屬閘極 232 以及複數個摻雜接觸插塞 261。然後，形成一第二層間介電層 252 覆蓋基底 210 與主導電層 235，也可說是使第二層間介電層 252 覆蓋第一金屬閘極 231、第二金屬閘極 232 以及摻雜接觸插塞 261。此外，在本實施例中，亦可視需要於第二層間介電層 252 形成之前先形成一摻雜氮之碳化介電層 254，但並不以此為限。接著，於第二層間介電層 252 與摻雜氮之碳化介電層 254 中形成二閘極接觸孔 295 以及複數個第二接觸孔 293，閘極接觸孔 295 至少部分暴露第一閘極溝渠 227 中之主導電層 235 或至少部分暴露第二閘極溝渠 228 中之主導電層 235，且各第二接觸孔 293 至少部分暴露各第一接觸孔 291 中之主導

電層 235。此外，本實施例之半導體裝置的製作方法可另包括於閘極接觸孔 295 以及第二接觸孔 293 中填入一導電材料 260，最後再平坦化導電材料 260，以形成第二摻雜接觸插塞 262 與閘極接觸插塞 263。藉由上述製程方法，即可得到如第 10 圖所示之半導體裝置 201。本實施例之各部件材料特性與上述第二較佳實施例相似，在此並不再贅述。

值得說明的是，本實施例之第一功函數金屬層 234 以及第二功函數金屬層 233 可視第二半導體元件 282 與第一半導體元件 281 之導電型式的不同而進行調整與搭配。而在本實施例中，第一半導體元件 281 可具有一 N 型導電型式，而第二半導體元件 282 可具有一 P 型導電型式，但並不限於此。

此外，在本實施例之半導體裝置 201 中，第一金屬閘極 231 以及第二金屬閘極 232 均包括第二功函數金屬層 233 與主導電層 235，第一金屬閘極 231、第二金屬閘極 232 以及摻雜接觸插塞 261 均包括主導電層 235。另外第二金屬閘極 232 則多包括一第一功函數金屬層 234 設置於第二功函數金屬層 233 與基板 210 之間。

由於本較佳實施例係在第一閘極溝渠 227、第二閘極溝渠 228 中形成第一功函數金屬層 234 以及第二功函數金屬層 233 之後，才同時於第一閘極溝渠 227、第二閘極溝渠 228 與第一接觸孔 291 完成主導電層 235 的沉積製程，故用以形成各第一接觸孔 291 之方式

例如一蝕刻製程並不會對第一金屬閘極 231 與第二金屬閘極 232 造成破壞，而且各第一接觸孔 291 也不會有過大之深寬比(aspect ratio)以及過多的薄膜層而導致懸突(overhang)的狀況。此外，在半導體裝置 201 中，第二層間介電層 252 係設置於第一金屬閘極 231、第二金屬閘極 232 以及摻雜接觸插塞 261 上，因此，在於第二層間介電層 252 中形成複數個閘極接觸孔 295 以至少部分暴露第一金屬閘極 231 或至少部分暴露第二金屬閘極 232 時，以及於第二層間介電層 252 中形成第二接觸孔 293 以至少部分暴露摻雜接觸插塞 261 時，都僅需蝕刻第二層間介電層 252 與摻雜氮之碳化介電層 254 而停止於主導電層 235 表面，而且深寬比相同且蝕刻深度較傳統製程短，蝕刻製程控制容易。此外，第二層間介電層 252 中形成有複數個閘極接觸孔插塞 263 以及複數個第二接觸孔插塞 262，其中各閘極接觸插塞 263 與第一金屬閘極 231 或第二金屬閘極 232 電性連結，且各第二摻雜接觸插塞 262 與各摻雜接觸插塞 261 電性連結。

本發明之第二較佳實施例之另一實施樣態之半導體裝置的製作方法可另包括第一金屬閘極 231 與第二金屬閘極 232 係於不同時間完成，換句話說，可於第一金屬閘極 231 與摻雜接觸插塞 261 完成後，方進行第二金屬閘極 232 的形成。另外也可包括於第二金屬閘極 232 與摻雜接觸插塞 261 完成後，方進行第一金屬閘極 231 的形成。但並不以此為限，且同樣的，此二實施樣態的摻雜接觸插塞 261 中均不含功函數金屬層。

值得說明的是，在上述各較佳實施例中係以前置高介電常數介電層之後閘極製程 (gate-last for high-k first) 為例，故各高介電常數介電層具有一字形剖面結構，但本發明並不以此為限，而可視需要採用後置高介電常數介電層 (high-k last)，例如在閘極溝渠中依序形成高介電常數介電層與功函數金屬層之後，再於功函數金屬層、高介電常數介電層、層間介電層以及接觸蝕刻停止層中蝕刻形成至少一接觸孔，以部分暴露各摻雜區，最後再同時於閘極溝渠與接觸孔內完成主導電層的沉積製程，故各金屬閘極中的高介電常數介電層與功函數金屬層可具有 U 字形剖面結構，而摻雜接觸插塞中不含功函數金屬層。

綜上所述，本發明所提供之半導體裝置的製作方法，係藉由於取代閘極製程完成之前，較佳於形成功函數金屬層之後，先於層間介電層中形成接觸孔，故可避免在形成接觸孔時對已形成之金屬閘極造成破壞，並有效減少接觸孔內過多的薄膜層而導致懸突 (overhang) 的狀況。而相對地，於摻雜區上形成接觸孔之蝕刻製程的製程窗口與製程限制可因此得到改善，連帶地使整體的製程良率提升並同時可使半導體裝置的元件品質得到改善。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖至第 5 圖繪示了本發明之第一較佳實施例之半導體裝置的製作方法示意圖。

第 6 圖與第 10 圖繪示了本發明之第二較佳實施例之半導體裝置的製作方法示意圖。

【主要元件符號說明】

101	半導體裝置	110	基底
112	摻雜區	121	犧牲閘極結構
123	緩衝層	124	高介電常數介電層
125	阻障層	126	犧牲閘極材料層
127	閘極溝渠	131	金屬閘極
133	功函數金屬層	135	主導電層
139	底阻障層	140	側壁子
151	第一層間介電層	152	第二層間介電層
153	接觸蝕刻停止層	154	摻雜氮之碳化介電層
160	導電材料	161	摻雜接觸插塞
162	第二摻雜接觸插塞	163	閘極接觸插塞
170	光阻層	191	第一接觸孔
192	第二接觸孔	201	半導體裝置
195	閘極接觸孔	210	基底
202	半導體裝置	212	第一摻雜區
211	淺溝絕緣	213	第二摻雜區

221	第一犧牲閘極結構	223	緩衝層
222	第二犧牲閘極結構	225	阻障層
224	高介電常數介電層	227	第一閘極溝渠
226	犧牲閘極材料層	232	第二金屬閘極
228	第二閘極溝渠	233	第二功函數金屬層
231	第一金屬閘極	239	底阻障層
234	第一功函數金屬層	251	第一層間介電層
235	主導電層	253	接觸蝕刻停止層
240	側壁子	260	導電材料
252	第二層間介電層	262	第二摻雜接觸插塞
254	摻雜氮之碳化介電層	270	光阻層
261	摻雜接觸插塞	281	第一半導體元件
263	閘極接觸插塞	291	第一接觸孔
282	第二半導體元件	293	第二接觸孔
295	閘極接觸孔		

七、申請專利範圍：

1. 一種半導體裝置的製作方法，包括：

提供一基底，該基底上形成有至少一第一層間介電層覆蓋基底；

以及

形成一閘極溝渠於該第一層間介電層之中；以及

形成一第一金屬層於該閘極溝渠表面；以及

形成至少一第一接觸孔於該第一金屬層與該第一層間介電層中；

以及

同時形成一第二金屬層於該閘極溝渠與該第一接觸孔內。

2. 如請求項 1 所述之半導體裝置的製作方法，其中該第一金屬層包括一功函數金屬層。

3. 如請求項 1 所述之半導體裝置的製作方法，其中該第二金屬層包括一主導電層。

4. 如請求項 1 所述之半導體裝置的製作方法，其中該第一接觸孔之形成步驟係位於該第一金屬層形成步驟之後。

5. 如請求項 1 所述之半導體裝置的製作方法，其中該閘極溝渠包括一高介電常數介電層，且該高介電常數介電層係設置於該基底與該第一金屬層之間。

6. 如請求項 5 所述之半導體裝置的製作方法，其中該高介電常數介電層剖面結構可包含”一”字型或”U”字型。
7. 一種半導體裝置的製作方法，包括：
提供一基底，該基底上形成有至少一第一半導體元件、至少一第二半導體元件以及一第一層間介電層，其中該第一半導體元件包括一第一犧牲閘極結構，該第二半導體元件包括一第二犧牲閘極結構，且該第一層間介電層係覆蓋基底上；
分別形成一第一閘極溝渠與一第二閘極溝渠於該第一犧牲閘極結構與該第二犧牲閘極結構中；
形成一第一金屬層於該第一閘極溝渠與該第二閘極溝渠表面；
形成複數個第一接觸孔於該第一金屬層與該第一層間介電層中；
以及
同時形成一第二金屬層於該第一閘極溝渠、該第二閘極溝渠與各該第一散接觸孔內。
8. 如請求項 7 所述之半導體裝置的製作方法，其中該第一半導體元件具有一 N 型導電型式，且該第二半導體元件具有一 P 型導電型式。
9. 如請求項 7 所述之半導體裝置的製作方法，其中該第一金屬層包括一第二功函數金屬層。

10. 如請求項 7 所述之半導體裝置的製作方法，其中該第二金屬層包括一主導電層。
11. 如請求項 7 所述之半導體裝置的製作方法，另包括在該第一金屬層形成之前，於該第二閘極溝渠中形成一第一功函數金屬層。
12. 如請求項 7 所述之半導體裝置的製作方法，其中該第一犧牲閘極結構與該第二犧牲閘極結構包括一高介電常數介電層，且該高介電常數介電層係設置於該基底與該第一金屬層之間。
13. 如請求項 9 所述之半導體裝置的製作方法，其中該第一接觸孔形成步驟可位於該第二功函數金屬層形成步驟之後。
14. 如請求項 11 所述之半導體裝置的製作方法，其中該第一接觸孔形成步驟可位於該第一功函數金屬層形成步驟之後。
15. 如請求項 12 所述之半導體裝置的製作方法，其中該高介電常數介電層剖面結構可包含”一”字型或”U”字型。
16. 一種半導體裝置，包括：
 - 一基底；
 - 一第一半導體元件以及一第二半導體元件，設置於該基底上，其中該第一半導體元件包括一第一金屬閘極，該第二半導體元

件包括一第二金屬閘極；

一第一層間介電層，設置於該基板之上；以及

複數個接觸孔，設置於該第一層間介電層中，其中該第一金屬閘極與該第二金屬閘極均包括一第二功函數金屬層與一主導電層，而該接觸孔包含該主導電層，且該主導電層直接接觸該接觸孔之內部側壁。

17. 如請求項 16 所述之半導體裝置，其中該接觸孔不包含該第二功函數金屬層。

18. 如請求項 16 所述之半導體裝置，其中該第二金屬閘極另包括一第一功函數金屬層設置於該第二功函數金屬層與該基板之間。

19. 如請求項 16 所述之半導體裝置，其中該第一半導體元件具有一 N 型導電型式，且該第二半導體元件具有一 P 型導電型式。

20. 如請求項 16 所述之半導體裝置，其中該第一半導體元件與該第二半導體元件分別更包括一高介電常數介電層，其中該高介電常數介電層介於該第一金屬層與該基板之間。

八、圖式：

件包括一第二金屬閘極；

一第一層間介電層，設置於該基板之上；以及

複數個接觸孔，設置於該第一層間介電層中，其中該第一金屬閘極與該第二金屬閘極均包括一第二功函數金屬層與一主導電層，而該接觸孔包含該主導電層，且該主導電層直接接觸該接觸孔之內部側壁。

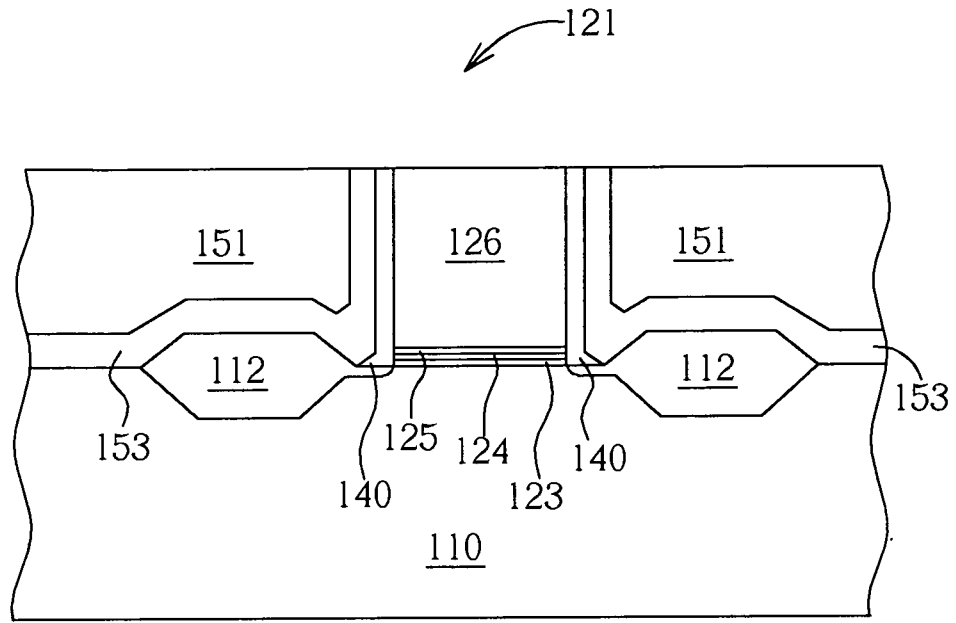
17. 如請求項 16 所述之半導體裝置，其中該接觸孔不包含該第二功函數金屬層。

18. 如請求項 16 所述之半導體裝置，其中該第二金屬閘極另包括一第一功函數金屬層設置於該第二功函數金屬層與該基板之間。

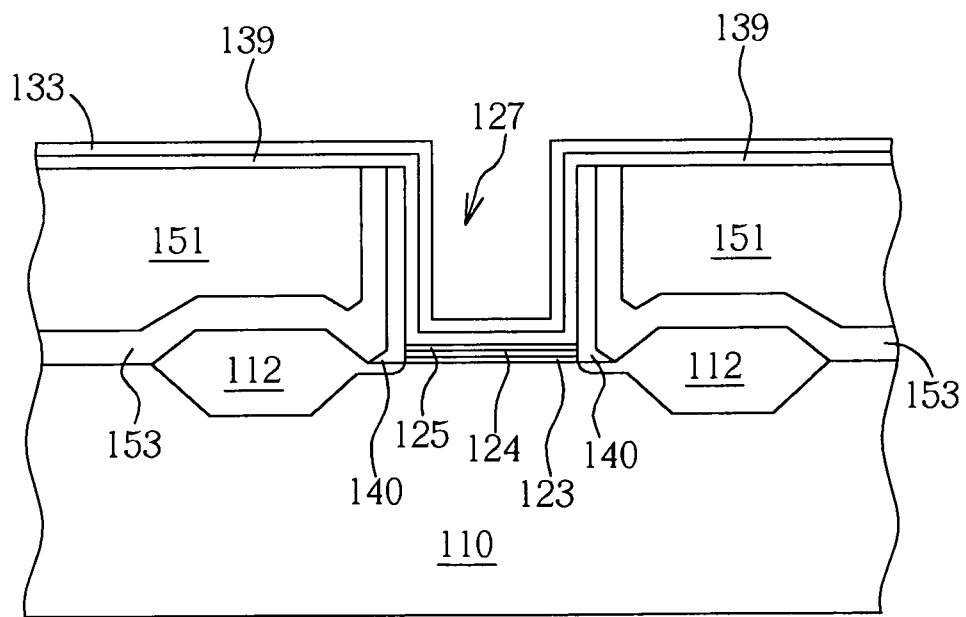
19. 如請求項 16 所述之半導體裝置，其中該第一半導體元件具有一 N 型導電型式，且該第二半導體元件具有一 P 型導電型式。

20. 如請求項 16 所述之半導體裝置，其中該第一半導體元件與該第二半導體元件分別更包括一高介電常數介電層，其中該高介電常數介電層介於該第一金屬層與該基板之間。

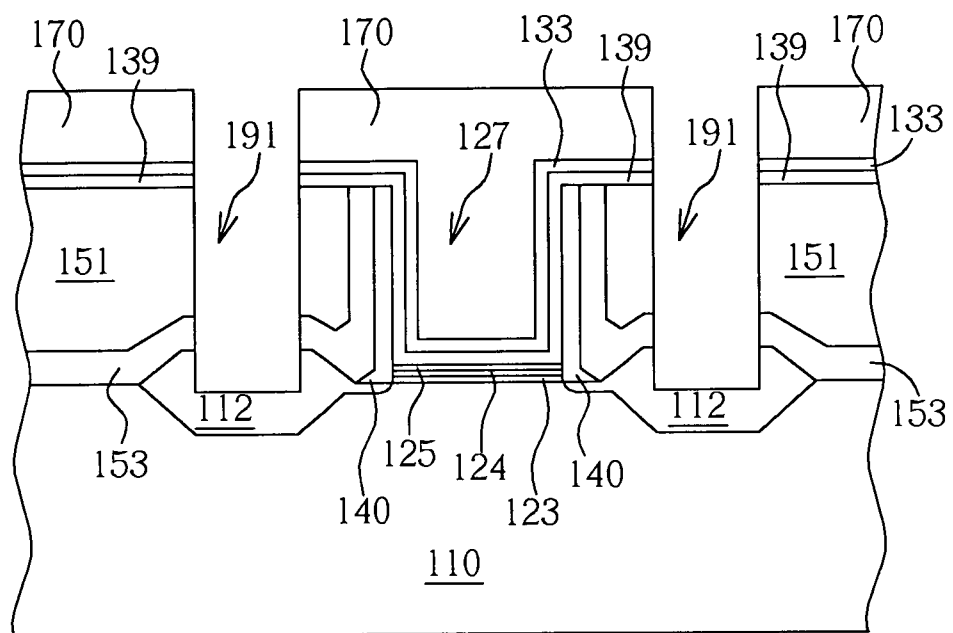
八、圖式：



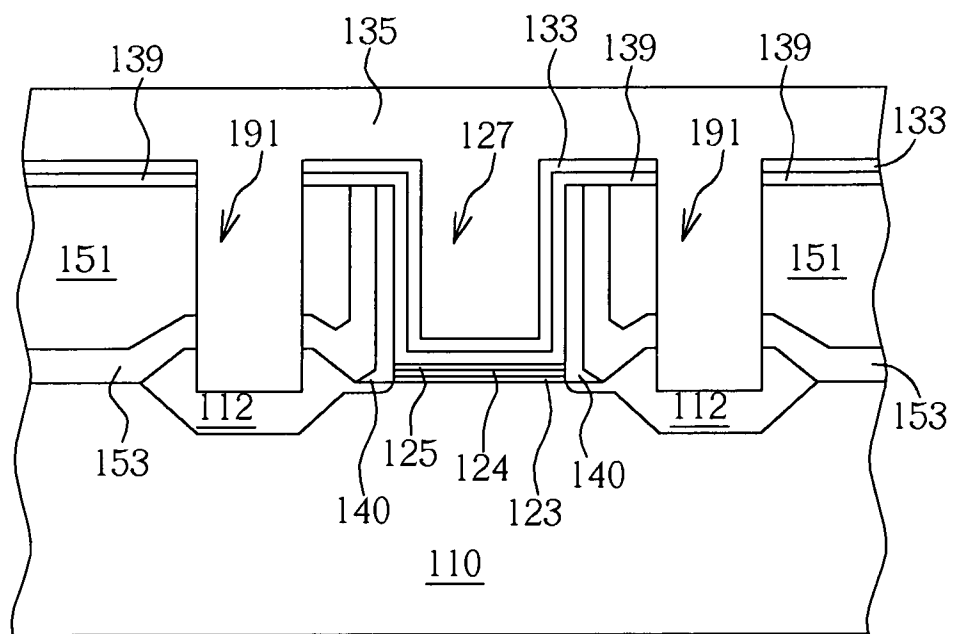
第1圖



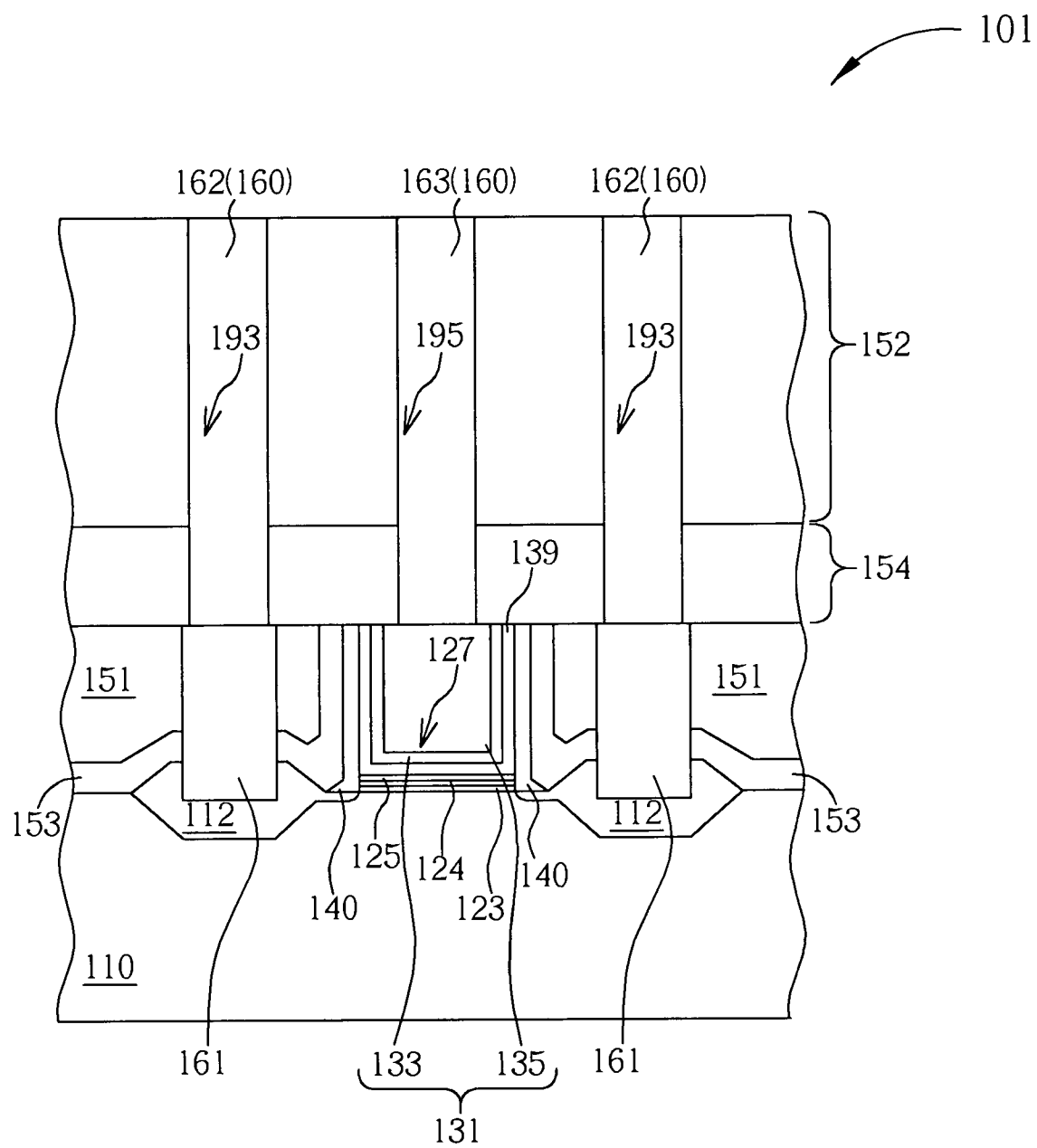
第2圖



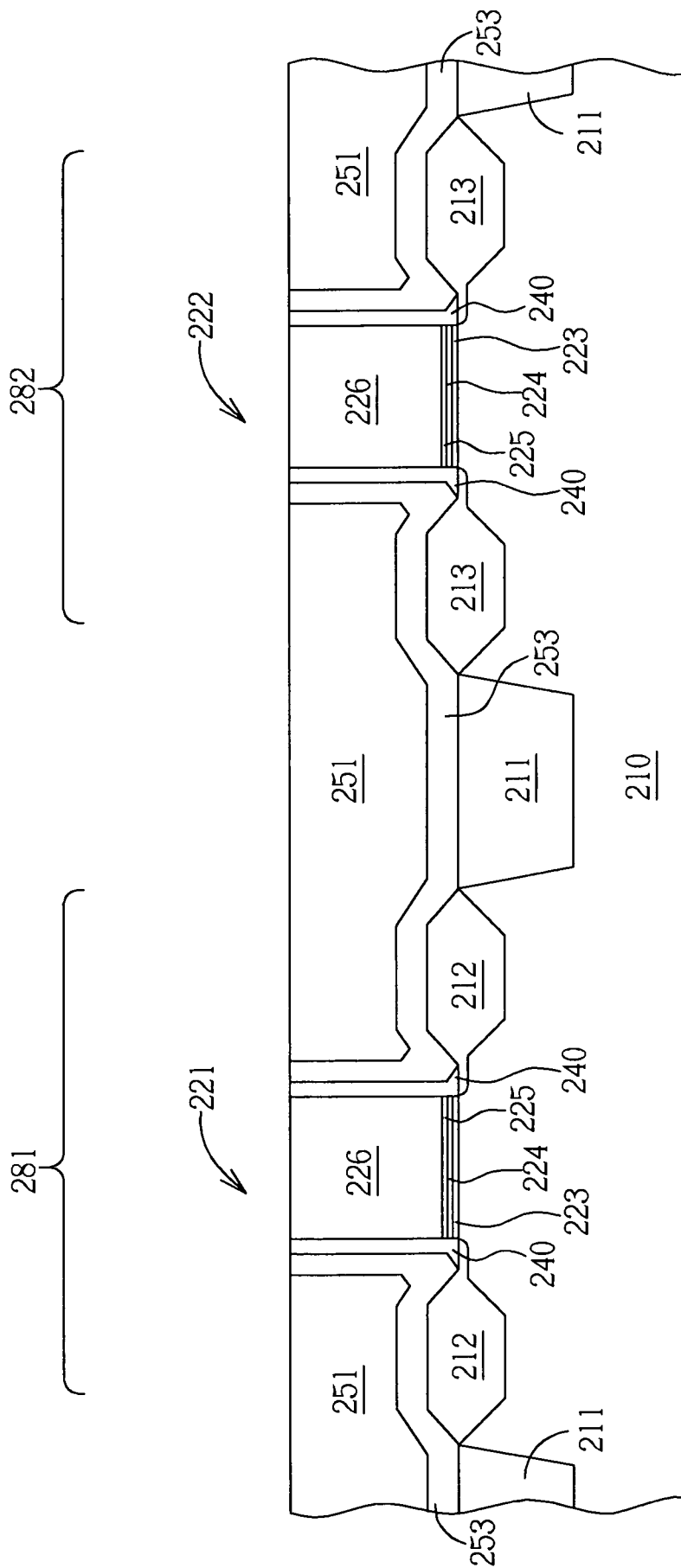
第3圖



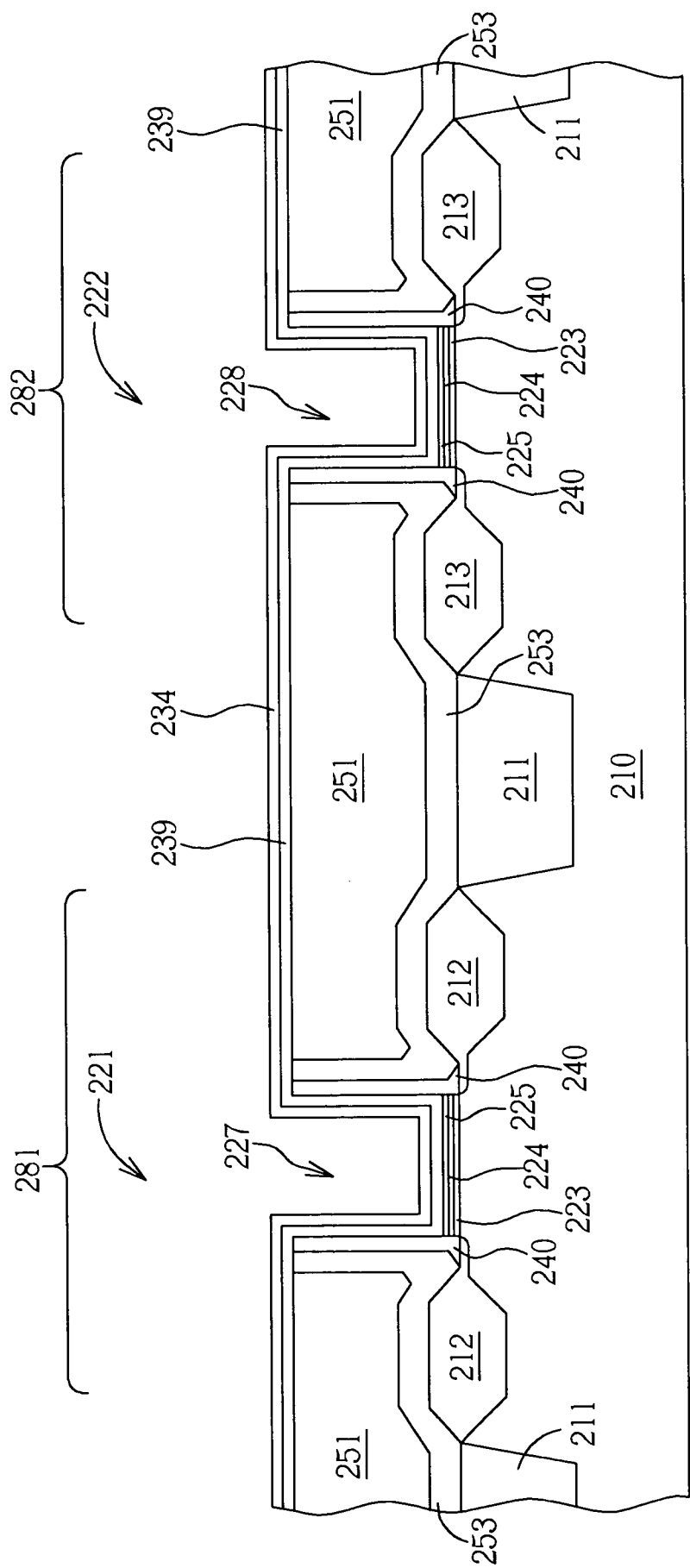
第4圖



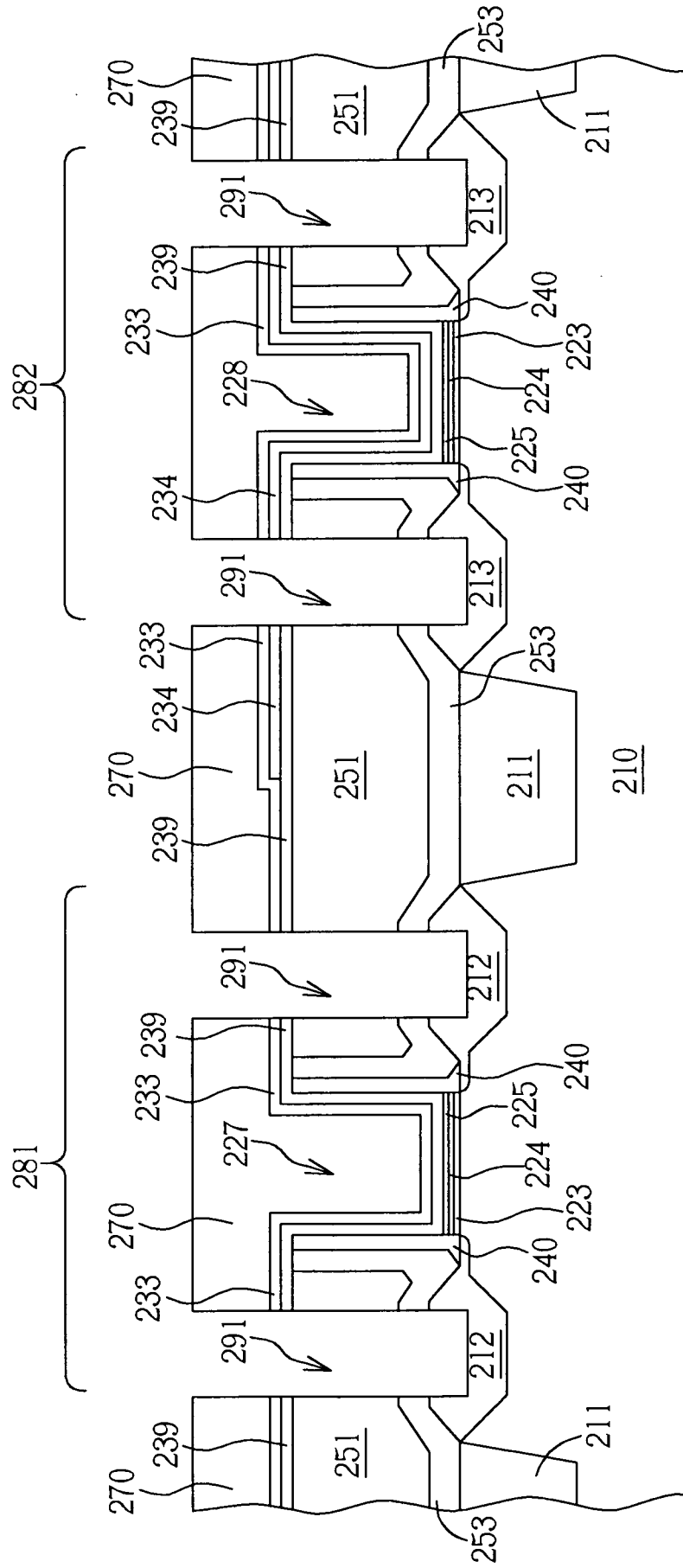
第5圖



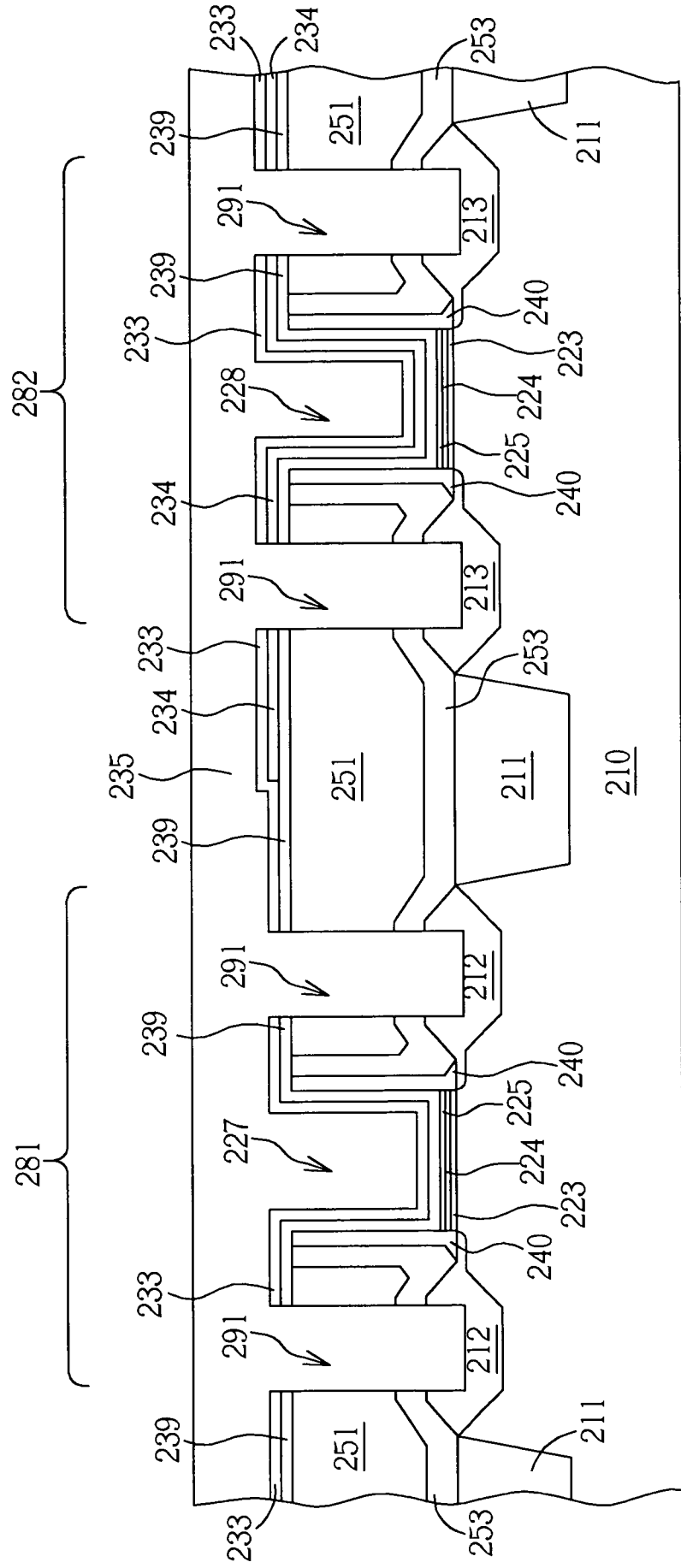
第6圖



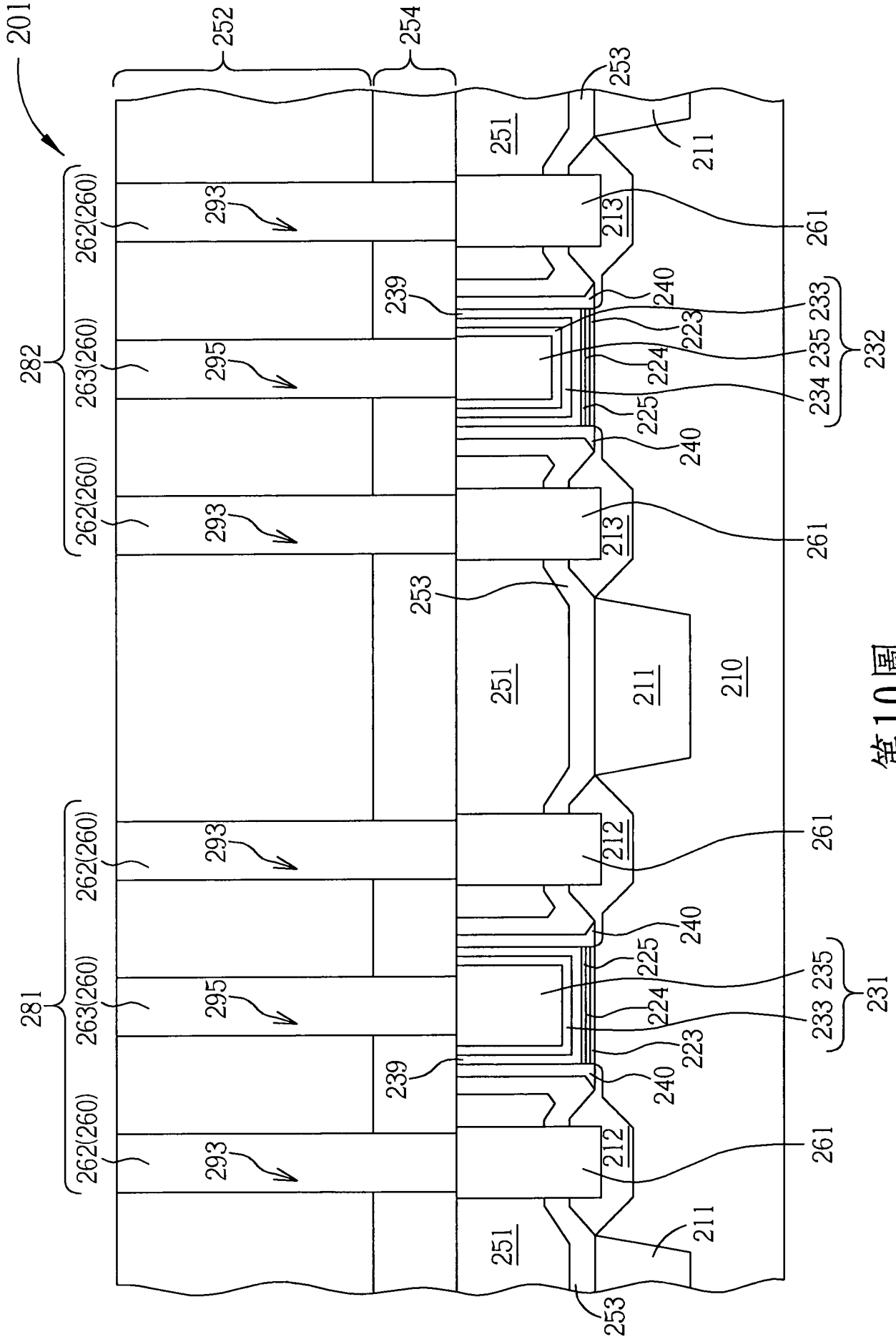
第7圖



第8圖



第9圖



第10圖