

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-513439

(P2014-513439A)

(43) 公表日 平成26年5月29日(2014.5.29)

(51) Int.Cl.

**H01L 25/10** (2006.01)  
**H01L 25/11** (2006.01)  
**H01L 25/18** (2006.01)

F 1

H01L 25/14

テーマコード (参考)

Z

審査請求 未請求 予備審査請求 未請求 (全 55 頁)

(21) 出願番号 特願2014-509293 (P2014-509293)  
 (86) (22) 出願日 平成24年3月12日 (2012.3.12)  
 (85) 翻訳文提出日 平成25年12月24日 (2013.12.24)  
 (86) 國際出願番号 PCT/US2012/028738  
 (87) 國際公開番号 WO2012/151002  
 (87) 國際公開日 平成24年11月8日 (2012.11.8)  
 (31) 優先権主張番号 10-2011-0041843  
 (32) 優先日 平成23年5月3日 (2011.5.3)  
 (33) 優先権主張国 韓国 (KR)

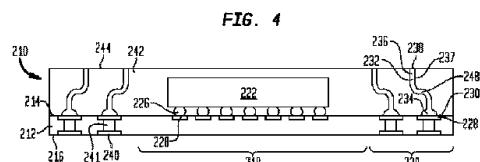
(71) 出願人 504142411  
 テッセラ, インコーポレイテッド  
 アメリカ合衆国 カリフォルニア州 95  
 134, サン・ノゼ, オーチャード・  
 パークウェイ 3025  
 (74) 代理人 100099623  
 弁理士 奥山 尚一  
 (74) 代理人 100096769  
 弁理士 有原 幸一  
 (74) 代理人 100107319  
 弁理士 松島 鉄男  
 (74) 代理人 100114591  
 弁理士 河村 英文  
 (74) 代理人 100125380  
 弁理士 中村 純子

最終頁に続く

(54) 【発明の名称】 封止表面に至るワイヤボンドを有するパッケージ・オン・パッケージアセンブリ

## (57) 【要約】

超小型電子アセンブリ(210)は、第1の表面(214)および第1の表面(214)から遠く離れた第2の表面(216)を有する基板(212)を備えている。第1の超小型電子素子(222)が第1の表面(214)の上に重なっており、第1の導電要素(228)が、第1の表面(214)および第2の表面(222)の1つに露出している。第1の導電要素(228)のいくつかが、超小型電子素子(222)に電気的に接続されている。ワイヤボンド(232)は、導電要素(228)に接合された基部(234)と、基板(212)および基部(234)から遠く離れた端面(238)とを有している。各ワイヤボンド(232)は、基部(234)と端面(238)との間に延在する縁面(237)を画定している。封止層(242)が、第1の表面(214)から延在しており、ワイヤボンド(232)が封止層(242)によって互いに分離されるように、ワイヤボンド(232)間の空間を充填している。ワイヤボンド(232)の未封止部分は、少なくとも封止層(242)によって覆われていないワイヤボンドの端面(23



**【特許請求の範囲】****【請求項 1】**

超小型電子パッケージにおいて、

第1の領域および第2の領域を有する基板であって、第1の表面および前記第1の表面から遠く離れた第2の表面を有している、基板と、

前記第1の領域内において前記第1の表面の上に重なる少なくとも1つの超小型電子素子と、

前記第2の領域内において前記基板の前記第1の表面および前記第2の表面の少なくとも1つに露出した導電要素であって、前記導電要素の少なくともいくつかは、前記少なくとも1つの超小型電子素子に電気的に接続されている、導電要素と、

前記導電要素のそれぞれに接合された基部と、前記基板から遠く離れてかつ前記基部から遠く離れた端面とを有する複数のワイヤボンドであって、各ワイヤボンドは、その前記基部と前記端面との間に延在する縁面を画定しており、第1のワイヤボンドは、第1の信号電位を送るように構成されており、第2のワイヤボンドは、前記第1の信号電位と異なる第2の信号電位を同時に送るように構成されている、複数のワイヤボンドと、

前記第1または第2の表面の少なくとも1つから延在する誘電体封止層であって、前記封止層は、前記ワイヤボンドが前記封止層によって互いに分離されるように前記ワイヤボンド間の空間を充填しており、前記封止層は、前記基板の少なくとも前記第2の領域の上に重なっており、前記ワイヤボンドの未封止部分は、少なくとも前記封止層によって覆われていない前記ワイヤボンドの前記端面の一部によって画定されている、誘電体封止層と、

を備えている、ことを特徴とする超小型電子パッケージ。

**【請求項 2】**

前記基板は、リードフレームであり、前記導電要素は、前記リードフレームのリードである、ことを特徴とする請求項1に記載の超小型電子パッケージ。

**【請求項 3】**

前記ワイヤボンドの前記未封止部分は、前記ワイヤボンドの前記端面と、前記封止層によって覆われていない前記端面に隣接する前記縁面の一部と、によって画定されている、ことを特徴とする請求項1に記載の超小型電子パッケージ。

**【請求項 4】**

前記ワイヤボンドの前記未封止部分の少なくともいくつかに接触する酸化保護層をさらに備えている、ことを特徴とする請求項3に記載の超小型電子パッケージ。

**【請求項 5】**

前記ワイヤボンドの少なくとも1つの前記端面に隣接する少なくとも一部は、前記封止層の表面と実質的に直交している、ことを特徴とする請求項1に記載の超小型電子パッケージ。

**【請求項 6】**

前記導電要素は、第1の導電要素であり、

前記超小型電子パッケージは、前記ワイヤボンドの前記未封止部分に電気的に接続された複数の第2の導電要素をさらに備えており、

前記第2の導電要素は、前記第1の導電要素と接触していない、ことを特徴とする請求項1に記載の超小型電子パッケージ。

**【請求項 7】**

前記第2の導電要素は、前記第1のワイヤボンドの少なくともいくつかの前記端面に接合された複数のスタッドバンプを備えている、ことを特徴とする請求項6に記載の超小型電子パッケージ。

**【請求項 8】**

前記ワイヤボンドの少なくとも1つは、その前記基部と前記未封止部分との間に実質的に直線に沿って延在しており、前記実質的な直線は、前記基板の前記第1の表面に対して90°未満の角度をなしている、ことを特徴とする請求項1に記載の超小型電子パッケージ。

10

20

30

40

50

ジ。

**【請求項 9】**

前記ワイヤボンドの少なくとも 1 つの前記縁面は、前記端面に隣接する第 1 の部分と、前記端面から前記第 1 の部分によって分離された第 2 の部分とを有しており、

前記第 1 の部分は、前記第 2 の部分が延在する方向から離れる方向に延在している、ことを特徴とする請求項 1 に記載の超小型電子パッケージ。

**【請求項 10】**

超小型電子パッケージにおいて、

第 1 の領域および第 2 の領域を有する基板であって、第 1 の表面および前記第 1 の表面から遠く離れた第 2 の表面を有している、基板と、

前記第 1 の領域内において前記第 1 の表面の上に重なる少なくとも 1 つの超小型電子素子と、

前記第 2 の領域内において前記基板の前記第 1 の表面および前記第 2 の表面の少なくとも 1 つに露出した導電要素であって、前記導電要素の少なくともいくつかは、前記少なくとも 1 つの超小型電子素子に電気的に接続されている、導電要素と、

前記導電要素のそれぞれに接合された基部と、前記基板から遠く離れてかつ前記基部から遠く離れた端面とを有する複数のワイヤボンドであって、各ワイヤボンドは、その前記基部と前記端面との間に延在する縁面を画定しており、第 1 の前記ワイヤボンドは、第 1 の信号電位を送るように構成されており、第 2 の前記ワイヤボンドは、前記第 1 の信号電位と異なる第 2 の信号電位を同時に送るように構成されている、複数のワイヤボンドと、

前記第 1 または第 2 の表面の少なくとも 1 つから延在する誘電体封止層であって、前記封止層は、前記ワイヤボンドが前記封止層によって互いに分離されるように、前記ワイヤボンド間の空間を充填しており、前記封止層は、前記基板の少なくとも前記第 2 の領域の上に重なっており、前記ワイヤボンドの未封止部分は、少なくとも前記封止層によって覆われていない前記ワイヤボンドの前記端面に隣接する前記縁面の一部によって画定されている、誘電体封止層と、

を備えている、ことを特徴とする超小型電子パッケージ。

**【請求項 11】**

前記未封止部分の少なくとも 1 つは、前記封止層によって覆われていない前記端面の少なくとも一部によってさらに画定されている、ことを特徴とする請求項 10 に記載の超小型電子パッケージ。

**【請求項 12】**

前記封止層によって覆われていない前記縁面の前記一部は、前記封止層の前記表面と実質的に平行の方向に延在する最長寸法を有している、ことを特徴とする請求項 10 に記載の超小型電子パッケージ。

**【請求項 13】**

前記封止層によって覆われず、前記封止層の前記表面と実質的に平行に延在する前記縁面の前記一部の長さは、前記ワイヤボンドの断面幅よりも大きくなっている、ことを特徴とする請求項 12 に記載の超小型電子パッケージ。

**【請求項 14】**

前記封止層は、前記ワイヤボンドを形成した後に、誘電体材料を前記第 1 の表面上に堆積させ、前記堆積した誘電体材料を硬化させることによって、前記基板上に形成された一体化層である、ことを特徴とする請求項 1 または 10 に記載の超小型電子パッケージ。

**【請求項 15】**

前記一体化封止層は、前記誘電体材料を含んでいる、ことを特徴とする請求項 11 に記載の超小型電子パッケージ。

**【請求項 16】**

前記基板の前記第 1 の表面は、第 1 および第 2 の横方向に延在しており、

各横方向は、前記第 1 および第 2 の表面間において前記基板の厚みの方向を横断しており、

10

20

30

40

50

前記ワイヤボンドの少なくとも1つの前記未封止部分は、前記少なくとも1つのワイヤボンドが接合された前記導電要素から前記横方向の少なくとも1つにおいて変位している、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項17】

前記ワイヤボンドの少なくとも1つは、その前記基部と前記端面との間に実質的に湾曲した部分を備えている、ことを特徴とする請求項16に記載の超小型電子パッケージ。

【請求項18】

前記少なくとも1つのワイヤボンドの前記未封止部分は、前記超小型電子素子の主面の上に重なっている、ことを特徴とする請求項16に記載の超小型電子パッケージ。

【請求項19】

前記ワイヤボンドの少なくとも1つの前記未封止部分に接合された半田ボールをさらに備えている、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

10

【請求項20】

前記封止層は、少なくとも1つの表面を備えており、前記ワイヤボンドの前記未封止部分は、前記少なくとも1つの表面で覆われていない、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項21】

前記少なくとも1つの表面は、前記基板の前記第1の表面と実質的に平行の主面を含んでおり、

前記ワイヤボンドの少なくとも1つの前記未封止部分は、前記主面において前記封止層によって覆われていない、ことを特徴とする請求項20に記載の超小型電子パッケージ。

20

【請求項22】

少なくとも1つのワイヤボンドの前記未封止部分は、前記主面と実質的に同一平面をなしている、ことを特徴とする請求項21に記載の超小型電子パッケージ。

【請求項23】

少なくとも1つのワイヤボンドの前記未封止部分は、前記主面の上方に延在している、ことを特徴とする請求項21に記載の超小型電子パッケージ。

【請求項24】

前記少なくとも1つの表面は、前記基板の前記第1の表面から第1の距離を隔てた主面と、前記基板の前記第1の表面から前記第1の距離よりも短い第2の距離を隔てた凹面とを備えており、

30

前記ワイヤボンドの少なくとも1つの前記未封止部分は、前記凹面において前記封止層によって覆われていない、ことを特徴とする請求項20に記載の超小型電子パッケージ。

【請求項25】

前記少なくとも1つの表面は、前記基板の第1の表面に対して大きな角度で離れる方に延在する側面を含んでおり、

少なくとも1つのワイヤボンドの未封止部分は、前記側面において前記封止層によって覆われていない、ことを特徴とする請求項20に記載の超小型電子パッケージ。

【請求項26】

前記封止層は、前記封止層の表面から前記基板に向かって延在するように形成された空洞を有しており、

40

前記ワイヤボンドの1つの前記未封止部分は、前記空洞内に配置されている、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項27】

前記ワイヤボンドは、銅、金、アルミニウム、および半田からなる群から選択された少なくとも一種の材料から本質的になっている、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項28】

前記ワイヤボンドの少なくとも1つは、その長さに沿って長軸を画定しており、

各ワイヤボンドは、前記長軸に沿って延在する第1の材料の内層と、前記長軸から遠く

50

離れ、このようなワイヤボンドの長さ方向に延在する長さを有する第2の材料の外層と、を備えている、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項29】

前記第1の材料は、銅、金、ニッケル、およびアルミニウムの一種であり、

前記第2の材料は、銅、金、ニッケル、アルミニウム、および半田の一種である、ことを特徴とする請求項28に記載の超小型電子パッケージ。

【請求項30】

前記複数のワイヤボンドは、第1のワイヤボンドであり、

前記超小型電子パッケージは、前記超小型電子素子上の接点に接合された基部と前記接点から遠く離れた端面とを有する少なくとも1つの第2のワイヤボンドをさらに備えており、

前記少なくとも1つの第2のワイヤボンドは、前記基部と前記端面との間に延在する縁面を画定しており、

前記少なくとも1つの第2のワイヤボンドの未封止部分は、第2のワイヤボンドの前記端面または前記封止層によって覆われていない第2のワイヤボンドの前記縁面の少なくとも一部によって画定されている、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項31】

前記少なくとも1つの超小型電子素子は、第1の超小型電子素子であり、

前記超小型電子パッケージは、前記第1の超小型電子素子の上に少なくとも部分的に重なる少なくとも1つの第2の超小型電子素子をさらに備えており、

前記ワイヤボンドは、第1のワイヤボンドであり、

前記超小型電子パッケージは、前記超小型電子素子上の接点に接合された基部と、前記接点から遠く離れた端面とを有する少なくとも1つの第2のワイヤボンドを有しており、

前記少なくとも1つの第2のワイヤボンドは、前記基部と前記端面との間に延在する縁面を画定しており、

前記第2のワイヤボンドの未封止部分は、このような第2のワイヤボンドの前記端面の一部または前記封止層によって覆われていないこのような第2のワイヤボンドの前記縁面の少なくとも1つによって画定されている、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項32】

前記封止層の前記表面に沿って延在する再分配層をさらに備えており、

前記再分配層は、前記封止層の主面に隣接する第1の面を有する再分配基板を備えており、

前記再分配層は、

前記第1の表面から遠く離れた第2の表面と、

前記再分配基板の前記第1の表面上に露出し、前記ワイヤボンドのそれぞれの未封止部分と真っ直ぐに並んで機械的に接続された第1の導電パッドと、

前記基板の前記第2の表面に露出し、前記第1の導電パッドに電気的に接続された第2の導電パッドと、をさらに備えている、ことを特徴とする請求項1または10に記載の超小型電子パッケージ。

【請求項33】

超小型電子アセンブリにおいて、

請求項1または10に記載の第1の超小型電子パッケージと、

第1の表面および第2の表面を有する基板と、前記第1の表面に実装された第2の超小型電子素子と、前記第2の表面に露出し、前記第2の超小型電子素子に電気的に接続された接触パッドと、を備える第2の超小型電子パッケージと、

を備えており、

前記第2の超小型電子パッケージは、前記第2の超小型電子パッケージの前記第2の表

10

20

30

40

50

面が前記誘電体封止層の前記表面の少なくとも一部の上に重なるように、かつ前記接触パッドの少なくともいくつかが前記ワイヤボンドの前記未封止部分の少なくともいくつかに電気的かつ機械的に接続されるように、前記第1の超小型電子パッケージに実装されている、ことを特徴とする超小型電子アセンブリ。

**【請求項34】**

超小型電子パッケージにおいて、

第1の領域および第2の領域を有する基板であって、第1の表面および前記第1の表面から遠く離れた第2の表面を有し、横方向に延在している、基板と、

前記第1の領域内において前記第1の表面の上に重なる超小型電子素子であって、前記基板から遠く離れた主面を有している、超小型電子素子と、

前記第2の領域内において前記基板の前記第1の表面に露出した導電要素であって、前記導電要素の少なくともいくつかは、前記超小型電子素子に電気的に接続されている、導電要素と、

前記第1の導電要素のそれぞれに接合された基部と、前記基板から遠く離れてかつ前記基部から遠く離れた端面とを有するワイヤボンドであって、各ワイヤボンドは、その前記基部と前記端面との間に延在する縁面を画定しており、第1のワイヤボンドは、第1の信号電位を送るように構成されており、第2のワイヤボンドは、前記第1の信号電位と異なる第2の信号電位を同時に送るように構成されている、ワイヤボンドと、

前記第1または第2の表面の少なくとも1つから延在する誘電体封止層であって、前記封止層は、前記ワイヤボンドが前記誘電体層によって互いに分離されるように、前記ワイヤボンド間の空間を充填しており、前記封止層は、前記基板の少なくとも前記第2の領域の上に重なっており、前記ワイヤボンドの未封止部分は、少なくとも前記封止層によって覆われていない前記ワイヤボンドの前記端面の一部によって画定されている、誘電体封止層と、

を備えており、

少なくとも1つのワイヤボンドの前記未封止部分は、前記未封止部分が前記超小型電子素子の前記主面の上に重なるように、前記少なくとも1つのワイヤボンドが接続された前記導電要素から前記第1の表面に沿って少なくとも1つの横方向に変位している、ことを特徴とする超小型電子アセンブリ。

**【請求項35】**

前記導電要素は、第1の所定の形態の第1のアレイに配置されており、

前記ワイヤボンドの前記未封止部分は、前記第1の所定の形態と異なる第2の所定の形態の第2のアレイに配置されている、ことを特徴とする請求項34に記載の超小型電子アセンブリ。

**【請求項36】**

前記第1の所定の形態は、第1のピッチによって特徴付けられており、

前記第2の所定の形態は、前記第1のピッチよりも細い第2のピッチによって特徴付けられている、ことを特徴とする請求項35に記載の超小型電子パッケージ。

**【請求項37】**

絶縁層が、前記超小型電子素子の少なくとも表面を覆って延在しており、

前記絶縁層は、前記超小型電子素子の前記表面と、前記超小型電子素子の前記主面の上に重なる未封止部分を有する前記少なくとも1つのワイヤボンドと、の間に配置されている、ことを特徴とする請求項34に記載の超小型電子パッケージ。

**【請求項38】**

前記ワイヤボンドのそれぞれの複数の前記未封止部分は、前記超小型電子素子の前記主面の上に重なっている、ことを特徴とする請求項34に記載の超小型電子パッケージ。

**【請求項39】**

超小型電子アセンブリにおいて、

請求項34に記載の第1の超小型電子パッケージと、

第1の表面および第2の表面を有する基板と、前記第1の表面に取り付けられた超小型

10

20

30

40

50

電子素子と、前記第2の表面に露出し、前記超小型電子素子に電気的に接続された接触パッドと、を備える第2の超小型電子パッケージと、  
を備えており、

前記第2の超小型電子パッケージは、前記第2のパッケージの前記第2の表面が前記誘電体層の前記表面の少なくとも一部の上に重なるように、かつ前記接触パッドの少なくともいくつかが前記ワイヤボンドの前記未封止部分の少なくともいくつかに電気的かつ機械的に接続されるように、前記第1の超小型電子パッケージに取り付けられている、ことを特徴とする超小型電子アセンブリ。

【請求項40】

前記第1の超小型電子パッケージの前記導電要素は、第1の所定の形態の第1のアレイに配置されており、

前記第2の超小型電子パッケージの前記接触パッドは、前記第1の所定の形態と異なる第2の所定の形態の第2のアレイに配置されている、ことを特徴とする請求項39に記載の超小型電子アセンブリ。

【請求項41】

前記第1の超小型電子パッケージの前記ワイヤボンドの前記未封止部分の少なくともいくつかは、前記第2の所定の形態に対応する第3のアレイに配置されている、ことを特徴とする請求項39に記載の超小型電子アセンブリ。

【請求項42】

前記第1の所定の形態は、第1のピッチによって特徴付けられており、  
前記第2の形態は、前記第1のピッチよりも細い第2のピッチによって特徴付けられている、ことを特徴とする請求項39に記載の超小型電子アセンブリ。

【請求項43】

超小型電子アセンブリにおいて、  
第1の超小型電子パッケージであって、

第1の領域および第2の領域を有する基板であって、第1の表面および前記第1の表面から遠く離れた第2の表面を有している、基板と、

前記第1の領域内において前記第1の表面の上に重なる少なくとも1つの超小型電子素子と、

前記第2の領域内において前記基板の前記第1の表面および前記第2の表面の少なくとも1つに露出した導電要素であって、前記導電要素の少なくともいくつかは、前記少なくとも1つの超小型電子素子に電気的に接続されている、導電要素と、

前記導電要素のそれぞれに接合された基部と前記基部から遠く離れた端面とを有するワイヤボンドであって、各ワイヤボンドは、その前記基部と前記端面との間に延在する端面を画定しており、前記基板から遠く離れた少なくとも一部を有している、ワイヤボンドと、

前記第1または第2の表面の少なくとも1つから延在する誘電体封止層であって、前記封止層は、前記ワイヤボンドが前記封止層によって互いに分離されるように前記ワイヤボンド間の空間を充填しており、前記誘電体封止層は、前記基板の少なくとも前記第2の領域の上に重なっており、前記ワイヤボンドの未封止部分は、前記前記封止層によって覆われていない前記ワイヤボンドの前記端面および前記縁面の1つの少なくとも一部によって画定されている、誘電体封止層と、

を備えている、第1の超小型電子パッケージと、

第2の超小型電子素子と、前記第2の超小型電子素子に電気的に接続されており、前記第2の超小型電子パッケージの表面に露出した接触パッドとを備える第2の超小型電子パッケージであって、前記第2の超小型電子パッケージは、前記接触パッドの少なくともいくつかが前記ワイヤボンドの前記未封止部分の少なくともいくつかに電気的かつ機械的に接続されるように、前記第1の超小型電子パッケージに実装されている、第2の超小型電子パッケージと、

を備えている、ことを特徴とする超小型電子アセンブリ。

10

20

30

40

50

**【請求項 4 4】**

前記第2の超小型電子パッケージは、第1の表面および第2の表面を有する基板を備えており、

前記第2の超小型電子素子は、前記第1の表面に実装されており、

前記第2の超小型電子パッケージの前記第2の表面は、前記誘電体封止層の前記表面の少なくとも一部と向き合っている、ことを特徴とする請求項43に記載の超小型電子アセンブリ。

**【請求項 4 5】**

前記ワイヤボンドの前記端面は、前記基板から遠く離れており、

前記ワイヤボンドの前記未封止部分は、少なくとも前記ワイヤボンドの前記端面によつて画定されている、ことを特徴とする請求項43に記載の超小型電子アセンブリ。

10

**【請求項 4 6】**

前記ワイヤボンドの前記端面は、前記基板から遠く離れており、

前記ワイヤボンドの前記未封止部分は、少なくとも前記ワイヤボンドの前記端面に隣接する前記縁面によつて画定されている、ことを特徴とする請求項43に記載の超小型電子アセンブリ。

**【請求項 4 7】**

前記ワイヤボンドの前記端面は、前記基板の特徴部に接合されており、

前記縁面は、前記基部と前記端面との間に配置されて前記基板から遠く離れた頂部を画定しており、

20

前記ワイヤボンドの前記未封止部分は、前記頂部に隣接する前記縁面の領域によつて画定されている、ことを特徴とする請求項43に記載の超小型電子アセンブリ。

**【請求項 4 8】**

超小型電子アセンブリにおいて、

第1の領域および第2の領域を有する基板であつて、第1の表面および前記第1の表面から遠く離れた第2の表面を有している、基板と、

前記第1の領域内において前記第1の表面の上に重なる少なくとも1つの超小型電子素子と、

前記第2の領域内において前記基板の前記第1の表面に露出した導電要素であつて、前記導電要素の少なくともいくつかが、前記少なくとも1つの超小型電子素子に電気的に接続されている、導電要素と、

30

複数のボンド要素であつて、各々が、第1の基部と、第2の基部と、前記基部間に延在する縁面と、を有しており、前記第1の基部は、前記導電要素の1つに接合されており、前記縁面は、接触パッドから前記基板から遠く離れた前記縁面の頂部に延在する第1の部分を備えており、前記縁面は、前記頂部から前記第2の基部に延在する第2の部分をさらに備えており、前記第2の基部は、前記基板の特徴部に接合されている、複数のボンド要素と、

前記第1または第2の表面の少なくとも1つから延在する誘電体封止層であつて、前記封止層は、前記ボンド要素が前記封止層によつて互いに分離されるように、前記ボンド要素の前記第1および第2の部分間の空間および前記複数のボンド要素間の空間を充填しており、前記封止層は、少なくとも前記基板の前記第2の領域の上に重なつてあり、前記ボンド要素の未封止部分は、前記封止層によつて覆われていない前記頂部の周りの前記ボンド要素の前記縁面の少なくとも一部によつて画定されている、誘電体封止層と、を備えている、ことを特徴とする超小型電子パッケージ。

40

**【請求項 4 9】**

前記ボンド要素は、ワイヤボンドである、ことを特徴とする請求項48に記載の超小型電子パッケージ。

**【請求項 5 0】**

前記基板の前記第2の基部が接合される前記基板の前記特徴部は、前記第1の基部が接続される前記導電要素である、ことを特徴とする請求項49に記載の超小型電子パッケー

50

ジ。

#### 【請求項 5 1】

前記基板の前記第2の基部が接合される前記基板の前記特徴部は、前記第1の基部が接合される前記導電要素と異なる各導電要素である、ことを特徴とする請求項49に記載の超小型電子パッケージ。

#### 【請求項 5 2】

前記第2の基部が接合される前記導電要素は、前記超小型電子要素に電気的に接続されていない、ことを特徴とする請求項51に記載の超小型電子パッケージ。

#### 【請求項 5 3】

前記ボンド要素は、ボンドリボンである、ことを特徴とする請求項48に記載の超小型電子素子。 10

#### 【請求項 5 4】

前記第1の基部の一部は、前記各接触パッドの一部に沿って延在しており、

前記第2の基部が接合される前記特徴部は、前記各接触パッドの一部に沿って延在する前記第1の基部の長さ部分である、ことを特徴とする請求項53に記載の超小型電子素子。 20

#### 【請求項 5 5】

前記基板の前記第1の表面は、前記第1および第2の横方向に延在しており、

各横方向は、前記第1および第2の表面間において前記基板の厚みの方向を横断しており、

前記ワイヤボンドの少なくとも1つの前記未封止部分は、前記少なくとも1つのワイヤボンドが接合された前記導電要素から前記横方向の少なくとも1つにおいて変位している、ことを特徴とする請求項48に記載の超小型電子パッケージ。 20

#### 【請求項 5 6】

前記少なくとも1つのワイヤボンドの前記未封止部分は、前記超小型電子素子の主面の上に重なっている、ことを特徴とする請求項55に記載の超小型電子パッケージ。

#### 【請求項 5 7】

超小型電子パッケージを製造する方法において、

誘電体封止層を処理中ユニット上に形成するステップであって、前記処理中ユニットは、第1の表面およびそこから遠く離れた第2の表面を有する基板と、前記基板の前記第1の表面に実装された超小型電子素子と、前記第1の表面に露出した複数の導電要素であって、前記導電要素の少なくともいくつかは、前記超小型電子素子に電気的に接続されている、複数の導電要素と、前記導電要素に接合された基部および前記基部から遠く離れた端面を有するワイヤボンで、各ワイヤボンドは、前記基部と前記端面との間に延在する縁面を画定しており、前記ワイヤボンドの第1のものは、第1の信号電位を送るように構成されており、前記ワイヤボンドの第2のものは、前記第1の信号電子と異なる第2の信号電位を同時に送るように構成されている、ワイヤボンドと、を備えている、ステップを含んでおり、 30

前記封止層は、前記第1の表面および前記ワイヤボンドの一部を少なくとも部分的に覆うように形成されており、前記ワイヤボンドの未封止部分は、前記封止層によって覆われていない前記端面または前記縁面の少なくとも1つの一部によって画定されている、ことを特徴とする方法。 40

#### 【請求項 5 8】

前記基板は、リードフレームであり、前記導電要素は、前記リードフレームのリードである、ことを特徴とする請求項57に記載の超小型電子素子。

#### 【請求項 5 9】

前記封止層を形成する前記ステップは、誘電体材料塊を前記第1の表面および前記ワイヤボンドの実質的に全てを覆って堆積させ、その前記未封止部分を画定するために、前記誘電体材料塊の部分を除去し、前記ワイヤボンドの一部を露出させることを含んでいる、ことを特徴とする請求項58に記載の方法。 50

**【請求項 6 0】**

前記ワイヤボンドの少なくとも 1 つは、前記導電要素の少なくとも 2 つの各々に接合されたループをなすように延ばされており、

前記誘電体材料塊は、前記第 1 の表面および前記少なくとも 1 つのワイヤボンドループを少なくとも部分的に覆うように堆積されており、

前記誘電体材料塊の一部を除去する前記ステップは、前記少なくとも 1 つのワイヤボンドループを前記封止層によって覆われていないそれぞれの自由端を有する第 1 および第 2 のワイヤボンドに切断し、その未封止部分を形成するように、前記少なくとも 1 つのワイヤボンドループの一部を除去することをさらに含んでいる、ことを特徴とする請求項 5 9 に記載の方法。

10

**【請求項 6 1】**

ワイヤの第 1 の端を前記導電要素に接合し、前記ワイヤを前記第 1 の表面から離れる方向に引き出し、

前記ワイヤを前記第 1 の表面に沿って少なくとも横方向に引き出し、

前記ワイヤを前記第 2 の導電要素の方に引き出し、かつ前記ワイヤを前記第 2 の導電要素に接合することを含むステップによって、前記処理中ユニットの前記ループを形成することをさらに含んでいる、ことを特徴とする請求項 6 0 に記載の方法。

**【請求項 6 2】**

誘電体材料塊を前記基板の前記第 1 の表面から離れた位置から、前記ワイヤボンドの前記少なくとも 1 つが前記誘電体材料塊を貫通するように、前記ワイヤボンドの上に押圧し、前記基板の前記第 1 の表面に接触させることによって、前記封止層が前記処理中ユニット上に形成されるようになっている、ことを特徴とする、請求項 5 7 に記載の方法。

20

**【請求項 6 3】**

前記ワイヤボンドは、金、銅、アルミニウム、または半田から本質的になるワイヤから作製されている、ことを特徴とする請求項 5 7 に記載の方法。

**【請求項 6 4】**

前記第 1 のワイヤボンドは、アルミニウムを含んでおり、前記ワイヤボンドは、ウエジボンディングによって、前記導電要素に接合されるようになっている、ことを特徴とする請求項 5 7 に記載の方法。

30

**【請求項 6 5】**

前記基板の前記第 1 の表面は、横方向に延在しており、

前記ワイヤボンドの少なくとも 1 つの前記未封止部分は、前記ワイヤボンドの前記端面が前記少なくとも 1 つのワイヤボンドが接合された前記導電要素から前記横方向の少なくとも 1 つにおいて変位するように、形成されている、ことを特徴とする請求項 5 7 に記載の方法。

**【請求項 6 6】**

前記処理中ユニットは、前記ワイヤボンドの少なくとも 1 つが前記導電要素と前記少なくとも 1 つのワイヤボンドの前記端面との間に位置する実質的に湾曲した部分を備えるように、前記ワイヤボンドを形成するステップを含むことを特徴とする請求項 5 7 に記載の方法。

40

**【請求項 6 7】**

前記基板は、第 1 の領域および第 2 の領域を備えており、

前記超小型電子素子は、前記第 1 の領域の上に重なっており、前記基板から遠く離れた主面を有しており、

前記第 1 の導電要素は、前記第 1 の領域内に配置されており、

前記処理中ユニットは、前記ワイヤボンドの少なくとも 1 つの少なくとも一部が前記超小型電子素子の前記主面を覆って延在するように、

前記ワイヤボンドを形成するステップを含むことを特徴とする請求項 5 7 に記載の方法。

。

**【請求項 6 8】**

50

前記封止層を形成する前記ステップは、前記封止層の主面から前記基板の方に延在する少なくとも1つの空洞を形成することを含んでおり、

前記少なくとも1つの空洞は、前記ワイヤボンドの1つの前記未封止部分を包囲している、ことを特徴とする請求項57に記載の方法。

#### 【請求項69】

前記少なくとも1つの空洞は、前記基板上に誘電体封止材料を堆積させた後、前記封止材料の湿式エッチング、乾式エッチング、またはレーザーエッチングの少なくとも1つによって形成されるようになっている、ことを特徴とする請求項68に記載の方法。

#### 【請求項70】

前記少なくとも1つの空洞は、前記基板および前記少なくとも1つのワイヤボンド上に誘電体封止材料を堆積した後、前記ワイヤボンドの少なくとも1つの所定位置から犠牲材料の塊の少なくとも一部を除去することによって、形成されるようになっている、ことを特徴とする請求項68に記載の方法。

#### 【請求項71】

前記封止層を形成する前記ステップは、前記犠牲材料の塊の一部が前記封止層の主面上に露出し、

前記犠牲材料の塊の前記露出部が、前記ワイヤボンドの前記自由端の近くの部分を包囲し、前記封止層の一部を前記自由端の近くの部分から離間する、ように行われるようになっている、ことを特徴とする請求項70に記載の方法。

#### 【請求項72】

前記ワイヤボンドの少なくとも1つは、その長さに沿って長軸を画定しており、

前記犠牲材料の塊の第2の部分は、前記基部に隣接する箇所から前記少なくとも1つのワイヤボンドの前記長軸に沿って延在しており、前記犠牲材料の塊の少なくとも一部を除去する前記ステップの後に残るようになっている、ことを特徴とする請求項70に記載の方法。

#### 【請求項73】

前記ワイヤボンドは、その長さに沿って長軸を画定しており、

前記ワイヤボンドは、前記長軸に沿って延在する第1の材料の内層と、前記長軸から遠く離れて前記ワイヤボンドの前記長さに沿って延在する第2の材料の外層と、を備えている、ことを特徴とする請求項57に記載の方法。

#### 【請求項74】

前記第1の材料は、銅であり、前記第2の材料は、半田である、ことを特徴とする請求項73に記載の方法。

#### 【請求項75】

前記封止層を形成する前記ステップの後、前記ワイヤボンドの前記内層の前記縁面の一部を露出させるために、前記第2の材料の一部が除去され、前記誘電体層の表面から延在する空洞を形成するようになっている、ことを特徴とする請求項73に記載の方法。

#### 【請求項76】

前記ワイヤボンドの少なくとも1つの前記未封止部分上にスタッドバンプを形成することをさらに含んでいる、ことを特徴とする請求項57に記載の方法。

#### 【請求項77】

前記ワイヤボンドの少なくとも1つの前記未封止部分上に半田ボールを堆積させることをさらに含んでいる、ことを特徴とする請求項57に記載の方法。

#### 【請求項78】

超小型電子アセンブリを製造する方法において、請求項42の前記ステップによって作製された第1の超小型電子パッケージを第2の超小型電子パッケージに接合するステップを含んでおり、

前記第2の超小型電子パッケージは、第1の表面を有する基板および前記基板の前記第1の表面に露出した複数の接点を備えており、

前記第1の超小型電子パッケージを前記第2の超小型電子パッケージに接合する前記ス

10

20

30

40

50

ステップは、前記第1の超小型電子パッケージの前記ワイヤボンドの前記未封止部分を前記第2の超小型電子パッケージの前記接点に電気的かつ機械的に接続することを含んでいる、ことを特徴とする方法。

【請求項 7 9】

超小型電子パッケージを製造する方法において、

誘電体材料塊を処理中ユニットを覆って配置するステップであって、前記処理中ユニットは、第1の表面およびそこから遠く離れた第2の表面を有する基板と、前記第1の表面に露出した複数の薄い導電要素と、前記薄い導電要素のそれぞれに接合された基部と、前記基板から遠く離れてかつ前記基部から遠く離れた端面と、を有するワイヤボンドであって、各ワイヤボンドは、その前記基部と前記端面との間に延在する縁面を画定しており、第1の前記ワイヤボンドは、第1の信号電位を送るように構成されており、第2のワイヤボンドは、前記第1の信号電位と異なる第2の信号電位を同時に送るように構成されている、ワイヤボンドと、を備えている、ステップと、

前記ワイヤボンドが前記誘電体材料塊を貫通するように、前記誘電体材料塊を前記ワイヤボンドの上に押圧し、前記基板の前記第1の表面に接触させることによって、封止層を前記処理中ユニット上に形成するステップであって、前記封止層は、前記ワイヤボンドが前記封止層によって互いに分離されるように、前記ワイヤボンド間の空間を充填し、前記封止層は、前記基板の少なくとも前記第2の領域の上に重なり、前記第1のワイヤボンドの未封止部分は、前記第1のワイヤボンドの一部が前記封止層によって覆われないように、前記ワイヤボンドが前記封止層の一部を貫通することによって形成されるようになっている、ステップと、

を含んでいる、ことを特徴とする方法。

【請求項 8 0】

超小型電子パッケージを製造する方法において、

誘電体封止層を処理中ユニット上に形成するステップであって、前記処理中ユニットは、第1の表面およびそこから遠く離れた第2の表面を有する基板と、前記第1の表面に露出した複数の薄い導電要素と、前記薄い導電要素の少なくとも2つのそれぞれに第1の基部および第2の基部において接合されたワイヤループであって、前記封止層は、前記第1の表面および前記少なくとも1つのワイヤループを少なくとも部分的に覆うように形成されている、ワイヤループと、を備えている、ステップと、

前記ワイヤループの各々を、前記第1および第2の基部のそれぞれに対応すると共に前記基板から遠く離れてかつ前記基部から遠く離れた端面を有する個別のワイヤボンドに分断するように、前記封止層の一部および前記ワイヤループの一部を除去するステップであって、各ワイヤボンドは、その前記基部と前記端面との間に延在する縁面を画定しており、前記封止層は、前記ワイヤボンドが前記封止層によって分離されるように、前記ワイヤボンド間の空間を充填しており、前記ワイヤボンドは、前記封止層によって少なくとも部分的に覆われていない前記ワイヤボンドの自由端によって形成された未封止部分を有しており、前記ワイヤボンドの第1のものは、第1の信号電位を送るように構成されており、前記ワイヤボンドの第2のものは、前記第1の信号電子と異なる第2の信号電位を同時に送るように構成されている、ステップと、

を含んでいる、ことを特徴とする方法。

【請求項 8 1】

請求項1, 10のいずれか1つに記載の超小型電子パッケージと、前記超小型電子アセンブリに電気的に接続された1つまたは複数の他の電子コンポーネントとを備えるシステム。

【請求項 8 2】

ハウジングをさらに備えており、前記超小型電子アセンブリおよび前記他の電子コンポーネントは、前記ハウジングに実装されている、ことを特徴とする請求項81に記載のシステム。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

## [関連出願の相互参照]

本願は、2011年5月3日に出願された韓国特許出願第10-2011-0041843号の優先権を主張するものであり、その開示内容は、参照することによって、ここに含まれるものとする。

## 【背景技術】

## 【0002】

半導体チップのような超小型電子素子は、典型的には、他の電子コンポーネントに対する多くの入力／出力接続部を必要としている。半導体チップまたは同等の素子の入力／出力接点は、一般的には、（「エリアアレイ」と一般的に呼ばれる）素子の表面を実質的に覆うグリッド状パターンまたは素子の前面の各縁と平行にかつ該縁に隣接して延在する細長の列、または該前面の中心に配置されている。典型的には、チップのような素子は、印刷回路基板のような基板に物理的に実装されるようになっており、素子の接点は、回路基板の導電特徴部に電気的に接続されるようになっている。

10

## 【0003】

半導体チップは、一般的に、チップの製造中および回路基板または他の回路パネルのような外部基板上へのチップの実装中におけるチップの取扱いを容易にするパッケージの形態で提供されている。例えば、多くの半導体チップは、表面実装に適するパッケージの形態で提供されている。この一般的な形式の多くのパッケージが、種々の用途に対して提案されてきている。最も一般的には、このようなパッケージは、誘電体上にメッキまたはエッチングされた金属構造体として形成された端子を有する、「チップキャリア」と一般的に呼ばれる誘電体要素を備えている。これらの端子は、典型的には、チップキャリア自体に沿って延在する薄いトレースのような特徴部およびチップの接点と端子またはトレースとの間に延在する細いリードまたはワイヤによって、チップ自体の接点に接続されるようになっている。表面実装作業において、パッケージは、パッケージ上の各端子が回路基板上の対応する接触パッドに真っ直ぐに並ぶように、回路基板上に配置されることになる。半田または他の接合材料が、端子と接触パッドとの間に設けられることになる。パッケージは、半田を溶融または「リフロー」させるかまたは他の方法によって接合材料を活性化させるために、アセンブリを加熱することによって、適所に恒久的に接合されることになる。

20

## 【0004】

多くのパッケージは、パッケージの端子に取り付けられる半田ボールの形態にある半田塊を備えている。半田ボールは、典型的には、約0.1mmおよび約0.8mm(5ミルおよび30ミル)の直径を有している。底面から突出する半田ボールのアレイを有するパッケージは、ボールグリッドアレイ(BGA)パッケージと一般的に呼ばれている。ランドグリッドアレイ(LGA)パッケージと呼ばれる他のパッケージは、半田から形成された薄い層またはランドによって基板に固定されるようになっている。この種のパッケージは、極めて小形化することができる。「チップスケールパッケージ」と一般的に呼ばれるいくつかのパッケージは、パッケージ内に組み入れられた素子の面積と等しいかまたはわずかに大きい回路基板の面積を占めることになる。これは、アセンブルの全体の大きさを縮小し、基板上の種々の素子間の相互接続部を短縮することができ、これによって、素子間の信号伝搬時間を制限し、アセンブリの高速作動を容易にするという点において、有利である。

30

## 【0005】

パッケージ化された半導体チップは、多くの場合、「積層」配置の形態で提供されている。この積層配置では、1つのパッケージが、例えば、回路基板上に実装され、他のパッケージが、第1のパッケージの上に実装されることになる。これらの配置によって、多くの異なるチップを回路基板の単一の設置面積内に実装することができ、パッケージ間の相

40

50

互接続部を短縮することによって、高速作動をさらに促進させることができる。多くの場合、この相互接続距離は、チップ自体の厚みよりもわずかに大きくなっている。チップパッケージのスタック内において相互接続を達成するために、（最上部のパッケージを除けば）各パッケージの両側に機械的かつ電気的接続をもたらすための構造体を設ける必要がある。これは、例えば、チップが実装される基板の両側に接触パッドまたはランドを設けることによって、行われてきている。パッドは、導電ビアなどによって基板を通って接続されることになる。下側基板の上面の接点と次に高い基板の底面上の接点との間の隙間を橋掛けするために、半田ボールなどが用いられてきている。半田ボールは、接点を接続するために、チップの高さよりも大きくなっているなければならない。積層チップ配置および相互接続構造の例は、特許文献1に記載されている。この開示内容は、参照することによって、その全体がここに含まれるものとする。

10

#### 【0006】

超小型電子パッケージを回路基板に接続するために、また超小型電子パッケージングにおける他の接続部を得るために、細長のポストまたはピンの形態にあるマイクロ接点要素が用いられることがある。場合によっては、1つまたは複数の金属層を含む金属構造をマイクロ接点が得られるようにエッチングすることによって、マイクロ接点が形成されることもある。エッチングプロセスは、マイクロ接点の大きさを制限することになる。従来のエッチングプロセスは、典型的には、ここでは「アスペクト比」と呼ばれる高さ／最大幅の比率の大きいマイクロ接点を形成することができない。適切な高さおよび互いに隣接するマイクロ接点間の極めて小さいピッチまたは間隔を有するマイクロ接点のアレイを形成することは、困難であるかまたは不可能である。さらに、従来のエッチングプロセスによって形成されたマイクロ接点の形態は、制限されている。

20

#### 【先行技術文献】

#### 【特許文献】

#### 【0007】

#### 【特許文献1】米国特許出願公開第2010/0232129号明細書

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0008】

当技術分野における前述の発展のすべてにも関わらず、超小型電子パッケージの製造および試験におけるさらに一層の改良が望まれている。

30

#### 【課題を解決するための手段】

#### 【0009】

本開示の一実施形態は、超小型電子パッケージに関する。超小型電子パッケージは、第1の領域および第2の領域、および第1の表面および第1の表面から遠く離れた第2の表面を有する基板を備えている。少なくとも1つの超小型電子素子が、第1の領域内において第1の表面の上に重なっている。導電要素が、第2の領域内において基板の第1の表面および第2の表面の少なくとも1つに露出しており、導電要素の少なくともいくつかは、少なくとも1つの超小型電子素子に電気的に接続されている。超小型電子パッケージは、導電要素のそれぞれに接合された基部と、基板から遠く離れてかつ基部から遠く離れた端面とを有するワイヤボンドをさらに備えており、各ワイヤボンドは、その基部と端面との間に延在する縁面を画定している。誘電体封止層が、第1または第2の表面の少なくとも1つから延在しており、ワイヤボンドが封止層によって互いに分離されるようにワイヤボンド間の空間を充填している。封止層は、基板の少なくとも第2の領域の上に重なっており、ワイヤボンドの未封止部分は、少なくとも封止層によって覆われていないワイヤボンドの端面の一部によって画定されている。基板は、リードフレームであってもよく、導電要素は、リードフレームのリードであってもよい。

40

#### 【0010】

ワイヤボンドの未封止部分は、ワイヤボンドの端面と、封止層によって覆われていない端面に隣接する縁面の一部と、によって画定されていてもよい。ワイヤボンドの未封止

50

部分の少なくともいくつかに接触する酸化保護層が含まれていてもよい。ワイヤボンドの少なくとも1つの端面に隣接する少なくとも一部は、封止層の表面と実質的に直交してもよい。前述の導電要素は、第1の導電要素とされ、超小型電子パッケージは、ワイヤボンドの未封止部分に電気的に接続された複数の第2の導電要素をさらに備えていてもよい。このような実施形態では、第2の導電要素は、第1の導電要素と接触しないようになっていてもよい。第2の導電要素は、第1のワイヤボンドの少なくともいくつかの端面に接合された複数のスタッドバンプを備えていてもよい。。

【0011】

ワイヤボンドの少なくとも1つは、その基部と未封止部分との間で実質的に直線に沿って延在してもよく、該実質的な直線は、基板の第1の表面に関して90°未満の角度をなしてもよい。付加的または代替的に、ワイヤボンドの少なくとも1つの縁面は、端面に隣接する第1の部分と、端面から第1の部分によって分離された第2の部分とを有してもよく、第1の部分は、第2の部分が延在する方向から離れる方向に延在してもよい。

10

【0012】

本開示の他の実施形態は、代替的な超小型電子パッケージに関する。このような超小型電子パッケージは、第1の領域および第2の領域、および第1の表面および第1の表面から遠く離れた第2の表面を有する基板を備えている。少なくとも1つの超小型電子素子が、第1の領域内において第1の表面の上に重なっている。導電要素が、第2の領域内において基板の第1の表面および第2の表面の少なくとも1つに露出しており、導電要素の少なくともいくつかは、少なくとも1つの超小型電子素子に電気的に接続されている。超小型電子パッケージは、導電要素のそれぞれに接合された基部と、基板から遠く離れてかつ基部から遠く離れた端面とを有する複数のワイヤボンドをさらに備えている。各ワイヤボンドは、その基部と端面との間に延在する縁面を画定している。誘電体封止層が、第1または第2の表面の少なくとも1つから延在しており、ワイヤボンドが封止層によって互いに分離されるように、ワイヤボンド間の空間を充填している。封止層は、基板の少なくとも第2の領域の上に重なっており、ワイヤボンドの未封止部分は、少なくとも封止層によって覆われていないワイヤボンドの端面に隣接する縁面の一部によって画定されている。

20

【0013】

封止層は、ワイヤボンドを形成した後に、誘電体材料を第1の基板上に堆積させ、次いで、堆積した誘電体材料を硬化させることによって、基板上に形成された一体化層とすることができる。一体化封止層の形成は、誘電体材料の成形を含んでいる。

30

【0014】

未封止部分の少なくとも1つは、少なくとも封止層によって覆われていない端面の一部によってさらに画定されていてもよい。封止層によって覆われていない縁面の一部は、封止層の表面と実質的に平行の方向に延在する最長寸法を有してもよい。封止層によって覆われず、封止層の表面と実質的に平行に延在する縁面の一部の長さは、ワイヤボンドの断面幅よりも大きくなっていてもよい。

【0015】

前述の実施形態のいずれかにおいて、基板の第1の表面は、第1および第2の方向に延在してもよく、各横方向は、第1および第2の表面間において基板の厚みの方向を横断してもよい。ワイヤボンドの少なくとも1つの未封止部分は、少なくとも1つのワイヤボンドが接合された導電要素から横方向の少なくとも1つにおいてさらに変位してもよい。ワイヤボンドの少なくとも1つは、その基部と端面との間に実質的に湾曲した部分を備えていてもよい。少なくとも1つのワイヤボンドの未封止部分は、超小型電子素子の主面の上に重なっていてもよい。

40

【0016】

前述の実施形態のいずれかにおいて、半田ボールが、ワイヤボンドの少なくとも1つの未封止部分に接合されるようになっていてもよい。

【0017】

50

加えて、前述の実施形態のいずれかにおいて、封止層は、少なくとも1つの表面を備えることができ、ワイヤボンドの未封止部分は、少なくとも1つの表面の1つにおいて、封止層によって覆われないようになっていてもよい。少なくとも1つの表面は、基板の第1の表面と実質的に平行の主面を含むことができ、ワイヤボンドの少なくとも1つの未封止部分は、主面において封止層によって覆われないようになっていてもよい。少なくとも1つのワイヤボンドの未封止部分は、主面と実質的に同一平面をなしていてもよい。代替的に、少なくとも1つのワイヤボンドの未封止部分は、主面の上方に延在していてもよい。少なくとも1つの表面は、基板の第1の表面から第1の距離を隔てた主面と、基板の第1の表面から第1の距離よりも短い第2の距離を隔てた凹面とを備えていてもよく、ワイヤボンドの少なくとも1つの未封止部分は、凹面において封止層によって覆われないようになっていてもよい。少なくとも1つの表面は、基板の第1の表面から大きな角度で離れる方に延在する側面を含んでいてもよく、少なくとも1つのワイヤボンドの未封止部分は、側面において封止層によって覆われないようになっていてもよい。封止層は、封止層の表面から基板に向かって延在するように形成された空洞を有していてもよく、ワイヤボンドの1つの未封止部分は、空洞内に配置されていてもよい。

10

## 【0018】

さらに、前述の実施形態のいずれかにおいて、ワイヤボンドは、銅、金、アルミニウム、および半田からなる群から選択された少なくとも一種の材料から本質的になっているとい。ワイヤボンドの少なくとも1つは、その長さに沿って長軸を画定しており、各ワイヤボンドは、長軸に沿って延在する第1の材料の内層と、長軸から遠く離れ、このようなワイヤボンドの長さ方向に延在する長さを有する第2の材料の外層と、を備えていてよい。このような実施形態では、第1の材料は、銅、金、ニッケル、およびアルミニウムの一種とすることができます、第2の材料は、銅、金、ニッケル、アルミニウム、および半田の一種とすることができます。

20

## 【0019】

前述の実施形態のいずれかにおいて、複数のワイヤボンドは、第1のワイヤボンドとされ、超小型電子パッケージは、超小型電子素子上の接点に接合された基部と接点から遠く離れた端面とを有する少なくとも1つの第2のワイヤボンドをさらに備えていてもよい。少なくとも1つの第2のワイヤボンドは、基部と端面との間に延在する縁面を画定しており、少なくとも1つの第2のワイヤボンドの未封止部分は、このような第2のワイヤボンドの端面または封止層によって覆われていないこの第2のワイヤボンドの縁面の少なくとも1つの一部によって画定されていてもよい。少なくとも1つの超小型電子素子は、第1の超小型電子素子とされ、超小型電子パッケージは、第1の超小型電子素子の上に少なくとも部分的に重なる少なくとも1つの第2の超小型電子素子をさらに備えていてよい。このような実施形態では、該ワイヤボンドは、第1のワイヤボンドとされ、超小型電子パッケージは、超小型電子素子上の接点に接合された基部と、接点から遠く離れた端面とを有する少なくとも1つの第2のワイヤボンドを有していてもよい。少なくとも1つの第2のワイヤボンドは、基部と端面との間に延在する縁面を画定しており、第2のワイヤボンドの未封止部分は、このような第2のワイヤボンドの端面の一部または封止層によって覆われていないこの第2のワイヤボンドの縁面の少なくとも1つによって画定されていてもよい。

30

## 【0020】

前述の実施形態のいずれかにおいて、ワイヤボンドの第1のものは、第1の信号電位を送るように適合されており、ワイヤボンドの第2のものは、第1の信号電位と異なる第2の信号電位を同時に送るように適合されているとい。

40

## 【0021】

前述の実施形態のいずれかは、封止層の表面に沿って延在する再分配層をさらに備えていてもよい。再分配層は、封止層の主面に隣接する第1の面を有する再分配基板を備えていてもよく、再分配層は、第1の表面から遠く離れた第2の表面と、再分配基板の第1の表面上に露出し、ワイヤボンドのそれぞれの未封止部分と真っ直ぐに並んで機械的に接続

50

された第1の導電パッドと、基板の第2の表面に露出し、第1の導電パッドに電気的に接続された第2の導電パッドと、をさらに備えていてもよい。

【0022】

さらに他の実施形態では、超小型電子アセンブリは、前述の実施形態のいずれかによる第1の超小型電子パッケージを備えている。該アセンブリは、第1の表面および第2の表面を有する基板を有する第2の超小型電子パッケージをさらに備えているとよい。第2の超小型電子層が、第1の表面に実装されるとよく、接触パッドが、第2の表面に露出し、第2の超小型電子素子に電気的に接続されるとよい。第2の超小型電子パッケージは、第2の超小型電子パッケージの第2の表面が誘電体封止層の表面の少なくとも一部の上に重なるように、かつ接触パッドの少なくともいくつかがワイヤボンドの未封止部分の少なくともいくつかに電気的かつ機械的に接続されるように、第1の超小型電子パッケージに実装されるとよい。

10

【0023】

本開示の他の実施形態は、第1の領域および第2の領域と第1の表面および第1の表面から遠く離れた第2の表面とを有し、横方向に延在している、基板を備える超小型電子パッケージに関する。超小型電子素子が、第1の領域内において第1の表面の上に重なっており、基板から遠く離れた主面を有している。導電要素が、第2の領域内において基板の第1の表面に露出しており、導電要素の少なくともいくつかは、超小型電子素子に電気的に接続されている。超小型電子パッケージは、第1の導電要素のそれぞれに接合された基部と、基板から遠く離れてかつ基部から遠く離れた端面とを有するワイヤボンドをさらに備えている。各ワイヤボンドは、その基部と端面との間に延在する縁面を画定している。誘電体封止層が、第1または第2の表面の少なくとも1つから延在しており、ワイヤボンドが誘電体層によって互いに分離されるように、ワイヤボンド間の空間を充填している。封止層は、基板の少なくとも第2の領域の上に重なっており、ワイヤボンドの未封止部分は、封止層によって覆われていないワイヤボンドの端面の少なくとも一部によって画定されている。少なくとも1つのワイヤボンドの未封止部分は、未封止部分が超小型電子素子の主面の上に重なるように、少なくとも1つのワイヤボンドが接続された導電要素から第1の表面に沿って少なくとも1つの横方向に変位している。

20

【0024】

導電要素は、第1の所定の形態の第1のアレイに配置されていてもよく、ワイヤボンドの未封止部分は、第1の所定の形態と異なる第2の所定の形態の第2のアレイに配置されていてもよい。第1の所定の形態は、第1のピッチによって特徴付けられていてもよく、第2の所定の形態は、第1のピッチよりも細い第2のピッチによって特徴付けられていてもよい。絶縁層が、超小型電子素子の少なくとも表面を覆って延在していてもよい。絶縁層は、超小型電子素子の表面と、超小型電子素子の主面の上に重なる未封止部分を有する少なくとも1つのワイヤボンドと、の間に配置されていてもよい。ワイヤボンドのそれぞれの複数の未封止部分は、超小型電子素子の主面の上に重なっていてもよい。

30

【0025】

本発明の一実施形態による超小型電子アセンブリは、前述の実施形態による第1の超小型電子パッケージを備えている。該アセンブリは、第1の表面および第2の表面を有する基板と、第1の表面に取り付けられた超小型電子素子と、第2の表面に露出し、超小型電子素子に電気的に接続された接触パッドと、を備える第2の超小型電子パッケージをさらに備えているとよい。第2の超小型電子パッケージは、第2のパッケージの第2の表面が誘電体層の表面の少なくとも一部の上に重なるように、かつ接触パッドの少なくともいくつかがワイヤボンドの未封止部分の少なくともいくつかに電気的かつ機械的に接続されるように、第1の超小型電子パッケージに取り付けられているとよい。

40

【0026】

第1の超小型電子パッケージの導電要素は、第1の所定の形態の第1のアレイに配置されていてもよく、第2の超小型電子パッケージの接触パッドは、第1の所定の形態と異なる第2の所定の形態の第2のアレイに配置されていてもよい。第1の超小型電子パッケージに

50

ジのワイヤボンドの未封止部分の少なくともいくつかは、第2の所定の形態に対応する第3のアレイに配置されていてもよい。第1の所定の形態は、第1のピッチによって特徴付けられていてよく、第2の形態は、第1のピッチよりも細い第2のピッチによって特徴付けられていてもよい。

#### 【0027】

本発明のさらに他の実施形態は、超小型電子パッケージを製造する方法に関する。この方法は、誘電体封止層を処理中ユニット上に形成するステップを含んでいる。処理中ユニットは、第1の表面およびそこから遠く離れた第2の表面を有する基板と、基板の第1の表面に実装された超小型電子素子と、第1の表面に露出した複数の導電要素と、を備えている。導電要素の少なくともいくつかは、超小型電子素子に電気的に接続されている。処理中ユニットは、導電要素に接合された基部および基部から遠く離れた端面を有するワイヤボンドをさらに備えている。各ワイヤボンドは、基部と端面との間に延在する縁面を画定している。封止層は、第1の表面およびワイヤボンドの一部を少なくとも部分的に覆うように形成されており、ワイヤボンドの未封止部分は、封止層によって覆われていない端面または縁面の少なくとも1つの一部によって画定されている。処理中ユニットの基板は、リードフレームであってもよく、導電要素は、リードフレームのリードであってもよい。スタッドバンプが、ワイヤボンドの少なくとも1つの封止部分上に形成されてもよい。半田ボールが、ワイヤボンドの少なくとも1つの未封止部分上に堆積されるようになっていてもよい。

10

#### 【0028】

封止層を形成するステップは、誘電体材料塊を第1の表面およびワイヤボンドの実質的に全てを覆って堆積させ、その未封止部分を画定するために、誘電体材料塊の部分を除去し、ワイヤボンドの一部を露出させることを含んでいてもよい。変更形態では、ワイヤボンドの少なくとも1つは、導電要素の少なくとも2つの各々に接合されたループをなすように延ばされていてもよい。誘電体材料塊は、第1の表面および少なくとも1つのワイヤボンドループを少なくとも部分的に覆うように堆積されてもよく、誘電体材料塊の一部を除去するステップは、少なくとも1つのワイヤボンドループを封止層によって覆われていないそれぞれの自由端を有する第1および第2のワイヤボンドに切断し、その未封止部分を形成するように、少なくとも1つのワイヤボンドループの一部を除去することをさらに含んでいてもよい。ワイヤの第1の端を導電要素に接合し、ワイヤを第1の表面から離れる方向に引き出し、次いで、ワイヤを第1の表面に沿って少なくとも横方向に引き出し、次いで、ワイヤを第2の導電要素の方に引き出し、かつワイヤを第2の導電要素に接合することを含むステップによって、ループが形成されてもよい。

20

#### 【0029】

誘電体材料塊を基板の第1の表面から離れた位置から、ワイヤボンドの少なくとも1つが誘電体材料塊を貫通するように、ワイヤボンドの上に押圧し、基板の第1の表面に接触させることによって、封止層が処理中ユニット上に形成されてもよい。ワイヤボンドは、金、銅、アルミニウム、または半田から本質的になるワイヤから作製されているとよい。第1のワイヤボンドは、アルミニウムを含んでいてもよく、ワイヤボンドは、ウェジボンディングによって、導電要素に接合されるようになっていてもよい。封止層を形成するステップは、付加的または代替的に、封止層の主面から基板の方に延在する少なくとも1つの空洞を形成することを含んでいてもよく、少なくとも1つの空洞は、ワイヤボンドの1つの未封止部分を包囲していてもよい。少なくとも1つの空洞は、基板上に誘電体封止材料を堆積させた後、封止材料の湿式エッティング、乾式エッティング、またはレーザー-エッティングの少なくとも1つによって形成されるようになっていてもよい。少なくとも1つの空洞は、基板および少なくとも1つのワイヤボンド上に誘電体封止材料を堆積した後、ワイヤボンドの少なくとも1つの所定位置から犠牲材料の塊の少なくとも一部を除去することによって、形成されるようになっていてもよい。封止層を形成するステップは、犠牲材料の塊の一部が封止層の主面上に露出し、犠牲材料の塊の露出部が、ワイヤボンドの自由端の近くの部分を包囲し、封止層の一部を該自由端の近くの部分から離間するように行われ

30

40

50

てもよい。ワイヤボンドの少なくとも1つは、その長さに沿って長軸を画定しており、各ワイヤボンドは、長軸に沿って延在する第1の材料の内層と、長軸から遠く離れてこのようなワイヤボンドの長さに沿って延在する長さを有する犠牲材料の塊によって形成された外層と、を備えていてもよい。犠牲材料の塊の第2の部分が基部に隣接して残るような空洞を形成するように、犠牲材料の塊の第1の部分が除去されるようになっていてもよい。

【0030】

基板の第1の表面は、横方向に延在しているとよく、ワイヤボンドの少なくとも1つの未封止部分は、ワイヤボンドの端面が少なくとも1つのワイヤボンドが接合された導電要素から横方向の少なくとも1つにおいて変位するように、形成されてもよい。従って、処理中ユニットは、ワイヤボンドの少なくとも1つが導電要素と少なくとも1つのワイヤボンドの端面との間に配置された実質的に湾曲した部分を備えるように、ワイヤボンドを形成するステップを含むように形成されてもよい。

10

【0031】

さらに他の変更形態では、基板は、第1の領域および第2の領域を備えており、超小型電子素子は、第1の領域の上に重なって、基板から遠く離れた主面を有している。第1の導電要素は、第2の領域内に配置されているとよく、処理中ユニットは、ワイヤボンドの少なくとも1つの少なくとも一部が超小型電子素子の主面の上に重なるように、ワイヤボンドを形成するステップを含むように形成されるとよい。

【0032】

ワイヤボンドは、その長さに沿って長軸を画定しており、ワイヤボンドは、長軸に沿って延在する第1の材料の内層と、長軸から遠く離れてワイヤボンドの長さに沿って延在する第2の材料の外層と、を備えていてもよい。このような変更形態では、第1の材料は、銅であるとよく、第2の材料は、半田であるとよい。封止層を形成するステップの後、ワイヤボンドの内層の縁面の一部を露出させるために、第2の材料の一部が除去され、誘電体層の表面から延在する空洞を形成するようになっていてもよい。

20

【0033】

本開示のさらに他の実施形態は、第1の領域および第2の領域を有する基板であって、第1の表面および第1の表面から遠く離れた第2の表面を有している、基板を備える超小型電子パッケージに関する。少なくとも1つの超小型電子素子が、第1の領域内において第1の表面の上に重なっており、導電要素が、第2の領域内において基板の第1の表面に露出しており、導電要素の少なくともいくつかは、少なくとも1つの超小型電子素子に電気的に接続されている。複数のボンド要素は、各々、第1の基部、第2の基部、および基部間に延在する縁面を有しており、第1の基部は、導電要素の1つに接合されている。縁面は、接触パッドから基板から遠く離れた縁面の頂部に延在する第1の部分を備えている。縁面は、頂部から第2の基部に延在する第2の部分をさらに備えており、第2の基部は、基板の特徴部に接合されている。誘電体封止層が、第1または第2の表面の少なくとも1つから延在しており、ボンド要素が封止層によって互いに分離されるように、ボンド要素の第1および第2の部分間の空間および複数のボンド要素間の空間を充填している。封止層は、少なくとも基板の第2の領域の上に重なっている。ボンド要素の未封止部分は、封止層によって覆われていない頂部の周りのボンド要素の縁面の少なくとも一部によって画定されている。

30

【0034】

前述の実施形態の変更形態では、ボンド要素は、ワイヤボンドである。このような変更形態では、基板の第2の基部が接合される基板の特徴部は、第1の基部が接続される導電要素であってもよい。代替的に、基板の第2の基部が接合される基板の特徴部は、第1の基部が接合される導電要素と異なる各導電要素であってもよい。第2の基部が接合されるこのような導電要素は、超小型電子要素に電気的に接続されなくてもよい。代替的な変更形態では、ボンド要素は、ボンドリボンである。このような変更形態では、第1の基部の一部は、各接触パッドの一部に沿って延在し、第2の基部が接合される特徴部は、各接触パッドの一部に沿って延在する第1の基部の長さ部分であってもよい。

40

50

## 【0035】

この実施形態では、基板の第1の表面は、第1および第2の横方向に延在しており、各横方向は、第1および第2の表面間において基板の厚みの方向を横断している。ワイヤボンドの少なくとも1つの未封止部分は、少なくとも1つのワイヤボンドが接合された導電要素から横方向の少なくとも1つにおいて変位しているとよい。さらに、少なくとも1つのワイヤボンドの未封止部分は、超小型電子素子の主面の上に重なっていてもよい。

## 【0036】

本開示のさらに他の実施形態は、超小型電子センブリを製造する方法に関する。この実施形態の方法は、前述の実施形態によって作製された第1の超小型電子パッケージを第2の超小型電子パッケージに接合するステップを含んでおり、第2の超小型電子パッケージは、第1の表面を有する基板および基板の第1の表面に露出した複数の接点を備えており、第1の超小型電子パッケージを第2の超小型電子パッケージに接合するステップは、第1の超小型電子パッケージのワイヤボンドの未封止部分を第2の超小型電子パッケージの接点に電気的かつ機械的に接続することを含んでいる。

10

## 【0037】

本発明のさらに他の実施形態は、超小型電子パッケージを製造する代替的な方法に関する。この実施形態の方法は、誘電体材料塊を処理中ユニットを覆って配置するステップを含んでいる。該処理中ユニットは、第1の表面およびそこから遠く離れた第2の表面を有する基板と、第1の表面に露出した複数の薄い導電要素と、薄い導電要素のそれぞれに接合された基部と、基板から遠く離れてかつ基部から遠く離れた端面と、を有するワイヤボンドと、を備えている。各ワイヤボンドは、その基部と端面との間に延在する縁面を画定している。この方法は、ワイヤボンドが誘電体材料塊を貫通するように、誘電体材料塊をワイヤボンドの上に押圧し、基板の第1の表面に接触させることによって、封止層を処理中ユニット上に形成するステップも含んでいる。従って、封止層は、ワイヤボンドが封止層によって互いに分離されるように、ワイヤボンド間の空間を充填し、封止層は、基板の少なくとも第2の領域の上に重なっている。第1のワイヤボンドの未封止部分は、第1のワイヤボンドの一部が封止層によって覆われないように、ワイヤボンドが封止層の一部を貫通することによって形成されるようになっている。

20

## 【0038】

本開示のさらに他の実施形態は、超小型電子パッケージを製造する代替的な方法に関する。この実施形態の方法は、誘電体封止層を処理中ユニット上に形成するステップを含んでいる。該処理中ユニットは、第1の表面およびそこから遠く離れた第2の表面を有する基板と、第1の表面に露出した複数の薄い導電要素と、薄い導電要素の少なくとも2つのそれぞれに第1の基部および第2の基部において接合されたワイヤループと、を備えている。封止層は、第1の表面および少なくとも1つのワイヤループを少なくとも部分的に覆うように形成されている。この方法は、ワイヤループの各々を、第1および第2の基部のそれぞれに対応する個別のワイヤボンドに分断するように、封止層の一部およびワイヤループの一部を除去するステップをさらに含んでいる。ワイヤボンドは、基板から遠く離れてかつ基部から離れた端面を有しており、各ワイヤボンドは、その基部と端面との間に延在する縁面を画定している。封止層は、ワイヤボンドが封止層によって分離されるように、ワイヤボンド間の空間を充填している。ワイヤボンドは、封止層によって少なくとも部分的に覆われていないワイヤボンドの自由端によって形成された未封止部分を有している。

30

## 【0039】

本開示の他の実施形態は、前述の実施形態の1つによる超小型電子パッケージまたは超小型電子センブリと、超小型電子パッケージに電気的に接続された1つまたは複数の他の電子コンポーネントとを備えるシステムに関する。システムは、ハウジングをさらに備えることができ、超小型電子パッケージまたは超小型電子センブリおよび他の電子コンポーネントがハウジングに実装されているとよい。

40

## 【図面の簡単な説明】

## 【0040】

50

【図1】本発明の一実施形態による超小型電子パッケージを示す図である。

【図2】図1の超小型電子パッケージの上面図である。

【図3】本発明の代替的実施形態による超小型電子パッケージを示す図である。

【図4】本発明の代替的実施形態による超小型電子パッケージを示す図である。

【図5】本発明の代替的実施形態による超小型電子パッケージを示す図である。

【図6】本発明の一実施形態による超小型電子パッケージを備える積層超小型電子アセンブリを示す図である。

【図7】本発明の代替的実施形態による超小型電子パッケージを示す図である。

【図8A-8E】本発明の種々の実施形態による超小型電子パッケージの一部の詳細図である。

【図9】本発明の代替的実施形態による超小型電子パッケージの一部の詳細図である。

【図10A-10D】本発明の種々の実施形態による超小型電子パッケージの一部の詳細図である。

【図11-14】本発明の一実施形態による超小型電子パッケージを製造する種々のステップ中の超小型電子パッケージを示す図である。

【図15】本発明の代替的実施形態による製造ステップ中の超小型電子パッケージを示す図である。

【図16A-16C】本発明の一実施形態による超小型電子パッケージを製造する種々のステップ中の超小型電子パッケージの一部の詳細図である。

【図17A-17C】本発明の代替的実施形態による超小型電子パッケージを製造する種々のステップ中の超小型電子パッケージの一部の詳細図である。

【図18】本発明の代替的実施形態による超小型電子パッケージの上面図である。

【図19】本発明の代替的実施形態による超小型電子パッケージの一部の上面図である。

【図20】本発明のさらに他の代替的実施形態による超小型電子パッケージの上面図である。

【図21】請求項20の超小型電子パッケージの正面図である。

【図22】本発明のさらに他の代替的実施形態による超小型電子パッケージの正面図である。

【図23】本発明のさらに他の実施形態によるシステムを示す図である。

【図24】本発明のさらに他の代替的実施形態による超小型電子パッケージの正面図である。

【図25】本発明のさらに他の代替的実施形態による超小型電子パッケージの正面図である。

【図26】図25の実施形態の変更形態による超小型電子パッケージの上面図である。

【図27】本発明のさらに他の代替的実施形態による超小型電子パッケージの正面図である。

【図28】図27の実施形態の変更形態による超小型電子パッケージの上面図である。

【発明を実施するための形態】

【0041】

以下、図面について説明する。これらの図面では、同様の特徴部を指すのに同様の参照番号が用いられている。本発明の一実施形態による超小型電子アセンブリ10が、図1に示されている。図1の実施形態は、コンピュータまたは他の電子用途に用いられる半導体チップアセンブリのようなパッケージ化された超小型電子素子の形態にある超小型電子アセンブリである。

【0042】

図1の超小型電子アセンブリは、第1の表面14および第2の表面16を有する基板12を備えている。基板12は、典型的には、実質的に平坦な誘電体要素の形態にある。誘電体要素は、シート状であるとよく、かつ薄くなっているとよい。特定の実施形態では、誘電体要素は、有機誘電体材料または複合誘電体材料、例えば、制限されるものではないが、ポリイミド、ポリテトラフルオロエチレン(PTFE)、エポキシ、エポキシーガラ

10

20

30

40

50

ス、FR-4、BT樹脂、熱可塑性または熱硬化性プラスチック材料の1層または複層から構成されている。第1の表面14および第2の表面16は、好ましくは、互いに実質的に平行であり、表面14, 16と直交する距離だけ互いに離間しており、この距離が基板12の厚みを画定している。基板12の厚みは、好ましくは、本願にとって略許容できる厚みの範囲内にある。一実施形態では、第1の表面14と第2の表面16との間の距離は、約25μmから500μmの間である。ここでの説明の目的から、第1の表面14は、第2の表面16の反対側に位置すると記載されることがある、または第2の表面16から遠く離れて位置していると記載されることがある。このような要素の垂直または水平位置を示すこのような記載およびここに用いられる相対位置に関する任意の他の記載は、図面内のこれらの要素の位置に対応する説明を行うことのみを目的とするものであり、制限的なものではない。

10

## 【0043】

好ましい実施形態では、基板12は、第1の領域18と第2の領域20とに分割されていると考えられる。第1の領域18は、第2の領域20内に位置しており、基板12の中央部分を含んでおり、そこから外方に延在している。第2の領域20は、第1の領域18を実質的に包囲しており、そこから外方に基板12の外縁まで延在している。この実施形態では、基板自体のどのような特徴部も2つの境域を特に物理的に分割していないが、これらの領域は、処理または該処理に適用されるかまたは含まれる特徴部に関する本明細書における説明のために画定されている。

20

## 【0044】

超小型電子素子22は、第1の領域18内において、基板12の第1の表面14に実装されている。超小型電子素子22は、半導体チップであってもよいし、または他の同等の素子であってもよい。図1の実施形態では、超小型電子素子22は、所謂、従来式の配置、具体的には、「フェイスアップ」配置で第1の表面14に実装されている。このような実施形態では、ワイヤリード24を用いて、超小型電子素子22を第1の表面14に露出した複数の導体要素28のいくつかに電気的に接続することができる。ワイヤリード24は、トレース(図示せず)または基板12内の他の導電特徴部に接合され、これらのトレースまたは他の導電特徴部が、導電要素28に接続されるようになっているとよい。

## 【0045】

これらの導電要素28は、基板12の第1の表面14に露出したそれぞれの「接点」またはパッド30を含んでいる。この説明において導電要素が誘電体構造を有する他の要素の表面に「露出している」という記述がなされたとき、この記述は、該導電要素が誘電体構造の外側から誘電体構造の表面に向かって該表面と直交する方向に移動する理論点との接触に利用できることを示している。従って、誘電体構造の表面に露出した端子または他の導電要素は、このような表面から突出していてもよいし、このような表面と同一面をなしていてもよいし、またはこのような表面に対して窪んでいるが、誘電体構造の孔または凹みを通して露出していてもよい。導電要素28は、平坦な薄い要素であるとよく、この導電要素28のパッド30が、基板12の第1の表面14に露出している。一実施形態では、導電要素28は、実質的に円形状であり、トレース(図示せず)によって、互いに相互接続されており、または超小型電子素子22に相互接続されるようになっている。導電要素28は、基板12の少なくとも第2の領域20内に形成されているとよい。付加的に、いくつかの実施形態では、導電要素28は、さらに第1の領域18内に形成されてもよい。このような配列は、超小型電子素子122(図3)を、所謂、「フリップチップ」配置で基板112に実装するとき、特に有用である。この配置では、超小型電子素子122の接点が、超小型電子素子122の下方に位置する半田バンプ126などによって、第1の領域118内における導電要素128に接続されることになる。図22に示されている他の構成では、超小型電子素子622は、基板612上にフェイスダウン実装され、基板612の外向き表面、例えば、表面616を超えて延在するワイヤリード624によって、チップ上の導電特徴部に電気的に接続されるようになっている。図示されているこの実施形態では、ワイヤリード624は、基板612の開口625内を通り、才

30

40

50

ーバモールド材 699 によって封止されるようになっている。

【0046】

一実施形態では、導電要素 28 は、固体金属材料、例えば、銅、金、ニッケル、またはこののような用途に許容される他の材料、例えば、銅、金、ニッケル、またはこれらの組合せの一種または複数種を含む種々の合金から形成されている。

【0047】

導電要素 28 の少なくともいくつかは、基板 12 の第 2 の表面 16 に露出した対応する第 2 の導電要素 40、例えば、導電パッドに相互接続されるようになっている。このような相互接続は、基板 12 に形成されたビア 41 を用いて行われるとよい。ビア 41 は、導電要素 28, 40 と同じ材料とすることができます導電金属によって導通されているかまたは該導電金属によって充填されているとよい。任意選択的に、導電要素 40 は、基板 12 上のトレースによって、さらに相互接続されているとよい。

10

【0048】

超小型電子アセンブリ 10 は、複数のワイヤボンド 32 をさらに備えている、ワイヤボンド 32 は、導電要素 28 の少なくともいくつかに、例えば、そのパッド 30 上に接合されている。ワイヤボンド 32 は、その基部 34 において導電要素 28 に接合されており、それぞれの基部 34 および基板 12 から遠く離れた自由端 36 まで延在している。ワイヤボンド 32 の端 36 は、それらが超小型電子素子 22 または超小型電子素子 22 に接続される超小型電子アセンブリ 10 内の任意の他の特徴部に電気的に接続されておらず、または接合されていないという点において、自由であると特徴付けられる。換言すれば、自由端 36 は、半田ボールまたはここで検討される他の特徴部によって、直接的または間接的にアセンブリ 10 の外部の導電特徴部に電気的に接続されるのに利用できるようになっている。端 36 が、例えば、封止層 42 によって所定位置に保持されているという事実または他の導電特徴部に接合されるかまたは電気的に接続されるようになっているという事実は、任意のこのような特徴部が超小型電子素子 22 に電気的に接続されない限り、ここに記載される「自由」ではないことを意味しない。逆に、基部 34 は、ここに述べるように、超小型電子素子 22 に直接的または間接的に電気的に接続されているので、自由ではない。図 1 に示されているように、基部 34 は、実質的に丸い形状を有しており、基部 34 と端 36 との間に画定されたワイヤボンド 32 の縁面 37 から外方に広がっている。基部 34 の具体的な大きさおよび形状は、ワイヤボンド 32 を形成するために用いられる材料の種類、ワイヤボンド 32 と導電要素 28 との間の接続の所望の強度、またはワイヤボンド 32 を形成するために用いられる具体的なプロセスによって、変更可能である。ワイヤボンドを作製するための例示的な方法は、(ワイヤボンディングの 1 つの形態とみなされるウェッジボンディング方法を記載している) Otremba に付与された米国特許第 7,391,121 号および米国特許出願公開第 2005/0095835 号に記載されている。これらの開示内容は、参照することによって、それらの全体がここに含まれるものとする。ワイヤボンド 32 が、追加的または代替的に、基板 12 の第 2 の表面 16 に露出した導電要素 40 に接合され、そこから離れる方に延在するようになっている代替的な実施形態も可能である。

20

【0049】

ワイヤボンド 32 は、銅、金、ニッケル、半田、アルミニウムなどの導電材料から作製されているとよい。付加的に、ワイヤボンド 32 は、材料の組合せ、例えば、銅またはアルミニウムのような導電材料のコアと該コアに施された皮膜との組合せから作製されてもよい。この皮膜は、アルミニウム、ニッケル、などの第 2 の導電材料とすることができます。代替的に、この皮膜は、絶縁被覆のような絶縁材料であってもよい。一実施形態では、ワイヤボンド 32 を形成するのに用いられるワイヤは、約 15  $\mu\text{m}$  から 150  $\mu\text{m}$  の厚み、すなわち、ワイヤの長さを横断する方向の寸法を有している。ウェッジボンディングが用いられる他の実施形態では、ワイヤボンド 32 は、最大約 500  $\mu\text{m}$  の厚みを有しているとよい。一般的に、ワイヤボンドは、当技術分野において周知の専用機器を用いて、導電要素 28、パッド、トレース、などのような導電要素上に形成されるようになって

30

40

50

いる。ワイヤセグメントの先端が加熱され、該ワイヤセグメントが接合される受け面に加圧され、これによって、典型的には、導電要素 28 の表面に接合されたボールまたはボール状基部 34 が形成されることになる。ワイヤボンドを形成するための所望の長さのワイヤセグメントがボンディング工具の外に引き出され、次いで、該工具が所望の長さのワイヤボンドに切断することになる。アルミニウムのワイヤボンドを形成するのに用いられるウエッジボンディングは、例えば、ワイヤの加熱された部分が受け面を横切って引き出され、表面と略平行のウエッジを形成するプロセスである。次いで、ウエッジボンディングされたワイヤボンドは、必要に応じて、上方に曲げられ、所望の長さまたは所望の位置に延ばされ、この後、切断されることになる。特定の実施形態では、ワイヤボンドを形成するのに用いられるワイヤは、円筒状の断面を有していてもよい。または、ワイヤボンドまたはウエッジボンディングされるワイヤボンドを形成するために工具から送給されるワイヤは、例えば、矩形、台形などの多角形断面を有していてもよい。

10

## 【0050】

ワイヤボンド 32 の自由端 36 は、端面 38 を有している。これらの端面 38 は、複数のワイヤボンド 32 のそれぞれの端面 38 によって形成されたアレイ配置の接点の少なくとも一部を形成することになる。図 2 は、端面 38 によって形成されたこのようなアレイ配置の接点の例示的なパターンを示している。このようなアレイは、エリアアレイ形態で形成されているとよい。種々のこのようなエリアアレイ形態が、ここに記載される構造を用いて、実現されることになる。このようなアレイを用いて、超小型電子アセンブリ 10 を他の超小型電子構造、例えば、印刷回路基板 (PCB)、または図 6 にその例が示されている他のパッケージ化された超小型電子素子に電気的かつ機械的に接続することができる。このような積層配置では、ワイヤボンド 32 および導電要素 28, 40 は、多数の電子信号を伝送し、それぞれの電子信号は、種々の信号が单一スタック内の種々の超小型電子素子によって処理されることを可能とするための種々の信号電位を有している。半田塊 52 を用いて、例えば、端面 38 を導電要素 40 に電気的または機械的に取り付けることによって、このようなスタック内の超小型電子アセンブリを相互接続することができる。

20

## 【0051】

超小型電子アセンブリ 10 は、誘電体材料から形成された封止層 42 をさらに備えている。図 1 の実施形態では、封止層 42 は、基板 12 の第 1 の表面 14 の（超小型電子素子 22 または導電要素 28 によって覆われていない、すなわち、占有されていない）部分を覆って形成されている。同様に、封止層 42 は、導電要素 28 のそのパッド 30 を含む（ワイヤボンド 32 によって覆われていない）部分を覆って形成されている。また、封止層 42 は、超小型電子素子 22、および基部 34 および縁面 37 の少なくとも一部を含むワイヤボンド 32 も実質的に覆っているとよい。ワイヤボンド 32 の一部は、封止層 42 によって覆われないようになっており、この部分は、未封止部分と呼ばれることがある。この未封止部分によって、ワイヤボンドを封止層 42 の外側に配置された特徴部または要素面に対して電気的接続させることが可能になる。一実施形態では、ワイヤボンド 32 の端面 38 は、封止層 42 の主面 44 内において封止層 42 によって覆われていない。端面 38 が封止層 42 によって覆われていないのに加えてまたはそれに代わって、縁面 37 の一部が封止層 42 によって覆われていない他の実施形態も可能である。換言すれば、封止層 42 は、ワイヤボンド 36 の一部、例えば、端面 38、縁面 37、またはこれらの 2 つの組合せを除けば、第 1 の表面 14 およびその上方の超小型電子アセンブリ 10 の全てを覆っているとよい。図示されている実施形態では、表面、例えば、封止層 42 の主面 44 は、超小型電子素子 22 を覆うのに十分な距離だけ基板 12 の第 1 の表面 14 から離間しているとよい。従って、ワイヤボンド 32 の端 38 が表面 44 と同一平面をなしている超小型電子アセンブリ 10 の実施形態は、超小型電子素子 22 よりも高い位置に延在するワイヤボンド 32 およびフリップチップ接続のための任意の下部半田バンプを備えている。しかし、封止層 42 の他の構成も可能である。例えば、封止層は、種々の高さを有する多数の表面を有することができる。このような構成では、端 38 が位置する表面 44 は、超小型電子素子 22 の上向き面より高くてよいしまたは低くてよい。

30

40

50

## 【0052】

封止層42は、超小型電子アセンブリ10内の他の要素、特に、ワイヤボンド32を保護するように機能する。これによって、超小型電子アセンブリの試験中、移送中または他の超小型電子構造への組立中に損傷しにくいより堅牢な構造をもたらすことが可能である。封止層42は、米国特許出願公開第2010/0232129号に記載されているような絶縁特性を有する誘導体材料から形成されているとよい。この開示内容は、参照することによって、その全体がここに含まれるものとする。

## 【0053】

図3は、一実施形態によるワイヤボンド132を有する超小型電子アセンブリ110を示している。これらのワイヤボンド132は、そのそれぞれの基部34の真上に位置しない端136を有している。すなわち、基板112の第1の表面114が平面を実質的に画定するために2つの横方向に延在していることを考慮すると、ワイヤボンド132の少なくとも1つの端136は、これらの横方向の少なくとも1つにおいて、基部134の対応する横方向位置から変位している。図3に示されているように、ワイヤボンド132は、図1の実施形態におけるように、その長軸に沿って実質的に真っ直ぐになっているが、該長軸は、基板112の第1の表面114に対して角度146で傾斜している。図3の断面図は、第1の表面114と直交する第1の平面における角度146のみを示しているが、ワイヤボンド132は、第1の平面および第1の表面114と直交する他の面において第1の表面114に対して傾斜していてもよい。このような角度は、角度146と実質的に等しくてもよいし、または異なっていてもよい。すなわち、基部134に対する端136の変位は、2つの横方向において生じていてもよく、これらの方向における変位の大きさは、同じであってもよいし、または異なっていてもよい。

10

20

30

## 【0054】

一実施形態では、ワイヤボンド132のそれぞれが、アセンブリ110の全体にわたって、種々の方向において種々の大きさに変位していてもよい。このような構成によって、アセンブリ110は、基板12の水準におけるアレイと比較して、表面144の水準において異なって構成されたアレイを有することが可能である。例えば、表面144におけるアレイは、基板112の第1の表面114におけるアレイと比較して、第1の表面114におけるよりも小さい全面積を覆うことができ、または第1の表面144におけるよりも小さいピッチを有することができる。さらに、いくつかのワイヤボンド132は、超小型電子要素122の上方に位置する端138を有することができ、これによって、種々の大きさのパッケージ化された超小型電子要素の積層装置に対応することができる。図19に示されている他の例では、ワイヤボンド132は、以下のように、すなわち、ワイヤボンド132Aの端136Aが他のワイヤボンド134Bの基部134Bの実質的に上方に位置し、かつワイヤボンド134Bの端132Bが他の箇所に位置するように、構成されている。このような配置は、第2の表面116上の対応する接点アレイの位置と比較して、接点アレイ内において接触端面136の相対位置を変更させたものとみなすことができる。このようなアレイ内において、超小型電子アセンブリの用途または他の要件に依存して、望み通りに、接触端面の相対位置を変更させることができる。

30

## 【0055】

図4は、さらに他の実施形態による超小型電子サブアセンブリ210を示している。このアセンブリ210は、基部234に対して横方向位置に変位した端236を備えるワイヤボンド232を有している。図4の実施形態では、ワイヤボンド132は、湾曲部分248を備えることによって、この横方向変位を達成している。湾曲部分248は、ワイヤボンド形成プロセス中の追加的なステップにおいて、例えば、ワイヤ部分を所望の長さに引き出す間に形成されるようになっている。このステップは、(単一機械の使用を含む)市販のワイヤボンディング機器を用いて行うことができる。

40

## 【0056】

湾曲部分248は、ワイヤボンド232の端236の所望の位置を得るために、必要に応じて、種々の形状を取ることができる。例えば、湾曲部分248は、種々の形状のS曲

50

線として、例えば、図4に示されている形状のS曲線または(図5に示されているような)よりなめらかな形状のS曲線として形成されるとよい。付加的に、湾曲部分248は、端236よりも基部234の近くに配置されていてもよいし、またはその逆に、端236よりも基部234の遠くに配置されていてもよい。湾曲部分248は、螺旋またはループの形態にあってもよいし、または多数の方向の曲線の組合せまたは種々の形状または特性的組合せであってもよい。

#### 【0057】

図5は、さらに他の例示的な実施形態による超小型電子パッケージ310を示している。このパッケージ310は、基部334と端336との間で種々の相対的な横方向変位をもたらす種々の形状を有するワイヤボンド332の組合せを有している。いくつかのワイヤボンド332Aは、実質的に真っ直ぐであり、それらの端336Aは、それぞれの基部334Aの上方に位置している。一方、他のワイヤボンド332Bは、端336Bと基部334Bとの間にいくらかの相対的横方向変位をもたらすいくらか湾曲した部分348Bを備えている。さらに、いくつかのワイヤボンド332Cは、弧状の形状を有する湾曲部分348Cを有しており、その結果、端336Cが、関連する基部334Cから端334Bよりも大きく横方向に変位している。図5は、このようなワイヤボンドの例示的な対332Ci, 332Ciも示している。これらの対のワイヤボンド332Ci, 332Ciは、基板レベルのアレイの同一列に配置された基部334Ci, 334Ciと、対応する表面レベルのアレイの互いに異なる列に配置された端336Ci, 336Ciとを有している。

10

20

30

40

#### 【0058】

さらに他の変更形態によるワイヤボンド332Dも示されている。このワイヤボンド332Dは、側面47において封止層342によって覆われないように構成されている。しかし、自由端336Dが覆われていない図示の実施形態では、縁面337Dの一部も付加的または代替的に封止層342によって覆われていない。このような構成は、超小型電子アセンブリ10を適切な特徴部に電気的に接続することによって接地するため、または超小型電子アセンブリ310の横方向に配置された他の特徴部に機械的または電気的に接続するために用いられるようになっている。加えて、図5は、正面342よりも基板12の近くに位置する凹面345を画定するために、エッチング、成形、または他の方法によって形成された封止層342の一領域を示している。1つまたは複数のワイヤボンド、例えば、ワイヤボンド332Aは、この凹面345に沿った領域内において覆われていない。図5に示されている例示的な実施形態では、端面338Aおよび縁面337Aの一部は、封止層342によって覆われていない。このような構成は、例えば、半田ボールなどによって、他の導電要素に接続することが可能である。具体的には、半田が縁面337Aに沿ってウイックングすることを可能とし、端面338への接合に加えて、縁面337Aへの接合が可能になる。ワイヤボンドの一部が凹面345に沿って封止層342によって覆われていない他の構成、例えば、端面が凹面345と実質的に同一面をなす実施形態、または封止層342の任意の他の表面に関してここに示されている他の構成も可能である。同様に、ワイヤボンド332Dの一部が側面47に沿って封止層342によって覆われていない他の構成は、封止層の正面の変更形態に対して本明細書において説明する構成と同様のものとすることができます。

#### 【0059】

図5は、2つの超小型電子素子322, 350を有する超小型電子アセンブリ310をさらに示している。超小型電子素子322, 350は、超小型電子素子350が超小型電子322上にフェイスアップ積層される例示的な配置にある。この配置では、超小型電子素子322を基板312上の導電要素に電気的に接続するために、リード324が用いられている。超小型電子素子350を超小型電子アセンブリ310の種々の他の特徴部に接続するために、種々のリードが用いられている。例えば、リード380が超小型電子素子350を基板312の導電特徴部に電気的に接続し、リード382が超小型電子素子350を超小型電子要素322に電気的に接続している。さらに、ワイヤボンド332のそれ

50

それと構造が類似しているワイヤボンド 384 を用いて、超小型電子素子 350 に電気的に接続された封止層 342 の表面 344 上の接触面 386 を形成している。これを用いて、封止層 342 の上から、他の超小型電子アセンブリの特徴部を超小型電子素子 350 に直接的に電気的接続することができる。このようなリードは、例えば、超小型電子素子 322 がそれに取り付けられた超小型電子素子 350 を有することなく存在するとき、超小型電子素子 322 に接続されてもよい。開口（図示せず）が 封止層 342 に形成されていてもよい。この開口は、表面 344 から、例えば、リード 380 に沿ってある箇所まで延在し、これによって、外面 344 に配置された要素への電気的接続のためのリード 380 へのアクセスがもたらされることになる。同様の開口が、他のリードまたはワイヤボンド 332 のいずれかの上方、例えば、その端 336C から離れる箇所においてワイヤボンド 332C の上方に形成されていてもよい。このような実施形態では、端 336C は、表面 344 の下方に位置しており、開口が端 336C への電気的接続に対して唯一のアクセスをもたらすことになる。

10

## 【0060】

図 6 は、超小型電子アセンブリ 410, 488 の積層パッケージを示している。このような装置では、半田塊 52 がアセンブリ 410 の端面 438 をアセンブリ 488 の導電要素 440 に電気的かつ機械的に接続している。積層パッケージは、追加的なアセンブリを含むことができ、最終的には、電子デバイスに用いられる PCB 490 などの接点 492 に取り付けられるようになっている。このような積層装置では、ワイヤボンド 432 および導電要素 430 は、多数の電子信号を伝送することができ、それぞれの電子信号は、種々の信号が種々の超小型電子素子、例えば、単一スタック内における超小型電子要素 422 または超小型電子素子 489 によって処理されることを可能にする種々の信号電位を有している。

20

## 【0061】

図 6 における例示的な構成では、ワイヤボンド 432 は、湾曲部分 448 を有するように構成されており、これによって、ワイヤボンド 432 の端 436 の少なくともいくつかが超小型電子素子 422 の主面 424 の上に重なる領域内に延在することになる。このような領域は、超小型電子素子 422 の外周によって画定されており、そこから上方に延在している。このような構成の例が、図 18 の基板 412 の第 1 の表面 414 の方を向いている図に示されている。具体的には、ワイヤボンド 432 は、基板 412 の前面 425 にフリップチップ接合された超小型電子素子 422 の主裏面の上に重なっている。他の構成（図 5）では、超小型電子素子 422 は、基板 312 にフェイスアップ実装されており、この場合、前面 325 が基板 312 から離れる方を向き、少なくとも 1 つのワイヤボンド 336 が超小型電子素子 322 の前面の上に重なっている。一実施形態では、このようなワイヤボンド 336 は、超小型電子素子 322 に電気的に接続されていない。基板 312 に接合されたワイヤボンド 336 は、超小型電子素子 350 の前面または裏面の上にも重なっているとよい。図 18 に示されている超小型電子アセンブリ 410 の実施形態では、導電要素 428 は、第 1 のアレイを形成するパターンに配置されている。この第 1 のアレイでは、導電要素 428 が、超小型電子素子 422 を包囲する行列に配置され、かつ個々の導電要素 428 間に所定のピッチを有している。ワイヤボンド 432 は、それぞれの基部 434 が導電要素 428 によって設定された第 1 のアレイのパターンに従うように、導電要素 428 に接合されている。しかし、ワイヤボンド 432 は、そのそれぞれの端 436 が第 2 のアレイ配置による異なるパターンに配置されるように、構成されている。図示されている実施形態では、第 2 のアレイのピッチは、第 1 のアレイのピッチと異なっていてもよく、場合によっては、第 1 のアレイのピッチよりも小さくなっていてもよい。しかし、第 2 のアレイのピッチが第 1 のアレイのピッチよりも大きくなっている他の実施形態、またはワイヤボンド 432 の端 436 は存在しているが、導電要素 428 が所定のアレイに配置されていない他の実施形態も可能である。さらにまた、導電要素 428 は、基板 412 の全体にわたって複数組のアレイに配置されるように構成されていてもよいし、ワイヤボンド 432 は、端 436 が種々の組のアレイまたは単一のアレイに配置されるよう

30

40

40

50

に構成されていてもよい。

【0062】

図6は、超小型電子素子422の基板に沿って延在する絶縁層421をさらに示している。絶縁層421は、ワイヤボンドを形成する前に、誘電体材料または他の電気的絶縁材料から形成されている。絶縁層421は、超小型電子素子が、その上方に延在するワイヤボンド423のいずれにも接触しないように保護することができる。特に、絶縁層421は、ワイヤボンド間の電気的短絡およびワイヤボンドと超小型電子素子422との間の短絡を避けることができる。このように、絶縁層421は、ワイヤボンド432と超小型電子素子422との間の意図しない電気的接触による誤動作または可能性のある損傷を避けることができる。

10

【0063】

図6, 18に示されているワイヤボンド配置によって、超小型電子アセンブリ410を他の超小型電子アセンブリ、例えば、超小型電子アセンブリ488に接続することが可能になる。もしこのようなワイヤボンド配置を用いないと、場合によっては、例えば、超小型アセンブリ488および超小型電子素子422の相対的な大きさによって、アセンブリの接続を行うことができないことがある。図6の実施形態では、超小型電子アセンブリ488は、接触パッド440のいくつかが超小型電子素子422の前面424または裏面426の面積よりも小さい面積内のアレイに含まれるように、寸法決めされている。実質的に垂直な導電特徴部、例えば、ワイヤボンド432に代わるピラーを有する超小型電子アセンブリでは、導電要素428とパッド440との間の直接的な接続を行うことができない。一方、図6に示されているように、適切に構成された湾曲部分448を有するワイヤボンド432は、超小型電子アセンブリ410と超小型電子アセンブリ488との間に必要な電気接続部をもたらすのに適切な位置に端436を有している。このような装置を用いて、積層パッケージ、例えば、超小型電子アセンブリ418が所定のパッドアレイを有するDRAMチップなどであり、超小型電子素子422がDRAMチップを制御するように構成された論理チップである積層パッケージを作製することができる。これによって、単一形式のDRAMチップを種々の大きさの種々の論理チップ、例えば、DRAMチップよりも大きいチップと共に用いることができる。何故なら、ワイヤボンド432は、DRAMチップに対して望ましい接続部を形成するのに必要とされるように配置された端436を有しているからである。代替的な実施形態では、超小型電子パッケージ410は、他の構成の印刷回路基板490上に実装されており、ワイヤボンド432の露出面436は、回路基板490のパッド492に電気的に接続されている。さらに、このような実施形態では、他の超小型電子パッケージ、例えば、修正形態のパッケージ488が、パッド440に接合された半田ボール452によって、パッケージ410上に実装されることになる。

20

【0064】

図7は、封止層42の表面44に沿って延在する再分配層54を有する図1に示されている形式の超小型電子アセンブリ10を示している。図7に示されているように、トレイス58が、ワイヤボンド32の端面38に電気的に接続された内部接触パッド61に電気的に接続されており、再分配層54の基板56内を通って、基板56に表面6に露出した接触パッド60まで延在している。次いで、追加的な超小型電子アセンブリが、半田塊などによって、接触パッド60に接続されている。ファンアウト層として知られる再分配層54と同様の構造が基板12の第2の表面16に沿って延在していてもよい。もしファンアウト層が設けられていない場合、超小型電子アセンブリ10を導電要素40と異なる形態のアレイに接続することができないが、ファンアウト層によって、超小型電子アセンブリ10を導電要素40と異なる形態のアレイに接続することが可能になる。

30

【0065】

図8A-8Eは、図1-7と同様の構造のワイヤボンド32の端36またはその近傍の構造に対して実施された種々の構成を示している。図8Aは、空洞64が封止層42の一部に形成された構造を示している。この空洞64において、ワイヤボンド32の端36が

40

50

封止層の副面 4 3 の上方に突出している。図示されている実施形態では、端面 3 8 は、封止層 4 2 の主面 4 4 の下方に位置しており、空洞 6 4 は、電子構造が端面 3 8 に接続することを可能にするために端面 3 8 を表面 4 4 に露出させるように構成されている。端面 3 8 が表面 4 4 と実質的に同じ高さにあるかまたは表面 4 4 の上方に離間する他の実施形態も可能である。さらに、空洞 6 4 は、端 3 6 の近くのワイヤボンド 3 2 の縁面 3 7 の一部が空洞 6 4 内において封止層 4 2 によって覆われないように、構成されていてもよい。これによって、アセンブリ 1 0 の外側からのワイヤボンド 3 2 への接続、例えば、半田接続を、端面 3 8 と端 3 6 の近くの縁面 3 7 の覆われていない部分との両方に対して行うことが可能になる。このような接続は、図 8 B に示されており、この場合、半田塊 5 2 を用いて、第 2 の基板 9 4 へのより頑健な接続をもたらすことができる。一実施形態では、空洞 6 4 は、表面 4 4 の下方に約 10  $\mu\text{m}$  から 50  $\mu\text{m}$  の深さを有しており、約 100  $\mu\text{m}$  から 300  $\mu\text{m}$  の幅を有している。図 8 B は、テープ側壁 6 5 を有する図 8 A と同様の構造を示している。さらに、図 8 は、第 2 の超小型電子アセンブリ 9 4 を示している。このアセンブリ 9 4 は、その基板 9 8 の表面に露出した接觸パッド 9 6 において、半田塊 5 2 によってワイヤボンド 3 2 に電気的かつ機械的に接続されている。

10

## 【0066】

空洞 6 4 は、所望の空洞 6 4 の領域において封止層 4 2 の一部を除去することによって形成されるようになっている。これは、レーザーエッティング、湿式エッティング、ラッピング、などを含む周知のプロセスによって、行われることになる。代替的に、封止層 4 2 が射出成形によって形成される実施形態では、空洞 6 4 は、型内に対応する特徴部を備えることによって形成されることになる。このようなプロセスは、米国特許出願公開第 2010 / 0232129 号において検討されている。この開示内容は、参照することによって、その全体が含まれるものになる。図 8 B に示されている空洞 6 4 のテープ形状は、空洞 6 4 の形成に用いられる特定のエッティングプロセスの結果として生じたものである。

20

## 【0067】

図 8 C, 8 E は、ワイヤボンド 3 2 上に実質的に丸い端部分 7 0 を備える端構造を示している。丸い端部分 7 0 は、基部 3 4 と端 3 6 との間のワイヤボンド 3 2 の部分の断面よりも広い断面を有するように、構成されている。さらに、丸い端部分 7 0 は、移行部において、ワイヤボンド 3 2 の縁面 3 7 から外方に延在する縁面 7 1 を備えている。丸い縁部分 7 0 は、表面 7 1 の方向の変化によって封止層 4 2 が 3 方から端を包囲する係留特徴部をもたらすことによって、ワイヤボンド 3 2 を封止層 4 2 内に固定するように作用することになる。これによって、ワイヤボンド 3 2 が基板 1 2 上の導電要素 2 8 から離脱し、その結果、電気接続不能をもたらすことが防がれることになる。加えて、丸い端部分 7 0 は、表面 4 4 において電気接続部が行われる封止層 4 2 によって覆われていない表面積を拡げることができる。図 8 E に示されているように、丸い端部分 7 0 を表面 4 4 の上方に延在させることもできる。代替的に、図 8 C に示されているように、丸い端部分 7 0 は、表面 4 4 と実質的に同一平面の表面をもたらすように研磨されていてもよいし、または他の方法によって平坦化されていてもよく、この場合、丸い端部分 7 0 の該表面は、ワイヤボンド 3 2 の断面よりも大きい面積を有することになる。

30

## 【0068】

丸い端部分 7 0 は、ワイヤボンド 3 2 を作製するために用いられるワイヤの端に火炎または火花の形態にある局部的な加熱を施すことによって形成されるとよい。周知のワイヤボンディング機械は、ワイヤを切断した直後にこのステップを行うように修正されるとよい。このプロセスでは、熱がワイヤの端を溶融することになる。液状金属のこの局部的な部分は、その表面張力によって丸くなり、金属が冷却されると、その形状が維持されることになる。

40

## 【0069】

図 8 D は、ワイヤボンド 3 2 の端 3 6 が封止層 4 2 の主面 4 4 の上方に離間した表面 3 8 を備える超小型電子アセンブリ 1 0 の構成を示している。このような構成は、特に、表面 4 4 の上方の（封止層 4 2 によって覆われていない）縁面 3 7 の一部に沿ってウイック

50

ングする半田塊 6 8 によってより堅牢な接続部をもたらすことによって、空洞 6 4 に関して前述したのと同様の利得を得ることができる。一実施形態では、端面 3 8 は、約 10  $\mu$  m から 50  $\mu$  m の距離だけ表面 4 2 から上方に離間されている。付加的に、図 8 D の実施形態および縁面 3 7 の一部が封止層 4 2 の表面の上方において封止層 4 2 によって覆われていない他の実施形態のいずれにおいても、端は、そこに形成された保護層を含むことができる。このような層の例として、酸化保護層、例えば、金から作製された保護層、酸化物皮膜、または OSP が挙げられる。

【 0 0 7 0 】

図 9 は、ワイヤボンド 3 2 の端面 3 8 に形成されたスタッドバンプ 7 2 を有する超小型電子アセンブリ 1 0 の実施形態を示している。このようなバンプ 7 2 は、超小型電子アセンブリ 1 0 を作製した後、端面 4 4 の上に別の改質されたワイヤボンドを施し、任意選択的に表面 4 4 の一部に沿って延ばすことによって、形成されるようになっている。改質されたワイヤボンドは、ワイヤを長さ方向に引き出すことなく、その基部の近くで切断されるかまたは他の方法によって分断されることになる。いくらかの金属を含むスタッドバンプ 7 2 は、UBM のようなボンディング層を最初に施すことなく、端 3 8 に直接施され、これによって、半田によって直接濡れないボンドパッドへの導電相互接続を形成することになる。これは、ワイヤボンド 3 2 が非濡れ性の金属から作製されるときに有益である。一般的に、銅、ニッケル、銀、プラチナ、および金の一種または複数種から本質的になるスタッドバンプをこのように施すことができる。図 9 は、追加的な超小型電子アセンブリ 1 0 への電気的または機械的な接続のためにスタッドバンプ 7 2 を覆って形成された半田塊 6 8 を示している。

【 0 0 7 1 】

図 10 A - 1 0 D は、屈曲形状または湾曲形状を備えるワイヤボンド 3 2 の端 3 6 の形態を示している。各実施形態では、ワイヤボンド 3 2 の端 3 6 は、その一部 7 4 が封止層 4 2 の表面 4 4 と実質的に平行に延在するように屈曲されており、これによって、縁面 7 6 の少なくとも一部が、例えば、主面 4 4 によって覆われないようになっている。縁面 3 7 のこの部分は、表面 4 4 から上方に延在していてもよいし、または表面と実質的に同一面をなして延在するように研磨されているか、または他の方法によって平坦化されていてもよい。図 10 A の実施形態では、ワイヤボンド 3 2 は、端 3 6 の一部 7 4 に急峻な屈曲部を有している。この急峻な屈曲部は、表面 4 4 と平行に延在し、表面 4 4 と実質的に直交する端面 3 8 で終端している。図 10 B は、表面 4 4 と平行になっている端 3 6 の一部 7 4 の近くに図 10 A に示されているよりも緩慢に屈曲した部分を有する端 3 6 を示している。図 3, 4, 5 に示されているようなワイヤボンドの一部が、表面 4 4 と実質的に平行の部分と、表面 4 4 において封止層 4 2 によって覆われていない縁面の一部を有する端を備える他の構成も可能である。加えて、図 10 B の実施形態は、その端にフック部分 7 5 を備えている。このフック部分 7 5 によって、端面 3 8 は、封止層 4 2 内において表面 4 4 の下方に位置することになる。これは、封止層 4 2 内から位置ずれしにくらい頑健な構造を端 3 6 にもたらしている。図 10 C, 1 0 D は、封止層 4 2 に形成された空洞 6 4 によって、表面 4 4 に沿った箇所が封止層 4 2 によって覆われていない以外は、図 10 A, 1 0 B に示されているのと同様の構造を示している。これらの空洞は、図 8 A, 8 B に関して前述したのと同様の構造を有している。表面 4 4 と平行に延在する部分 7 4 を備える端 3 6 は、覆われていない細長の縁面 7 5 によって、接続される表面積を大きくすることができる。このような部分 7 4 の長さは、ワイヤボンド 3 2 を作製するために用いられるワイヤの断面の幅よりも大きい。

【 0 0 7 2 】

図 11 - 1 5 は、超小型電子アセンブリ 1 0 の製造方法の種々のステップにおける超小型電子アセンブリ 1 0 を示している。図 11 は、超小型電子素子 2 2 を第 1 の領域 1 8 内において基板 1 2 の第 1 の表面 1 4 上に電気的かつ機械的に接続するステップにおける超小型電子アセンブリ 1 0 ' を示している。超小型電子素子 2 2 は、半田塊 2 6 によってフリップチップ配置で基板 1 2 上に実装されているものとして、図 11 に示されている。代

10

20

30

40

50

替的に、図1に示されているようなフェイスアップボンディングが代わって用いられてもよい。図11に示されている方法ステップの実施形態では、誘電体アンダーフィル層66が、超小型電子素子22と基板12との間に設けられている。

【0073】

図12は、基板12の第1の表面14上に露出した導電要素28のパッド30に施されたワイヤボンド32を有する超小型電子アセンブリ10'を示している。前述したように、ワイヤボンド32は、ワイヤセグメントの端を加熱し、該端を軟化させ、その軟化した端を導電要素28に加圧し、これによって、導電要素28に接合部を堆積させ、基部34を形成することによって、施されている。次いで、ワイヤは、導電要素28から離れる方に引き出され、必要に応じて、切断されるかまたは他の方法によって分断される前に、ワイヤボンド32の端36および端面38をもたらす特定の形状に処理されることになる。代替的に、ワイヤボンド32は、ウェッジボンディングによって、例えば、アルミニウムワイヤから形成されてもよい。ウェッジボンディングは、ワイヤの端に隣接する一部を加熱し、該加熱された部分に加えられた圧力によって、該加熱された部分を導電要素28に沿って引き出すことによって、形成されるようになっている。このようなプロセスは、米国特許第7,391,121号にさらに記載されている。この内容は、参照することによって、その全体がここに含まれることになる。

10

【0074】

図13において、封止層42を基板の第1の表面14の上に施し、そこからワイヤボンド32の縁面37に沿って上方に延ばすことによって、封止層42が超小型電子アセンブリ10'に加えられている。封止層42は、アンダーフィル層66も覆っている。封止層42は、図12に示されている超小型電子アセンブリ10'の上に樹脂を堆積させることによって、形成されている。これは、アセンブリ10'を受け入れる所望の形状の封止層42に対応する空洞を有するように適切に形作られた型内に、アセンブリ10'を配置することによって行われる。このような型および該型によって封止層を形成する方法は、米国特許出願公開第2010/0232129号に図示され、かつ記載されている。この開示内容は、参照することによって、その全体がここに含まれるものとする。代替的に、封止層42は、少なくとも部分的に柔軟な材料によって所望の形状に予め作製されるようになっていてもよい。この構成では、誘電体材料の柔軟な特性によって、封止層42をワイヤボンド32および超小型電子素子22を覆う適切な位置に押し込むことが可能になる。このようなステップでは、ワイヤボンド32は、柔軟な材料を貫通し、これによってそれぞれの孔を形成し、該孔に沿って、封止層42が縁面37に接触することになる。さらに、超小型電子素子22が柔軟材料を変形させ、その結果、超小型電子素子22が柔軟材料内に受け入れられるようになる。柔軟な誘電体材料を圧縮し、端面38を外面44上に露出させることができる。代替的に、過剰な誘電体材料を封止層から除去し、これによって、ワイヤボンド32の端面38を露出させる表面44を形成するようになっていてもよいし、または表面63内の位置において端面38を露出させる空洞64を形成するようになっていてもよい。

20

【0075】

図13に示されている実施形態では、最初、封止層の表面44がワイヤボンド32の端面38から上方に離間するように、封止層が形成されている。端面38を露出させるために、端面38の上方の封止層42の部分が除去され、これによって、図14に示されているように、端面42と実質的に同一の平面をなす新しい面44'を露出させるようになっている。代替的に、図8A, 8Bに示されているように、端面38が封止層42によって覆われないようになっている空洞64が形成されてもよい。さらに他の代替例では、封止層42は、表面44が予め端面48と実質的に同一の平面をなすように、または図8Dに示されているように表面44が端面48の下方に位置するように、形成されてもよい。封止層42の一部の除去は、必要に応じて、研磨、ドライエッティング、レーザーエッティング、湿式エッティング、ラッピング、などによってなされるとよい。必要に応じて、ワイヤボンド32の端36の一部は、同時に除去されてもよく、または表面44と実質的に同一の

30

40

50

平面をなす実質的に平坦な端面 3 8 をもたらす追加的なステップがなされてもよい。必要に応じて、このようなステップの後に空洞 6 4 が形成されてもよいし、または図 1 0 に示されているようなスタッドバンプが施されてもよい。次いで、得られた超小型電子アセンブリ 1 0 は、P C B 上に取り付けられるか、またはさらに他のアセンブリ、例えば、図 6 に示されているような積層パッケージ内に組み入れられることになる。

#### 【 0 0 7 6 】

図 1 5 に示されている代替的実施形態では、ワイヤボンド 3 2 は、最初、ワイヤループ 8 6 の対の部分 3 2 ' として形成されている。この実施形態では、ループ 8 6 は、前述したようにワイヤボンドの形態で作製されている。ワイヤセグメントは、上方に引き出され、次いで、屈曲され、基板 1 3 の第 1 の表面 1 4 の方向の 1 つの成分を少なくとも有する方向において、隣接する導電要素 2 8 の上に実質的に重なる位置まで引き出される。次いで、ワイヤは、隣接する導電要素 2 8 の近くの位置まで実質的に下方に引き出され、この後、切断されるかまたは他の方法によって分断されることになる。次いで、ワイヤは、加熱され、堆積ボンディングなどによって隣接する導電要素 2 8 に接続され、ループ 8 6 を形成することになる。次いで、封止層 4 2 が、ループ 8 6 を実質的に覆うように形成される。次いで、封止層 4 2 の一部が、ループ 8 6 の一部も除去するプロセスを用いて、研磨、エッチング、などによって除去され、これによって、ループは、切断され、その 2 つの部分 3 2 ' に分割され、これによって、封止層 4 2 上に形成された表面 4 4 に沿った位置において封止層 4 2 によって覆われていない端面 3 8 を有するワイヤボンド 3 2 が形成されることになる。続いて、前述したように、仕上げステップがアセンブリ 1 0 に対して施されることになる。

10

20

30

#### 【 0 0 7 7 】

図 1 6 A - 1 6 C は、前述したようにワイヤボンド 3 2 の端 3 6 を包囲する空洞 6 4 を作製する代替的実施形態を示している。図 1 6 A は、図 1 - 6 に関して前述した一般形式のワイヤボンド 3 2 を示している。ワイヤボンド 3 2 は、その端 3 6 に施された犠牲材料の塊 7 8 を有している。犠牲材料塊 7 8 は、その形成中に材料の表面張力によって実質的に球形になっているとよく、または当業者によって理解されるような他の所望の形状になっているとよい。犠牲材料塊 7 8 は、ワイヤボンド 3 2 の端 3 6 を半田ペースト内に浸漬し、その端を被覆することによって形成されるとよい。半田ペーストの粘度は、ウイッキングする半田塊の量および端 3 6 に付着するための表面張力を制御するために、浸漬の前に調整されるようになっている。従って、これによって、端 3 6 に施される塊 7 8 の大きさが影響を受けることになる。代替的に、塊 7 8 は、溶融可能な材料をワイヤボンド 3 2 の端 3 6 上に堆積させることによって形成されてもよい。他の可能な塊 7 8 は、端上の個々の半田ボールまたは他の塊であってもよく、または後で除去される（超小型電子コンポーネントの製造に用いられる）銅または金のフラッシュメッキのような他の材料を用いる他の手段によるものであってもよい。

#### 【 0 0 7 8 】

図 1 6 B では、アセンブリ 1 0 に加えられた誘電体層 4 2 が示されている。誘電体層 4 2 は、ワイヤボンド 3 2 の縁面 3 7 に沿って上方に延在している。誘電体層は、犠牲材料塊 7 8 の表面の一部に沿っても延在しており、これによって、ワイヤボンド 3 2 の端から離間している。続いて、犠牲材料塊 7 8 は、例えば、溶媒内での洗浄または洗い流し、溶融、化学エッチング、または他の技術によって、除去され、これによって、除去される前の塊 7 8 の形状と実質的に逆の形状の空洞 6 8 が誘電体層 4 2 に生じ、縁面 3 7 の一部がワイヤボンド 3 2 の端 3 6 の近くに露出することになる。

40

#### 【 0 0 7 9 】

代替的に、犠牲材料塊 7 8 は、ワイヤボンド 3 2 の縁面 3 7 に沿って延ばすことによってワイヤボンド 3 2 の実質的に全てを覆うように、形成されてもよい。この構成は、図 1 7 A に示されている。このような皮膜は、前述したようにアセンブリ 1 0 上にワイヤボンド 3 2 を形成した後、ワイヤボンド 3 2 に施されてもよいし、またはワイヤボンド 3 2 を作製するために用いられるワイヤへの皮膜として施されてもよい。これは、本質的に、被

50

覆ワイヤまたは2部分ワイヤ、例えば、銅の内部コアおよび半田皮膜を有する2部品ワイヤの形態にあるとよい。図17Bは、犠牲塊78の縁面79に沿って延在するようにワイヤボンド32および犠牲塊78に施された誘電体層42を示している。これによって、誘電体層42は、実質的にその長さに沿って、ワイヤボンド32から離間していることになる。

【0080】

図17Cは、犠牲材料塊78の一部を除去し、端36の周りに空洞64を形成し、縁面37の一部を露出させることによって得られた構造を示している。このような実施形態では、犠牲材料塊78の大半または少なくとも一部が、誘電体層42とワイヤボンド32との間の適所に残されている。図17Cは、ワイヤボンド32を他の超小型電子構造10Aの接触パッド40Aに電気的かつ機械的に接続している半田塊52をさらに示している。

10

【0081】

図20, 21は、ワイヤボンド532がリードフレーム構造上に形成された超小型電子アセンブリ510のさらに他の実施形態を示している。リードフレーム構造の例は、米国特許第7,176,506号および第6,765,287号に図示され、かつ記載されている。これらの開示内容は、参照することによってここに含まれるものとする。一般的に、リードフレームは、導電金属、例えば、銅のシートから形成された構造体であり、該導電金属のシートは、複数のリードを含むセグメントにパターン化されている。リードフレームは、パドルおよびフレームをさらに備えている。フレームは、もし用いられるなら、アセンブリの製造中に、リードおよびパドルを固定するために用いられることになる。一実施形態では、ダイまたはチップのような超小型電子素子は、パドルにフェイスアップ接合され、ワイヤボンドを用いて、リードに電気的に接続されるようになっている。代替的に、超小型電子素子は、超小型電子素子の下方に延在するリード上に直接実装されるようになっていてもよい。このような実施形態では、超小型電子素子上の接点は、半田ボールなどによって、それぞれのリードに電気的に接続されることになる。その結果、リードを用いて、超小型電子素子に対して信号電位を送るための種々の他の導電構造への電気接続部を形成することができる。封止層が上方に形成されたこの構造のアセンブリが完成すると、個別のリードを形成するために、フレームの一時的な要素がリードフレームのリードおよびパドルから除去されることになる。この開示の目的から、個別のリード513およびパドル515は、(一体的に形成された導電要素528をその一部として備える)基板512を連携して形成するセグメント化された部分と考えられる。さらに、この実施形態では、パドル515は、基板512の第1の領域518内にあるとみなされ、リード513は第2の領域520内にあるとみなされる。図21の立面図にも示されているワイヤボンド524は、パドル515に支持された超小型電子素子22をリード515の導電要素528に接続している。ワイヤボンド532は、その基部534において、リード515上の付加的な導電要素528にさらに接合されているとよい。封止層542は、ワイヤボンド532の端538が表面544内の位置に露出するように、アセンブリ510上に形成されている。ワイヤボンド532は、本明細書の他の実施形態に関して前述した構造に対応する構造を備える場合、封止層542によって覆われていない付加的または代替的部分を有していてもよい。

20

30

40

【0082】

図24-26は、超小型電子パッケージ810のさらに他の代替的実施形態を示している。超小型電子パッケージ810は、閉ループワイヤボンド832を有している。この実施形態のワイヤボンド832は、図24に示されているように、互いに隣接する導電要素828a, 828bに接合された2つの基部834a, 834bを備えている。代替的に、基部834a, 834bのいずれもが、図25, 26に示されているように、共通の導電要素828に接合されていてもよい。このような実施形態では、ワイヤボンド832は、2つの基部834a, 834b間にループ状に延在する縁面837を画定している。従って、縁面837は、それぞれの部分837a, 837bとして、基部から基板812の上方の封止層842の表面844における頂部839に向かって、上方に延在している。

50

封止層 842 は、縁面部分 837a, 837b の少なくともいくつかに沿って延在し、それぞれの部分を互いに分離すると共にパッケージ 810 の他のワイヤボンド 832 から分離している。頂部 839 において、縁面 837 の少なくとも一部は、封止層 842 によって覆われていない。従って、他の超小型電子コンポーネントまたは他のコンポーネント、例えば、キャパシタまたはインダクタのような種々の素子とすることができます他のコンポーネントへの電気的相互接続に、ワイヤボンド 832 を利用することができます。図 24-26 に示されているように、ワイヤボンド 832 は、頂部 839 が基板 812 の表面を横断する少なくとも 1 つの方向において導電要素 828 から位置ずれするように、形成されている。一例では、頂部 839 は、超小型電子素子 820 の主面の上に重なっており、または超小型電子素子 820 が真っ直ぐに並んでいる基板 812 の第 1 の領域の上に重なっている。ワイヤボンド 832 の他の構成、例えば、頂部 839 が他の実施形態において検討したワイヤボンドの端面の位置のいずれかに配置される構成も可能である。さらに、頂部 839 は、図 8A に示されているように、孔内において露出するようになっていてもよい。さらにまた、頂部 839 は、細長く延在し、図 10A-10D において縁面に関して示されているように、表面 844 に延在するその長さ部分が露出していてもよい。1 つの基部から延在するのではなく 2 つの基部 834a, 834b 間に延在するワイヤボンド 832 によって支持された頂部 839 の周りの露出した縁 837 の形態にある接続特徴部を設けることによって、主面 844 によって画定された方向における接続特徴部のより正確な配置が達成されることになる。

## 【0083】

図 27, 28 は、図 24-26 の実施形態の変更形態を示している。この変更形態では、ワイヤボンド 834 に代わって、ボンドリボン 934 が用いられている。ボンドリボンは、導電材料、例えば、ワイヤボンドの形成のための前述した材料のいずれかからなる略平坦片であるとよい。ボンドリボン構造は、略円形断面のワイヤボンドと対照的に、厚みよりも幅が広くなっている。図 27 に示されているように、ボンドリボン 934 は、各々、導電要素 928 の一部に沿って延在して接合された第 1 の基部 934a を備えている。リボンボンド 932 の第 2 の基部 934b は、第 1 の基部 934a の一部に接合されている。縁面 937 が、2 つの対応する部分 937a, 937b として、基部 934a, 934b 間において頂部 939 に延在している。頂部 939 の領域における縁面の一部は、主面 944 の一部に沿って、封止材 942 によって覆われていない。本明細書において検討された他の実施形態に用いられるワイヤボンドに関して説明したようなさらに他の変更形態も可能である。

## 【0084】

前述した構造は、種々の電子システムの構築に利用可能である。例えば、本発明のさらに他の実施形態によるシステム 711 は、前述の超小型電子アセンブリ 710 を他の電子コンポーネント 713, 715 と併用することができる。図示されている例では、コンポーネント 713 は、半導体チップであり、コンポーネント 715 は、ディスプレイスクリーンであるが、どのような他のコンポーネントが用いられてもよい。もちろん、説明を明瞭にするために、図 23 には 2 つの付加的なコンポーネントしか示されていないが、システムは、どのような数のこのようなコンポーネントを備えていてもよい。前述の超小型電子アセンブリ 710 は、例えば、図 1 に関連して前述した超小型電子アセンブリであってもよいし、図 6 に関連して説明した複数の超小型電子アセンブリを含む構造であってもよい。アセンブリ 710 は、図 2-22 に記載した実施形態のいずれか 1 つをさらに含んでいてもよい。さらに他の態様では、多数の変更形態がもたらされてもよいし、どのような数のこのような構造が用いられてもよい。

## 【0085】

超小型電子アセンブリ 710 およびコンポーネント 713, 715 は、破線によって概略的に描かれている共通ハウジング 719 内に実装されており、必要に応じて、互いに電気的に相互接続され、所望の回路を形成するようになっている。図示されている例示的なシステムでは、該システムは、柔軟な印刷回路基板のような回路パネル 717 を含んでお

り、回路パネルは、コンポーネントを互いに相互接続する多数の導体 721 を備えている。これらの導体の 1 つのみが図 23 に示されている。しかし、これは単なる例示にすぎず、電気的接続をなすどのような適切な構造が用いられてもよい。

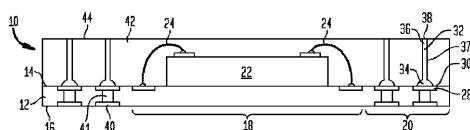
【 0 0 8 6 】

ハウジング 719 は、例えば、携帯電話または携帯情報端末に用いられる形式の携帯ハウジングとして描かれており、スクリーン 715 がこのハウジングの表面に露出している。超小型電子アセンブリ 710 が撮像チップのような光感應要素を含んでいる場合、レンズ 723 または他の光学素子が光を構造体に導くために設けられてもよい。ここでも、図 23 に示されている簡素化されたシステムは、単なる例示にすぎず、例えば、前述の構造体を用いて、他のシステム、例えば、デスクトップコンピュータ、ルーターなどのような定置構造と一般的に見なされるシステムを作製することも可能である。

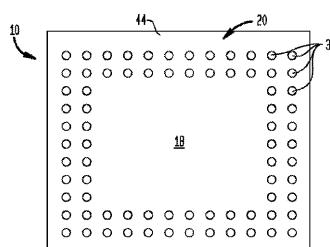
【 0 0 8 7 】

本発明をここでは特定の実施形態を参照して説明してきたが、これらの実施形態は、本発明の原理および用途の単なる例示にすぎないことを理解されたい。従って、例示的な実施形態に対して多くの修正がなされてもよいこと、および添付の請求項に記載される本発明の精神および範囲から逸脱することなく、他の構成が考案されてもよいことを理解されたい。

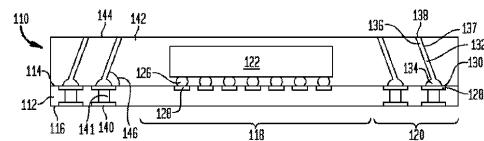
〔 1 〕



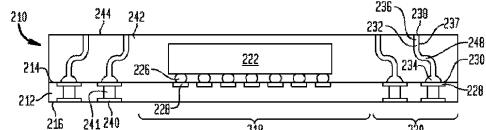
〔 四 2 〕



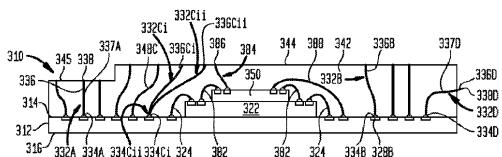
〔 図 3 〕



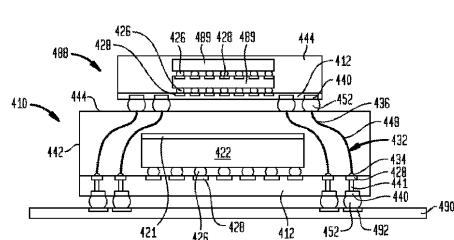
〔 义 4 〕



〔 5 〕

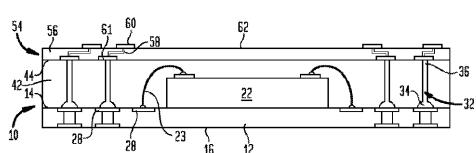


〔 6 〕



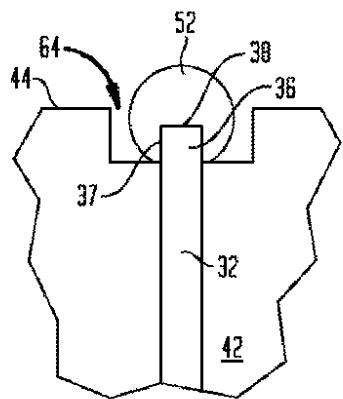
【図 7】

FIG. 7



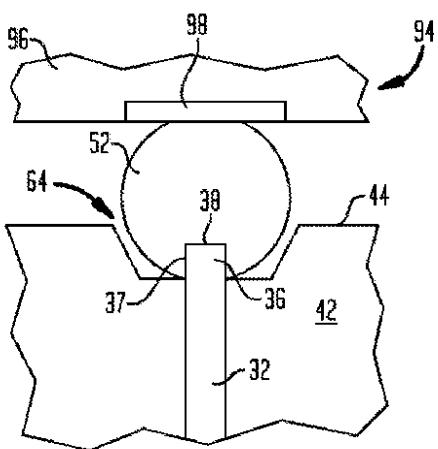
【図 8 A】

FIG. 8A



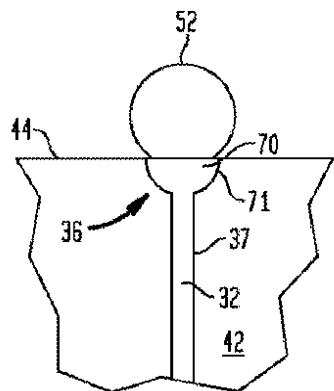
【図 8 B】

FIG. 8B



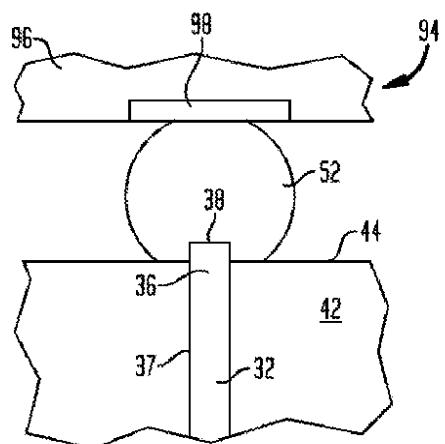
【図 8 C】

FIG. 8C

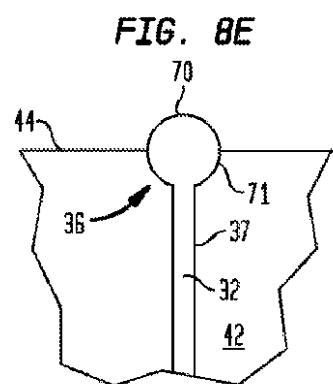


【図 8 D】

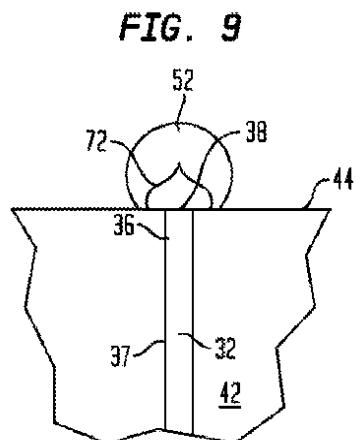
FIG. 8D



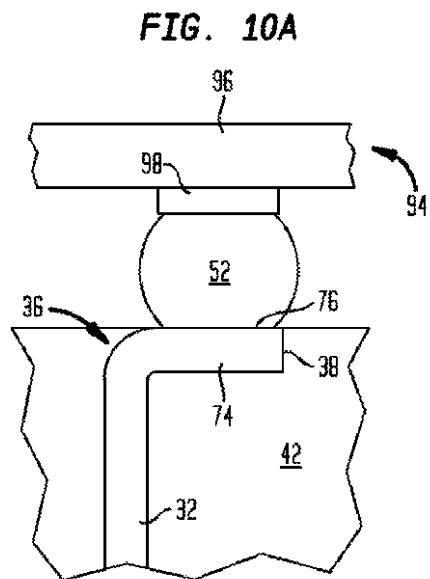
【図 8 E】



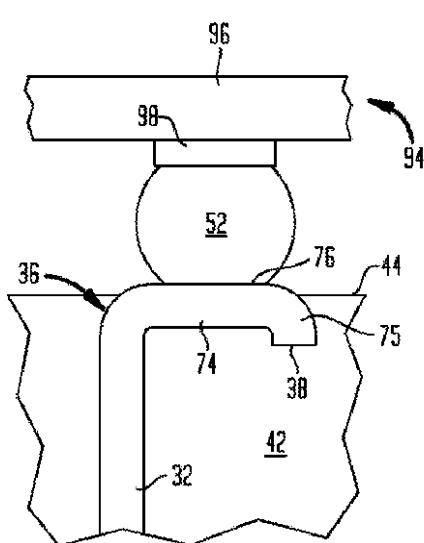
【図 9】



【図 10 A】

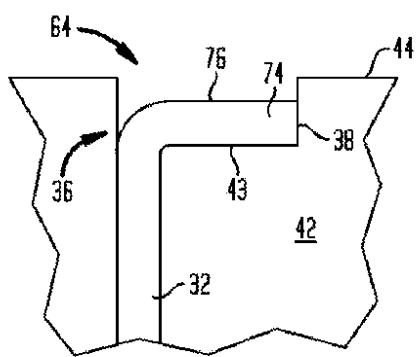


【図 10 B】



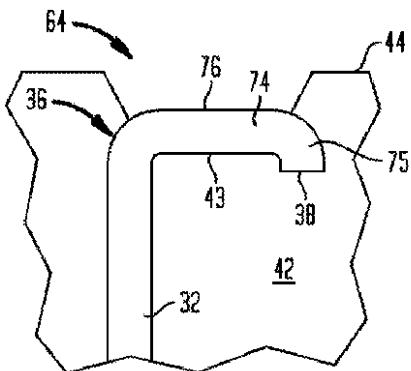
【図 10C】

FIG. 10C



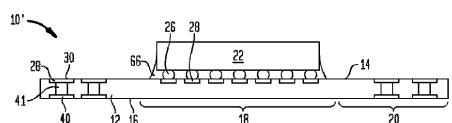
【図 10D】

FIG. 10D



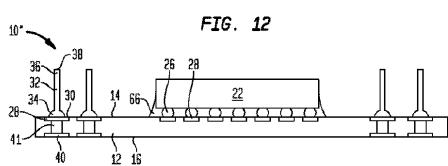
【図 11】

FIG. 11



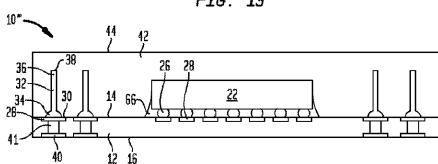
【図 12】

FIG. 12



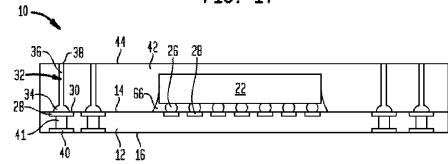
【図 13】

FIG. 13



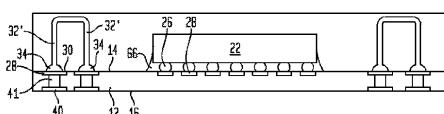
【図 14】

FIG. 14



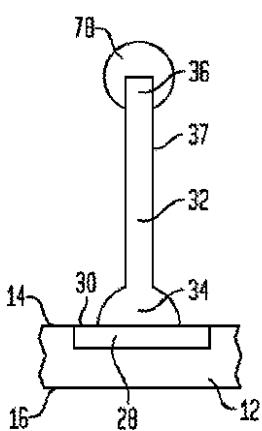
【図 15】

FIG. 15



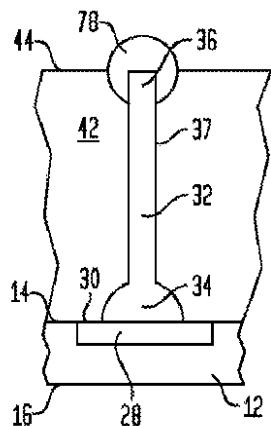
【図 16A】

FIG. 16A



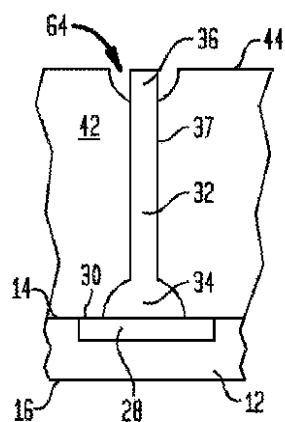
【図 16 B】

FIG. 16B



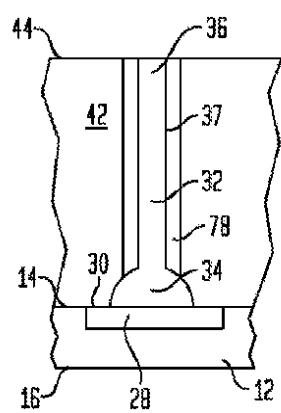
【図 16 C】

FIG. 16C



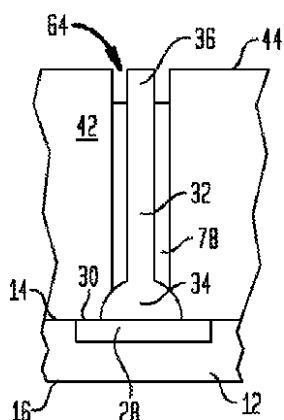
【図 17 A】

FIG. 17A



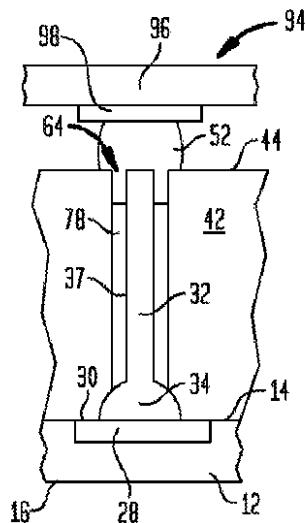
【図 17 B】

FIG. 17B



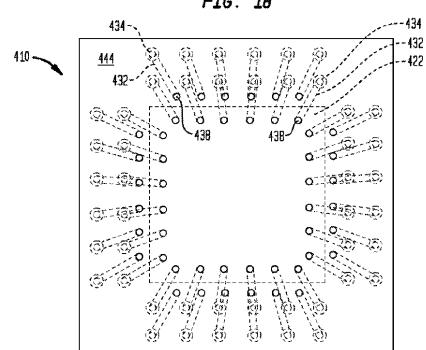
【図17c】

FIG. 17C



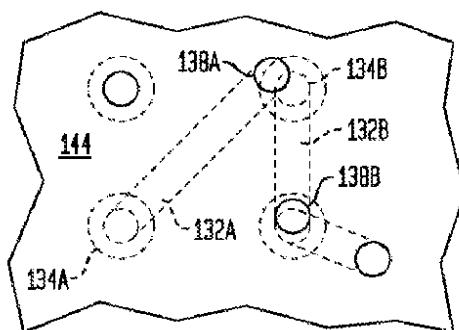
【図18】

FIG. 18



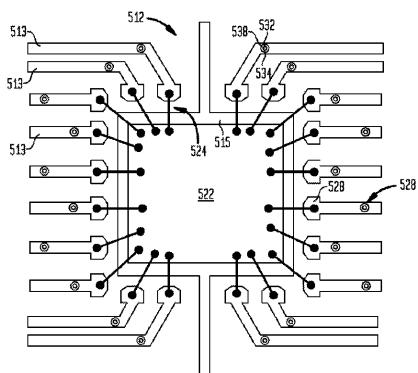
【 図 1 9 】

FIG. 19



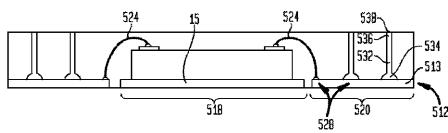
【 図 20 】

FIG. 20



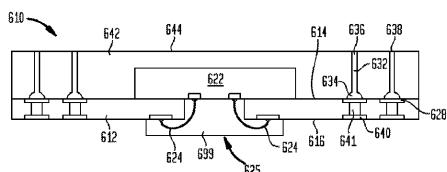
【 図 2 1 】

FIG. 21



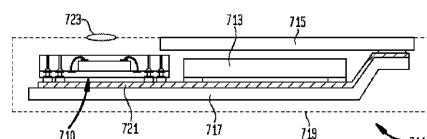
【 図 2 2 】

FIG. 22



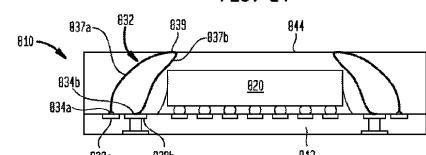
【 図 2 3 】

FIG. 23



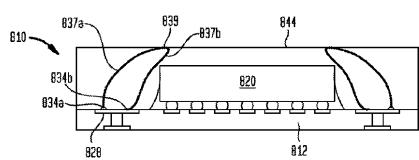
【 341 】

ETG 34



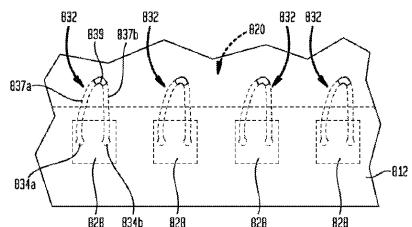
【図25】

FIG. 25



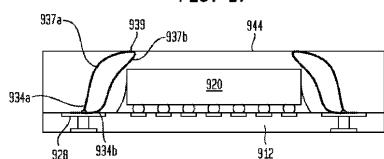
【図26】

FIG. 26



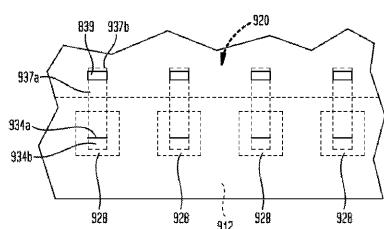
【図27】

FIG. 27



【図28】

FIG. 28



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2012/028738									
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H01L25/10 H01L23/498 H01L23/538 H01L23/31 H01L23/495 ADD.											
According to International Patent Classification (IPC) or to both national classification and IPC											
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L											
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched											
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data											
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="padding: 2px;">US 2007/181989 A1 (CORISIS DAVID J [US] ET AL) 9 August 2007 (2007-08-09)  paragraphs [0038] - [0042], [0044]; figures 8-13 -----</td> <td style="text-align: center; padding: 2px;">1,6,7, 19-24, 57,76, 77,79</td> </tr> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="padding: 2px;">US 2008/303153 A1 (OI KIYOSHI [JP] ET AL) 11 December 2008 (2008-12-11)  paragraphs [0041], [0042], [0043], [0044], [0047]; figures 1a,1b,2a-2f ----- -/-</td> <td style="text-align: center; padding: 2px;">1,2,6,7, 19-21, 23,79</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2007/181989 A1 (CORISIS DAVID J [US] ET AL) 9 August 2007 (2007-08-09)  paragraphs [0038] - [0042], [0044]; figures 8-13 -----	1,6,7, 19-24, 57,76, 77,79	X	US 2008/303153 A1 (OI KIYOSHI [JP] ET AL) 11 December 2008 (2008-12-11)  paragraphs [0041], [0042], [0043], [0044], [0047]; figures 1a,1b,2a-2f ----- -/-	1,2,6,7, 19-21, 23,79
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X	US 2007/181989 A1 (CORISIS DAVID J [US] ET AL) 9 August 2007 (2007-08-09)  paragraphs [0038] - [0042], [0044]; figures 8-13 -----	1,6,7, 19-24, 57,76, 77,79									
X	US 2008/303153 A1 (OI KIYOSHI [JP] ET AL) 11 December 2008 (2008-12-11)  paragraphs [0041], [0042], [0043], [0044], [0047]; figures 1a,1b,2a-2f ----- -/-	1,2,6,7, 19-21, 23,79									
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.									
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed											
*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family											
Date of the actual completion of the international search  21 September 2012		Date of mailing of the international search report  01/10/2012									
Name and mailing address of the ISA/ European Patent Office, P.O. 5818 Patentlaan 2 NL-2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Manook, Rhoda									

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US2012/028738

## Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
  
  
  
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
  
  
  
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

1, 2, 5-9, 16-24, 34-38, 57-61, 65-67, 76, 77, 79

4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

## Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

## INTERNATIONAL SEARCH REPORT

International application No
PCT/US2012/028738

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007 123595 A (NEC CORP) 17 May 2007 (2007-05-17)  paragraphs [0010], [0016], [0018], [0019]; claim 3; figures 2,5,6,7,8 -----	1,5,8,9, 16-18, 34-38, 57-59, 65-67, 76,77
X	US 7 242 081 B1 (LEE YONGGILL [TW]) 10 July 2007 (2007-07-10)  column 5, lines 22-23,53-58; figures 5-7a,8 column 5, line 65 - column 6, line 3 column 6, line 4 - line 10 -----	1,6-9, 16,17, 19-21, 23,57, 65,66, 76,77,79
A	WO 2010/014103 A1 (SKYWORKS SOLUTIONS INC [US]; WELCH PATRICK L [US]; GUO YIFAN [US]) 4 February 2010 (2010-02-04) line 6 - page 12, line 11; claim 18; figures 2,8 -----	60,61
A	KR 2001 0094894 A (AMKOR TECHNOLOGY INC [KR]) 3 November 2001 (2001-11-03) figures 5a-5d -----	60,61
X,P	JP 2011 166051 A (PANASONIC CORP) 25 August 2011 (2011-08-25)  the whole document -----	1,2,5-9, 16-24, 34-38, 57-61, 65-67, 76,77,79

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2012/028738

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2007181989	A1	09-08-2007	EP 2005472 A2 JP 2009528706 A KR 20080102246 A SG 135074 A1 US 2007181989 A1 US 2010117212 A1 WO 2007101251 A2		24-12-2008 06-08-2009 24-11-2008 28-09-2007 09-08-2007 13-05-2010 07-09-2007
US 2008303153	A1	11-12-2008	JP 2008306128 A KR 20080108908 A TW 200849551 A US 2008303153 A1		18-12-2008 16-12-2008 16-12-2008 11-12-2008
JP 2007123595	A	17-05-2007	NONE		
US 7242081	B1	10-07-2007	TW I331382 B US 7242081 B1 US 2007254406 A1		01-10-2010 10-07-2007 01-11-2007
WO 2010014103	A1	04-02-2010	CN 102105981 A EP 2308085 A1 JP 2011529638 A WO 2010014103 A1		22-06-2011 13-04-2011 08-12-2011 04-02-2010
KR 20010094894	A	03-11-2001	NONE		
JP 2011166051	A	25-08-2011	NONE		

International Application No. PCT/ US2012/ 028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1, 2, 79

A microelectronic package comprising: a substrate having a first region and a second region, the substrate having a first surface and a second surface remote from the first surface; at least one microelectronic element overlying the first surface within the first region; electrically conductive elements exposed at at least one of the first surface and the second surface of the substrate within the second region, at least some of the conductive elements being electrically connected to the at least one microelectronic element; wire bonds having bases joined to respective ones of the conductive elements, and end surfaces remote from the substrate and remote from the bases, each wire bond defining an edge surface extending between the base and the end surface thereof, wherein a first one of the wire bonds is adapted for carrying a first signal electric potential and a second one of the wire bonds is adapted for simultaneously carrying a second signal electric potential different from the first signal electric potential; and a dielectric encapsulation layer extending from at least one of the first or second surfaces and filling spaces between the wire bonds such that the wire bonds are separated from one another by the encapsulation layer, the encapsulation layer overlying at least the second region of the substrate, wherein unencapsulated portions of the wire bonds are defined by at least portions of the end surfaces of the wire bonds that are uncovered by the encapsulation layer.

Special Technical Features (STFs) (c.f. claim 2): the substrate is a lead frame and the conductive elements are leads of the lead frame.

Solving the problem of choosing the appropriate substrate.

1.1. claims: 6, 7(completely); 19-24(partially)

Although the special technical features of the dependent claim 19 (when dependent upon claim 1 only) and claims 6,7, 20-24 is not the same, they could be searched without any additional effort and thus are included in the first searched group of claims Ia.

---

2. claims: 3, 4

Re. cl. 3, the special technical feature with respect to the known claim 1 is: the unencapsulated portions of the wire bonds are defined by the end surfaces of the wire bonds and portions of the edge surfaces adjacent the end surfaces that are uncovered by the encapsulation layer.  
Thus the objective problem of claim 3 to be solved can be construed as: ease of contacting to a solder bump (see app. par. 92).

International Application No. PCT/ US2012/028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

---

## 3. claims: 14, 15

Re. cl.14, the special technical feature with respect to the known claim 1 is: the encapsulation layer is a monolithic layer formed on the substrate by depositing a dielectric material onto the first substrate after forming the wire bonds, and then curing the deposited dielectric material. Thus the objective problem of claim 14 to be solved can be construed as: encapsulation of microelectronic element and microelectronic package in a single step.

---

## 4. claims: 5, 8, 9(completely); 16-18(partially)

Re. cl. 5, the special technical feature with respect to the known claim 1 is: at least a portion of at least one of the wire bonds adjacent the end surface thereof is substantially perpendicular to a surface of the encapsulation layer.

Re. cl. 8, the special technical feature with respect to the known claim 1 is: at least one of the wire bonds extends along a substantially straight line between the base and the unencapsulated portion thereof, and wherein the substantially straight line forms an angle of less than 90° with respect to the first surface of the substrate.

Re. cl. 9, the special technical feature with respect to the known claim 1 is: the edge surface of at least one of the wire bonds has a first portion adjacent the end surface and a second portion separated from the end surface by the first portion, wherein the first portion extends in a direction away from a direction in which the second portion extends.

Re. cl. 16, the special technical feature with respect to the known claim 1 is: the first surface of the substrate extends in first and second lateral directions, each lateral direction being transverse to a direction of a thickness of the substrate between the first and second surfaces, and the unencapsulated portion of at least one of the wire bonds is displaced in at least one of the lateral directions from the conductive element to which the at least one wire bond is joined.

Thus the objective problems of claims 5, 8, 9 and 16 to be solved can be construed as: how to stop dislodging of the ends of the wire bonds in the encapsulation (see app. par. 94).

---

## 5. claim: 25(partially)

Claims 21,24 and 25 are all dependent upon claim 20. The features of claim 20, being dependent upon claim 1, are known from D1- US2007/0181989 (see D1 fig. 12). Claims 21 and 24 define the unencapsulated portion of at least one of the wire bonds to be uncovered by the encapsulation layer at the major surface, whereas claim 25 defines them to be

International Application No. PCT/ US2012/ 028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

uncovered at a side portion. Claims 21 and 24 therefore solve the problem of electrically connecting microelectronic packages stacked one above the other reducing the surface footprint of the microelectronic package whereas claim 25 solves the problem of providing microelectronic packages next to each other thus reducing the thickness of the microelectronic package.

---

## 6. claim: 26(partially)

Re. cl. 26, the special technical feature with respect to the known claim 1 is: the encapsulation layer has a cavity formed therein extending from a surface of the encapsulation layer toward the substrate, and wherein the unencapsulated portion of one of the wire bonds is disposed within the cavity.

Thus the objective problem of claim 26 to be solved can be construed as: forming a cavity within the encapsulation layer such that any external connection can automatically align with the wire bond connection.

---

## 7. claim: 27(partially)

Re. cl. 27, the special technical feature with respect to the known claim 1 is: the wire bonds consist essentially of at least one material selected from the group consisting of copper, gold, aluminum, and solder.

Thus the objective problem of claim 27 to be solved can be construed as: providing a material for the wire bonds having good electrical conductance.

---

## 8. claims: 28, 29(partially)

Re. cl. 28, the special technical feature with respect to the known claim 1 is: at least one of the wire bonds defines a longitudinal axis along a length thereof, and wherein each wire bond includes an inner layer of a first material extending along the longitudinal axis and an outer layer of a second material remote from the longitudinal axis and having a length extending in a lengthwise direction of such wire bond.

Thus the objective problem of claim 28 to be solved can be construed as: protecting the soft core of the wire bond (see app. par. 72) where Al, N or an insulating jacket covers the gold core.

---

## 9. claims: 31, 33, 81, 82(all partially)

Re. cl. 31, the special technical feature with respect to the known claim 1 is: the at least one microelectronic element is a first microelectronic element, the

International Application No. PCT/ US2012/ 028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

microelectronic package further comprising at least one second microelectronic element at least partially overlying the first microelectronic element, wherein the wire bonds are first wire bonds, the microelectronic package having at least one second wire bond having a base joined to a contact on the microelectronic element and an end surface remote from the contact, the at least one second wire bond defining an edge surface between the base and the end surface, wherein an unencapsulated portion of the second wire bond is defined by at least one of a portion of the end surface of such second wire bond or of the edge surface of such second wire bond that is uncovered by the encapsulation layer.  
Re. cl. 33, the special technical feature with respect to the known claim 1 is: a second microelectronic package including a substrate having a first surface and a second surface, a second microelectronic element mounted to the first surface, and contact pads exposed at the second surface and electrically connected to the second microelectronic element; wherein the second microelectronic package is mounted to the first microelectronic package such that the second surface of the second microelectronic package overlies at least a portion of the surface of the dielectric encapsulation layer and such that at least some of the contact pads are electrically and mechanically connected to at least some of the unencapsulated portions of the wire bonds.  
Re. cl. 81, the special technical feature with respect to the known claim 1 is: one or more other electronic components electrically connected to the microelectronic assembly.  
Thus the objective problem of claims 31,33 and 81 to be solved can be construed as: how to increase the package density whilst maintaining the same package footprint.

---

## 10. claim: 32(partially)

Re. cl. 32, the special technical feature with respect to the known claim 1 is: further including a redistribution layer extending along the surface of the encapsulation layer, wherein the redistribution layer includes a redistribution substrate having a first surface adjacent a major surface of the encapsulation layer, the redistribution layer further including a second surface remote from the first surface, first conductive pads exposed on the first surface of the redistribution substrate and aligned with and mechanically connected to respective unencapsulated portions of the wire bonds, and second conductive pads exposed on the second surface of the substrate electrically connected to the first conductive pads.  
Thus the objective problem of claim 32 to be solved can be construed as: enabling a redistribution of the wire bond signal from one side of the encapsulation layer to the other side.

---

International Application No. PCT/ US2012/028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

## 11. claims: 10-33

Directed to the subject matter of claim 10, where the Special Technical Features (STFs) are that the unencapsulated portions of the wire bonds are defined by at least portions of the edge surfaces adjacent the end surfaces of the wire bonds that are uncovered by the encapsulation layer. Thus the objective problem of claim 10 to be solved can be construed as: ease of contacting to a solder bump (see app. par. 92).

---

## 12. claims: 34-38

The features of claim 34 are known from document JP2007123595 (D3) and cannot therefore serve as a common inventive concept for the dependent claims 35,37,38 and 39 which directly depend upon claim 34 (Rule 13.1 PCT). Document D3 discloses the subject matter of claim 34 (see figs. 2,5 and 7; pars. 16 and 18; substrate 1, bond wires 3 (par. 18 for exposed parts); electrically conductive elements 7; 11 dielectric encapsulation; microelectronic element 2).

Consequently according to Rule 13(2) PCT, the following claimed separate invention group has been identified:

Group IIIa c.f. claim 35 (claims 34-38)

The surplus technical features of claim 35 are that the conductive elements are arranged in a first array of a first predetermined configuration, and wherein the unencapsulated portions of the wire bonds are arranged in a second array of a second predetermined configuration that is different from the first predetermined configuration.

Thus the objective problem of claim 35 to be solved can be construed as: electrically connecting to an external device without being bond to the configuration of the first array. Although the subject matter of claims 37 and 38 involve different features which solve different problems, they could be searched without any additional effort, therefore forming a part of the first invention group to be searched within group III.

---

## 13. claims: 39-42, 78

re. claim 39, the surplus technical features of claim 39 with respect to the known common concept (according to D3) of claim 34 are that a second microelectronic package exists including a substrate having a first surface and a second surface, a microelectronic element affixed on the first surface, contact pads exposed on the second surface and electrically connected to the microelectronic element; wherein the second microelectronic package is affixed on the first microelectronic package such that the second surface

International Application No. PCT/ US2012/ 028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

of the second package overlies at least a portion of the surface of the dielectric layer and such that at least some of the contact pads are electrically and mechanically connected to at least some of the unencapsulated portions of the wire bonds.  
Thus the objective problem of claim 39 to be solved can be construed as: increasing the density of the microelectronic assembly whilst maintaining the same footprint.

---

## 14. claims: 43-47

The surplus technical features of claim 43 are that the unencapsulated portions of the wire bonds are defined by at least portions of one of the end surfaces and the edge surfaces of the wire bonds that are uncovered by the encapsulation layer; and second microelectronic package including a second microelectronic element and contact pads electrically connected to the second microelectronic element and exposed at a surface of the second microelectronic package, the second microelectronic package being mounted to the first microelectronic package with at least some of the contact pads electrically and mechanically connected with at least some of the unencapsulated portions of the wire bonds. Thus the objective problem of claim 43 to be solved can be construed as increasing the package density whilst maintaining the same package footprint.

---

## 15. claims: 48-56

With regards to claim 48, the surplus technical features, with respect to the known common general concept between claims 1 and 48, which further describe the microelectronic assembly are: the plurality of bond elements, each have a first base, a second base, and an edge surface extending between the bases, the first base being joined to one of the conductive elements, and the edge surface including a first portion that extends away from the contact pad to an apex of the edge surface remote from the substrate, the edge surface further including a second portion that extends from the apex to the second base, the second base being joined to a feature of the substrate; and the dielectric encapsulation layer extending from at least one of the first or second surfaces and filling spaces between the first and second portions of the bond elements.  
The problem to be solved by claim 48 is that of defining the geometry of the bond element, such that it is able to be filled with an encapsulation (see application par. 32 and 75) to ensure a more robust structure by securing the first and second bases of the bond element to the pad and on the substrate (see fig. 25 of the application).

---

## 16. claims: 57-61, 65-67, 76, 77

International Application No. PCT/ US2012/028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

The features of claim 57 are known from document JP2007123595 (D3) and cannot therefore serve as a common inventive concept for the dependent claims 58, 62, 63, 64, 64, 65, 66, 67, 68, 73, 76 and 77 which directly depend upon claim 57 (Rule 13.1 PCT).

Document D3 discloses the subject matter of claim 57 (see figs. 2, 5 and 7; pars. 16 and 18; substrate 1, bond wires 3 (par. 18 for exposed parts); electrically conductive elements 7; 11 dielectric encapsulation; microelectronic element 2).

Consequently according to Rule 13(2) PCT, the following claimed separate invention group has been identified: Group VIa c.f. claim 58 (claims 57-61, 65-67 and 76-77)

The surplus technical features of claim 58 with respect to the known common concept (according to D3) of claim 57 are that the substrate is a lead frame and wherein the conductive elements are leads of the lead frame.

Thus the objective problem of claim 58 to be solved can be construed as: choosing a substrate for connecting the microelectronic element to an external circuit/device.

Although the subject matter of claims 65, 66, 67, 76 and 77 involve different features which solve different problems, they could be searched without any additional effort, therefore forming a part of the first invention group to be searched within group VI.

---

## 17. claim: 62

(Re. claim 62) The surplus technical features of claim 62 with respect to the known common concept of claim 57 are that the encapsulation layer is formed on the in-process unit by pressing the dielectric material mass over the wire bonds from a location remote from the substrate and into contact with the first surface of the substrate such that the at least one of the wire bonds penetrates the dielectric material mass.

Thus the objective problem of claim 62 to be solved can be that of choosing a method for introducing a non-liquid material as a encapsulation layer.

---

## 18. claims: 63, 64, 73-75

(re. claims 63, 64 and 73)

The surplus technical features of claim 63 with respect to the known common concept of claim 57 are that the wire bonds are made of wire consisting of gold, copper, aluminium or solder.

The surplus technical features of claim 64 with respect to the known common concept of claim 57 are that the first wire bonds includes aluminium and the wire bonds are joined to the conductive element by wedge bonding.

The surplus technical features of claim 73 with respect to

International Application No. PCT/ US2012/ 028738

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

the known common concept of claim 57 are that the wire bonds define a longitudinal axis along a length thereof, and the wire bonds include an inner layer of a first material extending along the longitudinal axis and an outer layer of a second material remote from the longitudinal axis and extending along the length of the wire bond. Thus the objective problem of claims 63 and 64 and 73 to be solved can be construed choosing the appropriate material (s) for the wire bonds for ensuring low electrical resistance.

---

## 19. claims: 68-72

(re. claim 68)

The surplus technical features of claim 68 with respect to the known common concept of claim 57 are that the step of forming the encapsulation layer includes forming at least one cavity extending from a major surface of the encapsulation layer toward the substrate, the at least one cavity surrounding the unencapsulated portion of one of the wire bonds.

Thus the objective problem of claim 68 to be solved can be construed as: (application par. 97) ensuring that other assemblies can simply be received into the assembly.

---

## 20. claim: 80

The surplus technical features of claim 80, with respect to the known common general concept between claims 1 and 80, which further describe the microelectronic assembly are: that wire loops joined at a first base and a second base to respective ones of at least two of the thin conductive elements, removing a portion of the encapsulation layer and a portion of the wire loops so as sever each of the wire loops into separate wire bonds corresponding to a respective one of the first and second bases and having end surfaces remote from the substrate and remote from the bases.

The problem to be solved by claim 80 is that of providing a method by which to create the bond wire elements connected to a substrate, using bond wire loops.

---

## フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN

(74)代理人 100142996

弁理士 森本 聰二

(74)代理人 100154298

弁理士 角田 恭子

(74)代理人 100166268

弁理士 田中 祐

(74)代理人 100170379

弁理士 徳本 浩一

(74)代理人 100161001

弁理士 渡辺 篤司

(74)代理人 100179154

弁理士 児玉 真衣

(74)代理人 100180231

弁理士 水島 亜希子

(74)代理人 100184424

弁理士 増屋 徹

(72)発明者 佐藤 広陽

神奈川県横浜市旭区四季美台 50-29

(72)発明者 カン, テッキュ

アメリカ合衆国カリフォルニア州 95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド 気付

(72)発明者 ハーバ, ベルガセム

アメリカ合衆国カリフォルニア州 95070, サラトガ, ミラー・コート 19487

(72)発明者 オズボーン, フィリップ・アール

アメリカ合衆国カリフォルニア州 95125, サン・ノゼ, パークシャー・ドライブ 1135

(72)発明者 ワン, ウェイ シュン

アメリカ合衆国カリフォルニア州 95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド 内

(72)発明者 チャウ, エリス

アメリカ合衆国カリフォルニア州 95134, サン・ノゼ, オーチャード・パークウェイ 3025, テッセラ, インコーポレイテッド 内

(72)発明者 モハメッド, イリヤス

アメリカ合衆国カリフォルニア州 95050, サンタ・クララ, ボハノン・ドライブ 2377

(72)発明者 益田 憲仁

神奈川県横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク テクニカルセンター

(72)発明者 佐久間 和男

福島県いわき市常磐関船町上関 91-1

(72)発明者 橋本 聖昭

神奈川県横浜市保土ヶ谷区神戸町 134 横浜ビジネスパーク テクニカルセンター

(72)発明者 黒澤 稲太郎

神奈川県横浜市保土ヶ谷区神戸町134 横浜ビジネスパーク テクニカルセンター

(72)発明者 菊地 智幸

神奈川県横浜市保土ヶ谷区神戸町134 横浜ビジネスパーク テクニカルセンター

【要約の続き】

8 ) の一部によって画定されている。