



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년08월25일

(11) 등록번호 10-1433777

(24) 등록일자 2014년08월19일

(51) 국제특허분류(Int. Cl.)

H01L 25/065 (2006.01) H01L 23/12 (2006.01)

H01L 23/538 (2006.01) H01L 21/98 (2006.01)

(21) 출원번호 10-2009-7009468

(22) 출원일자(국제) 2007년10월09일

심사청구일자 2012년10월09일

(85) 번역문제출일자 2009년05월07일

(65) 공개번호 10-2009-0079924

(43) 공개일자 2009년07월22일

(86) 국제출원번호 PCT/US2007/021552

(87) 국제공개번호 WO 2008/045422

국제공개일자 2008년04월17일

(30) 우선권주장

11/704,713 2007년02월09일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문현

EP01041624 A1

US05466634 A

US05571754 A

US20020127775 A1

전체 청구항 수 : 총 30 항

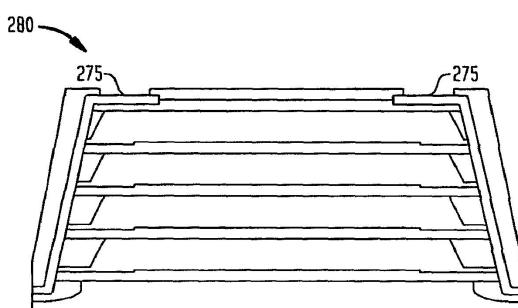
심사관 : 권성호

(54) 발명의 명칭 적층형 미소전자 패키지와 그 제조방법, 상기 패키지를 포함하는 조립체, 및 적층형 미소전자 조립체

(57) 요 약

본 발명의 특징에 따라, 적층형 미소전자 패키지(280)가 제공되며, 이 패키지는, 예컨대 제1 부조립체 및 제1 부조립체 아래에 있는 제2 부조립체와 같은 복수의 부조립체(210)를 포함한다. 제2 부조립체의 전면은 제1 부조립체의 전면과 대면할 수도 있다. 제1 및 제2 부조립체의 각각은, 전면에 노출된 복수의 전면 컨택트(2668), 적어도 하나의 변, 및 적어도 하나의 변의 각각에 대해 연장하는 복수의 전면 트레이스(2666)를 포함한다. 제2 부조립체는 배면에 노출된 복수의 배면 컨택트(2968)를 포함할 수도 있다. 제2 부조립체는 또한 하나 이상의 변에 대해 배면 컨택트로부터 연장하는 복수의 배면 트레이스(2966)를 포함한다. 배면 트레이스는 제1 또는 제2 부조립체 중의 적어도 하나의 조립체의 복수의 전면 컨택트 중의 적어도 일부까지 연장할 것이다.

대 표 도 - 도22



(30) 우선권주장

11/787,209 2007년04월13일 미국(US)

60/850,850 2006년10월10일 미국(US)

특허청구의 범위

청구항 1

(a) 제1 웨이퍼 및 상기 제1 웨이퍼 위에 있는 제2 웨이퍼를 포함하는 제1 소자, 제1 방향으로 연장하는 복수의 제1 소우 레인(saw lane), 및 상기 제1 방향을 가로지르는 제2 방향으로 연장하는 복수의 제2 소우 레인을 형성하는 단계로서,

상기 제1 웨이퍼 및 제2 웨이퍼의 각각은 복수의 미소전자 소자를 포함하고,

상기 제2 웨이퍼 소정의 제1 소우 레인이 상기 제1 웨이퍼의 소정의 소우 레인과 정렬되고 그 위에 위치되며,

상기 복수의 제1 소우 레인 및 상기 복수의 제2 소우 레인은 각 웨이퍼의 상기 미소전자 소자 중 인접한 미소전자 소자들 사이에 연장되며,

하나 이상의 미소전자 소자는 상기 제1 웨이퍼 또는 상기 제2 웨이퍼의 면에 노출되는 복수의 컨택트, 및 상기 각각의 컨택트와 전기적으로 접속되고 상기 정렬된 제1 소우 레인을 향해 연장하는 복수의 금속 트레이스(trace)을 가지며,

상기 제1 소자는 상기 제1 방향으로 연장하고 상기 정렬된 제1 소우 레인과 정렬된 절연 영역을 더 포함하는, 단계;

(b) 상기 정렬된 제1 소우 레인과 정렬된 절연 영역에, 상기 하나 이상의 미소전자 소자의 복수의 트레이스 중 하나의 트레이스만 각각 노출하는 하나 이상의 개구를 형성하는 단계;

(c) 상기 하나 이상의 개구 내에 상기 하나 이상의 미소전자 소자의 하나의 트레이스에만 전기적으로 접속되는 리드를 형성하는 단계; 및

(d) 상기 제1 웨이퍼 및 상기 제2 웨이퍼를 상기 정렬된 제1 소우 레인을 따라 상기 절연 영역을 통과하여 절단하여, 복수의 적층형 미소전자 소자 및 노출된 리드를 각각 포함하는 복수의 조립체로 절단하는 단계

를 포함하는 적층형 미소전자 패키지 제조 방법.

청구항 2

제1항에 있어서,

상기 하나 이상의 개구는, 상기 제1 웨이퍼의 제1 미소전자 소자의 하나의 트레이스만 노출시키고 상기 제2 웨이퍼의 제2 미소전자 소자의 하나의 트레이스만 노출시키는, 적층형 미소전자 패키지 제조 방법.

청구항 3

제1항에 있어서,

상기 리드는 상기 제1 및 제2 웨이퍼 중의 하나의 웨이퍼의 면 위에 있는 제1 단부를 포함하는, 적층형 미소전자 패키지 제조 방법.

청구항 4

제3항에 있어서,

상기 리드의 상기 제1 단부는 도전성 범프(conductive bump)를 포함하는, 적층형 미소전자 패키지 제조 방법.

청구항 5

제1항에 있어서,

상기 하나 이상의 개구는 상기 정렬된 제1 소우 레인과 정렬되고 상기 제1 방향으로 이격된 복수의 개구를 포함하며, 상기 복수의 개구의 각각은 서로 절연되는, 적층형 미소전자 패키지 제조 방법.

청구항 6

제5항에 있어서,

상기 단계 (c)는 도전체를 형성하는 단계로서,

각각의 도전체는 상기 복수의 개구 중 하나 내의 노출된 트레이스를 접촉하는, 단계를 포함하며,

상기 단계 (d)는 상기 리드가 상기 도전체의 절단된 부분을 포함하도록 상기 정렬된 제1 소우 레인을 따라 상기 도전체를 절단하는 단계를 포함하는,

적층형 미소전자 패키지 제조 방법.

청구항 7

제6항에 있어서,

상기 도전체를 형성하는 단계는, 상기 개구 내에 도전성 재료를 증착시키는 단계를 포함하는, 적층형 미소전자 패키지 제조 방법.

청구항 8

제6항에 있어서,

상기 도전체를 형성하는 단계는, 상기 개구를 금속으로 채우는 단계를 포함하는, 적층형 미소전자 패키지 제조 방법.

청구항 9

제1 적층형 부조립체 및 상기 제1 적층형 부조립체의 일부분 위에 있는 제2 적층형 부조립체; 및

접합 배선(bond wire)

을 포함하며,

상기 적층형 부조립체의 각각은, 면을 갖는 하나 이상의 제1 미소전자 소자와, 상기 제1 미소전자 소자의 면 위에 평행하게 위치하는 면을 갖는 각각의 제2 미소전자 소자를 포함하며, 상기 제1 및 제2 미소전자 소자의 각각은, 상기 각각의 면에 떨어져 연장하는 변(edge)을 포함하며, 상기 제1 및 제2 적층형 부조립체의 각각은 상기 부조립체의 면에 노출된 랜드(land) 및 도금으로 형성된 리드를 포함하며, 상기 리드는 상기 랜드에 연결되고 상기 부조립체의 면을 따라 그것의 상기 제1 및 제2 미소전자 소자의 단부에 대해 연장하며,

상기 접합 배선은, 상기 제1 적층형 부조립체의 상기 랜드를 상기 제2 적층형 부조립체의 상기 랜드에 도전 가능하게 접속시키는,

적층형 미소전자 조립체.

청구항 10

제9항에 있어서,

상기 제1 및 제2 적층형 부조립체의 각각은 그것의 면으로부터 떨어져 연장하는 변을 가지며, 상기 제1 적층형 부조립체의 면에 있는 상기 랜드가 상기 제2 적층형 부조립체의 면을 지나 노출되도록, 상기 제1 적층형 부조립체의 면이 상기 제2 적층형 부조립체의 면을 지나 연장하는, 적층형 미소전자 조립체.

청구항 11

제9항에 있어서,

단자를 갖는 회로 패널이 접합 배선에 의해 상기 제1 적층형 부조립체 또는 상기 제2 적층형 부조립체 중 하나 이상의 부조립체의 랜드로 도전 가능하게 접속되는, 적층형 미소전자 조립체.

청구항 12

제9항에 있어서,

상기 제1 및 제2 부조립체의 각각이 경사 벽을 갖는, 적층형 미소전자 조립체.

청구항 13

제9항에 있어서,

상기 제2 적층형 부조립체의 일부분 위에 있는 제3 적층형 부조립체; 및

추가의 접합 배선

을 더 포함하고,

상기 제3 적층형 부조립체는, 면을 갖는 각각의 제1 미소전자 소자와 상기 제1 미소전자 소자의 면 위에 평행하게 위치하는 면을 갖는 각각의 제2 미소전자 소자, 및 상기 제3 적층형 부조립체의 상기 제1 및 제2 미소전자 소자의 각각의 면으로부터 떨어져 연장하는 변을 적어도 포함하며, 그것의 면에 노출된 랜드 및 도금에 의해 형성된 리드를 포함하며,

상기 제3 적층형 부조립체의 리드는, 상기 제3 적층형 조립체의 랜드에 연결되고, 상기 제3 적층형 부조립체의 면을 따라 상기 제3 적층형 조립체의 상기 제1 및 제2 미소전자 소자의 변에 대해 연장하며,

상기 추가의 접합 배선은 상기 제3 적층형 부조립체의 랜드를 상기 제1 적층형 부조립체 및 상기 제2 적층형 부조립체 중 하나 이상의 부조립체의 랜드와 도전 가능하게 접속시키는, 적층형 미소전자 조립체.

청구항 14

제13항에 있어서,

상기 제2 및 제3 적층형 부조립체의 각각은 그것의 면으로부터 떨어져 연장하는 변을 가지며, 상기 제2 적층형 부조립체의 면에 있는 상기 랜드가 상기 제3 적층형 부조립체의 면을 지나 노출되도록, 상기 제2 적층형 부조립체의 면이 상기 제3 적층형 부조립체의 면을 지나 연장하는, 적층형 미소전자 조립체.

청구항 15

복수의 적층형 부조립체; 및

접합 배선

을 포함하며,

가장 아래층의 것을 제외한 상기 복수의 적층형 부조립체 각각은 상기 복수의 적층형 부조립체의 또 다른 적층형 부조립체의 일부분 위에 있고, 각각의 적층형 부조립체는, 면을 갖는 각각의 제1 미소전자 소자와, 상기 제1 미소전자 소자의 면 위에 평행하게 위치하는 면을 갖는 각각의 제2 미소전자 소자를 적어도 포함하며, 상기 제1 및 제2 미소전자 소자의 각각은, 상기 각각의 면에 떨어져 연장하는 변을 포함하며, 상기 복수의 적층형 부조립체의 각각은 상기 부조립체의 면에 노출된 랜드 및 도금으로 형성된 리드를 포함하며, 상기 리드는 상기 랜드에 연결되고 상기 부조립체의 면을 따라 상기 부조립체의 상기 제1 및 제2 미소전자 소자의 단부에 대해 연장하며,

상기 접합 배선은, 상기 복수의 적층형 부조립체 중 소정의 적층형 부조립체의 랜드를 상기 복수의 적층형 부조립체의 적어도 또 다른 적층형 부조립체의 랜드와 도전 가능하게 접속시키는,

적층형 미소전자 조립체.

청구항 16

제15항에 있어서,

복수의 적층형 부조립체의 각각은 그것의 면으로부터 떨어져 연장하는 변을 가지며, 상기 소정의 적층형 부조립체의 면에 있는 상기 랜드가 그것의 바로 위에 있는 적층형 부조립체의 면을 지나 노출되도록, 상기 복수의 적층형 부조립체의 소정의 적층형 부조립체의 면이 상기 바로 위에 있는 적층형 부조립체의 면을 지나 연장하는, 적층형 미소전자 조립체.

청구항 17

제15항에 있어서,

상기 접합 배선은 상기 복수의 적층형 부조립체의 소정의 적층형 부조립체의 랜드를 그것의 바로 위에 있는 적

충형 부조립체의 랜드와 도전 가능하게 접속시키는, 적층형 미소전자 조립체.

청구항 18

제15항에 있어서,

상기 접합 배선은 상기 복수의 적층형 부조립체의 소정의 적층형 부조립체의 랜드를 그것의 바로 아래에 있는 적층형 부조립체의 랜드와 도전 가능하게 접속시키는, 적층형 미소전자 조립체.

청구항 19

제15항에 있어서,

상기 접합 배선은 상기 복수의 적층형 부조립체 중 소정의 적층형 부조립체의 랜드를 그것의 바로 아래에 있는 적층형 부조립체 및 바로 위에 있는 적층형 부조립체 외에 상기 복수의 적층형 부조립체의 또 다른 하나의 적층형 부조립체의 랜드와 도전 가능하게 접속시키는, 적층형 미소전자 조립체.

청구항 20

제1 부조립체 및 상기 제1 부조립체 아래에 있는 제2 부조립체를 포함하는 복수의 부조립체, 및

상기 제2 부조립체 아래에 있는 기판

를 포함하며,

상기 제1 및 제2 부조립체의 각각은 전면 및 상기 전면으로부터 떨어져 있는 배면을 가지며, 상기 제1 및 제2 부조립체의 각각은, 상기 전면에 노출되어 있는 복수의 전면 컨택트, 하나 이상의 변, 및 상기 하나 이상의 변의 각각에 대해 연장하는 복수의 전면 트레이스를 포함하며, 상기 제2 부조립체는, 배면에 노출되어 있는 복수의 배면 컨택트와, 하나 이상의 변에 대하여 배면 컨택트에서부터 상기 제1 부조립체 및 상기 제2 부조립체 중의 하나 이상의 부조립체의 복수의 상기 전면 컨택트의 일부 또는 전부까지 연장하는 복수의 배면 트레이스를 가지며,

상기 기판은 제1 및 제2 부조립체 각각의 하나 이상의 변과 정렬되는 릴리프 채널을 포함하는,

적층형 미소전자 패키지.

청구항 21

제20항에 있어서,

상기 릴리프 채널에 배치된 중합체 재료를 더 포함하며, 상기 배면 트레이스 및 상기 전면 트레이스 중 하나 이상의 트레이스는 상기 중합체 재료의 일부 또는 전부 위에 놓이는, 적층형 미소전자 패키지.

청구항 22

제20항에 있어서,

상기 복수의 부조립체의 각각은 하나 이상의 미소전자 칩을 포함하는, 적층형 미소전자 패키지.

청구항 23

제22항에서 청구된 바와 같은 적층형 미소전자 패키지를 포함하는 조립체에 있어서,

상기 제2 부조립체의 상기 배면 컨택트 및 상기 제1 및 제2 부조립체의 하나 또는 전부의 일부 또는 전부의 전면 컨택트로 이루어진 군으로부터 선택된 일부 또는 전부의 패키지 컨택트에 도전 가능하게 접속된 단자를 갖는 회로 패널

을 더 포함하는, 조립체.

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

제23항에 있어서,

하나의 부조립체의 전면 컨택트를 상기 회로 패널의 단자에 도전 가능하게 접속시키는 접합 배선을 더 포함하는, 조립체.

청구항 30

삭제

청구항 31

제23항에 있어서,

접합 배선 및 추가의 미소전자 칩을 더 포함하고,

상기 추가의 미소전자 칩은 그 면이 상기 제1 및 제2 부조립체 중 하나의 면에 마주보도록 상기 적층된 미소전자 패키지에 연결되고,

상기 접합 배선은 상기 추가의 미소전자 칩의 컨택트를 상기 회로 패널의 단자에 도전 가능하게 접속시키는, 조립체.

청구항 32

제23항에 있어서,

상기 회로 패널의 일부 또는 전부의 단자를 제1 및 제2 부조립체 중 하나 이상의 노출된 전면 컨택트의 일부 또는 전부에 연결시키는 도전성 매스를 더 포함하는, 조립체.

청구항 33

제32항에 있어서,

상기 제2 부조립체의 배면에 연결된 추가의 미소전자 칩을 더 포함하며, 상기 추가의 미소전자 칩은 상기 회로 패널의 일부 또는 전부의 단자에 도전 가능하게 접속된 컨택트를 갖는, 조립체.

청구항 34

제33항에 있어서,

상기 추가의 미소전자 칩의 컨택트를 상기 회로 패널의 일부 또는 전부의 단자에 도전 가능하게 접속시키는 접합 배선을 더 포함하는, 조립체.

청구항 35

제23항에 있어서,

상기 회로 패널의 일부 또는 전부의 단자를 상기 제2 부조립체의 일부 또는 전부의 배면 컨택트에 연결시키는 도전성 매스를 더 포함하는, 조립체.

청구항 36

제35항에 있어서,

제1 및 제2 부조립체 중 하나 이상의 부조립체의 일부 또는 전부의 전면 컨택트와 도전 가능하게 소통되는 컨택트를 갖는 추가의 미소전자 칩을 더 포함하는, 조립체.

명세서

기술 분야

[0001] 본 국제 특허 출원은 2007년 4월 13일자로 출원된 미국 특허 출원 번호 11/787,209호 및 2006년 10월 10일자로 출원된 미국 가특허 출원 번호 60/850,850호를 우선권으로 주장한다. 2007년 4월 13일자로 출원된 미국 특허 출원 번호 11/787,209호는 2007년 2월 9일자로 출원된 미국 특허 출원 번호 11/704,713호의 일부 계속 출원이며, 따라서 2006년 10월 10일자로 출원된 미국 가특허 출원 번호 60/850,850호의 출원 일자의 이점을 주장한다. 상기 특허 출원의 개시 내용은 본 명세서에 발명의 일부로서 원용되어 있다.

[0002] 본 발명은 전반적으로 웨이퍼 레벨로 제조된 적층형 미소전자 패키지를 포함하는 적층형 미소전자 패키지 및 이러한 패키지를 제조하는 방법에 관한 것이다.

배경 기술

[0003] 반도체칩은 칩 자체의 내부 전기 회로에 접속되는 컨택트가 전면에 배치되는 평탄체이다. 반도체칩은 통상적으로 기판과 함께 패키징되어, 칩 컨택트에 전기적으로 접속되는 단자를 갖는 미소전자 패키지를 형성한다. 이 패키지는 그 후 패키징된 디바이스가 요구된 성능 표준에 부합하는지를 판정하기 위해 검사 장치에 연결될 것이다. 검사 후, 패키지는 컴퓨터 또는 휴대 전화 등의 전자 제품 내의 회로와 같은 대형 회로에 접속될 것이다.

[0004] 반도체칩을 패키징하기 위해 사용되는 기판 재료는 패키지를 형성하기 위해 사용되는 공정과의 호환 가능성을 고려하여 선택된다. 예컨대, 납땜 또는 다른 접합 작업 동안, 기판에 강한 열이 가해질 수도 있다. 따라서, 기판으로서 금속 리드 프레임이 이용된다. 또한, 미소전자 디바이스를 패키징하기 위해 라미네이트 기판이 이용된다. 이러한 기판은 광섬유로 이루어진 층과 에폭시로 이루어진 층이 서로 교번하는 2개 내지 4개의 층을 포함하여 이루어져도 되며, 여기서 연속하는 광섬유층이 예컨대 직교 방향과 같은 교차 방향으로 놓여질 수도 있다. 옵션으로, 비스밀레이미드 트리아진(BT)과 같은 저항성 성분이 이러한 라미네이트 기판에 추가될 수도 있다.

[0005] 더 얇은 미소전자 패키지를 제공하기 위해 기판으로서 테이프가 이용된다. 이러한 테이프는 시트 또는 시트의 률의 형태로 제공된다. 예컨대, 폴리이미드 상에 구리가 입혀진 단면 및 양면 시트가 흔히 이용된다. 폴리이미드계 막은 우수한 열적 및 화학적 안정성과 낮은 유전 상수를 제공하는 한편, 플렉서블 회로 및 칩 규모의 패키징 어플리케이션에는 신장 강도, 내구성 및 가요성이 높은 구리가 이용되는 것이 이롭다. 그러나, 이러한 테이프는 특히 리드 프레임 및 라미네이트 기판에 비해 비교적 고가이다.

[0006] 미소전자 패키지는 또한 다이가 여전히 웨이퍼 형태인 동안에 제조되는 반도체 부품을 위한 패키징을 제공하는 웨이퍼 레벨 패키지를 포함한다. 웨이퍼는 패키지 구조를 형성하기 위해 다수의 추가 처리 단계를 거치게 되며, 그 후에 웨이퍼가 절단되어 개별 다이로 자유롭게 된다. 더욱이, 패키지 풋프린트(package footprint)는 다이 크기와 동일하게 될 수 있으므로, 다이가 실제로 부착될 인쇄회로 기판(PCB) 상의 면적을 매우 효율적으로 이용할 수 있게 된다. 이러한 특징의 결과, 이러한 방식으로 패키징된 다이는 흔히 웨이퍼 레벨 칩 스케일 패키지(WLCSP)로 지칭된다.

[0007] 공간을 절감시키기 위해, 어떠한 종래의 설계는 복수의 미소전자 칩을 패키지 내에 적층시킨다. 이와 같이 함으로써, 패키지가 스택에서의 칩의 전체 표면적보다 적은 표면적을 기판 상에서 점유하게 된다. 그러나, 종래의 적층형 패키지는 복잡도, 비용, 두께 및 시험 가능성에서 문제점을 갖는다.

[0008] 전술한 장점에도 불구하고, 신뢰성, 박형화, 시험 가능성 및 경제성을 갖는 향상된 웨이퍼 스케일 패키지 및 특히 적층형 웨이퍼 스케일 패키지에 대한 필요성이 존재한다.

발명의 상세한 설명

- [0009] 본 발명의 실시예에 따라, 저비용, 소형화, 경량화 및 향상된 전기적 성능을 갖는 접착회로를 생산하기 위해 웨이퍼 레벨에서의 처리에 적합한 적층형 미소전자 패키지를 형성하기 위한 접착회로 소자 제조 방법이 제공된다.
- [0010] 본 발명의 특징에 따라, 접착회로 소자의 제조 방법이 제공된다. 상기 방법에서, 자신의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제1 부조립체를, 자신의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제2 부조립체 상에 적층하고, 트레이스를 노출시키기 위해 미소전자 조립체를 부분적으로 관통하는 노치를 형성하고, 후속하여 조립체의 평면 상에 전기적 컨택트를 제공하기 위해 노치의 측벽부에 리드를 형성함으로써, 미소전자 조립체가 형성된다. 그에 후속하여, 조립체는 본 발명의 바람직한 실시예에 따라 개별적인 전자 소자를 형성하기 위해 다이싱(dicing)된다. 적어도 하나의 부조립체를 부분적으로 관통하여 연장하는 노치를 형성하는 단계는 소자의 연속적인 웨이퍼 레벨 가공을 가능하게 한다.
- [0011] 본 발명의 특정한 특징에 따라, 적층형 조립체는 가공 동안 및 가공 후에 조립체에 추가의 기계적 강도를 제공하기 위해 기판을 통합한다. 기판은 노칭 처리 동안 응력 집중을 감소시키는 릴리프 캐비티(relief cavity)를 포함할 수도 있다. 이러한 캐비티가 없다면, 노칭 공정 동안 기판이 크랙이 발생하는 경향이 있음이 판명되었다.
- [0012] 본 발명의 특정한 특징에 따라, 미소전자 부조립체의 여러 층을 라미네이트하기 위해 접착제가 사용된다. 적층 모드에 의해, 각각의 부조립체의 트레이스는 아래의 근접한 층의 접착제에 의해 지지 및 유지되며, 이에 의해 손상이 방지된다.
- [0013] 본 발명의 일실시예에서, 각각의 층은 먼저 트레이스를 노출시키기 위해 노칭되며, 라미네이트 공정 동안 접착제로 채워지며, 이러한 패턴의 노칭 및 채워짐이 각각의 부조립체 층에 대해 반복된다. 이러한 방식에서, 미소전자 소자를 구별시키는 노칭이 발생할 때, 이러한 노칭은 접착층 및 트레이스를 통해 전체적으로 발생하여, 트레이스가 노칭 공정 동안 접착제에 의해 기계적으로 지지 및 절연된다.
- [0014] 초기 노칭 공정은 트레이스가 변하지 않은 상태로 유지되도록 트레이스의 기계적 강도를 보존하기 위해 예칭 등의 비기계적인 수단에 의해 수행될 수 있다.
- [0015] 본 발명의 특정한 특징에 따라, 4개의 부조립체층 및 기판층을 포함하는 적층형 미소전자 패키지는, 155 μm 이하의 전체 패키지 두께를 가질 것이며, 이 두께는 기판의 두께를 감소시킴으로써 125 μm 이하의 적층 두께까지 감소될 수 있다.
- [0016] 적층형 전자 패키지는 상면 및 저면 양자에 형성된 트레이스를 가질 수도 있으며, 이로써 패키징의 상층 및 저부층 상의 각각의 컨택트가 정렬될 수 있기 때문에, 적층형 패키지가 차례로 적층될 수 있게 될 것이다.
- [0017] 적층형 미소전자 패키지의 제조 방법은, a) 미소전자 소자의 적어도 일부가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제1 부조립체를 기판 상에 적층하고, 미소전자 소자의 적어도 일부가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제2 부조립체를 상기 제1 부조립체 상에 적층함으로써 미소전자 조립체를 형성하는 단계와, b) 상기 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키기 위해 미소전자 조립체에 노치를 형성하는 단계와, c) 노치의 측벽부에, 트레이스의 적어도 일부와 전기적으로 소통되는 리드를 형성하는 단계를 포함한다. 본 실시예의 추가의 특징에서, 노치를 형성하는 단계는, 제1 부조립체의 적어도 일부에 초기 노치를 형성하여 트레이스를 노출시키고, 이 초기 노치를 접착제로 채워 트레이스를 피복하는 단계와, 제2 부조립체의 적어도 일부에 초기 노치를 형성하여 트레이스를 노출시키고, 이 초기 노치를 접착제로 채워 트레이스를 피복하는 단계와, 접착제에 노치를 형성하여 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키는 단계를 포함한다.
- [0018] 삭제
- [0019] 본 발명의 실시예에 따른 미소전자 부조립체를 제조하는 방법은, a) 복수의 미소전자 소자를 포함하고, 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 제1 부조립체에 초기 노치를 형성하여, 트레이스를 노출시키는 단계와, b) 초기 노치를 접착제로 채워 트레이스를 피복하는 단계와, c) 접착제에 노치를 형성하여 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키는 단계를 포함한다.

- [0020] 본 발명의 특정한 특징에 따라, 적층형 미소전자 패키지는 4개의 부조립체와 기판을 적층 관계로 포함할 수 있으며, 각각의 부조립체는 하나 이상의 미소전자 칩을 포함하며, 패키지는 155 μm 이하의 적층 두께를 갖는다. 기판이 없는 이러한 패키지는 125 μm 이하의 적층 두께를 갖는다.
- [0021] 본 발명의 특정한 특징에 따라, 적층형 미소전자 패키지를 제조하는 방법은, a) 적어도 일부의 미소전자 소자가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제1 부조립체를, 기판의 접착층 상에 적층함으로써 미소전자 조립체를 형성하는 단계와; b) 제1 부조립체에 초기 노치를 형성하여 트레이스를 노출시키고, 제1 부조립체 상에 접착층을 도포하여 초기 노치를 접착제로 채우고 트레이스를 피복하는 단계와; c) 적어도 일부의 미소전자 소자가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제2 부조립체를, 제1 부조립체의 접착층 상에 적층하는 단계와; d) 제2 부조립체에 초기 노치를 형성하여 트레이스를 노출시키고, 제2 부조립체 상에 접착층을 도포하여 초기 노치를 접착제로 채우고 트레이스를 피복하는 단계와; e) 접착층에 노치를 형성하여 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키는 단계와; f) 노치의 측벽부에, 트레이스의 적어도 일부와 전기적으로 소통되는 리드를 형성하는 단계를 포함한다.
- [0022] 본 발명의 일실시예에서, 적층형 패키지를 제조하는 방법이 제공된다. 이러한 방법에서, 제1 웨이퍼 및 제2 웨이퍼 중의 하나의 웨이퍼의 소우 레인이 다른 하나의 웨이퍼의 소우 레인 위에 위치되도록, 제1 웨이퍼의 소우 레인이 제2 웨이퍼의 소우 레인과 정렬된다. 제1 및 제2 웨이퍼의 각각은 소우 레인에 함께 부착된 복수의 미소전자 소자를 포함한다. 각각의 미소전자 소자는 소우 레인을 향해 연장하는 복수의 트레이스를 포함한다. 제1 및 제2 웨이퍼의 소우 레인과 정렬되는 복수의 개구가 형성될 수 있다. 각각의 개구는 하나 이상의 미소전자 소자의 단일의 트레이스를 노출시킬 것이다. 그 후, 노출된 복수의 트레이스의 적어도 일부에 리드가 전기 접속될 수 있다.
- [0023] 각각의 개구가 제1 웨이퍼의 미소전자 소자의 단일의 트레이스를 노출시켜도 된다. 또한, 동일한 개구가 제2 웨이퍼의 미소전자 소자의 단일의 트레이스를 노출시켜도 된다. 또한, 각각의 개구가 제1 웨이퍼의 하나 이상의 미소전자 소자의 단일의 트레이스를 노출시켜도 된다. 또한, 동일한 개구가 제2 웨이퍼의 하나 이상의 미소전자 소자의 단일의 트레이스를 노출시켜도 된다.
- [0024] 일실시예에서, 제1 웨이퍼는 제2 웨이퍼의 소우 레인이 정렬된 후에 제2 웨이퍼에 부착되어도 된다.
- [0025] 일실시예에서, 리드는 제1 및 제2 웨이퍼의 하나의 웨이퍼의 면 위에 위치하는 제1 단부를 포함할 수도 있다. 리드의 제1 단부는 도전성 범프를 포함할 수 있다.
- [0026] 일실시예에서, 제1 및 제2 웨이퍼는 소우 레인을 따라 절단되어 복수의 조립체로 되며, 각각의 조립체는 복수의 적층형 미소전자 소자 및 노출된 리드를 포함한다.
- [0027] 복수의 추가의 미소전자 소자를 포함하는 하나 이상의 추가의 웨이퍼의 소우 레인은 제1 및 제2 웨이퍼의 소우 레인과 소우 레인에서 함께 부착될 수 있다.
- [0028] 복수의 미소전자 소자는 소우 레인을 향해 연장하는 추가의 트레이스를 가질 것이다. 하나 이상의 추가의 미소전자 소자의 추가의 트레이스 중의 단일의 트레이스가 개구를 형성하는 단계 동안 노출될 수도 있다.
- [0029] 본 발명의 특징에 따라, 제1 적층형 부조립체 및 제1 적층형 부조립체의 일부분 위에 위치하는 제2 적층형 부조립체를 포함하는 적층형 미소전자 조립체가 제공된다. 각각의 적층형 부조립체는 면을 갖는 제1 미소전자 소자를 포함한다. 면을 갖는 제2 미소전자 소자가 제1 미소전자 소자의 면 위에 평행하게 위치할 것이다. 제1 및 제2 미소전자 소자의 각각은 각각의 면으로부터 떨어져 연장하는 면을 가질 것이다. 각각의 면에 있는 복수의 트레이스는 적어도 하나의 각각의 면에 대해 연장할 것이다. 제1 및 제2 적층형 부조립체의 각각은 복수의 트레이스의 적어도 일부에 접속된 컨택트를 포함할 것이다. 접합 배선이 제1 적층형 부조립체의 컨택트를 제2 적층형 부조립체의 컨택트에 도전 가능하게 접속시킬 것이다.
- [0030] 일실시예에서, 제1 및 제2 부조립체의 각각은 면을 가질 것이다. 복수의 컨택트의 적어도 일부가 제1 및 제2 부조립체의 면의 적어도 하나에서 노출될 수 있다.
- [0031] 제1 및 제2 적층형 부조립체의 각각은 면과 면으로부터 떨어져 연장하는 면을 가질 것이다. 제1 적층형 부조립체의 면은, 제1 적층형 부조립체의 면에 있는 컨택트가 제2 적층형 부조립체의 면을 지나 노출되도록, 제2 적층형 부조립체의 면을 지나 연장한다.
- [0032] 본 발명의 특징에 따라, 적층형 미소전자 패키지는, 제1 부조립체 및 상기 제1 부조립체 아래에 있는 제2 부조

립체를 포함하는 복수의 부조립체를 포함하며, 각각의 부조립체는 전면 및 전면으로부터 떨어져 있는 배면을 갖는다. 상기 제2 부조립체의 전면은 상기 제1 부조립체의 배면과 마주보며, 상기 제1 및 제2 부조립체의 각각은, 상기 전면에 노출되어 있는 복수의 전면 컨택트, 하나 이상의 변, 및 상기 하나 이상의 변의 각각에 대해 연장하는 복수의 전면 트레이스를 포함한다. 상기 제2 부조립체는, 배면 트레이스에 노출되어 있는 복수의 배면 컨택트와, 하나 이상의 변에 대하여 배면 컨택트로부터 상기 제1 부조립체 또는 상기 제2 부조립체 중의 하나 이상의 조립체의 복수의 상기 전면 컨택트의 적어도 일부까지 연장하는 복수의 배면 트레이스를 갖는다.

[0033] 일실시예에서, 상기 복수의 부조립체의 각각은 하나 이상의 미소전자 칩을 포함한다. 미소전자 패키지를 포함하는 조립체는, 상기 제2 부조립체의 상기 배면 컨택트 및 상기 복수의 부조립체의 하나의 부조립체의 전면 컨택트로 이루어진 군에서 선택된 적어도 일부의 패키지 컨택트에 도전 가능하게 접속된 단자를 갖는 회로 패널을 더 포함한다.

[0034] 추가의 미소전자 칩이 상기 적층형 미소전자 패키지 또는 조립체에 결합될 수 있다. 일실시예에서, 추가의 미소전자 칩의 면이 상기 제1 및 제2 부조립체 중의 하나의 부조립체의 면과 대면한다. 상기 조립체는 상기 추가의 미소전자 칩의 컨택트를 회로 패널의 단자에 도전 가능하게 접속시키는 접합 배선을 더 포함한다.

[0035] 추가의 미소전자 칩의 컨택트는 하나의 부조립체의 전면 컨택트에 와이어 본딩될 것이다. 도전성 매스가 상기 추가의 미소전자 칩의 컨택트를 하나의 부조립체의 전면 컨택트에 결합시킬 것이다. 일실시예에서, 상기 추가의 미소전자 칩은 마이크로컨트롤러를 포함한다.

[0036] 일실시예에서, 상기 복수의 부조립체의 하나 이상의 미소전자 칩은, 적어도 하나의 미소전자 칩을 하나의 부조립체의 전면 컨택트 중의 하나로부터 접속해제시키고, 상기 추가의 미소전자 칩을 상기 전면 컨택트 중의 하나에 접속시킴으로써, 상기 추가의 미소전자 칩에 의해 교체 가능하게 된다.

[0037] 조립체는 또한 하나의 부조립체의 전면 컨택트를 상기 회로 패널의 단자에 도전 가능하게 접속시키는 접합 배선 (bond wire)을 더 포함한다.

[0038] 일실시예에서, 도전성 매스가 상기 추가의 미소전자 칩의 컨택트를 하나의 부조립체의 전면 컨택트에 결합시킬 것이다.

[0039] 일실시예에서, 도전성 매스가 상기 회로 패널의 단자를 하나의 부조립체의 노출된 전면 컨택트에 결합시킬 것이다.

[0040] 추가의 미소전자 칩이 상기 제2 부조립체의 배면에 결합될 것이다. 이러한 조립체에서, 상기 추가의 미소전자 칩은 상기 회로 패널의 단자에 도전 가능하게 접속된 컨택트를 갖는다.

[0041] 접합 배선이 상기 추가의 미소전자 칩의 컨택트를 상기 회로 패널의 단자에 결합시킬 것이다.

[0042] 일실시예에서, 도전성 매스가 상기 회로 패널의 단자를 상기 제2 부조립체의 배면 컨택트에 결합시킬 것이다.

[0043] 일실시예에서, 추가의 미소전자 칩은 하나의 부조립체의 전면 컨택트와 도전 가능하게 소통되는 컨택트를 갖는다.

실시예

[0081] 미소전자 부품을 적층하기 위한 방법 및 장치를 예시하는 도 1a 내지 도 4b를 참조하여 설명한다. 도 1a 및 도 1b에 도시된 바와 같이, 제1 웨이퍼 또는 부조립체(10)의 일부분은 복수의 미소전자 소자(12)를 포함하며, 이들 미소전자 소자는 각각 서로 인접하여 나란하게 위치되어 있다. 제1 웨이퍼 또는 부조립체(10)는 x-축과 y-축을 따라 배열된 다수의 미소전자 소자의 행을 포함하는 것이 바람직하다. 미소전자 소자는 종래의 반도체 처리 기술을 이용하여 서로 일체로 형성된다. 부조립체(10)는 웨이퍼의 일부분일 수도 있음은 명백하다. 그리고, 도 1a에서의 과선은 부조립체에 추가의 소자가 부착될 수도 있으며, 부조립체가 원형 웨이퍼의 형태이어도 된다는 것을 예시한다.

[0082] 각각의 미소전자 소자(12)는 전면(14) 및 반대쪽의 배면(14)을 포함한다. 미소전자 소자(12)는 또한 제1 변(18), 제2 변(20), 제3 변(19) 및 제4 변(21)을 포함하며, 이들 모두 미소전자 소자(12)의 전면으로부터 배면(14)으로 연장한다. 도 1a 및 도 1b에 도시된 바와 같이, 미소전자 소자(12)의 제1 변(18)은 인접한 제2 미소전자 소자(12)의 제2 변(20)에 부착된다. 마찬가지로, 하나의 미소전자 소자의 제3 변(19)은 인접한 미소전자 소자의 제4 변(21)에 부착된다. 그러므로, 제1 부조립체(10)의 중간에 위치된 미소전자 소자(12)는 도 1a에 도시된 바와 같이 4개의 변 모두에서 인접한 미소전자 소자(12)에 의해 경계를 이루고 있다. 웨이퍼의 제1 단부

(11), 제2 단부(13), 제3 단부(15) 또는 제4 단부(17)에 위치된 미소전자 소자(12)는 추가의 미소전자 소자에 의해 방해되지 않는 적어도 하나의 변을 갖는다. 예시를 명확하게 하기 위해 도면에는 변이 도시되어 있지만, 실제로는 변은 보이지 않을 것이다. 그 보다는, 이 스테이지에서, 인접한 미소전자 소자(12)가 서로 접촉하는 변 또는 스트립은 웨이퍼가 개개의 미소전자 소자에 손상을 주지 않고 절단될 수 있는 소우 레인(saw lane) 또는 스트립이다. 예컨대, 도 1b에 도시된 바와 같이, 미소전자 소자(12')의 제2 변(20')은 미소전자 소자(12'')의 제1 변(18'')과 맞닿게 되고, 소우 레인(23)을 형성한다. 마찬가지로, 웨이퍼(10) 전반에 걸쳐, 소우 레인(23)은 미소전자 소자(12)가 서로 맞닿아 있는 지점에 위치된다. 제1 웨이퍼/부조립체(10)는 어떠한 수의 미소전자 소자(12)를 포함할 수도 있으며, 예컨대 2개 정도 또는 필요한 만큼 포함할 것이다.

[0083] 미소전자 소자(12)의 각각은 또한 미소전자 소자(12)의 각각의 정면(14)에 노출되어 있는 복수의 컨택트(22)를 포함한다. 또한, 각각의 컨택트(22)로부터 개개의 미소전자 소자(12)의 각각의 제1, 제2, 제3 및 제4 변(18, 20, 19, 21)까지 트레이스가 외측으로 연장한다. 예컨대, 도 1b를 참조하면, 트레이스(24')는 미소전자 소자(12')의 제2 변(20')을 향해 컨택트(22')로부터 외측으로 연장한다. 트레이스(24')는 컨택트(22')로부터 외측으로 연장하는 트레이스(24'')로 연장하여 접촉한다. 그러므로, 트레이스(24', 24'')는 미소전자 소자(12', 12'')의 부착 지점에서 만나게 되며, 실제로는 컨택트(22', 22'') 사이에서 연장하는 하나의 트레이스를 형성할 것이다. 그러나, 트레이스가 실제로 서로 접촉할 필요는 없다. 인접한 미소전자 소자(12) 모두에 유사한 구조가 포함될 것이다. 다시 한번, 제1 부조립체(10)의 각각의 단부에 위치된 컨택트(22)는 상이한 미소전자 소자 상의 인접한 컨택트까지 연장하는 트레이스(24)를 갖는 것이 아니라, 이를 트레이스는 단순히 제1 부조립체(10)의 각각의 단부까지 연장한다.

[0084] 도 2에 도시된 바와 같이, 적층형 조립체(30)를 형성하기 위해, 제1 부조립체(10)는 제2 웨이퍼/부조립체(10A) 및 제3 웨이퍼/부조립체(10B) 위에 위치된다. 제2 부조립체(10A) 및 제3 부조립체(10B)는 제1 부조립체(10)와 유사하게 구성되므로, 유사한 요소에는 유사한 도면 부호가 부여될 것이며, 그렇지 않은 경우에는 구체적으로 언급될 것이다. 도 2의 적층형 조립체(30)는 하나 위에 다른 하나가 적층된 3개의 개별 웨이퍼/부조립체를 포함하지만, 다른 실시예에서는 적층형 조립체(30)는 더 적거나 더 많은 웨이퍼/부조립체가 서로의 상면에 위치될 수도 있다.

[0085] 도 2에 도시된 바와 같이, 제1 부조립체(10)의 미소전자 소자(12)는 제2 부조립체(10A)의 미소전자 소자(12A) 및 제3 부조립체(10B)의 미소전자 소자(12B)와 정렬된다. 그러므로, 각각의 부조립체(10, 10A, 10B)의 각각의 미소전자 소자(12, 12A, 12B)의 각각의 제1 내지 제4 변 또한 길이방향의 축을 따라 정렬된다. 따라서, 각각의 부조립체의 각각의 소우 레인(23, 23A, 23B) 또한 서로 정렬된다. 적층형 조립체(30)는 여러 행과 열로 배향 및 정렬된 복수의 미소전자 소자(12, 12A, 12B)로 구성된다.

[0086] 개개의 부조립체(10, 10A, 10B)를 서로 부착시키기 위해, 제1 부조립체(10)의 정면(14)과 제2 부조립체(10A)의 배면(16A) 사이에 접착층(32)이 위치된다. 마찬가지로, 제2 부조립체(10A)의 정면(14A)과 제3 부조립체(10B)의 배면(16B) 사이에도 접착층(33)이 위치된다. 또한, 제3 부조립체(10B)의 컨택트(22B) 및 트레이스(24B)를 보호하기 위해 제3 부조립체(10B)의 정면(14B) 상에 추가의 접착층(35)이 위치될 수도 있다. 접착층(32, 33, 35)은 예폭시 등으로 형성되어도 된다.

[0087] 조립 후, 각각의 부조립체(10, 10A, 10B)가 서로 접착되어, 서로 인접하여 적층된 복수의 미소전자 소자(12, 12A, 12B)를 포함하는 적층형 조립체(30)를 형성하도록, 접착층(32, 33, 35)이 경화된다.

[0088] 다음으로, 도 3을 참조하면, 적층형 조립체(30)에 복수의 노치(notch)(46)가 파여질 것이다. 노치(46)는 도면에 도시되지 않은 기계적 절단 기구를 이용하여 형성되는 것이 바람직하다. 이러한 기계적 절단 기구의 예는, 미국 특허 번호 제6,646,289호 및 제6,972,480호에 개시되어 있으며, 이를 특허의 개시 내용은 본 명세서에 참고자료로 원용되어 있다. 노치(46)는 여러 부조립체(10, 10A, 10B)의 각각의 미소전자 소자(12, 12A, 12B)의 각각의 제1 변(18, 18A, 18B), 제2 변(20, 20A, 20B), 제3 변(19, 19A, 19B), 및 제4 변(21, 21A, 21B)에 근접한 지점에서 적층형 조립체(30)로부터 파여진다. 노치(46)는 소우 레인(23, 23A, 23B)에서 캡(47)을 절단함으로써 형성된다. 각각의 부조립체(10, 10A, 10B)의 소우 레인(23, 23A, 23B)이 적층형 조립체(30) 전반에 걸쳐 정렬되므로, 복수의 부조립체 사이에 캡(47)을 형성하기 위해서는 하나의 절단이 이용될 수도 있다. 바람직하게는, 노치(46)는 적층형 조립체(30)를 완전히 관통하여 연장하지 않는다. 예컨대, 도 3에 도시된 바와 같이, 여러 노치(46)가 제1 부조립체를 완전히 관통하여 연장하지 않기 때문에, 제1 부조립체(10)의 미소전자 소자(12)는 서로 부착된 채로 유지된다. 그러나, 노치(46)는 인접한 미소전자 소자(12)에서 노출되어 있는 컨택트(22) 사이에서 연장하는 제1 부조립체(10)의 트레이스(24)를 교차하기에 충분한 정도로 연장한다. 마찬가지로,

노치(46)는 부조립체(10, 10A, 10B)를 상호 접속하는 각종 접착층(32, 33, 35)뿐만 아니라 각각의 부조립체의 인접한 미소전자 소자(12A, 12B) 및 각각의 트레이스(24, 24A, 24B)를 분리시킨다. 노치(46)가 경사 측벽부(48, 50)를 갖는 것으로 예시되어 있지만, 이러한 측벽부는 직선이 될 수도 있다.

[0089] 예컨대, 도 3의 노치(46A)는 제2 부조립체(10A)의 미소전자 소자 "52"와 미소전자 소자 "54"를 교차한다. 노치(46A)는 이전에 서로 부착되어 소우 레인(23)을 형성한 미소전자 소자의 각각의 여러 변이 캡(47)에 의해 분리되도록 2개의 미소전자 소자(52, 54)를 교차한다. 노치(46A)에 의해 생성된 캡(47)은 노치(46A)에 인접한 트레이스(56, 58)를 노출시킨다. 적층형 조립체(30)의 전반에 걸쳐 여러 미소전자 소자의 변의 모두에 유사한 구조가 포함되는 것이 바람직하다. 노출된 트레이스(24, 24A, 24B)는 각각의 미소전자 소자(12, 12A, 12B)에 대한 접촉 표면을 형성한다. 물론, 적층형 조립체(30)의 제1 변(60) 및 제2 변(62)은, 이들 각각의 변을 향해 연장하는 트레이스가 이미 노출되어 있기 때문에 기계적으로 절단될 필요는 없다. 도 3에 도시되어 있지는 않지만, 제1 변(60) 및 제2 변(62) 또한 더욱 대칭적인 구성을 만들기 위해 기계적으로 절단될 수도 있다. 마찬가지로, 도면에 도시되지 않은 적층형 조립체(30)의 변은 비록 기계적으로 절단되는 것이 바람직하기는 하지만 굳이 기계적으로 절단될 필요는 없다.

[0090] 적층형 조립체(30)에 여러 노치(46)가 형성된 후, 노치(46)의 경사 측벽부(48, 50)에 리드(66)가 형성되어도 된다. 경사 측벽부(48, 50)는 도 4a 및 도 4b에 도시된 바와 같이 노치(46)의 결과로 생성된 제1, 제2 및 제3 부조립체(10, 10A, 10B)의 적어도 일부분을 관통하여 연장한다. 리드(66)는 예컨대 스파터링, 3차원 리소그래피, 및 전기도금을 포함한 공정과 같은 어떠한 적합한 금속 증착 기술로도 형성될 수 있다. 또한, 추가의 공정이 이용될 수도 있다. 이러한 공정 중의 하나가 미국 특허 번호 제5,716,759호에 개시되어 있으며, 상기 특허는 본 명세서에 참고자료로 원용되어 있다. 리드(66)는 여러 노치(46) 내에서 연장하며, 트레이스(24, 24A, 24B)와 전기 접촉을 이룬다. 리드(66)는 노치(46)의 경사 측벽부(48, 50)를 지나 연장하고, 제3 부조립체(10B) 아래에 위치된 접착층(35)의 제1 표면(70)에서 노출되는 것이 바람직하다. 따라서, 리드(66)는 노치(46)로부터 떨어져 있고 접착층(35)의 표면에서 노출되어 있는 단부(75)를 포함한다. 리드(66)의 단부(75)에는 패드 또는 솔더 범프(74)가 형성될 수도 있다. 각각의 리드(66)는 3개의 트레이스(24, 24A, 24B)와 접촉하게 되며, 그 결과 트레이스가 각각의 경사 측벽부(48 또는 50)에 정렬되어 노출된다. 그러나, 리드(66)는 각각의 경사 측벽부(48 또는 50)에서 트레이스(24, 24A, 24B) 중의 1개 또는 2개에만 접촉하게 되어도 된다. 이러한 방위상태(orientation)는, 상이한 평면에 있는 트레이스(24, 24A, 24B)가 도면을 앞에서 보았을 때에 도면 페이지의 앞과 뒤에 위치함에 의한 결과일 것이다. 예컨대, 도 4b에 예시된 트레이스(24)는 3차원 방위로 본다면 트레이스(24)가 더 앞쪽에 있도록(즉, 독자에 근접하도록) 트레이스(24A)로부터 오프셋될 것이다. 트레이스(24)와 정렬되는 리드(66) 또한 트레이스(24A)로부터 오프셋되고, 트레이스(24A)와 접촉하지 않게 된다. 2차원 도면에서 트레이스(24, 24A)가 도 4b의 리드(66)에 부착되는 것으로 보일 수도 있지만, 실제로는 하나의 트레이스만이 리드에 부착될 수도 있다.

[0091] 도 5에 도시된 바와 같이, 적층형 조립체(30)에 노치(46) 및 리드(66)를 포함한 여러 도전 요소가 형성된 후, 제1 부조립체(10)의 미소전자 소자(12)의 웨이퍼(10)를 기계적으로 절단함으로써 개별 패키지(80)가 생성될 것이다. 제1 부조립체(10)의 미소전자 소자(12)는, 노치(46)가 적층형 조립체(30)를 완전히 관통하여 연장하도록 노치(46)에 인접한 지점에서 절단된다. 절단이 수행된 후, 하나의 미소전자 소자 위에 다른 하나의 미소전자 소자가 적층된 복수의 미소전자 소자를 각각 포함하는 복수의 적층형 개별 유닛(80)이 생성된다. 적층형 개별 유닛(80)은 도 5에 도시된 바와 같이 솔더 범프(74)를 통해 기판(83), 회로 기판 또는 회로 패널과 같은 미소전자 소자에 전기적으로 접속될 것이다.

[0092] 적층형 개별 유닛(80)은 다른 조립체 중에서 마이크로프로세서 및 RF 유닛에 통합될 수도 있지만, 플래시 메모리 및 DRAM 유닛용으로 특히 적합할 것이다.

[0093] 다른 실시예에서, 도 6에 도시된 바와 같이, 적층형 조립체(130)는 패키징층(180)과 같은 추가의 기판을 포함할 수 있다. 적층형 조립체(130)는 도 1 내지 도 5를 참조하여 전술한 적층형 조립체(30)와 유사하게 구성되며, 적층형 조립체(30)에 대하여 전술한 동일한 특징부의 전부는 아니더라도 거의 대부분을 포함한다. 또한, 적층형 조립체(130)는 적층형 조립체(30)에 대하여 전술한 단계를 따라 구성될 수도 있다. 적층형 조립체(30)에 비하여 적층형 조립체(130)에 추가되는 유일한 과정은, 적층형 조립체(130)의 제조 동안 및 바람직하게는 적층형 조립체(130)에 노치를 형성하기 전에, 패키징층(180)이 캠플라이언트 층(135) 아래에 위치된다는 점이다. 패키징층(180)은 유리, 실리콘 또는 유사 재료로 형성되는 것이 바람직하다. 패키징층(180)이 접착층(135)에 인접하여 위치된 후, 적층형 조립체(30)에 대하여 설명한 바와 같은 절단 기구를 이용하여 복수의 노치(146)를 형성한다. 이에 의해, 노치(146)의 경사 측벽부(148, 150)에서 트레이스(124, 124A, 124B)가 노출된다. 또한, 그

후에, 적층형 조립체(30)에 대하여 설명한 바와 같이, 복수의 리드(166)가 경사 측벽부(148, 150)에 형성되고, 노치(146)의 경사 측벽부(148, 150)에 노출된 각종 트레이스(124, 124A, 124B)와 전기 접촉 상태로 위치된다. 각종 리드(166)는 노치(146)를 지나 패키징층(180)의 정면(182) 상으로 연장하는 것이 바람직하다. 리드(166)의 노출된 단부(175)는 패드 또는 솔더 범프(174)를 포함하여도 된다. 도 6에 도시되어 있는 않지만, 각종 노치 및 도전성 소자가 형성된 후, 노치는 개별 적층 유닛(180)을 생성하기 위해 제1 부조립체(110)의 미소전자 소자(112)의 행을 통해 연장될 수 있다.

[0094] 다른 실시예에서, 도 7 내지 도 22에 도시된 바와 같이, 적층형 조립체(230)는 패키징층(201)과 같은 추가의 기판을 포함하여도 된다. 적층형 조립체(230)는, 이 조립체가 기판층(201)으로 시작된다는 점을 제외하고는 도 1 내지 도 7을 참조하여 전술한 적층형 조립체(30, 130)와 유사하게 구성되며, 적층형 조립체(30, 130)에 대하여 설명한 동일한 특징부의 대다수를 포함한다. 또한, 적층형 조립체(230)는 적층형 조립체(30, 130)에 대하여 전술한 바와 같은 단계를 따라 구성되어도 된다.

[0095] 도 7a 내지 도 7c에 도시된 바와 같이, 제1 웨이퍼 또는 제1 부조립체(210)의 일부분은, 서로 인접하여 나란하게 위치된 복수의 미소전자 소자(212)를 포함한다. 제1 웨이퍼 또는 제1 부조립체(210)는 x-축과 y-축을 따라 정렬된 미소전자 소자(212)의 다수의 행을 포함하는 것이 바람직하다. 미소전자 소자는 종래의 반도체 처리 기술을 이용하여 서로 일체로 형성된다. 부조립체(210)는 웨이퍼의 일부분일 수도 있으며, 다양한 부품이 해당 범위의 웨이퍼 위에 반복적으로 복제될 수 있음을 자명하다. 도 7a 내지 도 7c는 부조립체에 추가의 소자가 부착될 수도 있고, 이러한 부조립체가 원형의 웨이퍼 형상으로 될 수도 있다는 것을 예시하고 있다.

[0096] 각각의 미소전자 소자(212)는 전면(214) 및 반대쪽을 향하는 배면(216)을 포함한다. 미소전자 소자(212)는 또한 제1 변(218), 제2 변(220), 제3 변(219) 및 제4 변(221)을 포함하며, 이들 모두는 미소전자 소자(212)의 전면(214)으로부터 배면(216)으로 연장한다. 도 7a 내지 도 7c에 도시된 바와 같이, 미소전자 소자(212)의 제1 변(218)은 인접한 제2 미소전자 소자(212)의 제2 변(220)에 부착된다. 마찬가지로, 하나의 미소전자 소자(212)의 제3 변(219)은 인접한 미소전자 소자의 제4 변(221)에 부착된다. 그러므로, 제1 부조립체(210)의 중앙에 위치된 미소전자 소자(212)는 도 7a에 도시된 바와 같이 4개의 변 모두에서 인접한 미소전자 소자(212)에 의해 경계를 이루고 있다. 웨이퍼의 제1 변(211), 제2 변(213), 제3 변(215) 또는 제4 변(217)에 위치된 미소전자 소자(212)는 추가의 미소전자 소자에 의해 방해되지 않는 적어도 하나의 변을 갖는다. 예시를 명확하게 하기 위해 도면에는 변이 도시되어 있지만, 실제로는 변은 보이지 않을 수도 있다. 오히려, 이 스테이지에서, 인접한 미소전자 소자(212)가 서로 접촉하는 변 또는 스트립은, 웨이퍼가 개개의 미소전자 소자에 손상을 주지 않고 절단될 수 있는 소우 레인 또는 스트립이다. 예컨대, 도 7b에 도시된 바와 같이, 미소전자 소자(212')의 제2 변(220')은 미소전자 소자(212")의 제1 변(218")에 맞닿게 되고, 소우 레인(223)을 형성한다. 마찬가지로, 웨이퍼(210) 전반에 걸쳐, 소우 레인(223)은 미소전자 소자(212)가 서로 맞닿게 되는 지점에 위치된다. 제1 웨이퍼/부조립체(210)는 어떠한 수의 미소전자 소자(212)를 포함하여도 되며, 예컨대 2개 정도 또는 필요한 만큼을 포함할 것이다.

[0097] 미소전자 소자(212)의 각각은 또한 도 7c에 최상으로 나타내어져 있는 미소전자 소자(212)의 각각의 전면(14)에 노출되어 있는 복수의 컨택트(222)를 포함한다. 또한, 각각의 컨택트(222)에서부터 미소전자 소자(212)의 각각의 변(218, 220, 219, 221)까지 트레이스(224)가 외측으로 연장한다. 트레이스(224)는 미소전자 소자(212', 212")의 부착 지점에서 만나게 될 것이며, 실제로 컨택트(222', 222") 사이에서 연장하는 하나의 트레이스를 형성할 수도 있다. 그러나, 트레이스가 실제로 서로 접촉하도록 요구되지는 않는다. 인접한 미소전자 소자(212) 모두에 대해 동일한 구조가 포함될 수도 있다. 다시 한번, 제1 부조립체(210)의 각각의 단부에 위치된 컨택트(222)는 상이한 미소전자 소자 상의 인접한 컨택트까지 연장하는 트레이스(224)를 갖지 않으며, 이들 트레이스(224)는 단순히 제1 조립체(210)의 각각의 단부까지 연장한다.

[0098] 도 1 내지 도 6에 관련하여 설명한 실시예에 비하여, 도 7 내지 도 22의 실시예는 기판 위쪽으로부터 적층되는 방식으로 구성되는 것으로 도시되어 있다. 그 결과, 다수의 각종 부품 및 공정이 이전의 도면에 관해 반대의 양상으로 도시된다.

[0099] 본 실시예의 적층형 조립체를 위한 기판(202)을 갖는 패키징 지지 웨이퍼 또는 지지층(201)이 도 8에 도시되어 있다. 기판(202)은 적층형 조립체의 후속 층을 지지하고 견뎌내기에 충분한 기계적 강도를 제공하는 유리, 실리콘 또는 그와 유사한 재료로 형성되는 것이 바람직하다. 이러한 이유로, 기판(202)은 후속 층보다 더 두껍게 될 수도 있다. 지지체가 더 이상 필요없을 때, 기판층(202) 재료는 박막화되거나, 또는 에칭 또는 기계적인 폴리싱에 의해 후속의 공정 단계 동안 제거될 수도 있다. 기판은 하위면(205) 및 상위면(206)을 가지며, 좌측면

(203) 및 우측면(204)으로 연장한다. 도 9에는 상위면(206)에 형성된 복수의 렐리프 캐비티(relief cavity)(208, 208')가 도시되어 있다. 이를 캐비티(208)는 적층형 패키지를 절단하기 위한 소우 레인의 예상 위치와 정렬된다. 캐비티(208, 208')는 적층형 조립체(30, 130)에 대해 전술한 바와 같은 기계적 절단 기구에 의해 형성된다. 렐리프 캐비티(208, 208')는 후속 작업 동안의 기판(202)의 노칭(notching)으로 인한 적층형 조립체의 파손을 방지하기 위한 응력 렐리프로서 기능한다. 그 결과, 캐비티(208)는 응력 집중을 경감시키기 위한 모서리 반경(corner radii)으로 형성되는 것이 바람직하다. 캐비티(208, 208')를 형성한 후, 도 10에 도시된 바와 같이 상위면(206) 및 캐비티(208, 208')에 접착층(209)이 도포된다. 접착층은 상위면(206)에 걸쳐 2.5 내지 4.0 μm 의 두께를 갖는 것이 바람직하다.

[0100] 도 11에 도시된 바와 같이, 적층형 조립체를 형성하기 위해, 제1 부조립체(212)가 기판층(201) 위에 위치된다. 도시된 바와 같이, 컨택트(222, 222') 및 트레이스(224, 224')는 각각의 캐비티(208, 208') 및 소우 레인(218, 222)과 정렬된다. 액티브 하위면(214) 및 트레이스(224, 224')가 기판층(201)의 접착층에 가해지며, 접착제가 경화된다. 트레이스(224, 224')를 포함하는 부조립체(210)는 기판층(201)에 의해 본딩 및 지지된다.

[0101] 요구 시에, 부조립체(210)의 상위면(216)은, 도 12에 도시된 바와 같이 새로운 면(216')을 형성하고 부조립체의 높이를 감소시키기 위해 박막화될 수도 있다. 소형의 적층형 패키지가 요구되는 경우에는, 부조립체의 감소된 높이가 22.4 내지 25.4 μm 인 것이 바람직하다.

[0102] 다음으로, 도 13을 참조하면, 트레이스(224, 224')를 노출시키기 위해 복수의 초기 노치(240, 240')가 부조립체(210)에 형성될 수도 있다. 노치(240, 240')는 복잡한 트레이스(240, 240')를 유지하기 위해 선택적 화학적 에칭과 같은 비기계적인 기술을 이용하여 형성되는 것이 바람직하다. 트레이스(240, 240')는 이 단계 동안 기판(201)의 접착층(209)에 접착되어 지지된다. 초기 노치(240, 240')는 컨택트(222, 222'), 트레이스(224, 224'), 캐비티(208, 208'), 및 소우 레인(218, 222)과 정렬된다. 초기 노치(40, 41)의 프로파일은 후술되는 바와 같이 그 후의 노치를 위한 클리어런스를 제공하도록 구성된다.

[0103] 초기 노치(240, 240')를 형성한 후, 도 14에 도시된 바와 같이 상위면(216 또는 216') 및 초기 노치(40, 40')에 접착층(243)이 도포된다. 접착층은 상위면(216 또는 216') 위에서 대략 2.5 내지 4.0 μm 의 두께를 갖는 것이 바람직하다.

[0104] 도 15 및 도 16에 도시된 바와 같이, 각각 도면부호 210A, 210B 및 210C로 나타내어져 있는 제2, 제3 및 제4 부조립체는 부조립체(210)와 정렬되고, 부조립체(210) 및 기판층(201) 위에서부터 차례로 적층 및 라미네이트된다. 각각의 부조립체(210A, 210B, 210C)를 라미네이트하기 위해서는, 기판(201)에 부조립체(210)를 라미네이트하기 위해 후속되었던 이전 단계의 동일한 시퀀스가 이용된다. 정렬, 라미네이션, 경화, 박막화, 초기 노치의 형성, 및 접착제의 도포를 포함한 단계들이 적층형 조립체(230)를 형성하기 위해 각각의 단계에 순차적으로 후속된다. 그러므로, 제1 부조립체(210)의 미소전자 소자(212)는 제2 부조립체(210A)의 미소전자 소자(212A), 제3 부조립체(210B)의 미소전자 소자(212B), 및 제4 부조립체(210C)의 미소전자 소자(212C)와 정렬된다. 따라서, 초기 노치(240, 240', 240A, 240A', 240B, 240B', 240C, 240C')는 각각 컨택트(222, 222', 222A, 222A', 222B, 222B', 222C, 222C'), 트레이스(224, 224', 224A, 224A', 224B, 224B', 224C, 224C'), 캐비티(208, 208'), 및 소우 레인(218, 222)과 각각 정렬된다. 요약하면, 적층형 조립체(230)는 다양한 행과 열로 배향되어 정렬된 복수의 적층 및 접착된 미소전자 소자(12, 12A, 12B, 12C)로 구성된다.

[0105] 노치(246)는 여러 부조립체(10, 10A, 10B, 10C)의 각각의 미소전자 소자(12, 12A, 12B, 12C)의 각각의 제1 변(218, 218A, 218B, 218C), 제2 변(220, 220A, 220B, 220C), 제3 변(219, 219A, 219B, 219C), 제4 변(221, 221A, 221B, 221C)에 인접한 지점에 있는 적층형 조립체(230)로부터 절단된다. 노치(246, 247)는 이전의 실시예에 대해 설명한 방법에 의해 소우 레인(220, 218)에 형성된다. 도 17에 도시된 바와 같이, 이전의 실시예와의 한 가지 두드러진 차이점은, 복수의 노치(246)가 접착층(243, 243A, 243B, 243C)을 관통하여 절단된다는 것이다. 노치(246)는 적층형 조립체(230)를 완전히 관통하지 않고, 렐리프 캐비티(208, 208') 내로 부분적으로 연장하는 것이 바람직하다. 그러므로, 기판(202)은 적층된 미소전자 소자에 연결하기 위해 그대로 유지되며, 기판이 아닌 접착층(209)이 절단되므로 균열(cracking)로부터 보호된다. 노치(246)가 경사 측벽부(248, 250)를 갖는 것으로 예시되어 있지만, 직선의 측벽부를 가질 수도 있다.

[0106] 도 17의 적층형 조립체(230)는 하나 위에 다른 하나가 적층된 4개의 개별 웨이퍼/부조립체를 포함하지만, 다른 실시예에서는 적층형 조립체(230)가 서로의 상면에 위치된 그 보다 적거나 많은 수의 웨이퍼/부조립체를 포함하여도 된다. 또한, 도 17에는 기계적 폴리싱 또는 에칭에 의해 달성될 수 있는 기판(202)의 박막화(옵션임)가 도시되어 있다. 이 단계는 공정의 여러 단계 사이에, 바람직하게는 노치(246)의 형성 후에 수행되어도 된다.

- [0107] 다수의 노치(246)가 적층형 조립체(230)에 형성된 후, 리드(266)는 노치(246)의 경사 측벽부(248, 250) 상에 형성되어도 된다. 경사 내벽(248, 250)은 도 17 및 도 18에 도시된 바와 같이 노치(246)의 결과로서 형성되는 제1, 제2, 제3 및 제4 부조립체(210, 210A, 210B, 210C)의 적어도 일부분을 통해 연장한다. 리드(266)는 이전의 실시예에 대해 설명한 바와 같이 어떠한 적합한 금속 중착 기술로도 형성될 수 있다. 리드(266)는 다수의 노치(246) 내에 연장하며, 트레이스(224, 224A, 224B, 224C)와 전기 접촉을 구축한다.
- [0108] 리드(266)는 노치(246)의 경사 측벽부(248, 250)를 지나 연장하고, 제3 부조립체(210C)의 상위면(216C') 상의 접착층(243C)에 접착되는 것이 바람직하다. 따라서, 리드(266)는, 노치(246)로부터 떨어져 있고 접착층(243C)의 표면 상에 노출되는 단부(275)를 포함한다.
- [0109] 각각의 리드(266)는, 트레이스가 각각의 경사 측벽부(248 또는 250)와 정렬되어 노출된 결과로 제4 트레이스(224, 224A, 224B, 224C)와 접촉하게 된다. 그러나, 리드(266)는 각각의 경사 측벽부(48 또는 50)와 전기 접속될 수도 있다. 이러한 방위상태는 이전의 실시예에 대해 설명한 바와 같이 상이한 평면에 있는 트레이스(224, 224A, 224B)가 도면을 앞에서 보았을 때에 도면 페이지의 앞과 뒤에 위치함에 의한 결과일 것이다.
- [0110] 리드(266)의 단부(275)에는 패드 또는 솔더 범프가 형성되어도 된다. 이를 위해, 배선 또는 솔더 범프의 부착을 위해 도 19에 도시된 바와 같이 접착층(216C) 및 리드(266)의 표면 위에 솔더 마스크(277)가 패터닝될 것이다.
- [0111] 도 20에 도시된 다른 옵션의 실시예에서, 리드(266)는 기판(202)의 저면까지 연장될 수도 있다. 리드(266)는 노치(246)의 경사 측벽부(248, 250)를 지나 연장하며, 접착층(209)을 제1 부조립체(210) 아래에 위치된 릴리프 캐비티(208) 내에 진입시킨다. 기판(202)을 추가로 박막화할 시에, 리드(266)의 저면이 노출되며, 리드는 저부 리드(286)를 형성하기 위해 전술한 방법에 의해 연장될 수도 있다. 단부(288)에 패드 또는 범프의 형성이 가능하도록 배선 또는 솔더 범프의 부착을 위해 기판(202)의 저면 위에 솔더 마스크(227)가 패터닝되어도 된다.
- [0112] 이러한 구성의 특별한 장점은, 적층형 조립체(230) 또는 개별 패키지 중의 하나가 각각의 상단부(275)과 하단부(288)를 정렬시켜 예컨대 솔더 범프를 이용하여 접속시킴으로써 하나 위에 다른 하나가 적층되고 전기적으로 상호접속된다는 점이다. 도시된 예에서, 접속될 상단부(275)와 하단부(288)는 x-y 평면에서 적합한 패턴으로 정렬되어 상호접속이 가능하게 된다.
- [0113] 리드(266)에 의해 검사 프로브가 소자를 액세스할 수 있게 되므로, 결함을 갖는 부조립체층이 검출 및 고립되어 분류 및 재가공이 가능하게 될 것이다. 조립체(230)를 적층하는 능력에 의해 더 높은 레벨의 접속 및 웨이퍼 레벨 재가공이 용이하게 된다. 그러므로, 도 20에 예시된 바와 같이 유닛의 저면에 노출되어 있는 리드는 예컨대 납땜과 같은 도전성 재료의 구(sphere) 또는 범프의 도전성 매스(mass)를 통해 인접한 유닛의 상면에 제공된 리드에 접속될 것이다. 전체적인 두께가 더 크다면, 이러한 적층형 조립체로부터의 소자는 결함을 갖지 않는 적층형 조립체(230)와 동등하게 되도록 기능적으로 수리되며, 웨이퍼 레벨 재가공에 의해 기능하는 층(210)의 값어치가 경제적으로 복구될 수도 있다.
- [0114] 도 21에 도시된 바와 같이, 노치(246) 및 리드(266)를 포함한 다수의 도전성 소자가 적층형 조립체(230)에 형성된 후, 패키지로 나누기 위해 리드(266), 접착층(209) 및 기판(202)을 관통하여 기계적으로 절단함으로써 개개의 패키지(280)가 형성될 것이다. 노치(246)가 적층형 조립체(230)를 완전히 관통하여 연장하게 되도록, 노치(246)에 인접한 지점에서 다이싱 레인(218, 220)과 절단기가 정렬된다. 절단이 수행된 후, 복수의 적층형 개별 소자(280)가 형성되며, 각각의 적층형 개별 유닛(280)이 하나의 미소전자 소자 위에 다른 하나의 미소전자 소자가 적층된 복수의 미소전자 소자를 포함한다. 도 22에 도시된 바와 같은 적층형 개별 유닛(280)은, 도 23에 도시된 바와 같이, 와이어 본딩을 통해 또는 패드(275) 또는 솔더 범프(274)를 통해 기판, 회로 기판 또는 회로 패널 등의 미소전자 소자에 전기적으로 접속될 것이다.
- [0115] 특정의 예(도 20a)에서, 도 20 또는 도 21에 도시된 유형의 3개의 적층형 조립체(230)가 적층되어 상호접속될 수도 있다. 적층형 조립체의 접합 배선(2202, 2202', 2202") 및 접속 지점(bonding land)(2204, 2204', 2204")은 회로 패널(2210)의 단자(2206)에 대한 상호접속을 제공한다. 접합 배선은 도 20a에 도시된 바와 같이 인접한 레벨의 접속 지점을 연결하도록 배치될 수도 있고, 또는 각각의 접합 배선이 적층형 조립체를 회로 패널에 직접 접속시킬 수도 있다. 이와 달리, 특정의 적층형 조립체에 접속된 접합 배선의 일부가, 그 특정의 적층형 조립체에 인접하기 않은 다른 적층형 조립체에 접속될 수도 있다.
- [0116] 도 20a에서 명백한 바와 같이, 적층형 조립체(230")의 면(2220") 및 그 위의 접속 지점(2204")은 적층형 조립체(230')의 면(2220') 및 면(2222')과 그 위의 접속 지점(2204')을 지나 연장하여, 접속 지점(2204', 2204")이

접합 배선(2202')을 이용하여 상호접속되도록 한다. 마찬가지로, 적층형 조립체(230')의 면(2220') 및 그 위의 접속 지점(2204')은 적층형 조립체(230)의 면(2220) 및 변(2222)과 그 위의 접속 지점(2204)을 지나 연장하여, 접속 지점(2204', 2204)이 접합 배선(2202)을 이용하여 상호접속되도록 한다.

[0117] 전술한 실시예(도 7 내지 도 23)는 웨이퍼 레벨 패키징에 의해 박막 소자(230)가 생성되게 한다. 개개의 층이 대략 25 μm 의 두께로 제조될 수 있기 때문에, 30 μm 기판을 이용한 전체 다이 패키지는 155 μm 이상의 두께로 될 수 있다. 전술한 바와 같이, 기판은 패키지 두께를 125 μm 미만으로 감소시키기 위해 추가로 박막화될 수 있다. 전술한 바와 같이(도 7 내지 도 23) 적층형 패키지를 제조하는 방법에서, 적층형 조립체(230)(도 17)에 노치(246)가 형성된다. 노치는 통상적으로 소우 레인(218, 220 등)과 정렬된 각각의 미소전자 소자(212, 212')의 변을 따라 연장하며, 이로써 각각의 미소전자 소자의 일련의 트레이스(224)(도 7c)가 변에서 노치 내에 노출된다. 노치는 적층형 조립체(230)의 각각의 소우 레인의 전체 길이를 연장하여도 되고, 또는 개구가 정렬되는 각각의 소우 레인의 길이의 일부분을 각각 연장하는 일련의 개구이어도 된다. 도 7c에 도시된 바와 같이, 미소전자 소자(212)의 컨택트(222")로부터 연장하는 트레이스(224)의 전부 및 미소전자 소자(212')의 컨택트(222')로부터 연장하는 트레이스(224)의 전부가 하나의 노치(246)(도 17) 내에서 노출될 수도 있다. 그 후, 노치 내에 노출된 부조립체(210)의 변을 따라 예컨대 스퍼터링, 무전해 증착 기술(electroless deposition) 등에 의해 주요 금속층을 증착함으로써 리드(266)(도 18)가 형성될 것이다. 그리고나서, 주요 금속층은 별도의 리드로 포토리소그래피 방식으로 패터닝될 수 있으며, 그 후에 리드의 두께를 증가시키고 또한 필요 시에 복수의 상이한 금속층을 갖는 리드를 형성하기 위해 전기도금이 후속될 것이다.

[0118] 도 24를 참조하면, 상기 실시예의 변형예에서, 적층형 조립체(230)를 형성한 후(도 16 및 도 17), 각각의 미소전자 소자(212, 212' 등)의 소우 레인(218, 220)(도 7c)과 정렬된 트레이스(224)의 전부를 노출시키는 노치를 형성하는 대신, 소우 레인(218, 220 등)과 정렬되어 개구(228, 228', 228")가 형성된다. 그러나, 전술한 실시예에서의 노치(246)(도 17)와는 달리, 각각의 개구(228, 228', 228")는 각각의 미소전자 소자의 하나의 트레이스(224, 224', 224") 이상을 노출시키지는 않는다. 통상적으로, 인접한 미소전자 소자(212, 212')의 컨택트에 연결된 트레이스(224)는 개구(228) 내에 노출된다. 마찬가지로, 인접한 미소전자 소자의 컨택트에 연결된 트레이스(224')는 또 다른 개구(228') 내에 노출되며, 인접한 미소전자 소자의 컨택트에 연결된 트레이스(224)는 또 다른 개구(228") 내에 노출된다. 적층형 조립체(230)에서, 적층형 부조립체의 미소전자 소자에 접속된 각각의 트레이스(224)는 하나의 개구 내에서 노출될 수도 있지만, 각각의 미소전자 소자의 하나 이하의 트레이스가 각각의 개구 내에서 노출된다.

[0119] 트레이스(224, 224', 224")의 개별 트레이스에 연결된 리드(266)(도 18)를 형성하기 위해, 적층형 조립체 내의 모든 개구(228, 228', 228")가 동시에 도전체로 채워져, 각각의 미소전자 소자의 하나의 트레이스에 연결된 도전성 비아(via)를 형성한다. 예컨대, 개구는 금속으로 채워져, 예컨대 스퍼터링 또는 무전해 증착 기술을 이용하여 주요 금속을 증착시킨 후 그 결과의 구조체를 전기도금함으로써 도전성 비아를 형성할 수 있다. 노출된 접착층 또는 유전체층(243C)(도 18)의 표면 위에 있는 전기도금 단계 후에 잔류된 금속이 제거되어, 개개의 도전성 비아의 표면이 각각의 개구(228)에서 노출된다. 이와 달리, 최상위 접착층(243C) 위에 있는 그 결과의 금속층은 포토리소그래피에 의해 비아로부터 접착층(243C)을 연장하는 개별 리드(266)(도 18)로 패터닝될 수 있다. 그 후, 도 23에 도시되고 이 도면을 참조하여 설명된 바와 같이, 리드의 단부에 도전성 범프가 형성되어도 된다.

[0120] 이하에서는, 본 명세서에 설명된 유형의 조립체의 제조 시에 채용되는 장치를 예시하고 있는 도 25a 및 도 25b를 참조하여 설명한다. 도 25a 및 도 25b에 도시된 바와 같이, 종래의 웨이퍼 제조 장치(680)는 도 1a 및 도 1b에 부분적으로 도시된 유형의 완전한 웨이퍼(681)를 제공한다. 개개의 웨이퍼(682)는, 본딩 장치(685)에 의해 자신의 활성 표면 상에 보호층(683)이 본딩되며, 이 본딩 장치는 에폭시의 균일한 분포를 달성하기 위해 웨이퍼(682), 보호층(683) 및 에폭시를 회전시키기 위한 장치를 갖는 것이 바람직하다.

[0121] 본딩된 웨이퍼(686)는 연마제(687)를 이용하는 그라인딩 장치(684)에 의해서와 같이 비액티브 표면에서 박막화된다. 그 후, 웨이퍼는 바람직하게는 마스크(691)를 통한 감광성 포토레지스트(690)의 노광을 위한 마스크 노광 기기(692)를 이용한 종래의 스픈 코팅 포토레지스트를 이용하고 그 후에 용액(699)을 이용하여 배쓰(bath)(693) 내에서 실리콘을 에칭하는 것과 같은 포토리소그래피에 의해 비액티브 표면에서 에칭된다. 에칭된 웨이퍼는 비액티브측에 장치(685)와 동일한 것일 수도 있는 본딩 장치(694)에 의해 보호층(686)이 본딩되어, 이 중 접착 웨이퍼 샌드위치(doubly bonded wafer sandwich)를 형성한다. 웨이퍼는 그 후 제2 또는 그 이상의 웨이퍼에 본딩될 수도 있다.

- [0122] 도 1 내지 도 6을 참조하여 전술한 바와 같이 적층형 패키지를 형성하는 방법에서는 접합된 웨이퍼를 노칭 장치(695)에 의해 부분적으로 절단한다. 노칭된 웨이퍼는 그 후 크로메이트처리 용액(chromating solution)(698)을 포함하고 있는 배쓰(696) 내에서 부식방지 처리가 수행된다. 이와 달리, 도 7 내지 도 24를 참조하여 전술한 제조 방법에 따라 각각의 미소전자 소자의 하나 이상의 트레이스를 노출시키는 노치 또는 하나의 트레이스를 노출시키는 개구를 형성하기 위해 화학적 에칭 장치(도시하지 않음)가 이용될 수도 있다.
- [0123] 웨이퍼의 각각의 다이의 하나 이상의 표면 상에 도전층을 형성하기 위해 전공 증착 기술에 의해 작동하는 도전층 증착 장치(700)가 채용된다. 도전층 증착 장치(700)는 2개의 웨이퍼가 함께 조립되지 전에 채용되어도 된다. 종래의 전착(electro-deposited) 포토레지스트(701)를 이용하여 컨택트 스트립 또는 리드 브리지를 구성하는 것이 바람직하다. 포토레지스트 배쓰 어셈블리(702) 내의 적층형 웨이퍼(707)에 포토레지스트(701)가 가해진다. 포토레지스트(701)는 바람직하게는 적합한 에칭 패턴을 형성하기 위해 마스크(705)를 이용하는 UV 노광 시스템(704)에 의해 구성된 광이며, UV 노광 시스템은 시스템(692)과 동일한 것이어야 된다. 그 후, 현상 배쓰(706) 내에서 포토레지스트가 현상되고나서, 에칭 배쓰(710)에 위치된 금속 용액(708)에서 웨이퍼가 웨칭되어, 도전체 구성을 제공한다.
- [0124] 노출된 도전성 스트립은 바람직하게는 무전해 도금 장치(712)에 의해 도금된다. 적층된 웨이퍼는 개별 패키징된 집적 소자로 다이싱된다. 바람직하게는, 다이싱 블레이드(714)는 소우 레인의 두께에 대응하는 4 내지 12 mil 두께의 다이아몬드 레지노이드(resinoid) 블레이드이어야 한다.
- [0125] 도 26을 참조하면, 예컨대 접착제(도시하지 않음)를 통해 상호접속 소자(2610) 또는 회로 패널에 부착되는 배면(2602)을 갖는 적층형 조립체(280)가 도시되어 있다. 접합 배선(2604)에 의해 리드(2666)의 단부(2668)가 상호접속 소자(2610)의 내면(2601) 상의 컨택트(2606)에 전기 접속된다. 그 다음에, 컨택트(2606)가 비아(2608)를 통해 예컨대 상호접속 소자의 외면(2611)에서 노출되어 있는 솔더 볼과 같은 도전성 범프 또는 볼(2612)에 접속된다. 도 26에 추가로 도시된 바와 같이, 예컨대 반도체칩 등의 미소전자 소자는, 다른 것 중에서도, 예컨대 솔더 볼 등의 도전성 매스(2624)를 통해 적층형 조립체(280)의 미소전자 소자(210)의 전면(2622) 위에 연장하는 리드(2666)에 접속될 수도 있다. 특정의 실시예에서, 적층형 조립체에 포함된 미소전자 소자는, 동적 랜덤 액세스 메모리(DRAM), 정적 랜덤 액세스 메모리(SDRAM), 방사선에의 노출을 통해 소거되거나 또는 전기적 수단에 의해 소거 및 재프로그래밍될 수 있는 소거 가능한 프로그래머블 판독 전용 메모리(EPROM), 또는 칩을 재프로그래밍할 필요없이 기억, 변경 및 재기입될 수 있는 비휘발성 랜덤 액세스 메모리의 형태인 플래시 메모리를 포함하는 메모리 소자를 포함하며, 메모리 소자의 예로는 상기한 것으로 한정되지 않는다.
- [0126] 특정의 예에서, 칩(2620)은 예컨대 마이크로프로세서 또는 마이크로컨트롤러 소자와 같은 프로세서를 포함하며, 상기 프로세서는 적층형 조립체(280)에 포함된 메모리 자원의 사용과 연관되어 프로그램을 액세스 및 실행할 수 있다. 또 다른 예에서, 칩(2620)은 기능 또는 회로에 있어서 미소전자 소자(210) 중의 하나 이상의 미소전자 소자의 기능 또는 회로에 부합하는 회로를 포함할 것이다. 이러한 경우, 칩(2620)은 리드(2666)를 통해 다른 미소전자 소자(210)에 접속되는 교체 유닛으로서 작용할 수 있으며, 칩(2620)은 접합 배선(2604)을 통해 상호접속 소자에 접속된다. 칩(2620)을 결합이 있는 미소전자 소자(210)를 갖는 조립체에 대한 수리-교체 유닛으로 하기 위해, 그 결합이 있는 미소전자 소자로부터 연장하는 리드는, 예컨대 기계적 기술 또는 레이저 기술에 의해 전면(2622)에 있는 컨택트로부터 전기적으로 접속해제될 수 있다. 이와 달리, 칩(2620) 또는 결합이 있는 미소전자 소자(210)의 전기적으로 용융 가능한 소자(예컨대, 전기 퓨즈 또는 앤티퓨즈)가 작동될 수 있다. 적층형 조립체의 결합성 칩의 위치에 수리 칩(2620)이 전기적으로 접속될 수 있다.
- [0127] 도 27은 도 26에 예시된 실시예의 변형을 도시하며, 여기서 칩(2720)은 그 전면(2722)이 인접한 미소전자 소자(210)의 전면(2622)의 반대쪽을 바라보도록 탑재된다. 접합 배선(2704)에 의해 칩의 패드(2716)가 상호접속 소자의 컨택트(2706)에 접속된다. 도 28에 도시된 다른 변형예에서, 칩(2720)의 패드(2704)에 접속된 접합 배선(2804)은 적층형 조립체 상의 노출된 컨택트(2806)에 접속된다. 노출된 컨택트(2806)는 리드(2666)를 통해 적층형 조립체의 미소전자 소자 중의 하나 이상에 접속될 수도 있다. 이와 달리, 또는 이에 추가하여, 노출된 컨택트(2806)는 다른 접합 배선(2814)을 통해 상호접속 소자에 접속될 수도 있다.
- [0128] 도 29에 도시된 다른 변형예에서, 적층형 조립체(도 20을 참조하여 설명된)의 배면(2902)에서 노출되어 있는 리드(2966)의 단부(2968)는 다른 것 중에서도 예컨대 솔더 볼 등의 도전성 매스를 통해 상호접속 소자(2910)의 컨택트(2906)에 접속된다. 도 30은 도 29에 도시된 실시예의 변형예를 예시하며, 적층형 조립체의 전면(3001)에 탑재된 칩(2720)이, 칩(2720) 상의 패드로부터 상호접속 소자의 컨택트(3006)까지 연장하는 접합 배선(3004)을 통해 상호접속 소자(3010)에 직접 전기 접속된다. 도 31에 도시된 또 다른 변형예에서, 칩(2620)은 리드(2666)

6)의 단부 또는 적층형 조립체의 전면(3001)에서 노출되어 있는 다른 컨택트에 플립-칩 탑재(flip-chip mount) 된다. 도 32에 도시된 또 다른 변형예에서, 적층형 조립체(280)는 상호접속 소자(2610)에 플립-칩 탑재되며, 적층형 조립체의 전면(3201)이 상호접속 소자의 전면(2601)에 대면하고 있다.

[0129] 이하에서는 본 발명의 특정 실시예에 따른 특징을 설명한다.

[0130] 1. 적층형 미소전자 패키지를 제조하는 방법은, 미소전자 소자의 적어도 일부가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제1 부조립체를, 미소전자 소자의 적어도 일부가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제2 부조립체 상에 적층함으로써 미소전자 조립체를 형성하는 단계와, 상기 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키기 위해 미소전자 조립체에 노치를 형성하는 단계와, 노치의 측벽부에, 트레이스의 적어도 일부와 전기적으로 소통되는 리드를 형성하는 단계를 포함한다.

[0131] 2. 상기한 1의 방법에서, 제1 부조립체 및 제2 부조립체는 소우 레인을 포함하며, 미소전자 조립체를 형성하는 단계 동안, 제1 부조립체의 소우 레인은 제2 부조립체의 소우 레인과 정렬되며, 각각의 부조립체의 소우 레인에 노치가 형성된다.

[0132] 3. 상기한 1의 방법에서, 노치는 제1 부조립체를 부분적으로 관통하여 연장한다.

[0133] 4. 상기한 3의 방법은 제1 조립체의 소우 레인을 관통하여 완전히 절단함으로써 개별적인 적층형 패키지를 형성하는 단계를 더 포함한다.

[0134] 5. 상기한 1의 방법에서, 제1 및 제2 부조립체의 복수의 미소전자 소자의 적어도 일부는 그들의 각각의 전면에 노출되어 있는 컨택트를 포함하며, 트레이스의 적어도 일부가 컨택트의 적어도 일부에 전기적으로 접속된다.

[0135] 6. 상기한 1의 방법에서, 미소전자 조립체를 형성하는 단계 동안, 제1 부조립체의 제1 면이 접착제에 의해 제2 부조립체의 제2 면에 접착된다.

[0136] 7. 상기한 1의 방법에서, 제1 부조립체의 트레이스의 일부가 제2 부조립체의 트레이스의 일부로부터 오프셋되며, 노치의 측벽 상에 형성된 리드가 부조립체 중의 하나의 부조립체의 트레이스와 접촉하게 되지만 다른 부조립체의 트레이스에는 접속하지 않는다.

[0137] 8. 적층형 패키지를 제조하는 방법은, 제1 웨이퍼 및 제2 웨이퍼가 각각 소우 레인을 향해 연장하는 복수의 트레이스를 가지며, 제1 웨이퍼 및 제2 웨이퍼 중의 하나의 웨이퍼의 소우 레인이 다른 하나의 웨이퍼의 소우 레인 위에 위치되도록, 제1 웨이퍼의 소우 레인과 제2 웨이퍼의 소우 레인을 정렬시키는 단계와, 제1 웨이퍼 및 제2 웨이퍼의 소우 레인을 적어도 부분적으로 절단함으로써 복수의 트레이스를 노출시키는 단계와, 리드를 노출된 복수의 트레이스 중의 적어도 일부와 전기적으로 접속시키는 단계를 포함한다.

[0138] 9. 상기한 8의 방법에서, 제1 및 제2 웨이퍼는 복수의 트레이스와 전기 접속하는 복수의 미소전자 소자를 포함한다.

[0139] 10. 상기한 9의 방법은 제2 웨이퍼의 소우 레인을 정렬시킨 후에 제1 웨이퍼를 제2 웨이퍼에 부착하는 단계를 더 포함한다.

[0140] 11. 상기한 9의 방법에서, 리드는 웨이퍼 중의 하나의 웨이퍼의 전면까지 연장하는 제1 단부를 포함한다.

[0141] 12. 상기한 11의 방법에서, 리드의 제1 단부는 추가의 미소전자 소자를 부착하기 위한 솔더 범프를 포함한다.

[0142] 13. 상기한 8의 방법은, 추가의 적어도 하나의 웨이퍼의 소우 레인을 제1 및 제2 웨이퍼의 소우 레인과 정렬시키는 단계를 포함하며, 제1 및 제2 웨이퍼의 복수의 트레이스를 노출시키는 단계 동안, 추가의 적어도 하나의 웨이퍼의 복수의 트레이스 또한 노출된다.

[0143] 14. 적층형 미소전자 패키지는, 서로 결합되며, 각각이 적어도 하나의 변과 적어도 하나의 변의 각각에서 노출되어 있는 복수의 트레이스를 포함하는 제1 부조립체 및 제2 부조립체와, 제1 및 제2 부조립체의 복수의 트레이스의 적어도 일부에 부착되며, 제1 및 제2 부조립체 양자의 적어도 하나의 변에 대해 연장하는 복수의 리드를 포함한다.

[0144] 15. 상기한 14의 적층형 미소전자 패키지에서, 제1 및 제2 부조립체의 각각은 적어도 하나의 미소전자 칩을 포함한다.

[0145] 16. 상기한 15의 적층형 미소전자 패키지에서, 제1 및 제2 부조립체의 미소전자 칩의 각각은 전면, 전면의 반대

쪽을 향하는 배면, 및 미소전자 칩의 전면의 각각에 노출되어 있는 복수의 컨택트를 포함하며, 제1 및 제2 부조립체의 복수의 트레이스가 미소전자 칩의 전면에 노출되어 있는 복수의 컨택트로부터 외측으로 연장한다.

[0146] 17. 상기한 16의 적층형 미소전자 패키지에서, 제1 및 제2 부조립체의 각각은 적어도 하나의 추가의 변을 포함하며, 각각의 제1 및 제2 부조립체의 복수의 트레이스의 적어도 일부가 제1 및 제2 부조립체의 적어도 하나의 추가의 변까지 연장한다.

[0147] 18. 상기한 17의 적층형 미소전자 패키지에서, 복수의 리드의 적어도 일부가 제1 및 제2 부조립체의 적어도 하나의 측의 변에 대해 연장한다.

[0148] 19. 상기한 18의 적층형 미소전자 패키지에서, 제2 부조립체는 전면을 포함하며, 복수의 리드는 제2 부조립체의 전면에 노출되어 있는 제1 단부를 갖는다.

[0149] 20. 상기한 19의 적층형 미소전자 패키지는, 제1 및 제2 부조립체에 부착된 추가의 적어도 하나의 부조립체를 더 포함하며, 추가의 적어도 하나의 부조립체는 복수의 리드의 적어도 일부와 전기적으로 소통된다.

[0150] 21. 적층형 미소전자 패키지를 제조하는 방법은, 미소전자 소자의 적어도 일부가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제1 부조립체를 기판 상에 적층하고, 미소전자 소자의 적어도 일부가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제2 부조립체를 상기 제1 부조립체 상에 적층함으로써 미소전자 조립체를 형성하는 단계와, 상기 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키기 위해 미소전자 조립체에 노치를 형성하는 단계와, 노치의 측벽부에, 트레이스의 적어도 일부와 전기적으로 소통되는 리드를 형성하는 단계를 포함한다.

[0151] 22. 상기한 21의 방법에서, 기판, 제1 조립체 및 제2 조립체는 소우 레인을 포함하며, 미소전자 조립체를 형성하는 단계 동안, 제1 부조립체의 소우 레인은 기판의 소우 레인과 정렬되며, 제2 부조립체의 소우 레인은 제1 부조립체의 소우 레인과 정렬되며, 각각의 부조립체의 소우 레인에 트레이스가 형성된다.

[0152] 23. 상기한 22의 방법에서, 기판의 소우 레인과 정렬되는 릴리프 채널이 기판을 부분적으로 관통하여 형성된다.

[0153] 24. 상기한 21의 방법에서, 리드는 제2 부조립체의 상위면까지 연장하는 제1 단부를 포함한다.

[0154] 25. 상기한 24의 방법에서, 리드는 기판의 상위면까지 연장하는 제2 단부를 포함한다.

[0155] 26. 상기한 23의 방법에서, 노치를 형성하는 단계는 기판에 노치를 형성하는 것을 포함하지 않는다.

[0156] 27. 상기한 22의 방법은, 기판의 소우 레인을 관통 절단하여 개별적인 적층형 패키지를 형성하는 단계를 포함한다.

[0157] 28. 상기한 21의 방법에서, 미소전자 조립체를 형성하는 단계 동안, 제1 부조립체의 제1 면이 접착제에 의해 기판의 제2 면에 접착된다.

[0158] 29. 상기한 21의 방법에서, 제1 부조립체 및 제2 부조립체의 복수의 미소전자 소자의 적어도 일부가 제1 및 제2 부조립체의 소우 레인을 가로질러 연장하는 트레이스를 갖는다.

[0159] 30. 상기한 21의 방법에서, 노치를 형성하는 단계는, 제1 부조립체의 적어도 일부에 초기 노치를 형성하여 트레이스를 노출시키고, 이 초기 노치를 접착제로 채워 트레이스를 피복하는 단계와, 제2 부조립체의 적어도 일부에 초기 노치를 형성하여 트레이스를 노출시키고, 이 초기 노치를 접착제로 채워 트레이스를 피복하는 단계와, 접착제에 노치를 형성하여 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키는 단계를 포함한다.

[0160] 31. 미소전자 부조립체를 제조하는 방법은, 복수의 미소전자 소자를 포함하고, 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 제1 부조립체에 초기 노치를 형성하여, 트레이스를 노출시키는 단계와, 초기 노치를 접착제로 채워 트레이스를 피복하는 단계와, 접착제에 노치를 형성하여 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키는 단계를 포함한다.

[0161] 32. 상기한 31의 방법에서, 초기 노치는 에칭에 의해 형성된다.

[0162] 33. 상기한 32의 방법에서, 트레이스는 노치를 에칭한 후에 실질적으로 변하지 않고 유지된다.

[0163] 34. 적층형 미소전자 패키지는, 서로 적층된 기판 및 4개의 부조립체를 포함하며, 각각의 부조립체는 적어도 하

나의 미소전자 칩을 포함하며, 상기 패키지는 155 μm 이하의 두께의 적층체를 갖는다.

[0164] 35. 적층형 미소전자 패키지는, 서로 적층된 4개의 부조립체를 포함하며, 각각의 부조립체는 적어도 하나의 미소전자 칩을 포함하며, 상기 패키지는 125 μm 이하의 두께의 적층체를 갖는다.

[0165] 36. 적층형 미소전자 패키지를 제조하는 방법은, 적어도 일부의 미소전자 소자가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제1 부조립체를, 기판의 접착층 상에 적층함으로써 미소전자 조립체를 형성하는 단계와; 제1 부조립체에 초기 노치를 형성하여 트레이스를 노출시키고, 제1 부조립체 상에 접착층을 도포하여 초기 노치를 접착제로 채우고 트레이스를 피복하는 단계와; 적어도 일부의 미소전자 소자가 미소전자 소자의 각각의 변까지 연장하는 트레이스를 갖는 복수의 미소전자 소자를 포함하는 제2 부조립체를, 제1 부조립체의 접착층 상에 적층하는 단계와; 제2 부조립체에 초기 노치를 형성하여 트레이스를 노출시키고, 제2 부조립체 상에 접착층을 도포하여 초기 노치를 접착제로 채우고 트레이스를 피복하는 단계와; 접착층에 노치를 형성하여 복수의 미소전자 소자의 적어도 일부의 미소전자 소자의 트레이스를 노출시키는 단계와; 노치의 측벽부에, 트레이스의 적어도 일부와 전기적으로 소통되는 리드를 형성하는 단계를 포함한다.

[0166] 37. 상기한 36의 방법에서, 기판, 제1 부조립체 및 제2 부조립체는 소우 레인을 포함하며, 미소전자 조립체를 적층한 후, 기판, 제1 및 제2 부조립체의 소우 레인이 정렬되며, 제2 부조립체 상에 접착층을 도포한 후, 각각의 부조립체의 소우 레인에 노치가 형성된다.

[0167] 38. 상기한 37의 방법에서, 제1 부조립체를 기판의 접착층 상에 적층하기 전에, 기판의 소우 레인과 정렬된 릴리프 채널이 기판을 부분적으로 관통하여 형성된다.

[0168] 39. 상기한 37의 방법은, 기판의 소우 레인을 다이싱하여 개개의 적층형 패키지를 형성하는 단계를 더 포함한다.

[0169] 40. 상기한 36의 방법에서, 노치를 형성하는 단계는 기판에 노치를 형성하는 것을 포함하지 않는다.

[0170] 41. 상기한 38의 방법에서, 노치를 형성하는 단계는 기판에 노치를 형성하는 것을 포함하지 않는다.

[0171] 42. 상기한 36의 방법에서, 제1 및 제2 부조립체의 복수의 미소전자 소자의 적어도 일부는, 제1 및 제2 부조립체의 소우 레인을 가로질러 연장하는 트레이스를 갖는다.

[0172] 본 발명을 특정 실시예를 참조하여 설명하였지만, 이를 실시예는 본 발명의 원리 및 응용을 예시하는 것에 불과하다. 따라서, 첨부된 청구범위에 의해 한정된 바와 같은 본 발명의 사상 및 범위에서 벗어나지 않는 범위 내에서 예시된 실시예에 대하여 다수의 수정이 이루어질 수 있으며, 또한 다른 구성이 고려될 수 있을 것이다.

도면의 간단한 설명

[0044] 도 1a는 본 발명의 일실시예에 따른 부조립체의 평면도이다.

[0045] 도 1b는 도 1a의 부조립체의 횡단면도이다.

[0046] 도 2는 적층형 조립체를 형성하기 위해 서로 부착된 복수의 부조립체의 횡단면도이다.

[0047] 도 3은 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 2의 적층형 조립체의 횡단면도이다.

[0048] 도 4a는 본 발명의 일실시예에 따른 제조 방법의 뒤쪽 스테이지에서의 도 3의 적층형 조립체의 횡단면도이다.

[0049] 도 4b는 도 4a의 적층형 조립체의 일부분에 대한 횡단면 확대도이다.

[0050] 도 5는 적층형 조립체를 개별 유닛으로 절단한 후의 도 4a의 적층형 조립체의 횡단면도이다.

[0051] 도 6은 본 발명의 실시예에 따른 적층형 조립체의 다른 실시예의 횡단면도이다.

[0052] 도 7a는 본 발명의 일실시예에 따른 부조립체의 평면도이다.

[0053] 도 7b는 도 7a의 부조립체의 횡단면도이다.

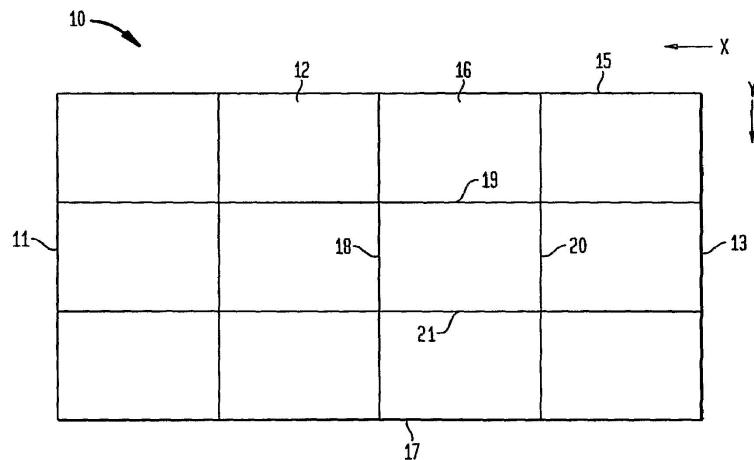
[0054] 도 7c는 도 1a의 부조립체의 밀면도이다.

[0055] 도 8은 적층형 조립체를 형성하기 위해 기판을 이용하는 본 발명의 다른 실시예에 사용된 기판의 횡단면도이다.

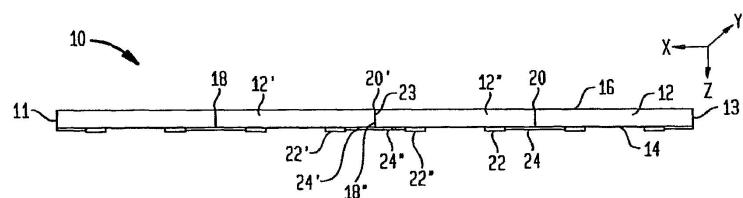
- [0056] 도 9는 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 8의 기판의 횡단면도이다.
- [0057] 도 10은 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 9의 기판의 횡단면도이다.
- [0058] 도 11은 도 7a 내지 도 7c의 부조립체가 본 발명의 일실시예에 따른 제조 방법의 뒤쪽 스테이지 동안 도 10의 기판의 상면에 적층되는 적층형 조립체의 횡단면도이다.
- [0059] 도 12는 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 11의 적층형 조립체의 횡단면도이다.
- [0060] 도 13은 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 12의 적층형 조립체의 횡단면도이다.
- [0061] 도 14는 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 13의 적층형 조립체의 횡단면도이다.
- [0062] 도 15는 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 14의 적층형 조립체의 횡단면도이다.
- [0063] 도 16은 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 15의 적층형 조립체의 횡단면도이다.
- [0064] 도 17은 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 16의 적층형 조립체의 횡단면도이다.
- [0065] 도 18은 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 17의 적층형 조립체의 횡단면도이다.
- [0066] 도 19는 본 발명의 일실시예에 따른 제조 방법 동안의 뒤쪽 스테이지에서의 도 18의 적층형 조립체의 횡단면도이다.
- [0067] 도 20은 도 19에 도시된 조립체를 기반으로 하는 적층형 조립체의 다른 실시예의 횡단면도이다.
- [0068] 도 20a는 개개의 적층형 조립체가 다른 조립체의 상면에 추가로 적층되고 서로 전기적으로 접속되는 적층형 미소전자 조립체를 예시하는 단면도이다.
- [0069] 도 21은 적층형 조립체가 개별 유닛으로 절단된 후의 도 19의 적층형 조립체의 횡단면도이다.
- [0070] 도 22는 와이어 본딩을 위해 구성된 도 21의 절단 공정에 의해 형성된 개별 소자의 횡단면도이다.
- [0071] 도 23은 솔더 볼을 이용한 접착을 위해 구성된 도 21에 따른 개별 소자의 횡단면도이다.
- [0072] 도 24는 도 21에 예시된 적층형 조립체의 변형예의 밑면도이다.
- [0073] 도 25a 및 도 25b는 본 명세서에 설명된 적층형 조립체의 제조에 통상적으로 채용되는 장치를 예시하는 도면이다.
- [0074] 도 26은 본 발명의 실시예에 따라 적층형 조립체가 회로 패널에 부착되었을 때의 단면도이다.
- [0075] 도 27은 도 26에 예시된 실시예의 변형예에 따라 적층형 조립체가 회로 패널에 부착되었을 때의 단면도이다.
- [0076] 도 28은 도 26에 예시된 실시예의 다른 변형예에 따라 적층형 조립체가 회로 패널에 부착되었을 때의 단면도이다.
- [0077] 도 29는 본 발명의 다른 실시예에 따라 적층형 조립체가 회로 패널에 부착되었을 때의 단면도이다.
- [0078] 도 30은 도 29에 예시된 실시예의 변형예에 따라 적층형 조립체가 회로 패널에 부착되었을 때의 단면도이다.
- [0079] 도 31은 도 29에 예시된 실시예의 다른 변형예에 따라 적층형 조립체가 회로 패널에 부착되었을 때의 단면도이다.
- [0080] 도 32는 본 발명의 다른 실시예에 따라 적층형 조립체가 회로 패널에 부착되었을 때의 단면도이다.

도면

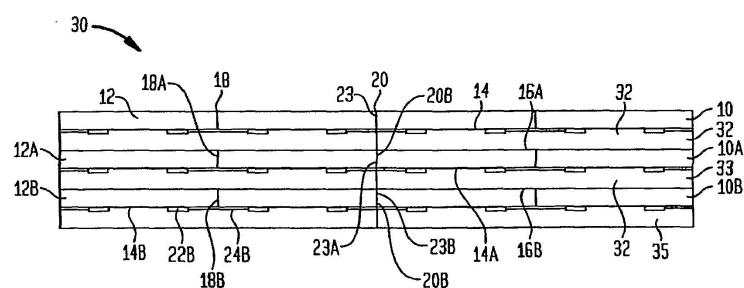
도면1a



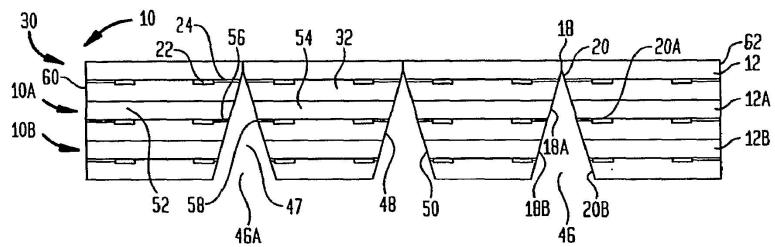
도면1b



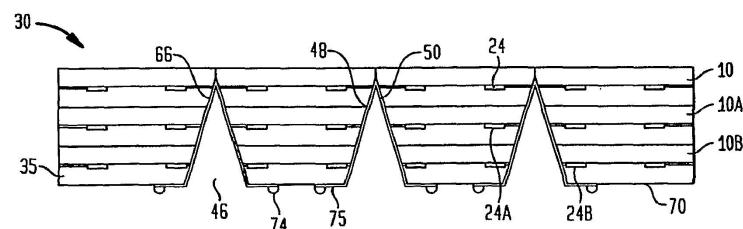
도면2



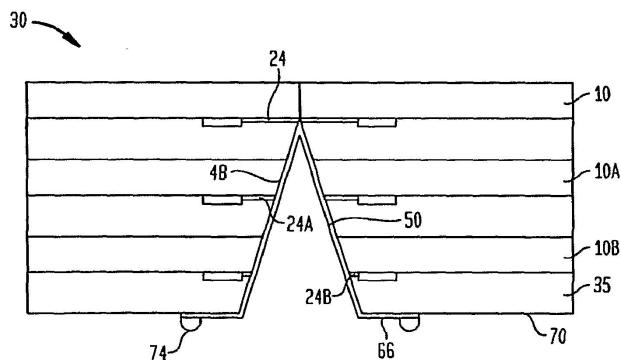
도면3



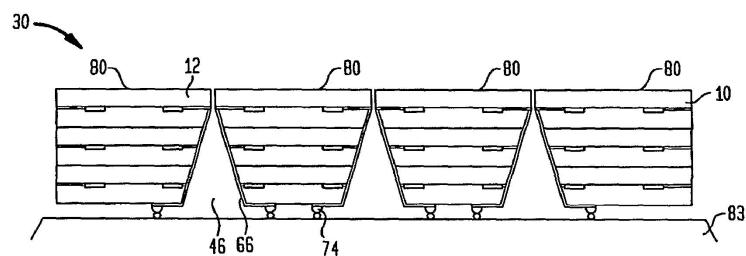
도면4a



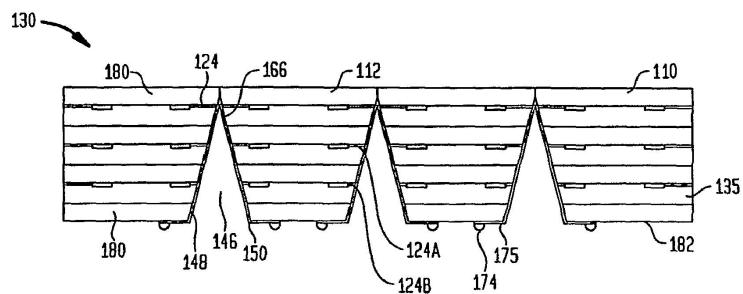
도면4b



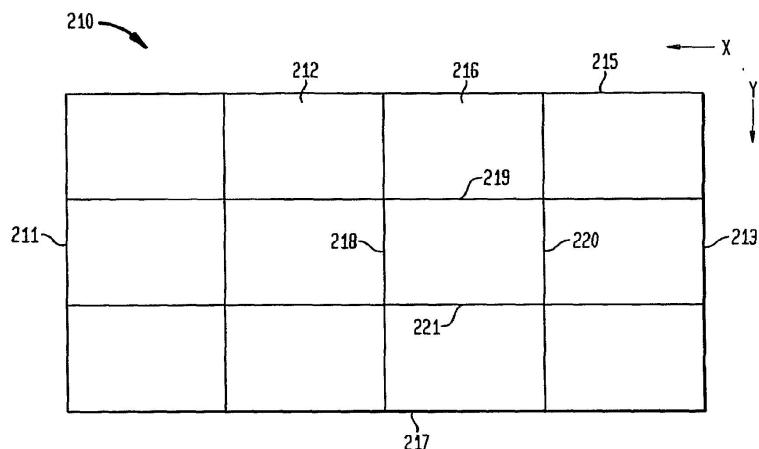
도면5



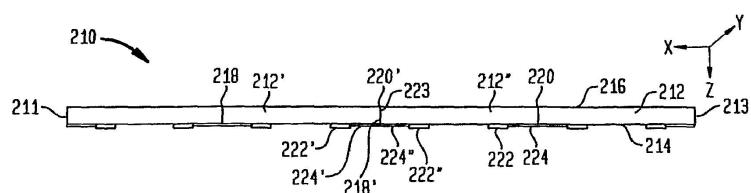
도면6



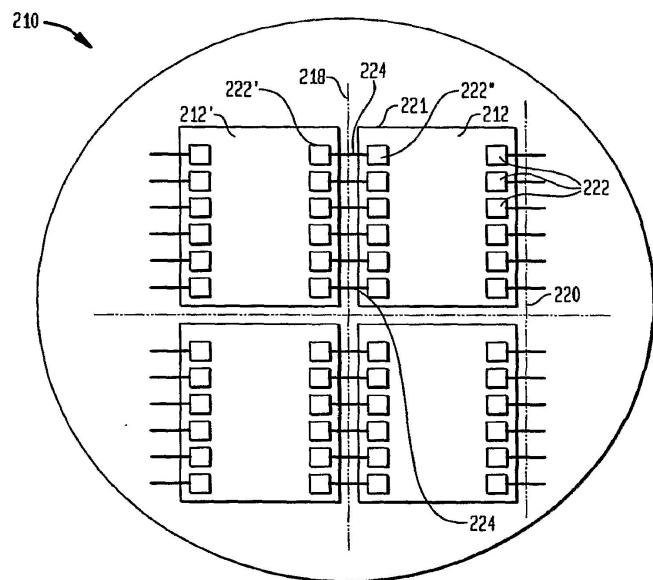
도면7a



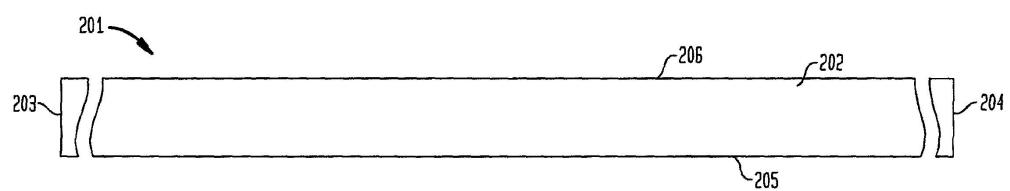
도면7b



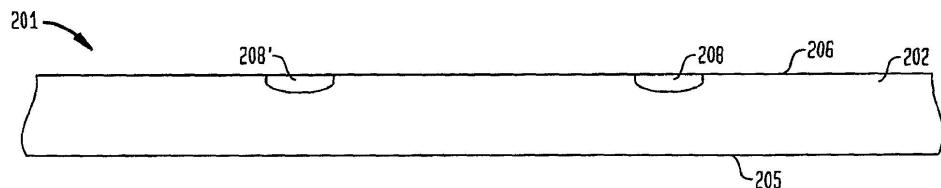
도면7c



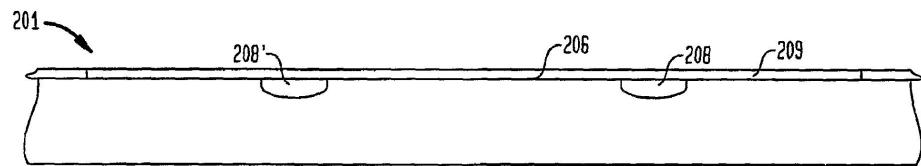
도면8



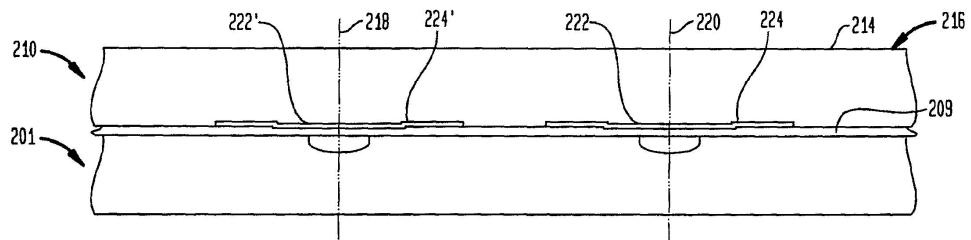
도면9



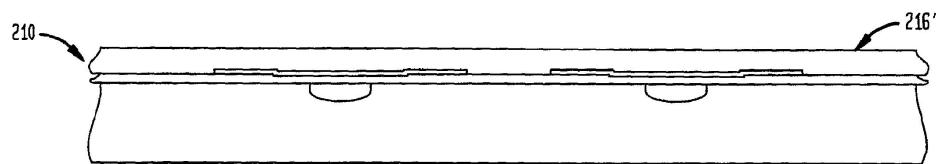
도면10



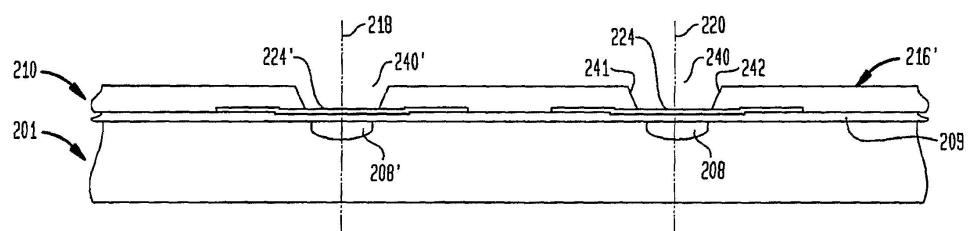
도면11



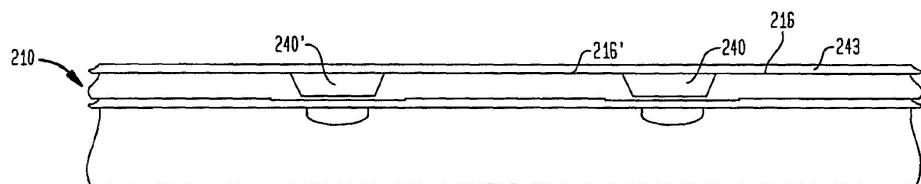
도면12



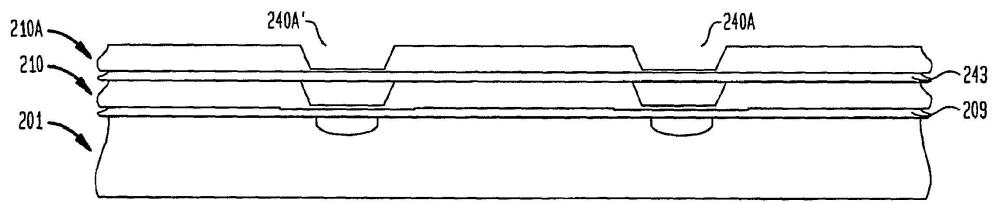
도면13



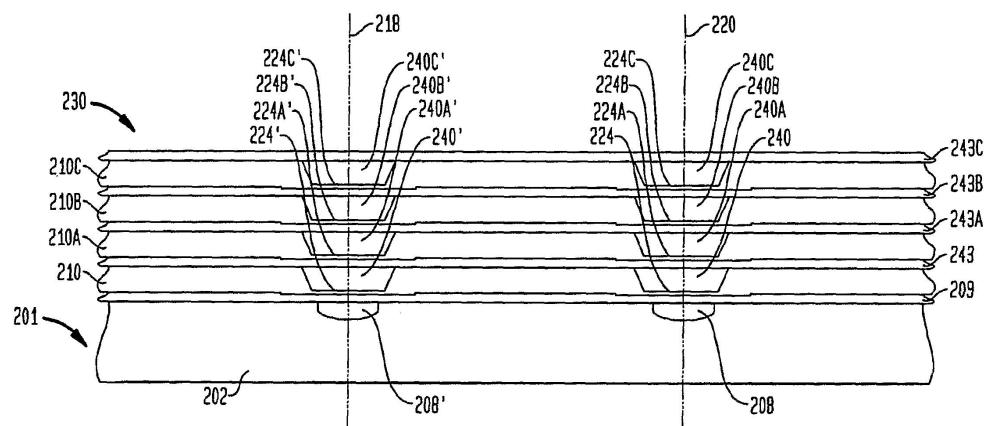
도면14



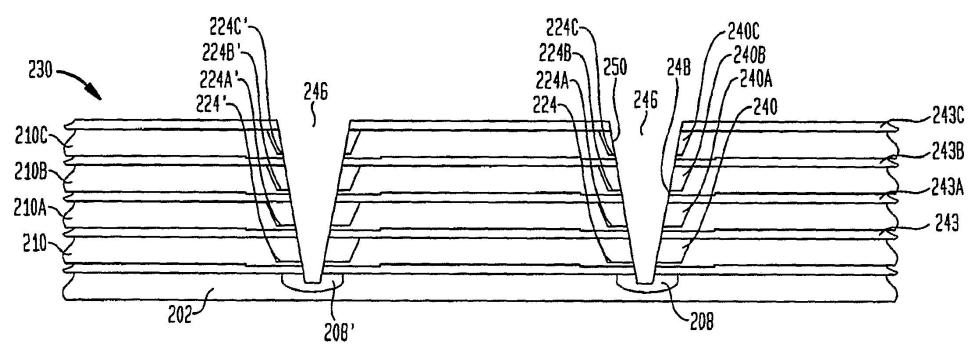
도면15



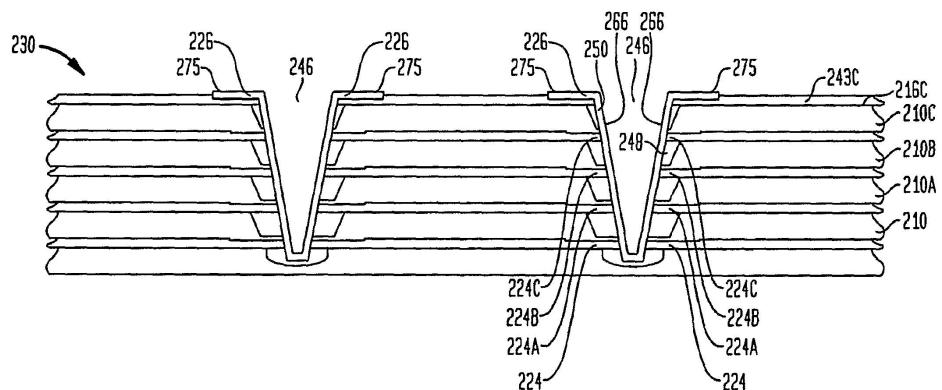
도면16



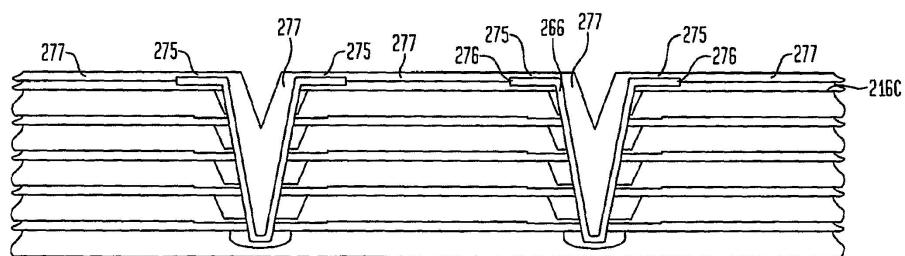
도면17



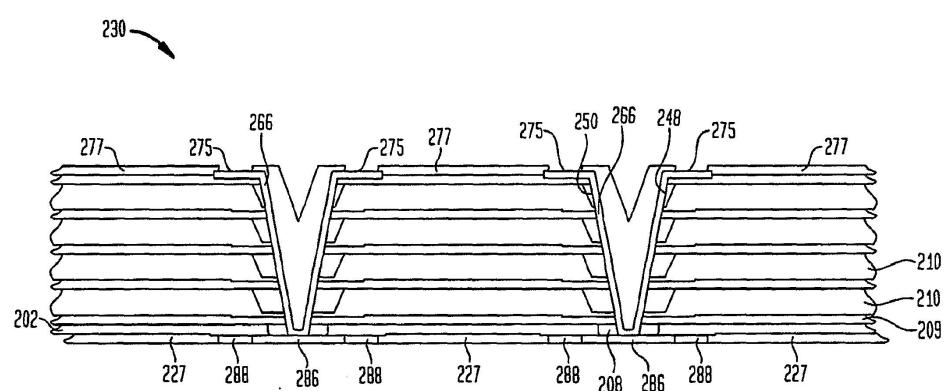
도면18



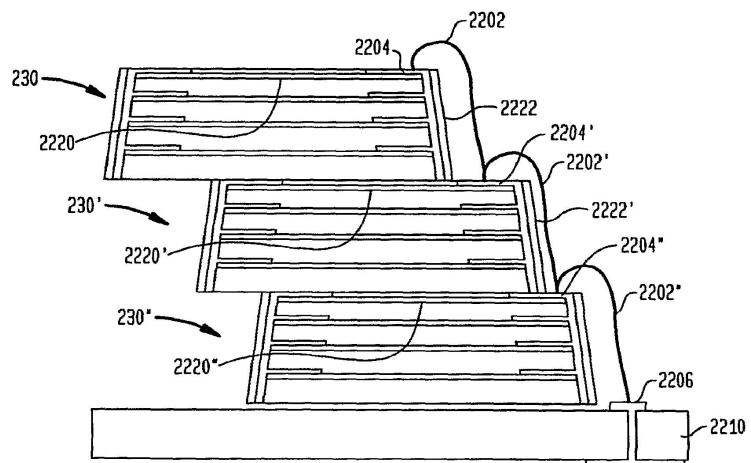
도면19



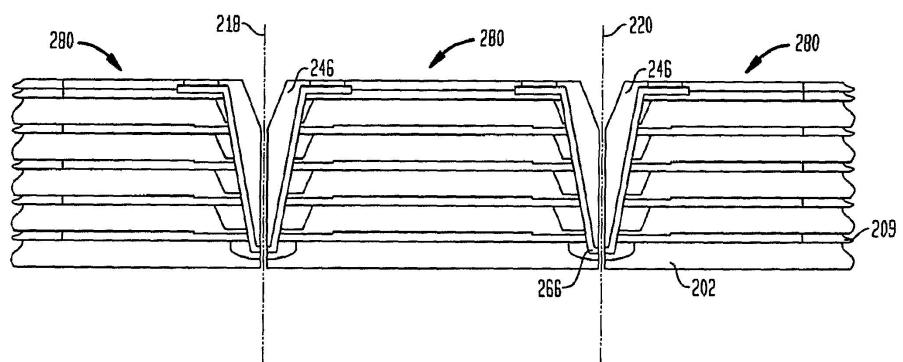
도면20



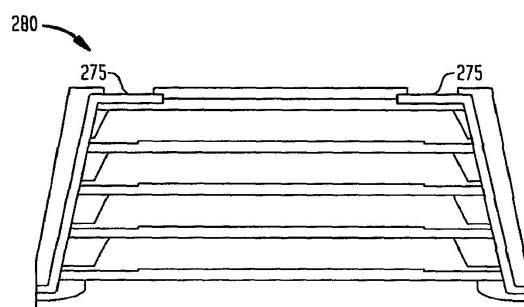
도면20a



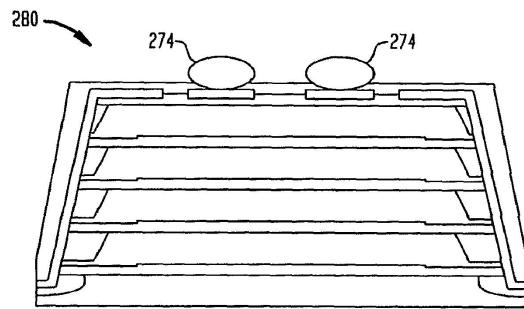
도면21



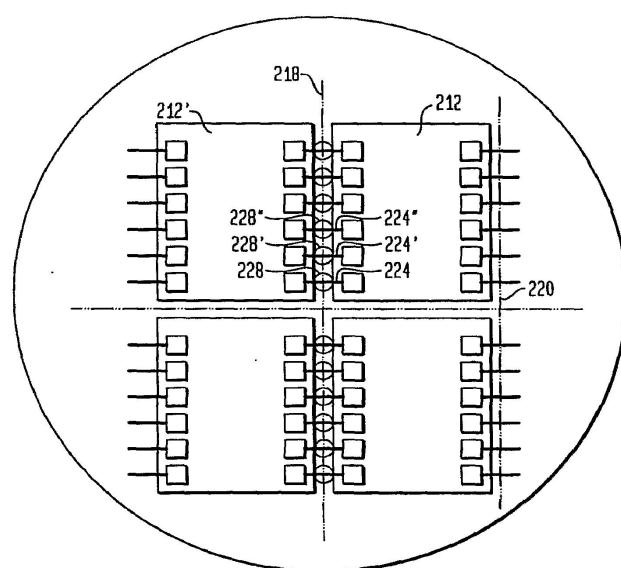
도면22



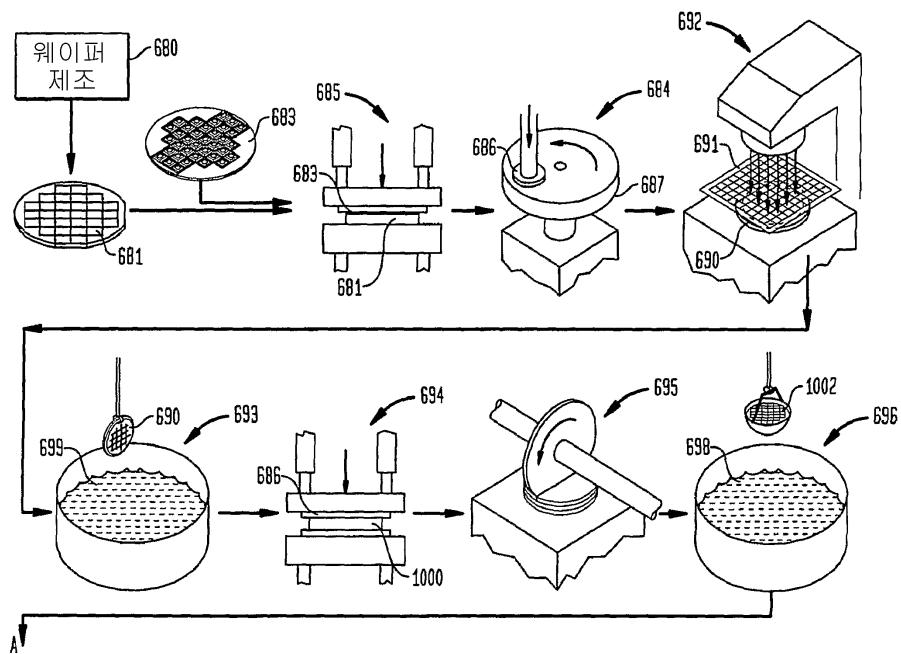
도면23



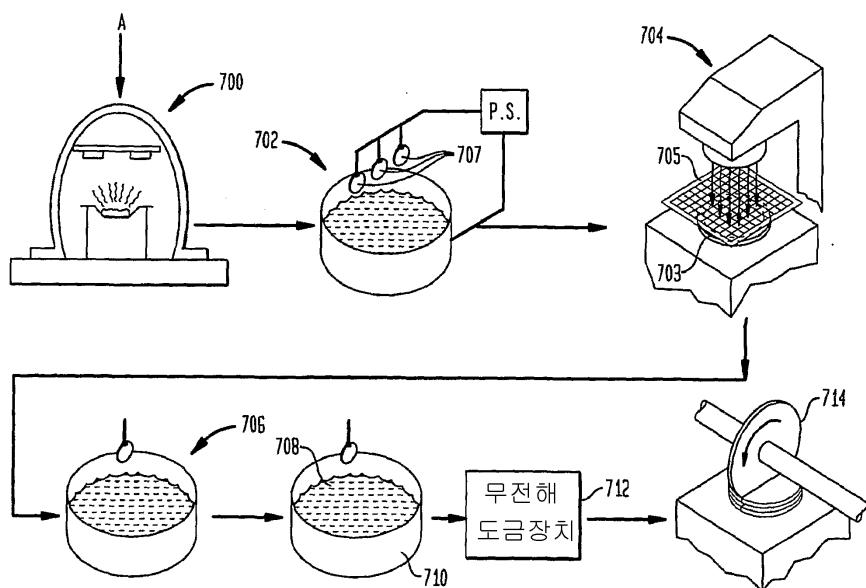
도면24



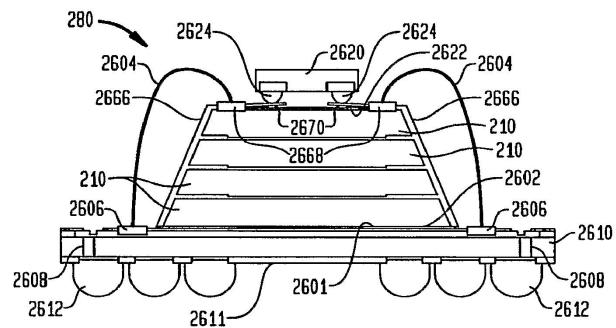
도면25a



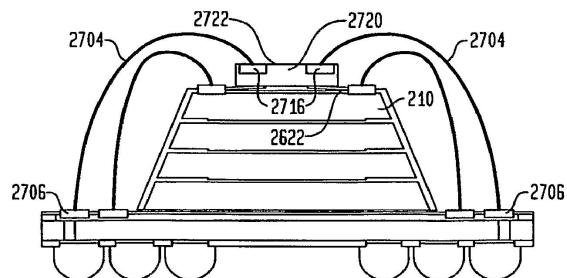
도면25b



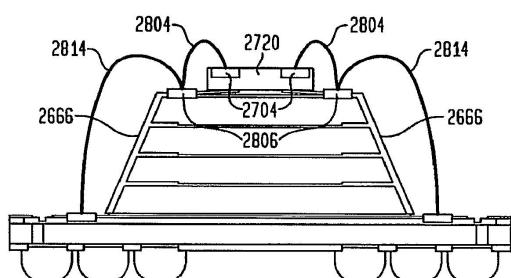
도면26



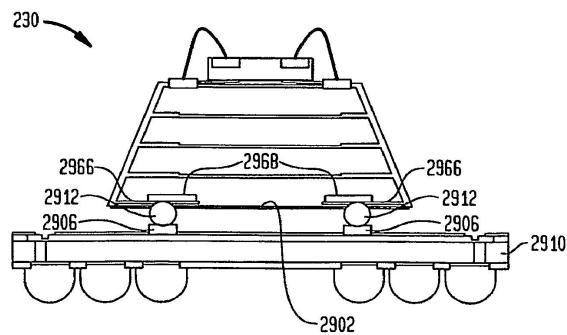
도면27



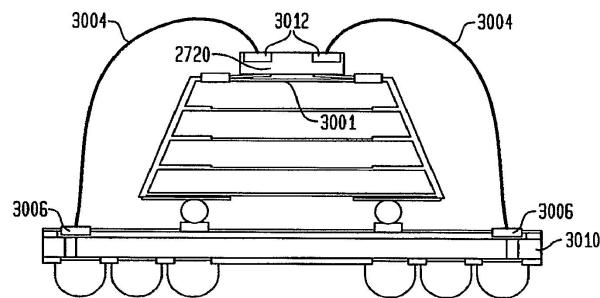
도면28



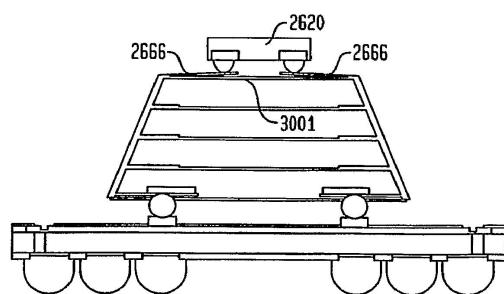
도면29



도면30



도면31



도면32

