

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月16日(16.01.2025)



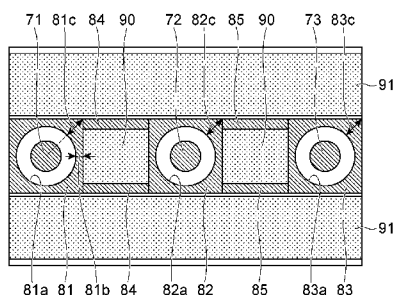
(10) 国際公開番号

WO 2025/013298 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) (明治安田生命ビル) 9階 創英国際特許法律事務所 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2023/025947 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (22) 国際出願日: 2023年7月13日(13.07.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社レゾナック (RESONAC CORPORATION) [JP/JP]; 〒1057325 東京都港区東新橋一丁目9番1号 Tokyo (JP).
- (72) 発明者: 平野 寿枝 (HIRANO Kazue); 〒1058518 東京都港区芝大門一丁目13番9号 株式会社レゾナック内 Tokyo (JP). 乃万 裕一 (NOMA Hirokazu); 〒1058518 東京都港区芝大門一丁目13番9号 株式会社レゾナック内 Tokyo (JP).
- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号丸の内 M Y P L A Z A (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: METHOD FOR MANUFACTURING WIRING BOARD, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, WIRING BOARD, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 配線基板の製造方法、半導体装置の製造方法、配線基板、及び、半導体装置



(57) Abstract: This method for manufacturing a wiring board comprises: a step for forming a first insulating layer on a support substrate; a step for forming a resist layer on the first insulating layer; a step for forming a plurality of openings including a first opening and a second opening for a wiring electrode and a third opening for a dummy electrode in the resist layer; a step for forming a first wiring electrode and a second wiring electrode in the first opening and the second opening, respectively; a step for forming a first dummy electrode in the third opening; a step for removing the resist layer after forming the first wiring electrode, the second wiring electrode, and the first dummy electrode; and a step for forming a second insulating layer on the first insulating layer so as to cover at least the first dummy electrode. In this manufacturing method, the surfaces of the first wiring electrode and the second wiring electrode are exposed from the second insulating layer, and at least a part of the first dummy electrode is positioned between the first wiring electrode and the second wiring electrode.

WO 2025/013298 A1

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：配線基板の製造方法は、支持基板の上に第1絶縁層を形成する工程と、第1絶縁層の上にレジスト層を形成する工程と、レジスト層に配線電極用の第1開口部及び第2開口部とダミー電極用の第3開口部とを含む複数の開口部を形成する工程と、第1開口部及び第2開口部に第1配線電極及び第2配線電極をそれぞれ形成する工程と、第3開口部に第1ダミー電極を形成する工程と、第1配線電極、第2配線電極及び第1ダミー電極を形成した後にレジスト層を除去する工程と、少なくとも第1ダミー電極を覆うように第1絶縁層上に第2絶縁層を形成する工程と、を備える。この製造方法では、第1配線電極及び第2配線電極の各表面が第2絶縁層から露出し、第1ダミー電極は少なくとも一部が第1配線電極と第2配線電極との間に位置する。

明 細 書

発明の名称：

配線基板の製造方法、半導体装置の製造方法、配線基板、及び、半導体装置

技術分野

[0001] 本開示は、配線基板の製造方法、半導体装置の製造方法、配線基板、及び、半導体装置に関する。

背景技術

[0002] 半導体パッケージの高密度化及び高性能化を目的に、異なる性能の半導体素子（以下、場合により「チップ」という。）を一つのパッケージに混載する実装形態が提案されている。コストの観点から、チップ間の高密度インターコネクト技術の重要度が増している（例えば、特許文献1を参照）。また、スマートフォン及びタブレット端末において、パッケージ・オン・パッケージと称される接続方法が広く採用されている。パッケージ・オン・パッケージは、パッケージ上に異なるパッケージをフリップチップ実装によって接続する方法である（例えば、非特許文献1及び2を参照）。更に高密度で実装するための形態として、高密度配線を有する有機基板を用いたパッケージ技術（有機インターポーザ）、スルーモールドビア（TMV）を有するファンアウト型のパッケージ技術（FO-WLP）、シリコン又はガラスインターポーザを用いたパッケージ技術、シリコン貫通電極（TSV）を用いたパッケージ技術、基板に埋め込まれたチップをチップ間伝送に用いるパッケージ技術などが提案されている。特に有機インターポーザ及びFO-WLPにおいて、半導体チップ同士を並列して搭載する場合には、高密度で導通させるために微細配線層が必要となる（特許文献2参照）。

[0003] 上記のファインピッチ化に加え、近年、半導体装置は車載用途などの厳しい環境下での用途の広がりを見せている。そのため半導体装置に用いられるソルダーレジスト等の永久被膜には、耐熱性及びクラック耐性の向上等、高

信頼性の需要が高まっている。プリント配線板に半導体装置が実装された半導体装置に温度変化が加わると各種材料の熱膨張係数の違いにより、例えば基板の外部接続端子との接合部にクラックが発生し、断線する可能性がある。(特許文献3を参照)

先行技術文献

特許文献

[0004] 特許文献1：特開2011-029287号公報

特許文献2：米国特許出願公開第2011/0221071号明細書

特許文献3：特開2017-157666号公報

非特許文献

[0005] 非特許文献1：Application of Through Mold Via (TMV) as PoP Base Package, Electronic Components and Technology Conference (ECTC), 2008

非特許文献2：Advanced Low Profile PoP Solution with Embedded Wafer Level PoP (eWLB-PoP) Technology, ECTC, 2012

発明の概要

発明が解決しようとする課題

[0006] 従来の各種の半導体装置では、急激または継続的な温度変化により、構成材料である樹脂組成物においてクラックが生じることがある。このようなクラックが生じると、そのクラックにより、半導体装置における配線が破断してしまうことがある。そこで、クラックによる配線の破断を防止することが望まれている。

[0007] 本開示は、クラックによる配線の破断を防止することができる、配線基板の製造方法、半導体装置の製造方法、配線基板、及び、半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] [1] 本開示は、一側面として、配線基板の製造方法を提供する。この配線基板の製造方法は、支持基板の上に第1絶縁層を形成する工程と、第1絶縁層の上にレジスト層を形成する工程と、レジスト層に配線電極用の第1開口部及び第2開口部とダミー電極用の第3開口部とを含む複数の開口部を形成する工程と、第1開口部及び第2開口部に第1配線電極及び第2配線電極をそれぞれ形成する工程と、第3開口部に第1ダミー電極を形成する工程と、第1配線電極、第2配線電極及び第1ダミー電極を形成した後にレジスト層を除去する工程と、少なくとも第1ダミー電極を覆うように第1絶縁層上に第2絶縁層を形成する工程と、を備える。この製造方法では、第1配線電極及び第2配線電極の各表面は、第2絶縁層から露出し、第1ダミー電極は少なくとも一部が第1配線電極と第2配線電極との間に位置する。

[0009] 本発明者の検討によれば、第2絶縁層等に生じるクラックは、露出表面を介して半導体装置等に接続される配線電極付近から生じることが多いが、これら配線電極に近接してダミー電極を設けることにより、クラックの発生を抑制でき又は発生したクラックの延伸を抑制できることが分かってきた。そこで、この配線基板の製造方法では、半導体チップ等に接続されない第1ダミー電極の少なくとも一部を、半導体チップ等に接続される第1配線電極と第2配線電極との間に位置させている。これにより、この製造方法によって製造される配線基板によれば、第2絶縁層等においてクラックの発生を抑制し又は発生したクラックの延伸を抑制することができる。その結果、この配線基板を用いて半導体装置を作製した際に、第1配線電極又は第2配線電極等の配線が温度変化によって破断されることが防止される。以上より、この配線基板の製造方法によれば、クラックによる配線の破断を防止した配線基板を提供することが可能となる。

[0010] [2] 上記[1]の配線基板の製造方法において、第1ダミー電極の幅は、第1配線電極の中心から外に向かう方向において、 $10\mu\text{m}$ 以上であってもよい。この場合、第1配線電極又は第2配線電極付近の絶縁層において生

じたクラックが延伸することを、第1ダミー電極によって確実に抑制することができる。これにより、クラックによる配線の破断をより確実に防止する配線基板を提供することができる。

[0011] [3] 上記 [1] 又は [2] の配線基板の製造方法において、第1ダミー電極は、第1配線電極の中心から外に向かう方向における最大幅が100 μ m以上となる部分を有してもよい。この場合、第1配線電極又は第2配線電極付近の絶縁層においてクラックが発生することを確実に抑制し又は発生したクラックの延伸をより確実に抑制することができる。これにより、クラックによる配線の破断をより確実に防止する配線基板を提供することができる。

[0012] [4] 上記 [1] ~ [3] のいずれかの配線基板の製造方法において、第1配線電極と第1ダミー電極との間の距離は50 μ m以上であってもよい。この場合、第1配線電極と第1ダミー電極との間の絶縁を確実にすることができる。これにより、第1配線電極の導通性能を第1ダミー電極が阻害しない配線基板を提供することができる。

[0013] [5] 上記 [1] ~ [4] のいずれかの配線基板の製造方法において、レジスト層に複数の開口部を形成する工程では、ダミー電極用の第4開口部を更に形成してもよく、この製造方法は、第4開口部に第2ダミー電極を形成する工程を更に備えてもよい。第1ダミー電極及び第2ダミー電極は、各電極の少なくとも一部が、第1配線電極と第2配線電極との間に形成され、第1ダミー電極が第1配線電極側に位置し、第2ダミー電極が第2配線電極側に位置してもよい。この場合、第1ダミー電極に加えて、第2ダミー電極を設けることにより、第2配線電極付近においてクラックが発生することを抑制し又は第2配線電極付近で発生したクラックの延伸を抑制することができる。これにより、クラックによる配線の破断を更に抑制する配線基板を提供することができる。

[0014] [6] 上記 [5] の配線基板の製造方法は、第1ダミー電極と第2ダミー電極との間に配線部を形成する工程を更に備えてもよく、配線部は、10 μ

m以下の複数の配線を有していてもよい。この場合、第1配線電極と第2配線電極との間に所望の配線が形成された配線基板を提供することができる。

[0015] [7] 上記 [5] 又は [6] の配線基板の製造方法において、第1ダミー電極と第2ダミー電極とが導電材料によって連結されていてもよい。この場合、第1ダミー電極及び第2ダミー電極の強度を向上して、第1配線電極及び第2配線電極の付近においてクラックが発生することをより確実に抑制する配線基板を提供することができる。

[0016] [8] 上記 [1] ~ [7] のいずれかの配線基板の製造方法において、第1ダミー電極は、平面視した際に第1配線電極を取り囲むように形成されていてもよい。この場合、第1配線電極の付近において何れの方角においてもクラックが発生すること又はクラックが延伸することを抑制した配線基板を提供することができる。また、配線電極を取り囲むようにダミー電極を設けることで、配線電極の実装密度の向上を阻害しない配置の配線基板を提供することができる。なお、第2ダミー電極が平面視した際に第2配線電極を取り囲むように形成されていてもよい。この場合も第1ダミー電極と同様の作用効果を奏することができる。

[0017] [9] 上記 [1] ~ [8] のいずれかの配線基板の製造方法において、第1配線電極は、平面視した際に曲面となる部分を有してもよく、第1ダミー電極は、平面視した際に曲面となる部分を有してもよい。第1配線電極が曲面となる部分を有していることで、第1配線電極付近を起点としてクラックが発生することを抑制した配線基板を提供することができる。また、第1ダミー電極が曲面となる部分を有していることで、発生したクラックの力を分散してクラックが更に延伸することを抑制した配線基板を提供することができる。

[0018] [10] 上記 [1] ~ [9] のいずれかの配線基板の製造方法において、第1ダミー電極は、第2絶縁層の厚みの半分以上の厚みを有してもよい。この場合、第1配線電極又は第2配線電極付近を起点とするクラックが延伸することを第1ダミー電極で確実に抑制した配線基板を提供することが可能と

なる。なお、第2ダミー電極が第2絶縁層の厚みの半分以上の厚みを有してもよい。この場合も第1ダミー電極と同様の作用効果を奏することができる。

[0019] [11] 本開示は、別の側面として、半導体装置の製造方法を提供する。この半導体装置の製造方法は、上記[1]～[10]のいずれかの配線基板の製造方法によって製造される配線基板を準備する工程と、導電部材を用いて配線基板に半導体チップを実装する工程と、を備える。

[0020] この半導体装置の製造方法によれば、上記同様、半導体チップが実装された配線基板において、第1配線電極及び第2配線電極付近を起点としたクラックの発生を抑制し又は発生したクラックの延伸を抑制した半導体装置を提供することが可能となる。これにより、クラックによる配線の破断が防止された半導体装置を提供することができる。

[0021] [12] 上記[11]の半導体装置の製造方法において、半導体チップを実装する工程では、導電部材である第1導電部材及び第2導電部材を配線基板の第1配線電極及び第2配線電極それぞれの上に配置すると共に、第1導電部材及び第2導電部材の上に半導体チップを搭載して、半導体チップの接続端子を第1導電部材及び第2導電部材を介して第1配線電極及び第2配線電極に接続し、配線基板の面のうち第1ダミー電極が形成された面に半導体チップが実装されてもよい。

[0022] [13] 本開示は、更に別の側面として配線基板を提供する。この配線基板は、支持基板と、支持基板の上に設けられる第1絶縁層と、第1絶縁層の上に設けられる第2絶縁層と、第2絶縁層の中に設けられる第1配線電極及び第2配線電極と、第2絶縁層の中に設けられる第1ダミー電極と、を備える。第1配線電極及び第2配線電極の各表面は、第2絶縁層から露出し、第1ダミー電極は少なくとも一部が第1配線電極と第2配線電極との間に位置する。

[0023] この配線基板では、半導体チップ等に接続されない第1ダミー電極の少なくとも一部を、半導体チップ等に接続される第1配線電極と第2配線電極と

の間に位置させている。この場合、この配線基板を用いた半導体装置において温度変化等が生じたとしても、第2絶縁層等におけるクラックの発生を抑制し又は発生したクラックの延伸を抑制することができる。その結果、この配線基板を用いた半導体装置において、第1配線電極又は第2配線電極等の配線が温度変化によって破断されることが防止される。

[0024] [14] 上記[13]の配線基板において、第1ダミー電極の幅は、第1配線電極の中心から外に向かう方向において、 $10\mu\text{m}$ 以上であってもよい。この場合、第1配線電極又は第2配線電極付近の絶縁層において生じたクラックが延伸することを、第1ダミー電極によって確実に抑制することができる。これにより、クラックによる配線の破断をより確実に防止することができる。

[0025] [15] 上記[13]又は[14]の配線基板は、第2絶縁層の中に設けられる第2ダミー電極を更に備えてもよく、第1ダミー電極及び第2ダミー電極は、各電極の少なくとも一部が、第1配線電極と第2配線電極との間に位置し、第1ダミー電極が第1配線電極側に位置し、第2ダミー電極が第2配線電極側に位置してもよい。この場合、第2ダミー電極により、第2配線電極付近においてクラックが発生することを抑制し又は第2配線電極付近で発生したクラックが延伸することを抑制することができる。以上より、この配線基板によれば、クラックによる配線の破断をより確実に防止することが可能となる。

[0026] [16] 上記[13]～[15]のいずれかの配線基板において、第1ダミー電極は、平面視した際に第1配線電極を取り囲むように形成されていてもよい。この場合、第1配線電極の付近において何れの方角においてもクラックが発生すること又はクラックが延伸することを抑制することが可能となる。また、配線電極を取り囲むようにダミー電極を設けることで、配線電極の実装密度の向上を阻害しない配置の配線基板とすることができる。なお、第2ダミー電極が平面視した際に第2配線電極を取り囲むように形成されていてもよい。

[0027] [17] 本開示は、更に別の側面として、半導体装置を提供する。この半導体装置は、上述した [13] ~ [16] の何れかの形態の配線基板と、配線基板上であって第1配線電極及び第2配線電極の上にそれぞれ設けられる第1導電部及び第2導電部と、第1導電部及び第2導電部に導通するように第2絶縁層の上に実装される半導体チップと、を備える。この場合、上記同様、クラックによる配線の破断を防止することが可能となる。

発明の効果

[0028] 本開示によれば、クラックによる配線の破断を防止することができる。

図面の簡単な説明

[0029] [図1]図1は、配線基板に半導体チップが実装された半導体装置の一例を示す断面図である。

[図2]図2は、図1に示す半導体装置の配線基板の上面側を示す平面図である。

[図3]図3は、図1に示す半導体装置を構成する配線基板を作製する方法を示す図である。

[図4]図4は、配線基板を作製する方法を示す図であり、図3に続く工程を示す。

[図5]図5は、配線基板を作製する方法を示す図であり、図4に続く工程を示す。

[図6]図6は、図1に示す半導体装置を作製する方法を示す図である。

[図7]図7は、配線基板（半導体装置）に生じたクラックの延伸をダミー電極で止める様子を示す図である。

[図8]図8は、図7の一部VIIIを拡大した図である。

発明を実施するための形態

[0030] 以下、図面を参照しながら本発明に係る実施形態について詳細に説明する。以下の説明では、同一又は相当部分には同一符号を付し、重複する説明は省略する。また、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。本明細書の記載及び請求項において「左」、

「右」、「正面」、「裏面」、「上」、「下」、「上方」、「下方」等の用語が利用されている場合、これらは、説明を意図したものであり、必ずしも永久にこの相対位置である、という意味ではない。更に、図面の寸法比率は図示の比率に限られるものではない。

[0031] 本明細書において「層」との語は、平面図として観察したときに、全面に形成されている形状の構造に加え、一部に形成されている形状の構造も包含される。本明細書において「工程」との語は、独立した工程だけではなく、他の工程と明確に区別できない場合であってもその工程の所期の作用が達成されれば、本用語に含まれる。本明細書において「A～B」を用いて示された数値範囲は、「～」の前後に記載される数値A及びBをそれぞれ最小値及び最大値として含む範囲を示す。

[0032] (配線基板を含む半導体装置の一例)

図1及び図2を参照して、配線基板を含む半導体装置の一例を説明する。図1に示すように、半導体装置1は、半導体チップ10、半田バンプ21、22、23(第1導電部、第2導電部)、絶縁樹脂層25、及び、配線基板30を備えている。

[0033] 半導体チップ10は、例えば、ロジックIC又はメモリICであり、半田バンプ21～23を介して配線基板30に実装される。半導体チップ10の各接続端子11、12、13は、半田バンプ21～23を介して、配線基板30の配線電極70に接続される。半導体チップ10と配線基板30の間には、アンダーフィル剤等の封止樹脂から形成される絶縁樹脂層25が設けられている。

[0034] 配線基板30は、図1及び図2に示すように、支持基板40、第1絶縁層50、第2絶縁層60、配線電極71、72、73(第1配線電極、第2配線電極)、及び、ダミー電極81、82、83(第1ダミー電極、第2ダミー電極)を備えている。配線基板30は、配線部90を更に備えていてもよい。配線部90は、各種の配線を設けた部分である。

[0035] 支持基板40は、特に限定されるものではないが、例えば、シリコン基板

、ガラス基板、SUS基板、ガラスクロス入り基板、又は、半導体素子入り封止樹脂等である。支持基板40の厚さは、例えば、0.2mm~2.0mmである。支持基板40の厚さが0.2mm以上であることにより、配線基板30を製造する際又は配線基板30を用いて半導体装置1を製造する際のハンドリング性を向上することができる。支持基板40の厚さが2.0mm以下であることにより、材料費を抑えて低コスト化を図ることができる。

[0036] 第1絶縁層50は、支持基板40上に形成される絶縁層であり、例えば、感光性絶縁材料から形成される。この場合、第1絶縁層50は、感光性絶縁材料の硬化物から構成される。使用される感光性絶縁材料としては、液状又はフィルム状の材料を用いることができる。膜厚平坦性とコストの観点からフィルム状の感光性絶縁材料を用いることが好ましい。また、第1絶縁層50内に微細な配線を形成する観点から、使用する感光性絶縁材料は、感光性樹脂組成物中に平均粒径500nm以下のフィラ（充填材）を含有することが好ましい。フィラの平均粒径は、より好ましくは、50nm~200nmである。感光性絶縁材料におけるフィラ含有量は、フィラを除く感光性樹脂組成物の質量を100質量部とした場合に、0~70質量部であることが好ましく、10質量部~50質量部であることがより好ましい。なお、フィラの平均粒径の測定方法としては、例えば、走査型電子顕微鏡（SEM）を用いて、20個程度のフィラの粒径を測定する方法等が挙げられる。SEMを用いた測定方法としては、例えば、フィラが含まれた樹脂組成物を硬化させたサンプルを作製し、このサンプルの中心部分を切断して、その断面をSEMで観察する方法等が挙げられる。

[0037] 第1絶縁層50の硬化後の熱膨張係数は、反り抑制の観点から $80 \times 10^{-6} / K$ 以下であることが好ましく、高信頼性を得られる観点から $70 \times 10^{-6} / K$ 以下であることがより好ましい。第1絶縁層50の材料硬化後の熱膨張係数は、絶縁材料の応力緩和性及び高精細なパターンが得られる観点から $20 \times 10^{-6} / K$ 以上であることが更に好ましい。

[0038] 第1絶縁層50の厚みは、特に限定されるものではないが、例えば、10

μm 以下であることが好ましく、 $5\ \mu\text{m}$ 以下であることがより好ましく、 $3\ \mu\text{m}$ 以下であることが更に好ましい。第1絶縁層50の厚さが上記範囲内であることにより、第1絶縁層50内に微細な配線を形成しやすくなる。なお、第1絶縁層50の厚みは、絶縁信頼性の観点から $1\ \mu\text{m}$ 以上であることが好ましい。

[0039] 第2絶縁層60は、第1絶縁層50上に形成される絶縁層である。第2絶縁層60は、第1絶縁層50と同様に、例えば、感光性絶縁材料から形成され、感光性絶縁材料の硬化物から構成される。第2絶縁層60のその他の構成（厚み及びフィラの含有等）は、第1絶縁層50と同じであってもよい。

[0040] 配線電極71～73は、配線基板30の表面側に露出した配線電極であり、半導体チップ10等に接続されるための電極である。配線電極71～73は、第1絶縁層50上であって第2絶縁層60内に形成されている。各配線電極71～73は、平面視した際に、例えば、円形又は矩形の形状を呈している。配線電極71～73が円形の場合、その直径は、例えば、 $50\ \mu\text{m}$ ～ $300\ \mu\text{m}$ である。配線電極71～73は、例えば銅等の導電性材料から形成されている。各配線電極71～73は、配線基板30としては、その表面が第2絶縁層60から露出するように構成されており、配線電極71～73上に配置される半田バンプ21～23を介して、半導体チップ10に接続される。なお、図に示す例では、説明を容易にするため、3つの配線電極71～73が示されているが、配線基板30における配線電極はこれに限定されるものではなく、より多数の配線電極が1つの配線基板30に設けられてもよい。後述するダミー電極81～83も同様である。

[0041] ダミー電極81～83は、配線電極71～73と共に、第1絶縁層50上であって第2絶縁層60内に形成されている。各ダミー電極81～83のそれぞれは、少なくとも一部が隣接する2つの配線電極71～73（配線電極71と72又は配線電極72と73）の間に位置する。各ダミー電極81～83は、平面視した際に、対応する配線電極71～73を取り囲むように形成されている。図2に示す例では、ダミー電極81～83のそれぞれは、内

側に円形の空領域 81a, 82a, 83a を有し、外形は矩形形状を有する枠状（周形状）を呈している。ダミー電極 81~83 の空領域 81a~83a に、対応する配線電極 71~73 が配置されている。ダミー電極 81~83 がこのような形状を呈していることにより、配線基板 30 における平面方向の電極配置を効率的にすることができ、ダミー電極 81~83 を設けつつ、実装密度を向上することができる。ダミー電極 81~83 は、配線電極 71~73 と同様に、例えば銅から構成されている。各ダミー電極 81~83 は、第 2 絶縁層 60 内に封止されるように構成されており、配線電極 71~73 と異なり、半田バンプ等を介して半導体チップ 10 に接続されない電極となっている。

[0042] ダミー電極 81~83 は、対応する配線電極 71~73 の中心から外に向かう方向において、一番狭い部分 81b において、例えば $10\ \mu\text{m}$ 以上の幅を有している。一番狭い部分 81b の幅は、好ましくは $20\ \mu\text{m}$ 以上である。また、ダミー電極 81~83 は、対応する配線電極 71~73 の中心から外に向かう方向において、一番広い部分 81c において、例えば $100\ \mu\text{m}$ 以上の幅（最大幅）を有している。一番広い部分 81c の幅は、好ましくは $150\ \mu\text{m}$ 以上である。なお、各配線電極 71~73 の外周とダミー電極 81~83 の内周との間の距離は、例えば $50\ \mu\text{m}$ 以上であり、好ましくは、 $100\ \mu\text{m}$ 以上である。

[0043] ダミー電極 81 と 82 との間、及び、ダミー電極 82 と 83 との間には、更に、連結電極 84 及び連結電極 85 が設けられていてもよい。連結電極 84 は、ダミー電極 81 と 82 とを連結するように延在する電極であり、連結電極 85 は、ダミー電極 82 と 83 とを連結するように延在する電極である。連結電極 84, 85 は、配線電極 71~73 及びダミー電極 81~83 と同様に、銅配線から形成することができる。

[0044] 各連結電極 84 の間、及び、各連結電極 85 の間には、更に、配線部 90 が設けられてもよい。配線部 90 は、微細な配線（例えば、 $10\ \mu\text{m}$ 以下の配線）を含む配線部である。また、ダミー電極 81~83 の外側（図の上下

方向に隣接する別のダミー電極との間)には、別の配線部91が設けられてもよい。配線部91は、配線部90と同様に、複数の微細な配線を含む配線部である。配線部90, 91は設けられなくてもよく、その場合、配線部90, 91の配置箇所に、配線電極71~73とダミー電極81~83が更に設けられてもよい。

[0045] (配線基板の製造方法)

次に、図3~図5を参照して、配線基板30の製造方法について説明する。図3~図5は、1又は複数の配線基板30を作製する方法を順に示す図である。配線基板30の製造方法は、以下の工程(a)~(h)を備えている。

- (a) 支持基板の上に第1絶縁層を形成する工程。
- (b) 第1絶縁層の上にシード層を形成する工程。
- (c) 第1絶縁層(シード層)の上にレジスト層を形成する工程。
- (d) レジスト層に配線電極用の開口部とダミー電極用の開口部を形成する工程。
- (e) 配線電極用の開口部に配線電極を形成する工程。
- (f) ダミー電極用の開口部にダミー電極を形成する工程。
- (g) 配線電極及びダミー電極を形成した後にレジスト層を除去する工程。
- (h) ダミー電極を覆うように第1絶縁層上に第2絶縁層を形成する工程。

[0046] 本実施形態に係る配線基板の製造方法は、微細化及び多ピン化が必要とされる形態において特に好適であり、特に、異種チップを混載するためのインターポーザが必要なパッケージ形態において好適である。より具体的には、本実施形態に係る製造方法は、ピンの間隔が200 μ m以下(より微細な場合には例えば30~100 μ m)であり且つピンの本数が500本以上(より微細な場合には例えば1000~10000本)のパッケージ形態において好適である。なお、ここでいうピンは、配線電極を意味する。

[0047] [工程(a)]

工程(a)では、まず、図3の(a)に示すように、支持基板110を準

備すると共に、支持基板110の上に第1絶縁層120を形成する。支持基板110は、支持基板40に対応する基板であり、特に限定されるものではないが、例えば、シリコン基板、ガラス基板、SUS基板、ガラスクロス入り基板、又は、半導体素子入り封止樹脂等である。支持基板110の厚さは、例えば、0.2mm~2.0mmである。支持基板110の厚さが0.2mm以上であることにより、ハンドリング性を向上することができる。また、支持基板110の厚さが2.0mm以下であることにより、材料費を抑えて低コスト化を図ることができる。支持基板140の平面形状は、ウェハ形状であってもよいし、パネル形状であってもよい。支持基板110のサイズは、特に限定されるものではないが、例えば、直径200mm、直径300mm又は直径450mmのウェハ、若しくは、一辺が300mm~700mmの矩形パネルであることが好ましい。

[0048] 第1絶縁層120は、例えば、感光性絶縁材料及び熱硬化性絶縁樹脂組成物の少なくとも一方を含む絶縁材料から形成される。この絶縁材料としては、液状又はフィルム状の材料を用いることができ、膜厚平坦性とコストの観点からフィルム状の絶縁材料を用いることが好ましい。第1絶縁層120を形成する工程では、支持基板110上にこのようなフィルム状の絶縁材料をラミネートすることで第1絶縁層120を形成する。また、第1絶縁層120内に微細な配線を形成する場合には、絶縁材料は、樹脂組成物中に平均粒径500nm以下のフィラ（充填材）を含有することが好ましい。フィラの平均粒径は、より好ましくは、50nm~200nmである。絶縁材料におけるフィラ含有量は、フィラを除く感光性樹脂組成物の質量を100質量部とした場合に、0~70質量部であることが好ましく、10質量部~60質量部であることがより好ましい。

[0049] 第1絶縁層120として、フィルム状の絶縁材料を使用する場合、ラミネート工程を低温で実施することが好ましいため、40℃~120℃でラミネート可能な絶縁フィルムを用いることが好ましい。第1絶縁層120に用いるフィルム状の絶縁材料のラミネート可能な温度が40℃以上であることに

より、常温（約25℃）でのタックを弱くして取り扱い性を向上することができる。一方、第1絶縁層120に用いるフィルム状の絶縁材料のラミネート可能な温度が120℃以下であることにより、絶縁フィルムをラミネートによって取り付けた際に、ラミネート後の反りを低減することが可能となる。

[0050] 第1絶縁層120は、支持基板110上に上述したフィルム状の感光性材料をラミネートした後に硬化してもよい。第1絶縁層120の硬化後の熱膨張係数は、反り抑制の観点から $80 \times 10^{-6} / \text{K}$ 以下であることが好ましく、高信頼性を得られる観点から $70 \times 10^{-6} / \text{K}$ 以下であることがより好ましい。第1絶縁層120の硬化後の熱膨張係数は、絶縁材料の応力緩和性及び高精細なパターンが得られる観点から $20 \times 10^{-6} / \text{K}$ 以上であることが更に好ましい。

[0051] 第1絶縁層120の厚みは、特に限定されるものではないが、例えば、 $10 \mu\text{m}$ 以下であることが好ましく、 $5 \mu\text{m}$ 以下であることがより好ましく、 $3 \mu\text{m}$ 以下であることが更に好ましい。第1絶縁層120の厚さが上記範囲内であることにより、第1絶縁層120内に微細な配線を形成しやすくなる。なお、第1絶縁層120の厚みは、絶縁信頼性の観点から $1 \mu\text{m}$ 以上であることが好ましい。

[0052] [工程 (b)]

続いて、第1絶縁層120が形成されると、第1絶縁層120の表面を改質し、その上にシード層（不図示）を形成する。第1絶縁層120の表面の改質方法としては、デスミア処理、紫外線照射、電子線照射、オゾン水処理、コロナ放電処理、プラズマ処理等の方法を用いることができる。これらの方法のうち、真空設備を必要とせず、廃液等が発生しない紫外線照射又はデスミア処理を用いることが好ましい。改質に用いる紫外線照射のランプとして、高圧水銀ランプ、低圧水銀ランプ、真空紫外エキシマランプ等が挙げられるが、活性化効果の大きい、低圧水銀ランプ又はエキシマランプを用いることが好ましい。紫外線照射による改質は、大気中で行うことが好ましく、

酸素雰囲気中で行うことがより好ましい。改質は、25℃～100℃で行うことが好ましい。より反応性を早めるためには、40℃～100℃で行うことがより好ましく、60℃～100℃で行うことが更に好ましい。

[0053] 改質された第1絶縁層120に、例えば、無電解銅めっきによりシード層を形成する。本実施形態においては、まず、無電解銅めっきの触媒となるパラジウムを第1絶縁層120の表面121に吸着させるため、第1絶縁層120を前処理液で洗浄する。前処理液は水酸化ナトリウム又は水酸化カリウムを含む市販のアルカリ性前処理液でよい。水酸化ナトリウム又は水酸化カリウムの濃度は1%～30%の間で実施される。前処理液への浸漬時間は1分～60分の間で実施される。前処理液への浸漬温度は25℃～80℃の間で実施される。前処理した後、余分な前処理液を除去するため、市水、純水、超純水又は有機溶剤で洗浄してもよい。また、シード層の形成はスパッタリングで行ってもよい。スパッタリングで形成するシード層は銅又はチタン等の金属種が好ましい。

[0054] 酸性水溶液で浸漬洗浄がなされた後の第1絶縁層120の表面121にパラジウムを付着させる。パラジウムを付着させる際には、市販のパラジウム-スズコロイド溶液、パラジウムイオンを含む水溶液、パラジウムイオン懸濁液等を用いることが好ましいが、改質層に効果的に吸着するパラジウムイオンを含む水溶液を用いることが好ましい。

[0055] パラジウムイオンを含む水溶液に浸漬する際、パラジウムイオンを含む水溶液の温度は25℃～80℃、吸着させるための浸漬時間は1分～60分の間で実施される。パラジウムイオンを吸着させた後、余分なパラジウムイオンを除去するため、市水、純水、超純水又は有機溶剤で洗浄してもよい。パラジウムイオン吸着後、パラジウムイオンを触媒として作用させるための活性化を行う。パラジウムイオンを活性化させる試薬は市販の活性化剤（活性化処理液）を用いてもよい。パラジウムイオンを活性化させるために浸漬する活性化剤の温度は25℃～80℃、活性化させるために浸漬する時間は1分～60分の間で実施される。パラジウムイオンの活性化後、余分な活性化

剤を除去するため、市水、純水、超純水又は有機溶剤で洗浄してもよい。

[0056] その後、第1絶縁層120の表面121に無電解銅めっきを行い、シード層を形成する。このシード層は、後述する工程(e)及び工程(f)で実施する電解めっきのための給電層となる。無電解銅めっきとしては、無電解純銅めっき(純度99質量%以上)、無電解銅ニッケルリンめっき(ニッケル含有率:1質量%~10質量%、リン含有量:1質量%~13質量%)等が挙げられるが、密着性の観点から、無電解銅ニッケルリンめっきを用いることが好ましい。無電解銅ニッケルリンめっき液は市販のめっき液でよく、例えば、無電解銅ニッケルリンめっき液(株式会社JCU製、商品名「AISL-570」)を用いることができる。無電解銅ニッケルリンめっきは、60℃~90℃の無電解銅ニッケルリンめっき液中で実施される。無電解銅めっきにより形成されるシード層の厚さは、80nm~700nmであることが好ましく、100nm~500nmであることがより好ましく、150nm~300nmであることが更に好ましい。

[0057] [工程(c)]

続いて、第1絶縁層120上にシード層が形成されると、図3の(b)に示すように、シード層が形成された第1絶縁層120の上にレジスト層130を形成する。ここで用いられるレジストは、感光性レジストであり、感光性レジストを第1絶縁層120上のシード層に塗布してレジスト層130を形成する。レジスト層130の厚みは、例えば、12μm~40μmである。

[0058] [工程(d)]

続いて、レジスト層130が形成されると、図4の(a)に示すように、レジスト層130に配線電極用の開口部131, 132, 133(第1開口部、第2開口部)とダミー電極用の開口部136, 137, 138(第3開口部、第4開口部)を形成する。これにより、開口部が設けられたレジスト層130aとなる。開口部131~133は、前述した配線電極71~73に対応するものであり(図2を参照)、平面視した際、例えば、円形又は矩

形の形状を呈している。また、開口部136～138は、前述したダミー電極81～83に対応するものであり、平面視した際に、例えば、開口部131～133を取り囲むような枠形状を呈しており、内側が円形の空隙であり、外側が矩形形状を呈している。

[0059] 配線電極用の開口部131～133及びダミー電極用の開口部136～138の形成方法としては、レーザアブレーション、フォトリソグラフィー、インプリント等が挙げられる。これらの方法のうち、微細化とコストの観点から、工程(c)において感光性樹脂材料からなるレジスト層130を形成し、フォトリソグラフィープロセス(露光及び現像)によって開口部131～133を形成することが好ましい。感光性樹脂材料の露光方法としては、通常の投影露光方式、コンタクト露光方式、直描露光方式等を用いることができ、現像方法としては炭酸ナトリウム又はTMAH(水酸化テトラメチルアンモニウム)のアルカリ水溶液を用いることが好ましい。レジスト層130に開口部131～133及び開口部136～138を形成した後、絶縁材料を更に加熱硬化させてもよい。加熱温度は200℃～280℃、加熱時間は5分～1時間の間で実施される。また、開口された面にレジスト層130の残渣がある場合、酸素プラズマ処理、アルゴンプラズマ処理、窒素プラズマ処理によって残渣を除去することができる。

[0060] 工程(d)で形成される配線電極用の開口部131～133の開口形状は、例えば、円形、楕円形又は矩形の形状であってもよい。この場合、開口部131～133の開口サイズは、直径5μm～400μmであってもよく、より微細な場合には直径5μm～10μmの円形状であってもよい。

[0061] 工程(d)で形成されるダミー電極用の開口部136～138の開口形状は、上述したように、配線電極用の開口部131～133を取り囲むような枠形状である(図2を参照)。このため、ダミー電極用の開口部136～138の少なくとも一部は、隣接する2つの配線電極用の開口部131～133の間に位置するように形成されている。なお、ダミー電極用の開口部136～138は、配線電極用の開口部131～133と同時に形成してもよい。

し、別々に形成してもよい。

[0062] [工程 (e)]

続いて、図4の(b)に示すように、配線電極用の開口部131~133に配線電極141, 142, 143を形成する。この工程では、工程(b)で形成したシード層を給電層として銅めっきを実施する。これにより、レジスト層130aにおける開口部131~133に導電材料(例えば、銅)が充てんされ、配線電極141~143が形成される。配線電極141~143の厚さは1~20 μm であることが好ましく、3~15 μm であることがより好ましく、5~15 μm であることが更に好ましい。配線電極141~143は、開口部131~133に対応する平面形状を有しており、例えば、円形、楕円形又は矩形である。

[0063] [工程 (f)]

また、工程(e)と共に、ダミー電極用の開口部136~138にダミー電極146, 147, 148を形成する。この工程では、工程(e)と同様に、工程(b)で形成したシード層を給電層として銅めっきを実施する。これにより開口部136~138に導電材料(例えば、銅)が充てんされ、ダミー電極146~148が形成される。ダミー電極146~148の厚さは1~20 μm であることが好ましく、3~15 μm であることがより好ましく、5~15 μm であることが更に好ましい。ダミー電極146~148は、開口部136~138に対応する平面形状を有しており、例えば、内側が円形、楕円形又は矩形であり、外側が矩形形状の枠形状である(図2を参照)。但し、ダミー電極146~148は、隣接する2つの配線電極141~143の間にその一部が位置するようであれば、他の形状であってもよく、配線電極141~143の形状に対応又は追従する形状であればよい。なお、ダミー電極146~148は、配線電極141~143と同時に形成してもよいし、別々に形成してもよい。即ち、工程(e)と工程(f)とは同時に行ってもよいし、別々に行ってもよい。

[0064] [工程 (g)]

続いて、配線電極141～143及びダミー電極146～148が形成されると、図5の(a)に示すように、レジスト層130aを除去する。レジスト層130aの剥離は、市販の各種の剥離液を使用することができる。その後、レジスト層130aの剥離によって露出した領域のシード層を除去する。シード層の除去とともに、シード層の下に残存しているパラジウムを除去してもよい。これらの除去は、市販の除去液（エッチング液）を使用すればよく、具体例として、酸性のエッチング液（株式会社JCU製、BB-20、PJ-10、SAC-700W3C）が挙げられる。なお、レジスト層130aを剥離した後に、導電材料から成る配線電極141～143及びダミー電極146～148の表面を改質する処理を行ってもよい。この処理は、例えば酸により粗化処理であり、この粗化処理により、電極表面に凹凸付けを行うことができる。処理薬品は市販の処理液を使用することができる。

[0065] [工程(h)]

続いて、レジスト層130aが剥離されると、配線電極141～143及びダミー電極146～148を覆うように第1絶縁層120上に第2絶縁層150を形成する。第2絶縁層150は、感光性樹脂材料又はソルダーレジスト等から構成され、その厚みは例えば、15 μ m～30 μ mであってもよい。第2絶縁層150を形成する際、図5の(b)に示すように、配線電極141～143の各表面141a, 142a, 143aは、第2絶縁層150から外に露出するように形成する。この露出方法としては、リソグラフィープロセス又はレーザー加工を用いることができる。リソグラフィープロセスとしては、セミアディティブ工法又はサブトラクティブ工法を用いることができる。なお、第2絶縁層150の中に埋め込まれた状態となるダミー電極146～148の厚みは、この第2絶縁層150の厚みの半分以上であることが好ましい。

[0066] 第2絶縁層150に用いられる材料としては、例えば、カルボキシル基含有感光性樹脂組成物を含む材料であってもよい。このカルボキシル基含有感

(j) 上述した配線基板30を準備する工程。

(k) 導電部材を用いて配線基板に半導体チップを実装する工程。

[0069] [工程(j)]

工程(j)では、図6の(a)に示すように、配線基板30をまずは準備する。また、1または複数の半導体チップ10を準備する。

[0070] [工程(k)]

続いて、配線基板30の準備が終了すると、配線基板30上に半導体チップ10を実装する。この実装工程では、まず、配線基板30の配線電極141~143の表面処理を行い、露出した表面の有機成分を除去する。その後、半田バンプ161, 162, 163(第1導電部材及び第2導電部材)を配線基板30の配線電極141~143それぞれの上に配置(搭載)してリフロー処理を行う。その後、半田バンプ161~163の上に半導体チップ10を搭載して、再びリフロー処理を行う。これにより、半導体チップ10の接続端子11~13が半田バンプ161~163を介して配線電極141~143に接続され、配線基板30の面のうちダミー電極146~148が形成された面に半導体チップ10が実装されることになる。

[0071] 続いて、リフロー処理が終了すると、ダイシングにて個片化を行い、その後、図6の(b)に示すように、配線基板30の第2絶縁層60(個片化前の第2絶縁層150に対応)と半導体チップ10との間に絶縁樹脂層25であるアンダーフィルム剤を充填して、封止を行い、絶縁樹脂層25を形成する。これにより、図1に示す半導体装置1が作製される。

[0072] 以上、本実施形態に係る配線基板の製造方法によれば、半導体チップ10等に接続されないダミー電極146~148(ダミー電極81~83)の一部を、半導体チップ10等に接続される配線電極141~143(配線電極71~73)との間に位置させている。これにより、この製造方法によって製造される配線基板30によれば、第2絶縁層60等においてクラックの発生を抑制し又は発生したクラックの延伸を抑制することができる。その結果、配線基板30を用いて半導体装置1を作製した際に、配線電極141~1

43（配線電極71～73）の配線が温度変化によって破断されることが防止される。以上より、この配線基板の製造方法によれば、クラックによる配線の破断を防止した配線基板を提供することが可能となる。

[0073] 本実施形態に係る配線基板の製造方法では、ダミー電極146～148（ダミー電極81～83）の幅は、配線電極141～143（配線電極71～73）の中心から外に向かう方向において、 $10\mu\text{m}$ 以上である。これにより、配線電極141～143（配線電極71～73）付近の絶縁層において生じたクラックが延伸することを、ダミー電極146～148（ダミー電極81～83）によって確実に抑制することができる。

[0074] 本実施形態に係る配線基板の製造方法では、ダミー電極146～148（ダミー電極81～83）は、配線電極141～143（配線電極71～73）の中心から外に向かう方向における最大幅が $100\mu\text{m}$ 以上となる部分81c、82c、83cを有している。これにより、配線電極141～143（配線電極71～73）付近の絶縁層においてクラックが発生することを確実に抑制し又は発生したクラックの延伸をより確実に抑制することができる。

[0075] 本実施形態に係る配線基板の製造方法では、配線電極141～143（配線電極71～73）とダミー電極146～148（ダミー電極81～83）との間の距離は $50\mu\text{m}$ 以上である。これにより、配線電極141～143（配線電極71～73）とダミー電極146～148（ダミー電極81～83）との間の絶縁を確実にして、配線電極141～143（配線電極71～73）の導通性能をダミー電極146～148（ダミー電極81～83）が阻害しない配線基板とすることができる。

[0076] 本実施形態に係る配線基板の製造方法は、互いに隣接するダミー電極146～148（ダミー電極81～83）間に配線部90を形成する工程を更に備えてもよい。配線部90は、 $10\mu\text{m}$ 以下の複数の配線を有していてもよい。この場合、隣接する配線電極141～143（配線電極71～73）間に所望の配線が形成された配線基板を提供することができる。

[0077] 本実施形態に係る配線基板の製造方法では、互いに隣接するダミー電極 146～148（ダミー電極 81～83）同士が導電材料によって連結されていてもよい。これにより、ダミー電極 146～148（ダミー電極 81～83）の強度を向上して、配線電極 141～143（配線電極 71～73）の付近においてクラックが発生することをより確実に抑制する配線基板を提供することができる。

[0078] 本実施形態に係る配線基板の製造方法では、ダミー電極 146～148（ダミー電極 81～83）は、平面視した際に配線電極 141～143（配線電極 71～73）を取り囲むように形成されている。これにより、配線電極 141～143（配線電極 71～73）の付近において何れの方角においてもクラックが発生すること又はクラックが延伸することを抑制した配線基板 30を提供することができる。また、配線電極 141～143（配線電極 71～73）を取り囲むようにダミー電極 146～148（ダミー電極 81～83）を設けることで、配線電極 141～143（配線電極 71～73）の実装密度の向上を阻害しない配置の配線基板 30を提供することができる。

[0079] 本実施形態に係る配線基板の製造方法では、配線電極 141～143（配線電極 71～73）は、平面視した際に曲面となる部分を有してもよく、例えば、外周が円形状である。また、ダミー電極 146～148（ダミー電極 81～83）は、平面視した際に曲面となる部分を有してもよく、例えば内周が円形状である。配線電極 141～143（配線電極 71～73）が曲面となる部分を有していることで、配線電極 141～143（配線電極 71～73）付近を起点としてクラックが発生することを抑制できる。また、ダミー電極 146～148（ダミー電極 81～83）が曲面となる部分を有していることで、発生したクラックの力を分散してクラックが更に延伸することを抑制できる。

[0080] 本実施形態に係る配線基板の製造方法では、ダミー電極 146～148（ダミー電極 81～83）は、第 2 絶縁層 60 の厚みの半分以上の厚みを有している。これにより、配線電極 141～143（配線電極 71～73）付近

を起点とするクラックが延伸することをダミー電極 146～148（ダミー電極 81～83）で確実に抑制することができる。

[0081] 本実施形態に係る半導体装置の製造方法では、半導体チップ 10 が実装された配線基板 30 において、配線電極 71～73 付近を起点としたクラックの発生を抑制し又は発生したクラックの延伸を抑制した半導体装置を提供することが可能となる。これにより、クラックによる配線の破断が防止された半導体装置を提供することができる。

[0082] 本実施形態に係る配線基板では、半導体チップ 10 等に接続されないダミー電極 81～83 の少なくとも一部を、半導体チップ 10 等に接続される配線電極 71～73 の間に位置させている。この場合、この配線基板 30 を用いた半導体装置 1 において温度変化等が生じたとしても、第 2 絶縁層 60 等におけるクラックの発生を抑制し又は発生したクラックの延伸を抑制することができる。その結果、配線基板 30 を用いた半導体装置 1 において、配線電極 71～73 等の配線が温度変化によって破断されることが防止される。

[0083] 本実施形態に係る配線基板では、ダミー電極 81～83 の幅は、配線電極 71～73 の中心から外に向かう方向において、10 μ m 以上である。これにより、配線電極 71～73 付近の絶縁層において生じたクラックが延伸することを、ダミー電極 81～83 によって確実に抑制することができる。これにより、クラックによる配線の破断をより確実に防止することができる。

[0084] 本実施形態に係る配線基板では、ダミー電極 81～83 は、平面視した際に配線電極 71～73 を取り囲むように形成されている。これにより、配線電極 71～73 の付近において何れの方向においてもクラックが発生すること又はクラックが延伸することを抑制することが可能となる。また、配線電極 71～73 を取り囲むようにダミー電極 81～83 を設けることで、配線電極 71～73 の実装密度の向上を阻害しない配置の配線基板 30 とすることができる。

実施例

[0085] 以下、実施例を上げて本発明について更に具体的に説明する。但し、本発

明はこれらの実施例に限定されるものではない。

[0086] まず、図7に示すような、複数の配線基板30に対応する大判サンプルを作製した。このサンプルは、上述した図3～図5に示す方法で作製したものであり、配線電極141～143（配線電極71～73）及びダミー電極146～148（ダミー電極81～83）は、銅めっきで作製した。配線電極71～73の直径は、 $240\mu\text{m}$ ～ $280\mu\text{m}$ であった。ダミー電極81～83の幅（最小幅、図2の部分81bに対応）は、対応する配線電極の中心から外に向かう方向において、 $150\mu\text{m}$ であった。また、ダミー電極81～83の幅（最大幅、図2の部分81c、82c、83cに対応）は、対応する配線電極の中心から外に向かう方向において、 $170\mu\text{m}$ であった。また、第2絶縁層150（第2絶縁層60）としては、感光性絶縁材料を用い、厚みは $18\mu\text{m}$ であった。図5の（b）に示すように、配線電極141～143（配線電極71～73）は、第2絶縁層150の表面から露出するが、ダミー電極146～148（ダミー電極146～148）は、第2絶縁層150の表面から露出しない構成であった。その他の材料及び製造方法は、通常のものを用いた。このようにして作製された半導体パッケージのサンプルを、温度サイクル試験に投入した。試験温度は -65°C から 150°C とし、最高温度到達時及び最低温度到達時の保持時間は各15分とした。

[0087] 図7及び図8に、配線基板30を実際に作製して上述した試験を行った際に生じたクラックの状態の結果を示す。図8は、図7における部分VIIIを拡大した図である。この試験結果によれば、配線電極71～73の付近においてクラックが発生した場合であっても、各配線電極71～73の間に位置するダミー電極81～83によってクラックが更に延伸することが抑制されていることが分かった。以上より、ダミー電極を設けることで、クラックの延伸を抑制し、クラックによる配線の破断を防止することが確認できた。

符号の説明

[0088] 1…半導体装置、10…半導体チップ、11～13…接続端子、21～23…半田バンプ（第1導電部、第2導電部）、25…絶縁樹脂層、30…配

線基板、40, 110…支持基板、50, 120…第1絶縁層、60, 150…第2絶縁層、71~73, 141~143…配線電極（第1配線電極、第2配線電極）、81~83, 146~148…ダミー電極（第1ダミー電極、第2ダミー電極）、90…配線部、130…レジスト層、131~133…開口部（第1開口部、第2開口部）、136~138（第3開口部、第4開口部）、141a~143a…表面。

請求の範囲

- [請求項1] 支持基板の上に第1絶縁層を形成する工程と、
前記第1絶縁層の上にレジスト層を形成する工程と、
前記レジスト層に配線電極用の第1開口部及び第2開口部とダミー電極用の第3開口部とを含む複数の開口部を形成する工程と、
前記第1開口部及び前記第2開口部に第1配線電極及び第2配線電極をそれぞれ形成する工程と、
前記第3開口部に第1ダミー電極を形成する工程と、
前記第1配線電極、前記第2配線電極及び前記第1ダミー電極を形成した後に前記レジスト層を除去する工程と、
少なくとも前記第1ダミー電極を覆うように前記第1絶縁層上に第2絶縁層を形成する工程と、を備え、
前記第1配線電極及び前記第2配線電極の各表面は、前記第2絶縁層から露出し、前記第1ダミー電極は少なくとも一部が前記第1配線電極と前記第2配線電極との間に位置する、配線基板の製造方法。
- [請求項2] 前記第1ダミー電極の幅は、前記第1配線電極の中心から外に向かう方向において、 $10\mu\text{m}$ 以上である、
請求項1に記載の配線基板の製造方法。
- [請求項3] 前記第1ダミー電極は、前記第1配線電極の中心から外に向かう方向における最大幅が $100\mu\text{m}$ 以上となる部分を有する、
請求項1又は2に記載の配線基板の製造方法。
- [請求項4] 前記第1配線電極と前記第1ダミー電極との間の距離は、 $50\mu\text{m}$ 以上である、請求項1～3の何れか一項に記載の配線基板の製造方法。
- [請求項5] 前記レジスト層に複数の開口部を形成する工程では、ダミー電極用の第4開口部を更に形成し、
前記第4開口部に第2ダミー電極を形成する工程を更に備え、
前記第1ダミー電極及び第2ダミー電極は、各電極の少なくとも一

部が、前記第1配線電極と前記第2配線電極との間に形成され、前記第1ダミー電極が前記第1配線電極側に位置し、前記第2ダミー電極が前記第2配線電極側に位置する、

請求項1～4の何れか一項に記載の配線基板の製造方法。

[請求項6] 前記第1ダミー電極と前記第2ダミー電極との間に配線部を形成する工程を更に備え、

前記配線部は、 $10\mu\text{m}$ 以下の複数の配線を有している、
請求項5に記載の配線基板の製造方法。

[請求項7] 前記第1ダミー電極と前記第2ダミー電極とが導電材料によって連結されている、

請求項5又は6に記載の配線基板の製造方法。

[請求項8] 前記第1ダミー電極は、平面視した際に前記第1配線電極を取り囲むように形成されている、

請求項1～7の何れか一項に記載の配線基板の製造方法。

[請求項9] 前記第1配線電極は、平面視した際に曲面となる部分を有し、

前記第1ダミー電極は、平面視した際に曲面となる部分を有する、
請求項1～8の何れか一項に記載の配線基板の製造方法。

[請求項10] 前記第1ダミー電極は、前記第2絶縁層の厚みの半分以上の厚みを有する、

請求項1～9の何れか一項に記載の配線基板の製造方法。

[請求項11] 請求項1～10の何れか一項に記載の配線基板の製造方法によって製造される前記配線基板を準備する工程と、

導電部材を用いて前記配線基板に半導体チップを実装する工程と、
を備える、半導体装置の製造方法。

[請求項12] 前記半導体チップを実装する工程では、前記導電部材である第1導電部材及び第2導電部材を前記配線基板の前記第1配線電極及び前記第2配線電極それぞれの上に配置すると共に、前記第1導電部材及び前記第2導電部材の上に前記半導体チップを搭載して、前記半導体チ

ップの接続端子を前記第1導電部材及び前記第2導電部材を介して前記第1配線電極及び前記第2配線電極に接続し、前記配線基板の面のうち前記第1ダミー電極が形成された面に前記半導体チップが実装される、

請求項11に記載の半導体装置の製造方法。

[請求項13]

支持基板と、

前記支持基板の上に設けられる第1絶縁層と、

前記第1絶縁層の上に設けられる第2絶縁層と、

前記第2絶縁層の中に設けられる第1配線電極及び第2配線電極と

、

前記第2絶縁層の中に設けられる第1ダミー電極と、を備え、

前記第1配線電極及び前記第2配線電極の各表面は、前記第2絶縁層から露出し、前記第1ダミー電極は少なくとも一部が前記第1配線電極と前記第2配線電極との間に位置する、配線基板。

[請求項14]

前記第1ダミー電極の幅は、前記第1配線電極の中心から外に向かう方向において、 $10\mu\text{m}$ 以上である、

請求項13に記載の配線基板。

[請求項15]

前記第2絶縁層の中に設けられる第2ダミー電極を更に備え、

前記第1ダミー電極及び第2ダミー電極は、各電極の少なくとも一部が、前記第1配線電極と前記第2配線電極との間に位置し、前記第1ダミー電極が前記第1配線電極側に位置し、前記第2ダミー電極が前記第2配線電極側に位置する、

請求項13又は14に記載の配線基板。

[請求項16]

前記第1ダミー電極は、平面視した際に前記第1配線電極を取り囲むように形成されている、

請求項13～15の何れか一項に記載の配線基板。

[請求項17]

請求項13～16の何れか一項に記載の配線基板と、

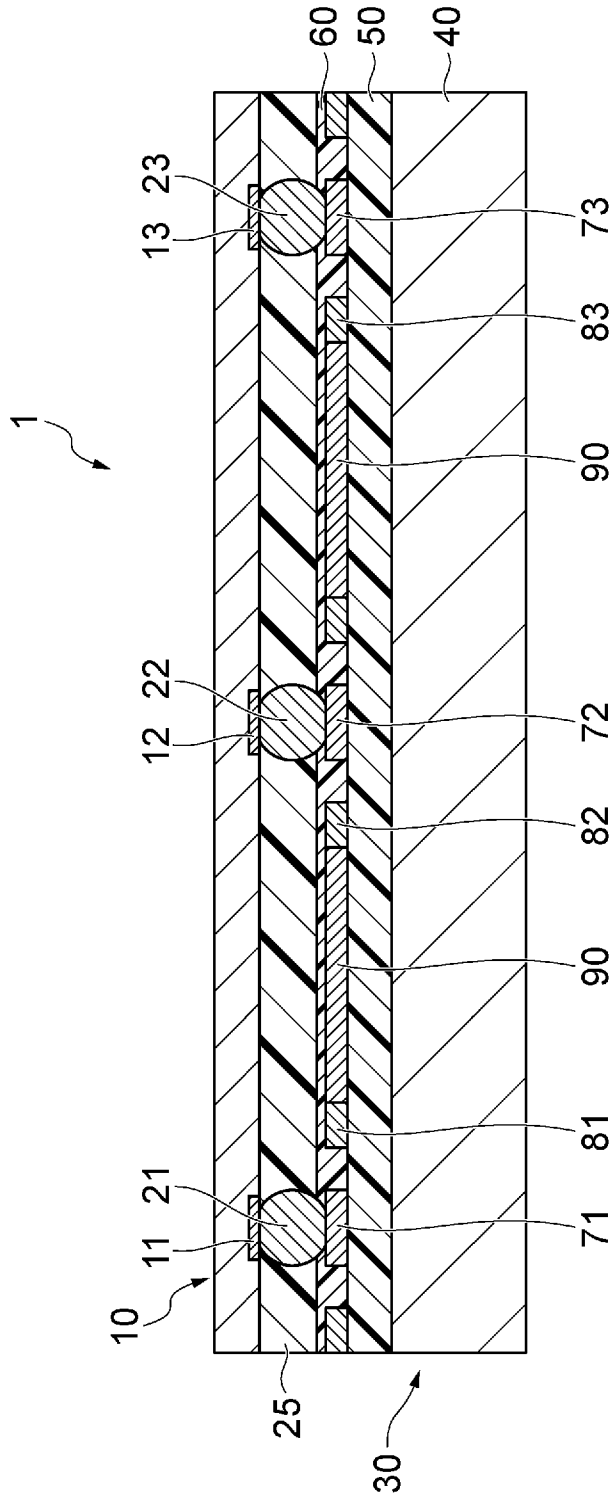
前記配線基板上であって前記第1配線電極及び前記第2配線電極の

上にそれぞれ設けられる第1導電部及び第2導電部と、

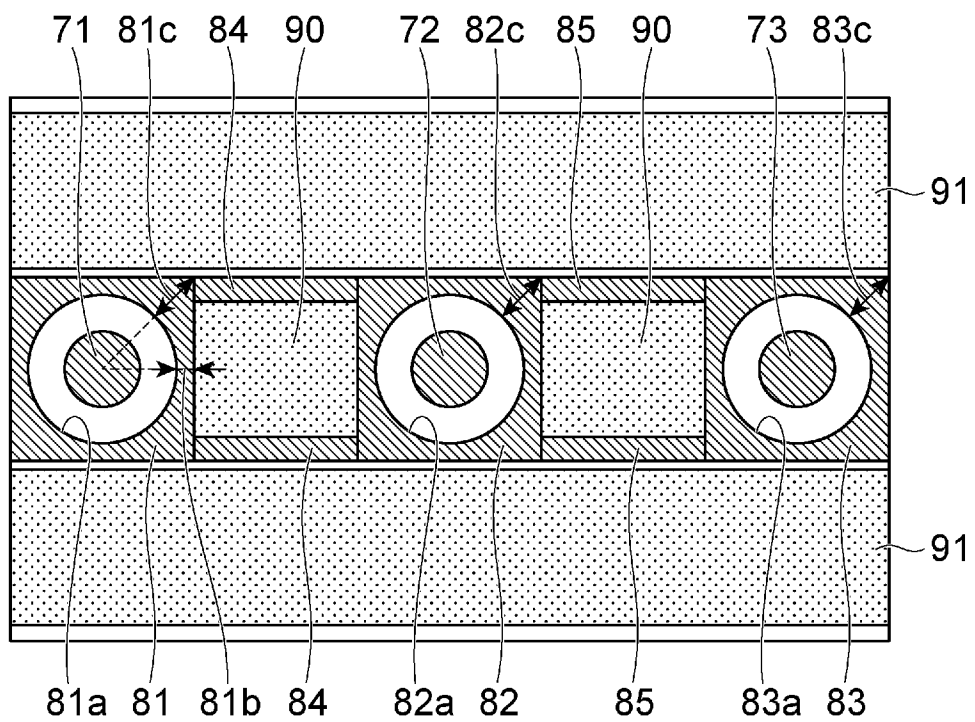
前記第1導電部及び前記第2導電部を介して前記第2絶縁層の上に
実装される半導体チップと、

を備える、半導体装置。

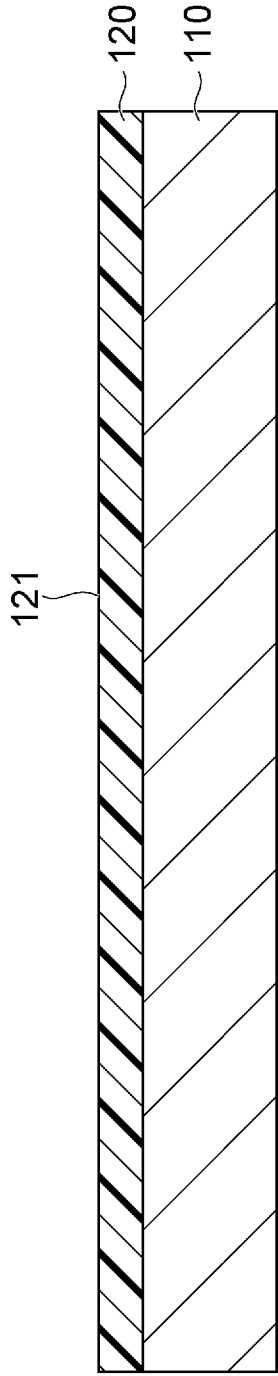
[図1]



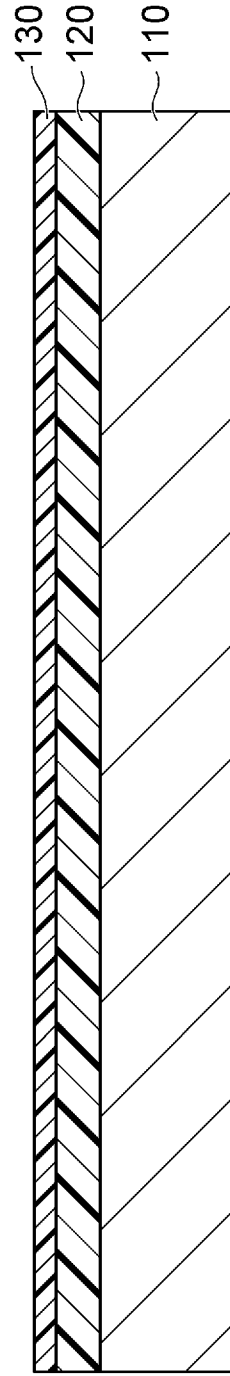
[図2]



[圖3]

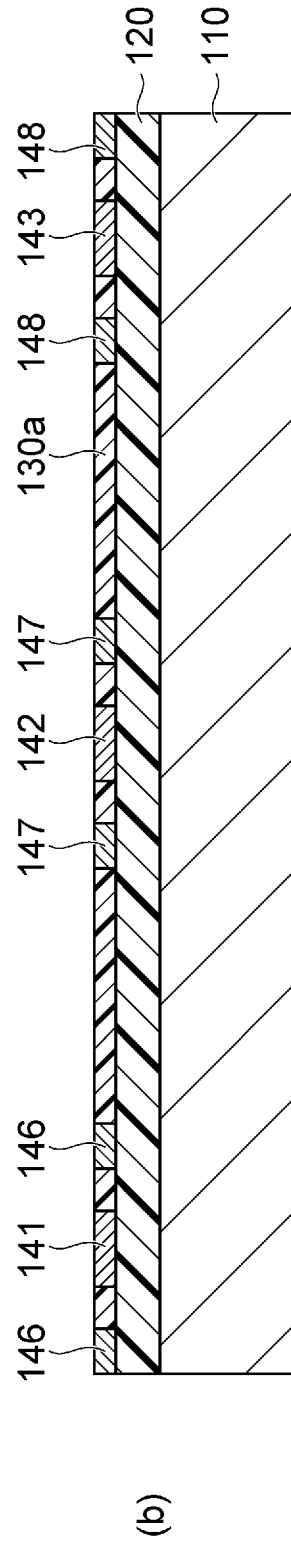
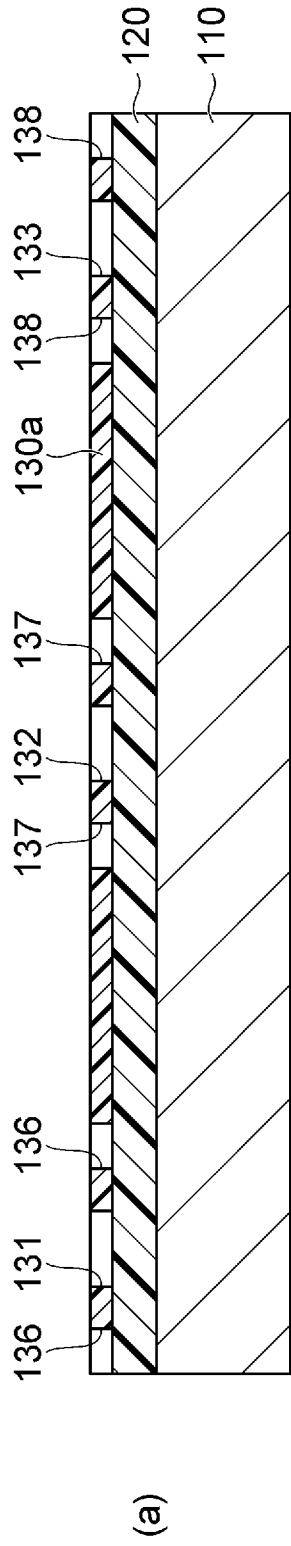


(a)

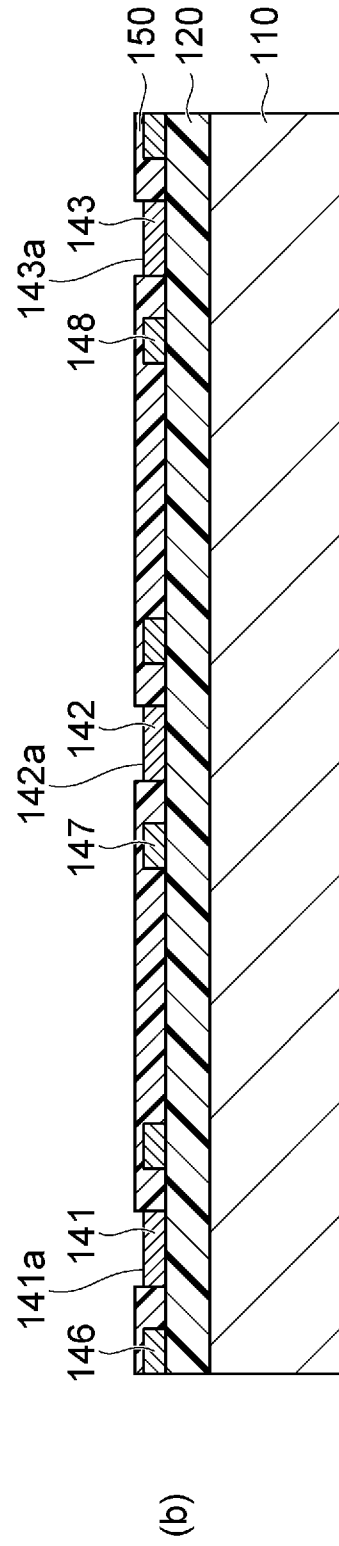
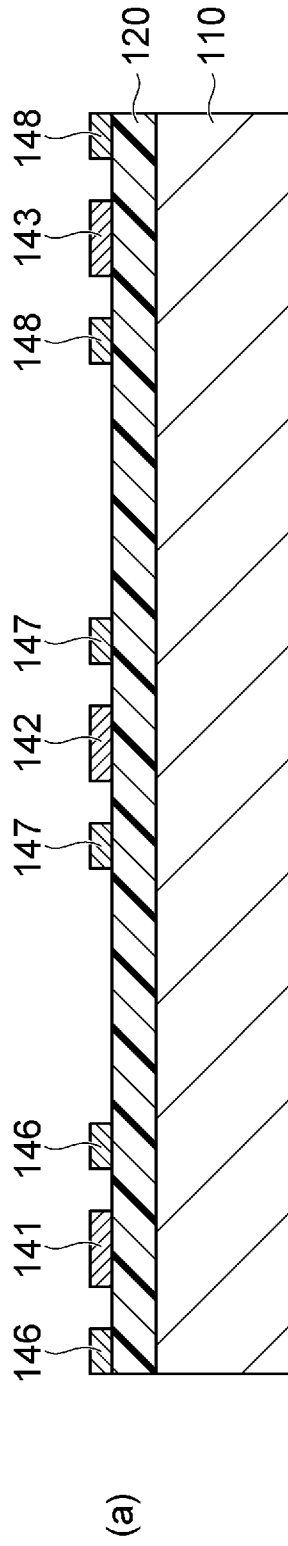


(b)

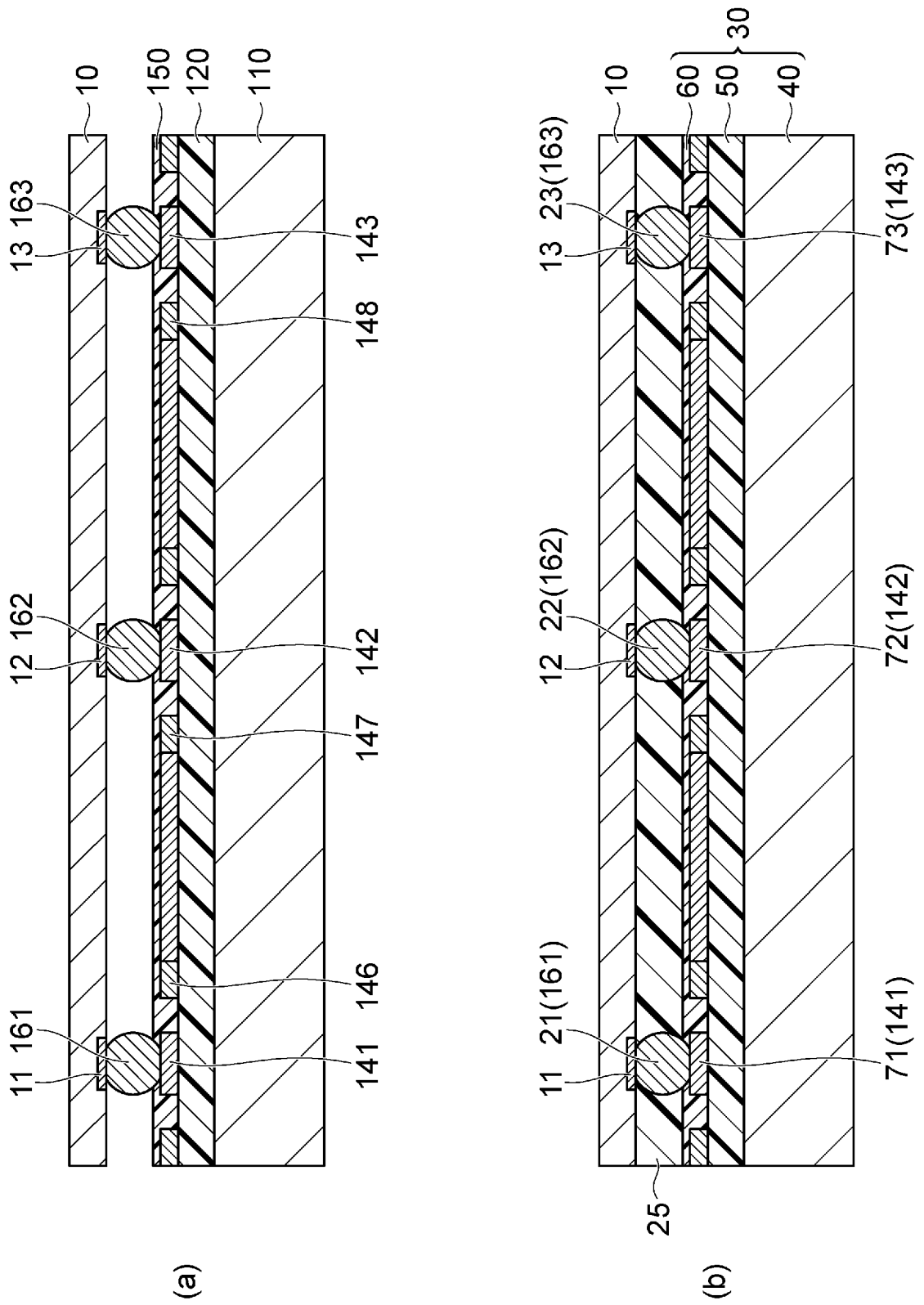
[図4]



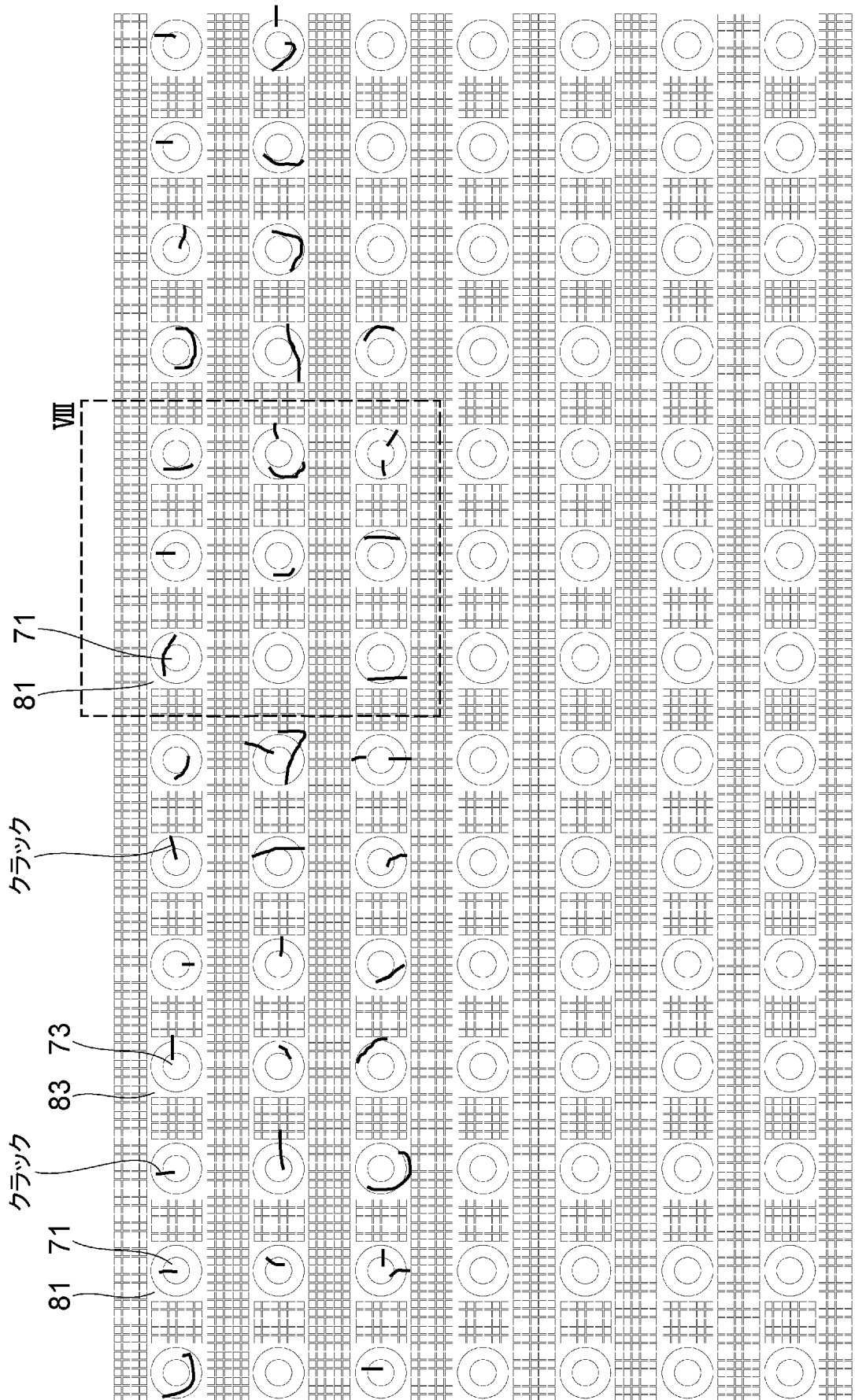
[図5]



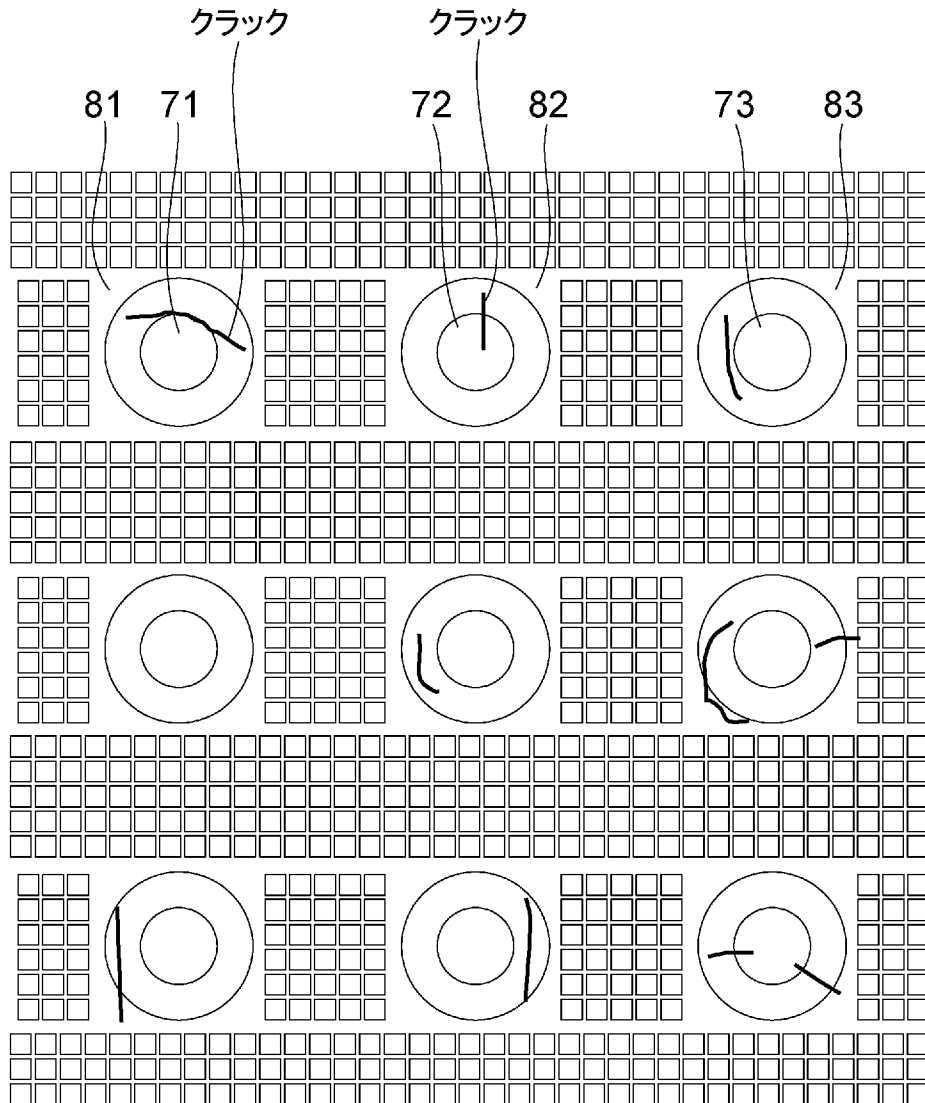
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/025947

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/12</i> (2006.01) FI: H01L23/12 Q		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/12		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2008-91385 A (TOPPAN PRINTING CO., LTD.) 17 April 2008 (2008-04-17) paragraphs [0010], [0019]-[0045], fig. 1-8	13-17 1-12
A	JP 2009-194144 A (RENESAS TECH CORP.) 27 August 2009 (2009-08-27) paragraphs [0001], [0017]-[0070], fig. 1-18	1-17
A	JP 2012-54264 A (RENESAS ELECTRONICS CORPORATION) 15 March 2012 (2012-03-15) paragraphs [0001], [0032]-[0039], fig. 3-4	1-17
A	JP 2012-191123 A (RENESAS ELECTRONICS CORPORATION) 04 October 2012 (2012-10-04) paragraphs [0001], [0094]-[0102], fig. 33-34	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 31 August 2023		Date of mailing of the international search report 12 September 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/025947

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2008-91385 A	17 April 2008	(Family: none)	
JP 2009-194144 A	27 August 2009	US 2009/0206490 A1 paragraphs [0002], [0041]- [0094], fig. 1-18 CN 101510536 A	
JP 2012-54264 A	15 March 2012	US 2012/0052628 A1 paragraphs [0002], [0068]- [0074], fig. 3-4 CN 102386112 A KR 10-2012-0021278 A	
JP 2012-191123 A	04 October 2012	US 2012/0235278 A1 paragraphs [0002], [0147]- [0155], fig. 33-34	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i FI: H01L23/12 Q		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2008-91385 A（凸版印刷株式会社）17.04.2008（2008 - 04 - 17） 段落[0010],[0019]-[0045], 図1-8	13-17 1-12
A	JP 2009-194144 A（株式会社ルネサステクノロジ）27.08.2009（2009 - 08 - 27） 段落[0001],[0017]-[0070], 図1-18	1-17
A	JP 2012-54264 A（ルネサスエレクトロニクス株式会社）15.03.2012（2012 - 03 - 15） 段落[0001],[0032]-[0039], 図3-4	1-17
A	JP 2012-191123 A（ルネサスエレクトロニクス株式会社）04.10.2012（2012 - 10 - 04） 段落[0001],[0094]-[0102], 図33-34	1-17
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	31.08.2023	国際調査報告の発送日 12.09.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 小池 英敏 5F 8396 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/025947

引用文献	公表日	パテントファミリー文献	公表日
JP 2008-91385 A	17.04.2008	(ファミリーなし)	
JP 2009-194144 A	27.08.2009	US 2009/0206490 A1 段落[0002], [0041]-[0094], 図1-18 CN 101510536 A	
JP 2012-54264 A	15.03.2012	US 2012/0052628 A1 段落[0002], [0068]-[0074], 図3-4 CN 102386112 A KR 10-2012-0021278 A	
JP 2012-191123 A	04.10.2012	US 2012/0235278 A1 段落[0002], [0147]-[0155], 図33-34	