

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7643151号  
(P7643151)

(45)発行日 令和7年3月11日(2025.3.11)

(24)登録日 令和7年3月3日(2025.3.3)

|            |                |         |       |   |  |
|------------|----------------|---------|-------|---|--|
| (51)国際特許分類 |                | F I     |       |   |  |
| H 0 2 M    | 1/08 (2006.01) | H 0 2 M | 1/08  | A |  |
| H 0 2 M    | 3/155(2006.01) | H 0 2 M | 3/155 | H |  |

請求項の数 3 (全15頁)

|          |                                  |          |   |
|----------|----------------------------------|----------|---|
| (21)出願番号 | 特願2021-65138(P2021-65138)        | (73)特許権者 | 000005234<br>富士電機株式会社<br>神奈川県川崎市川崎区田辺新田 1 番 1 号 |
| (22)出願日  | 令和3年4月7日(2021.4.7)               | (74)代理人  | 110003177<br>弁理士法人旺知国際特許事務所                     |
| (65)公開番号 | 特開2022-160752(P2022-160752<br>A) | (74)代理人  | 100111763<br>弁理士 松本 隆                           |
| (43)公開日  | 令和4年10月20日(2022.10.20)           | (72)発明者  | 平形 政樹<br>神奈川県川崎市川崎区田辺新田 1 番 1 号<br>富士電機株式会社内    |
| 審査請求日    | 令和6年3月13日(2024.3.13)             | 審査官      | 安食 泰秀   |

最終頁に続く

(54)【発明の名称】 ゲート駆動回路および電力変換装置

(57)【特許請求の範囲】

【請求項 1】

インダクタと、高電位電源線と前記インダクタの第 1 の端子との間に接続された第 1 のスイッチと、前記高電位電源線より電位が低い低電位電源線と前記インダクタの前記第 1 の端子との間に接続された第 2 のスイッチと、前記高電位電源線と前記インダクタの第 2 の端子との間に接続された第 3 のスイッチと、前記低電位電源線と前記インダクタの前記第 2 の端子との間に接続された第 4 のスイッチとを含むゲート電流制御回路部と、

前記インダクタの前記第 2 の端子と駆動対象である半導体スイッチング素子のゲートとの間に接続された回路であって、抵抗値の制御が可能な減衰回路部と、を含み、前記減衰回路部は、抵抗と前記抵抗に並列接続された双方向スイッチとを含み、前記双方向スイッチを前記第 3 のスイッチまたは前記第 4 のスイッチが ON するタイミングで OFF させ、所定時間 OFF を保持することを特徴とするゲート駆動回路。

【請求項 2】

インダクタと、高電位電源線と前記インダクタの第 1 の端子との間に接続された第 1 のスイッチと、前記高電位電源線より電位が低い低電位電源線と前記インダクタの前記第 1 の端子との間に接続された第 2 のスイッチと、前記高電位電源線と前記インダクタの第 2 の端子との間に接続された第 3 のスイッチと、前記低電位電源線と前記インダクタの前記第 2 の端子との間に接続された第 4 のスイッチとを含むゲート電流制御回路部と、前記インダクタの前記第 2 の端子と駆動対象である半導体スイッチング素子のゲートとの間に接続された回路であって、抵抗値の制御が可能な減衰回路部と、を含み、

前記減衰回路部は、ゲート電圧によりON抵抗の制御が可能な双方向スイッチを含み、前記第3のスイッチまたは前記第4のスイッチがONするタイミングにおいて前記減衰回路部の前記双方向スイッチに第1のゲート電圧を与えてONさせ、所定時間後に前記第1のゲート電圧より高い第2のゲート電圧を与えてON状態を保持することを特徴とするゲート駆動回路。

【請求項3】

請求項1または2に記載のゲート駆動回路を有し、前記ゲート駆動回路によりゲートが駆動される半導体スイッチング素子を介して負荷に電力を供給する電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体スイッチング素子のゲート駆動回路およびゲート駆動回路を備えた電力変換装置に関する。

【背景技術】

【0002】

電力変換装置では、ゲート駆動抵抗を介して半導体スイッチング素子のゲート静電容量を充放電するゲート駆動回路が広く用いられている。この種のゲート駆動回路において、 $Q_g$ をゲート充電電荷、 $V_g$ をゲート駆動電圧、 $f_{sw}$ をスイッチング周波数とした場合、ゲート駆動抵抗において発生する損失は $Q_g \times V_g \times f_{sw}$ となる。従って、半導体スイッチング素子のゲート充電電荷 $Q_g$ が大きくなる程、あるいはスイッチング動作周波数 $f_{sw}$ が高くなる程、ゲート駆動抵抗において発生する損失が増加する。この損失を賄うため、上記ゲート駆動電圧 $V_g$ を発生する電源回路の大型化が必要になる。また、この損失から生じる熱を放散する必要があるため、装置の小型化が阻害される。

【0003】

このような課題を解決する手段として、図7に示すゲート駆動回路1が知られている。なお、この種のゲート駆動回路は例えば特許文献1に開示されている。図7において、半導体スイッチング素子 $Q_a$ は、ゲート駆動回路1の駆動対象である。ゲート駆動回路1は、直流電源 $V_P$ および $V_N$ と、半導体スイッチング素子 $Q_1$ およびこれに逆並列接続されたダイオード $D_1$ からなる第1のスイッチ $SW_1$ と、半導体スイッチング素子 $Q_2$ およびこれに逆並列接続されたダイオード $D_2$ からなる第2のスイッチ $SW_2$ と、半導体スイッチング素子 $Q_3$ およびこれに逆並列接続されたダイオード $D_3$ からなる第3のスイッチ $SW_3$ と、半導体スイッチング素子 $Q_4$ およびこれに逆並列接続されたダイオード $D_4$ からなる第4のスイッチ $SW_4$ と、インダクタ $L_g$ とを有する。

【0004】

図8はゲート駆動回路1の動作を示す波形図である。図示しない上位装置からの指示により発生するターンON指示信号 $S_{ON}$ がONになると、半導体スイッチング素子 $Q_1$ のみがONとなり、インダクタ $L_g$ を介し、半導体スイッチング素子 $Q_a$ のゲートが充電される。充電後、半導体スイッチング素子 $Q_a$ のゲート電圧 $V_{gs}$ が所要の値に達すると、半導体スイッチング素子 $Q_1$ がOFFとされ、半導体スイッチング素子 $Q_2$ および $Q_3$ がONとされ、充電時にインダクタ $L_g$ に蓄積されたエネルギーが直流電源 $V_P$ および $V_N$ に回収される。また、ターンON指示信号 $S_{ON}$ がOFFになると、半導体スイッチング素子 $Q_2$ のみがONとされ、インダクタ $L_g$ を介し、半導体スイッチング素子 $Q_a$ のゲートが放電される。放電後、半導体スイッチング素子 $Q_a$ のゲート電圧 $V_{gs}$ が所要の値に達すると、半導体スイッチング素子 $Q_2$ がOFFとされ、半導体スイッチング素子 $Q_1$ および $Q_4$ がONとされ、放電時にインダクタ $L_g$ に蓄積されたエネルギーが直流電源 $V_P$ および $V_N$ に回収される。

【0005】

このように、特許文献1に開示されたゲート駆動回路によれば、従来、ゲート駆動抵抗で発生していた損失をインダクタ $L_g$ の電流として直流電源 $V_P$ および $V_N$ に回収するた

10

20

30

40

50

めゲート駆動回路の損失を低減できる。

【先行技術文献】

【特許文献】

【0006】

【文献】特開2006-54954号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、上述したゲート駆動回路1において、インダクタ $L_g$ と、駆動対象である半導体スイッチング素子 $Q_a$ のゲートとの間には、図7に示すように、インダクタ $L_{pcb}$ および $L_{in}$ が介在する。ここで、インダクタ $L_{pcb}$ は、ゲート駆動回路1を実装するプリント基板上の配線の寄生インダクタンスである。また、インダクタ $L_{in}$ は、半導体スイッチング素子 $Q_a$ を収容したパワーモジュール内のゲート信号配線の寄生インダクタンスである。半導体スイッチング素子 $Q_a$ は、入力容量 $C_{iss}$ を有する。この入力容量 $C_{iss}$ は、ゲートおよびソース間容量 $C_{gs}$ と、ドレインおよびゲート間容量 $C_{dg}$ とを合成した容量である。このゲート駆動回路1では、次のような問題が発生する。

10

【0008】

ターンON指示信号 $S_{ON}$ がONになり、半導体スイッチング素子 $Q_1$ のみがONになると、ゲート駆動回路1は、図9Aに示す状態となる。この状態では、直流電源 $V_P$ 半導体スイッチング素子 $Q_1$ インダクタ $L_g$ インダクタ $L_{pcb}$ および $L_{in}$ 入力容量 $C_{iss}$ 直流電源 $V_P$ という充電回路301を充電電流が流れる。

20

【0009】

充電により半導体スイッチング素子 $Q_a$ のゲート電圧 $V_{gs}$ が所定電圧に到達すると、半導体スイッチング素子 $Q_1$ がOFFとなり、半導体スイッチング素子 $Q_2$ および $Q_3$ がONとなる。この結果、ゲート駆動回路1は図9Bに示す状態となる。

【0010】

この状態では、インダクタ $L_g$ 半導体スイッチング素子 $Q_3$ 直流電源 $V_P$ および $V_N$ 半導体スイッチング素子 $Q_2$ インダクタ $L_g$ という還流回路302を還流電流が流れる。しかし、このようにインダクタ $L_g$ に流れていた電流を還流回路302に瞬時に転流させようとする、インダクタ $L_{pcb}$ および $L_{in}$ がそれまでにインダクタ $L_{pcb}$ および $L_{in}$ に流れていた電流を維持しようとするため、インダクタ $L_{pcb}$ および $L_{in}$ と入力容量 $C_{iss}$ とゲート駆動回路1とを含む閉ループ状の共振回路303において共振が発生する。この共振回路303には抵抗等の減衰要素が存在しないため、半導体スイッチング素子 $Q_a$ のゲート電圧 $V_{gs}$ が振動し、駆動対象である半導体スイッチング素子 $Q_a$ の誤点弧が発生し、あるいはゲート電圧 $V_{gs}$ がゲート入力許容電圧を越えることにより半導体スイッチング素子 $Q_a$ が破損する虞がある。

30

【0011】

この発明は、以上説明した課題に鑑みてなされたものであり、ゲート駆動用のインダクタに流れる電流を還流回路に転流させる際にゲート駆動回路に発生する共振を抑制する技術的手段を提供することを目的とする。

40

【課題を解決するための手段】

【0012】

この発明の一態様であるゲート駆動回路は、インダクタと、高電位電源線と前記インダクタの第1の端子との間に接続された第1のスイッチと、前記高電位電源線より電位が低い低電位電源線と前記インダクタの前記第1の端子との間に接続された第2のスイッチと、前記高電位電源線と前記インダクタの第2の端子との間に接続された第3のスイッチと、前記低電位電源線と前記インダクタの前記第2の端子との間に接続された第4のスイッチとを含むゲート電流制御回路部と、前記インダクタの前記第2の端子と駆動対象である半導体スイッチング素子のゲートとの間に接続された回路であって、抵抗値の制御が可能な減衰回路部と、を含む。

50

## 【 0 0 1 3 】

また、この発明の一態様である電力変換装置は、前記ゲート駆動回路を有し、前記ゲート駆動回路によりゲートが駆動される半導体スイッチング素子を介して負荷に電力を供給する。

## 【発明の効果】

## 【 0 0 1 4 】

この発明によれば、インダクタの第2の端子と半導体スイッチング素子のゲートとの間に抵抗値の制御が可能な減衰回路部が接続されているので、インダクタに流れる電流を還流回路に転流させる際に、減衰回路部の抵抗値を制御することにより、ゲート駆動回路に発生する共振を抑制することができる。

10

## 【図面の簡単な説明】

## 【 0 0 1 5 】

【図1】この発明の第1実施形態であるゲート駆動回路を備えた電力変換装置の構成を示す回路図である。

【図2】同ゲート駆動回路の動作を示す波形図である。

【図3A】同ゲート駆動回路のモード1の動作を示す回路図である。

【図3B】同ゲート駆動回路のモード2の動作を示す回路図である。

【図3C】同ゲート駆動回路のモード3の動作を示す回路図である。

【図3D】同ゲート駆動回路のモード4の動作を示す回路図である。

【図3E】同ゲート駆動回路のモード5の動作を示す回路図である。

20

【図3F】同ゲート駆動回路のモード6の動作を示す回路図である。

【図3G】同ゲート駆動回路のモード7の動作を示す回路図である。

【図3H】同ゲート駆動回路のモード8の動作を示す回路図である。

【図4】この発明の第2実施形態であるゲート駆動回路を備えた電力変換装置の構成を示す回路図である。

【図5】同ゲート駆動回路の動作を示す波形図である。

【図6】半導体スイッチング素子のゲート電圧とON抵抗との関係を示す図である。

【図7】特許文献1に開示されたゲート駆動回路の構成を示す回路図である。

【図8】同ゲート駆動回路の動作を示す波形図である。

【図9A】同ゲート駆動回路のモード1の動作を示す回路図である。

30

【図9B】同ゲート駆動回路のモード2の動作を示す回路図である。

## 【発明を実施するための形態】

## 【 0 0 1 6 】

以下、図面を参照しつつ本発明の実施形態について説明する。

## 【 0 0 1 7 】

## &lt; 第1実施形態 &gt;

図1はこの発明の第1実施形態であるゲート駆動回路1aを備えた降圧電源回路100aの構成を示す回路図である。降圧電源回路100aは、本実施形態によるゲート駆動回路1aと、変換部2と、アイソレーションアンプ3とを含む。

## 【 0 0 1 8 】

40

変換部2は、ゲート駆動回路1aによってゲートが駆動される半導体スイッチング素子Qaを含む。この半導体スイッチング素子Qaと、ゲート駆動回路1a内の半導体スイッチング素子Q1～Q4、Q51およびQ52は、nチャネルのMOSFET(Metal Oxide Semiconductor Field Effect Transistor; 金属-酸化膜-半導体構造の電界効果トランジスタ)である。

## 【 0 0 1 9 】

変換部2において、半導体スイッチング素子Qaのソースは、インダクタ21の一端に接続されている。このインダクタ21の他端は負荷25の一端に接続されている。半導体スイッチング素子Qaのドレインは、直流電源V1の正極に接続され、この直流電源V1の負極は負荷25の他端に接続されている。ダイオード22は、カソードが半導体スイッ

50

チング素子 Q a のソースに接続され、アノードが直流電源 V 1 の負極に接続されている。また、負荷 2 5 には容量 2 3 が並列接続されている。

#### 【 0 0 2 0 】

この変換部 2 において、半導体スイッチング素子 Q a は、ゲート駆動回路 1 a により PWM ( Pulse Width Modulation ; パルス幅変調 ) パルス状にスイッチングされる。半導体スイッチング素子 Q a が ON である期間、直流電源 V 1 からの電流が半導体スイッチング素子 Q a およびインダクタ 2 1 を介して負荷 2 5 に供給される。半導体スイッチング素子 Q a が OFF になると、インダクタ 2 1 がその時点までに蓄積したエネルギーを放出し、ダイオード 2 2 を介して負荷 2 5 に電流を供給する。負荷 2 5 の両端の電圧は容量 2 3 によって平滑化される。

10

#### 【 0 0 2 1 】

このように降圧電源回路 1 0 0 a は、ゲート駆動回路 1 a によりゲートが駆動される半導体スイッチング素子 Q a を介して負荷 2 5 を駆動する電力変換装置である。

#### 【 0 0 2 2 】

ゲート駆動回路 1 a は、制御回路 1 0 1 と、ブリッジ回路 1 1 0 と、減衰回路部 1 2 0 a と、電圧検出器 1 3 0 とを含む。

#### 【 0 0 2 3 】

制御回路 1 0 1 は、負荷 2 5 に対する出力電圧をアイソレーションアンプ 3 を介して検出し、出力電圧が目標とする電圧となるように半導体スイッチング素子 Q a の ON デューティ、すなわち、ターン ON 指示信号 S ON の ON デューティを決定する。また、制御回路 1 0 1 は、ターン ON 指示信号 S ON に従って、ゲート駆動回路 1 a を構成する半導体スイッチング素子 Q 1 ~ Q 4、Q 5 1 および Q 5 2 の ON / OFF 駆動を行うための各種の制御信号を生成する。なお、この半導体スイッチング素子の ON / OFF 駆動については、説明の重複を避けるため、本実施形態の動作説明においてその詳細を明らかにする。

20

#### 【 0 0 2 4 】

ブリッジ回路 1 1 0 は、半導体スイッチング素子 Q a に供給するゲート電流を制御するゲート電流制御回路部である。このブリッジ回路 1 1 0 において、直流電源 V P は負極が半導体スイッチング素子 Q a のソースに接続され、正極が高電位電源線 1 1 1 に接続されている。また、直流電源 V N は正極が半導体スイッチング素子 Q a のソースに接続され、負極が低電位電源線 1 1 2 に接続されている。従って、低電位電源線 1 1 2 は、高電位電源線 1 1 1 より電位が低い電源線となる。

30

#### 【 0 0 2 5 】

ブリッジ回路 1 1 0 において、第 1 のスイッチ S W 1 は、半導体スイッチング素子 Q 1 とこれに逆並列接続されたダイオード D 1 とにより構成されている。ここで、半導体スイッチング素子 Q 1 は、ドレインが高電位電源線 1 1 1 に接続され、ソースがインダクタ L g の第 1 の端子 1 1 3 に接続されている。第 2 のスイッチ S W 2 は、半導体スイッチング素子 Q 2 とこれに逆並列接続されたダイオード D 2 とにより構成されている。ここで、半導体スイッチング素子 Q 2 は、ソースが低電位電源線 1 1 2 に接続され、ドレインがインダクタ L g の第 1 の端子 1 1 3 に接続されている。第 3 のスイッチ S W 3 は、半導体スイッチング素子 Q 3 とこれに逆並列接続されたダイオード D 3 とにより構成されている。ここで、半導体スイッチング素子 Q 3 は、ドレインが高電位電源線 1 1 1 に接続され、ソースがインダクタ L g の第 2 の端子 1 1 4 に接続されている。第 4 のスイッチ S W 4 は、半導体スイッチング素子 Q 4 とこれに逆並列接続されたダイオード D 4 とにより構成されている。ここで、半導体スイッチング素子 Q 4 は、ソースが低電位電源線 1 1 2 に接続され、ドレインがインダクタ L g の第 2 の端子 1 1 4 に接続されている。

40

#### 【 0 0 2 6 】

減衰回路部 1 2 0 a は、抵抗値の制御が可能な回路であり、ゲート電流制御回路部であるブリッジ回路 1 1 0 と、駆動対象である半導体スイッチング素子 Q a のゲートとの間に接続されている。より詳しくは、減衰回路部 1 2 0 a の一端 1 2 1 はインダクタ L g の第 2 の端子 1 1 4 に接続され、他端 1 2 2 はインダクタ L p c b および L i n を介して半導

50

体スイッチング素子Q aのゲートに接続されている。

【0027】

減衰回路部120 aは、端子121および122間に接続された抵抗R d u m pと、これに並列接続された双方向スイッチS W 5とにより構成されている。

【0028】

双方向スイッチS W 5では、半導体スイッチング素子Q 5 1のドレインとダイオードD 5 1のカソードが減衰回路部120 aの一端121に共通接続されている。また、半導体スイッチング素子Q 5 2のドレインとダイオードD 5 2のカソードが減衰回路部120 aの他端122に共通接続されている。そして、半導体スイッチング素子Q 5 1のソースと、ダイオードD 5 1のアノードと、半導体スイッチング素子Q 5 2のソースと、ダイオードD 5 2のアノードとが共通接続されている。

10

【0029】

この構成において、半導体スイッチング素子Q 5 1およびQ 5 2の両方がONである場合、半導体スイッチング素子Q 1およびダイオードD 5 2を介すことにより端子121側から端子122側への通電が可能であり、半導体スイッチング素子Q 2およびダイオードD 5 1を介すことにより端子122側から端子121側への通電が可能である。

【0030】

電圧検出器130は、半導体スイッチング素子Q aを収容したパワーモジュールにおいて、半導体スイッチング素子Q aのゲートが接続された端子とソ - スが接続された端子との間の電圧を検出し、ゲート電圧検出値V g s d e tとして制御回路101に供給する。

20

【0031】

図2はゲート駆動回路1 aの動作を示す波形図である。制御回路101は、半導体スイッチング素子Q 1 ~ Q 4のソースS 1 ~ S 4と、半導体スイッチング素子Q 5 1およびQ 5 2の共通のソースS 5の電圧を監視し、これらのソース電圧に基づいて、半導体スイッチング素子Q 1 ~ Q 4、Q 5 1およびQ 5 2のゲートG 1 ~ G 4、G 5 1およびG 5 2に与えるゲート電圧を制御し、各半導体スイッチング素子のON/OFF切り換えを行う。制御回路101は、ターンON指示信号S ONのON/OFFが切り換わるのに応じて、各半導体スイッチング素子のON/OFF切り換えを行うことによりゲート駆動回路1 aの動作モードをモード1からモード8まで変化させる。図2におけるT 1 ~ T 8は、各々モード1 ~ 8の継続期間である。また、図3 A ~ 図3 Hは、各々モード1 ~ 8におけるゲート駆動回路1 aの動作状態を示している。以下、これらの図を参照し、本実施形態の動作を説明する。

30

【0032】

モード1(期間T 1)では、図3 Aに示すように、制御回路101が半導体スイッチング素子Q 1をONにする。この結果、直流電源V P、半導体スイッチング素子Q 1、インダクタL g、減衰回路部120 a、インダクタL p c bおよびL i n、半導体スイッチング素子Q aの入力容量C i s s、直流電源V Pという閉ループ状の充電回路301 aが形成され、この充電回路301 aに充電電流が流れることにより半導体スイッチング素子Q aのゲート電圧が増加する。電圧検出器130により得られるゲート電圧検出値V g s d e tが所定の値に達すると、制御回路101はゲート駆動回路1 aをモード2に移行させる。

40

【0033】

ここで、モード2への移行時にインダクタL gに流れる電流について説明する。モード1において、直流電源V Pと、インダクタL g、L p c bおよびL i nと、初期電圧値が-V Nである入力容量C i s sとの直列回路(充電回路301)が形成されたとする。この場合、モード2への移行時にインダクタL gに流れる電流、すなわち、モード1終了時のインダクタL gの電流i L g(t = T 1)は、次式(1)に示すものとなる。

$$i_{Lg}(t = T1) = (V_P + V_N) \cdot \frac{1}{(L_g + L_{pcb} + L_{in}) \cdot C_{iss}} \cdot \sin(\omega \cdot T1) \dots\dots (1)$$

ただし、 $\omega = 1 / ((L_g + L_{pcb} + L_{in}) \cdot C_{iss})$

50

## 【 0 0 3 4 】

モード2は、インダクタ $L_g$ に蓄積されたエネルギーを直流電源 $V_P$ および $V_N$ に回収するとともに、インダクタ $L_{pcb}$ 、 $L_{in}$ 、および入力容量 $C_{iss}$ で構成される共振回路による共振電流をダンピングするモードである。

## 【 0 0 3 5 】

モード2において、制御回路101は、半導体スイッチング素子 $Q_1$ をOFFとし、半導体スイッチング素子 $Q_2$ および $Q_3$ をONにする。この結果、上述した充電回路301aが開放され、図3Bに示すように、インダクタ $L_g$  半導体スイッチング素子 $Q_3$  直流電源 $V_P$ および $V_N$  半導体スイッチング素子 $Q_2$  インダクタ $L_g$ という還流回路302が形成される。これにより、それまでインダクタ $L_g$ から半導体スイッチング素子 $Q_a$ の入力容量 $C_{iss}$ に流れ込んでいた電流が、環流回路302に転流し、インダクタ $L_g$ に蓄積されたエネルギーが直流電源 $V_P$ および $V_N$ に回収される。また、インダクタ $L_{pcb}$ および $L_{in}$ がそれまでに流れていた電流を持続しようとするため、インダクタ $L_{pcb}$ および $L_{in}$ と、入力容量 $C_{iss}$ と、ゲート駆動回路1aを含む共振回路303aが形成され、この共振回路303aに共振電流が流れる。この共振回路303aは、直流電源 $V_N$  ダイオード $D_4$  減衰回路部120a インダクタ $L_{pcb}$ および $L_{in}$  入力容量 $C_{iss}$  直流電源 $V_N$ という第1のループと、直流電源 $V_P$  入力容量 $C_{iss}$  インダクタ $L_{in}$ および $L_{pcb}$  減衰回路部120a 半導体スイッチング素子 $Q_3$  直流電源 $V_P$ という第2のループとからなる。これら第1および第2のループからなる共振電流経路が構成され、共振回路303aには、共振電流が流れる。

## 【 0 0 3 6 】

ところが、本実施形態において、制御回路101は、双方向スイッチ $SW_5$ を第3のスイッチ $SW_3$ または第4のスイッチ $SW_4$ がONするタイミングでOFFさせ、所定時間OFFを保持する。具体的には制御回路101は、モード2において、半導体スイッチング素子 $Q_1$ をOFFとし、半導体スイッチング素子 $Q_2$ および $Q_3$ をONにすると同時に、減衰回路部120aの双方向スイッチ $SW_5$ をOFFにし、さらにモード2に続くモード3においてもこの状態を維持する。この結果、モード2および3では共振回路303aに抵抗 $R_{dump}$ が挿入される。このため、モード2および3では、直流電源 $V_P$ と、インダクタ $L_g$ と、抵抗 $R_{dump}$ と、入力容量 $C_{iss}$ の直列回路により共振回路303aが構成される。

## 【 0 0 3 7 】

このようなインダクタ $L$ と、容量 $C$ と、抵抗 $R$ による直列共振において、共振電流ピーク値や減衰時間は抵抗の値に依存することは一般的に知られている。特に、 $R > (4L/C)$ を満たす条件では非振動的となり容量 $C$ のピーク電圧値が低下する。従って、 $R_{dump} > (4L_g/C_{iss})$ をみたす十分大きな値に抵抗値 $R_{dump}$ を選定することで、前述の課題を回避することができる。

## 【 0 0 3 8 】

インダクタ $L_g$ に蓄積されたエネルギーの直流電源 $V_P$ および $V_N$ への回収が完了、すなわち、インダクタ $L_g$ の電流が零になるタイミングにおいて、制御回路101はゲート駆動回路1aをモード3に移行させる。

## 【 0 0 3 9 】

モード2の開始時点では、上記式(1)により与えられる電流 $i_{Lg}(t=T_1)$ がインダクタ $L_g$ に流れる。このため、インダクタ $L_g$ の電流が零となる時間、すなわち、モード2の期間 $T_2$ は次式(2)により与えられる。

$$T_2 = (L_g / V_P) \cdot i_{Lg}(t = T_1) \quad \dots\dots (2)$$

## 【 0 0 4 0 】

モード3は、モード2から継続する共振電流をダンピングするモードである。このモード3において、制御回路101は、図3Cに示すように、半導体スイッチング素子 $Q_2$ をOFFとして環流回路302を開放する一方、半導体スイッチング素子 $Q_3$ をONに維持

して共振回路303aを維持し、かつ、双方向スイッチSW5をOFFに維持して、インダクタLpcbおよびLinに流れる共振電流を抵抗Rdumpにより十分減衰させる。以下、この共振電流とモード3の所要時間との関係を説明する。

【0041】

モード2において説明したように、共振電流が流れる共振回路303は、インダクタLgと、入力容量Cissと、抵抗Rdumpと、直流電源VPおよびVNから構成される直列回路である。従って、モード3終了時の共振電流ires(t=T1+T2+T3)は次式(3)により与えられる。ただし、インダクタLpcbおよびLinに流れる電流iresとゲート電圧Vgsの初期条件はそれぞれモード1終了時の電流iLG(t=T1)、電圧VPである。

$$\begin{aligned} ires(t=T1+T2+T3) \\ = iLG(t=T1) \cdot \exp(-\frac{Rdump}{Lpcb+Lin}(T2+T3)) \\ \cdot (-\frac{Vgs}{Lg} \cdot \sinh(\frac{Rdump}{Lg} \cdot (T2+T3))) \\ + \cosh(\frac{Rdump}{Lg} \cdot (T2+T3)) \end{aligned} \quad \dots\dots (3)$$

ただし、

$$\begin{aligned} &= Rdump / (2 \cdot (Lpcb + Lin)) \\ &= (\frac{Rdump^2 - 4 \cdot (Lpcb + Lin) / Ciss}{(2 \cdot (Lpcb + Lin))}) \end{aligned}$$

【0042】

モード4は、低インピーダンスでゲート電圧Vgsを保持するモードである。制御回路101は、このモード4において、図3Dに示すように、双方向スイッチSW5をONにする。制御回路101は、半導体スイッチング素子Qaに対するターンON指令SONがOFFになるまでこのモード4を維持する。

【0043】

モード4では、抵抗Rdumpが双方向スイッチSW5により短絡されるので、モード2および3において行われた共振電流の減衰は行われぬ。従って、モード4の期間、連続して式(3)の電流ires(t=T1+T2+T3)が入力容量Cissに流入しても設定したゲート電圧を超えない電流にまで減衰させるようにモード3の期間T3を設定する必要がある。

【0044】

モード5は、半導体スイッチング素子QaをターンOFFするモードである。ターンON指示信号SONがOFFになると、制御回路101は、図3Eに示すように、半導体スイッチング素子Q3をOFFとし、半導体スイッチング素子Q2をONにする。この結果、直流電源VN 入力容量Ciss インダクタLinおよびLpcb 減衰回路部120a インダクタLg 半導体スイッチング素子Q2 直流電源VNという閉ループ状の放電回路304aが形成され、この放電回路304aに放電電流が流れることにより半導体スイッチング素子Qaのゲート電圧が減少する。電圧検出器130により得られるゲート電圧検出値Vgsdetが所定の値に達すると、制御回路101はゲート駆動回路1aをモード6に移行させる。

【0045】

モード6は、インダクタLgに蓄積されたエネルギーを直流電源VPおよびVNに回収するとともに、インダクタLpcb、Lin、および入力容量Cissで構成される共振回路による共振電流をダンピングするモードである。

【0046】

モード6において、制御回路101は、半導体スイッチング素子Q2をOFFとし、半導体スイッチング素子Q1およびQ4をONにする。この結果、上述した放電回路304aが開放され、図3Fに示すように、インダクタLg 半導体スイッチング素子Q1 直流電源VPおよびVN 半導体スイッチング素子Q4 インダクタLgという閉ループ状

10

20

30

40

50

の環流回路 305 が形成される。これにより、それまでインダクタ  $L_g$  に流れていた電流が、環流回路 305 に転流し、インダクタ  $L_g$  に蓄積されたエネルギーが直流電源  $V_P$  および  $V_N$  に回収される。また、インダクタ  $L_{pcb}$  および  $L_{in}$  がそれまでに流れていた電流を持続しようとするため、インダクタ  $L_{pcb}$  および  $L_{in}$  と、入力容量  $C_{iss}$  と、ゲート駆動回路 1a とを含む共振回路 306a が形成され、この共振回路 306a に共振電流が流れる。この共振回路 306a は、モード 2 において形成される共振回路 303a と同じものである。

#### 【0047】

ところが、本実施形態において、制御回路 101 は、方向スイッチ  $SW_5$  を第 3 のスイッチ  $SW_3$  または第 4 のスイッチ  $SW_5$  が ON するタイミングで OFF させ、所定時間 OFF を保持する。具体的には、制御回路 101 は、モード 6 において半導体スイッチング素子  $Q_2$  を OFF とし、半導体スイッチング素子  $Q_1$  および  $Q_4$  を ON にすると同時に、減衰回路部 120a の双方向スイッチ  $SW_5$  を OFF にし、さらにモード 6 に続くモード 7 においてもこの状態を維持する。この結果、モード 6 および 7 では共振回路 306a に抵抗  $R_{dump}$  が挿入される。このため、モード 6 および 7 では、直流電源  $V_P$  と、インダクタ  $L_g$  と、抵抗  $R_{dump}$  と、入力容量  $C_{iss}$  の直列回路により共振回路 303a が構成される。この結果、モード 2 と同様、共振回路 303a に流れる共振電流が減衰される。

10

#### 【0048】

モード 7 は、モード 6 から継続する共振電流をダンピングするモードである。このモード 7 において、制御回路 101 は、図 3G に示すように、半導体スイッチング素子  $Q_1$  を OFF とし、環流回路 305 を開放する一方、半導体スイッチング素子  $Q_4$  を ON に維持して共振回路 306a を維持し、かつ、減衰回路部 120a の双方向スイッチ  $SW_5$  を OFF とし、インダクタ  $L_{pcb}$  および  $L_{in}$  に流れる共振電流を抵抗  $R_{dump}$  により十分減衰させる。

20

#### 【0049】

モード 8 は、低インピーダンスでゲート電圧  $V_{gs}$  を保持するモードである。制御回路 101 は、このモード 8 において、図 3H に示すように、双方向スイッチ  $SW_5$  を ON にする。制御回路 101 は、半導体スイッチング素子  $Q_a$  に対するターン ON 指令  $SON$  が ON になるまでこのモード 8 を維持する。

30

#### 【0050】

以上のように、本実施形態によれば、インダクタ  $L_g$  に流れる電流の環流回路 302 または 305 への転流が行われ、共振回路 303a または 306a が形成されるときに、共振回路 303a または 306a に抵抗  $R_{dump}$  が挿入され、共振回路 303a または 306a に流れる共振電流が減衰される。従って、ゲート駆動回路 1a の駆動対象である半導体スイッチング素子  $Q_a$  の誤点弧を防止することができ、電力変換装置の誤動作を防止できる。また、駆動対象である半導体スイッチング素子  $Q_a$  のゲートピーク電圧を抑制できるので、半導体スイッチング素子  $Q_a$  の故障率が低減し、電力変換装置の長期信頼性の向上を図ることができる。

#### 【0051】

特許文献 1 の図 16 では、ゲート駆動回路とその駆動対象である半導体スイッチング素子を含む閉ループ状の共振回路内にダンピング用の抵抗を配置している。この構成では、共振回路に共振が発生する期間以外の期間においてもダンピング用の抵抗に電流が流れるため、回路損失が増加する。しかしながら、本実施形態では、共振回路 303a または 306a において共振が発生する期間に限定して、抵抗  $R_{dump}$  が共振回路に挿入される。従って、本実施形態によれば、回路損失の増加を招くことなく、共振を抑制することができる。

40

#### 【0052】

< 第 2 実施形態 >

図 4 はこの発明の第 2 実施形態であるゲート駆動回路 1b を備えた降圧電源回路 100

50

bの構成を示す回路図である。図5はゲート駆動回路1bの動作を示す波形図である。この降圧電源回路100bでは、上記第1実施形態におけるゲート駆動回路1aがゲート駆動回路1bに置き換えられている。ゲート駆動回路1bでは、上記第1実施形態における減衰回路部120aが抵抗Rdumpのない減衰回路部120bに置き換えられている。双方向スイッチSW5を構成するMOSFETのゲート電圧VGSとON抵抗RDSには図6に示す関係がある。すなわち、MOSFETは、ゲート電圧VGSの操作によりON抵抗RDSが変化する可変抵抗として機能する。この特性を利用して図5に示すようにモード2、3、6、7において双方向スイッチSW5のON抵抗を増加させ、共振電流をダンピングする。すなわち、モード2、3、6、7において、双方向スイッチSW5を構成する半導体スイッチング素子Q51およびQ52のゲート電圧を下げ、双方向スイッチSW5を抵抗として作用させ、共振電流をダンピングする。

10

## 【0053】

本実施形態においても上記第1実施形態と同様な効果が得られる。また、本実施形態によれば、共振電流をダンピングするための抵抗Rdumpが不要となるため、装置の小型化、コストダウンを図ることができる。

## 【0054】

<他の実施形態>

以上、この発明の一実施形態について説明したが、この発明には他にも実施形態が考えられる。例えば次の通りである。

## 【0055】

(1)この発明によるゲート駆動回路は、インバータ等、降圧電源回路以外の電力変換装置にも適用可能である。電力変換装置が負荷に電力を供給する半導体スイッチング素子を複数含む場合、それらの半導体スイッチング素子の各々に対して、この発明によるゲート駆動回路を設ければよい。

20

## 【0056】

(2)ゲート駆動回路の駆動対象は、IGBT(Insulated Gate Bipolar Transistor; 絶縁ゲートバイポーラトランジスタ)等、MOSFET以外の半導体スイッチング素子であってもよい。

## 【符号の説明】

## 【0057】

100a, 100b.....降圧電源回路、1a, 1b, 1.....ゲート駆動回路、110.....ブリッジ回路、111.....高電位電源線、112.....低電位電源線、VP, VN, V1...直流電源、SW1.....第1のスイッチ、SW2.....第2のスイッチ、SW3.....第3のスイッチ、SW4.....第4のスイッチ、Q1~Q4, Q51, Q52, Qa.....半導体スイッチング素子、D1~D4, D51, D52, Da, 22.....ダイオード、Lg, Lpcb, Lin, 21.....インダクタ、Cgs, Cdg, Cds, 23.....容量、2.....変換部、25.....負荷、3.....アイソレーションアンプ、101.....制御回路、120a, 120b.....減衰回路部、SW5.....双方向スイッチ、130.....電圧検出器。

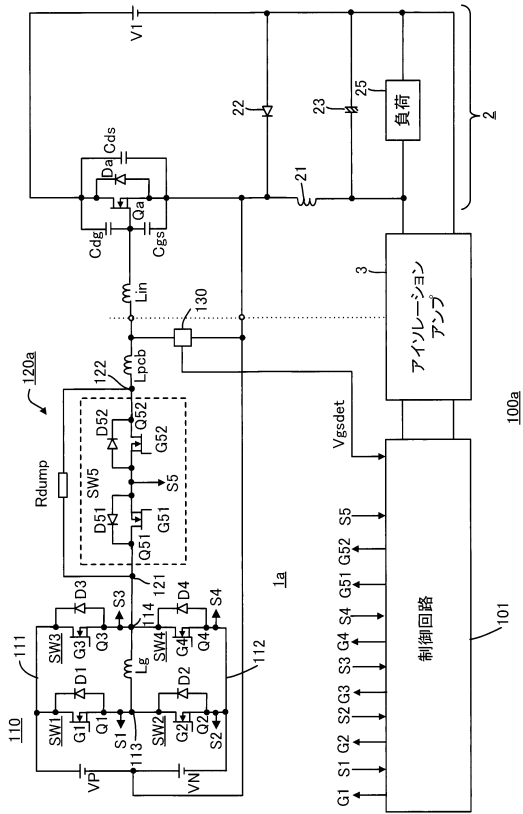
30

40

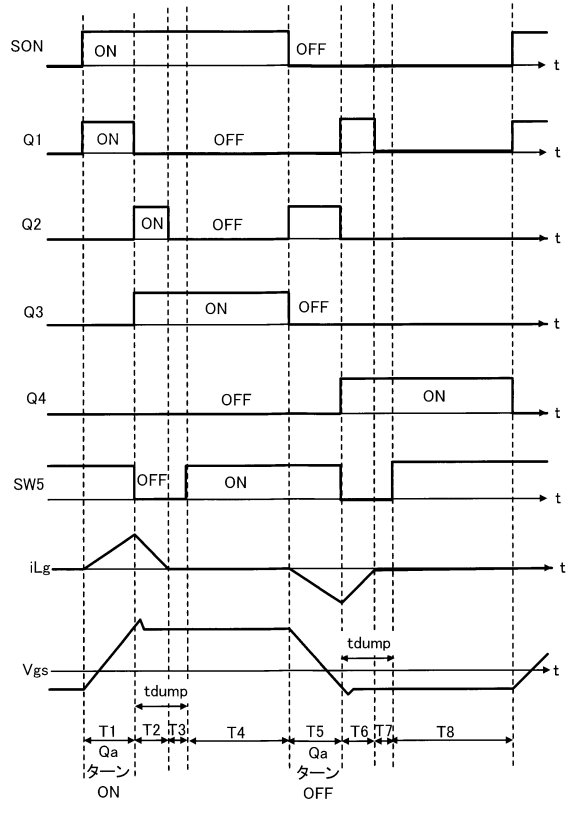
50

【図面】

【図 1】



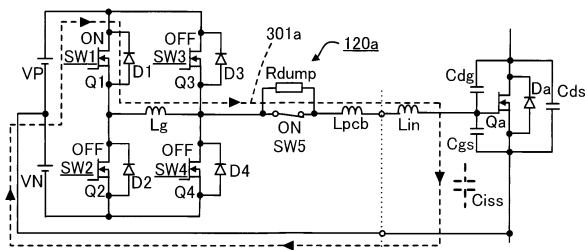
【図 2】



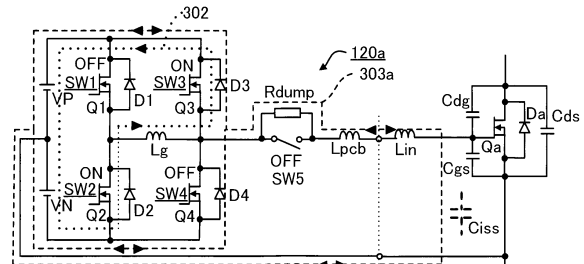
10

20

【図 3 A】



【図 3 B】

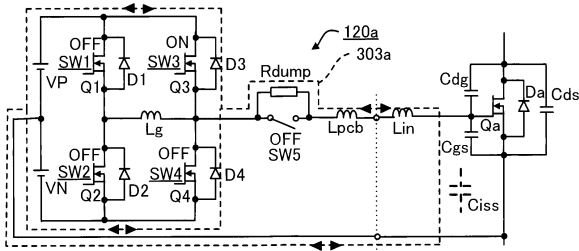


30

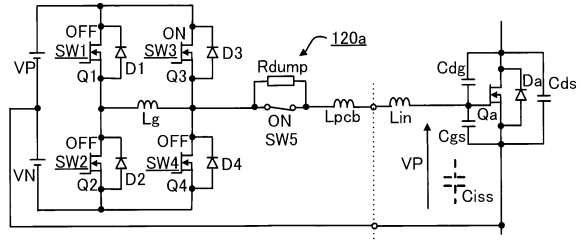
40

50

【図 3 C】

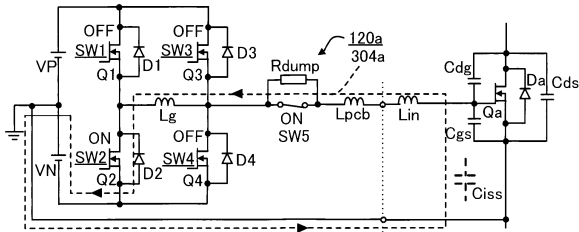


【図 3 D】

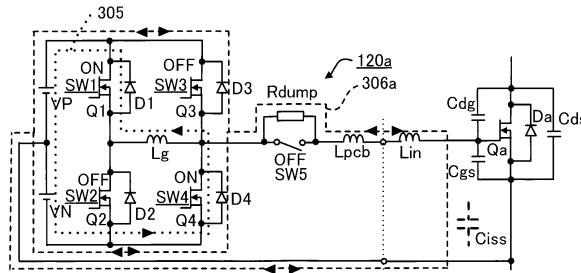


10

【図 3 E】

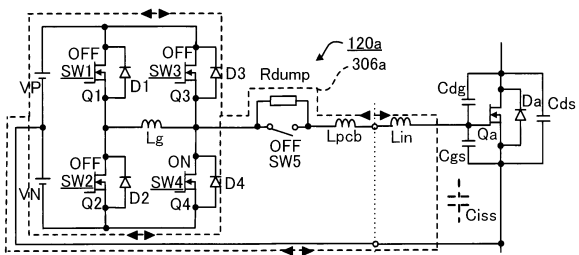


【図 3 F】

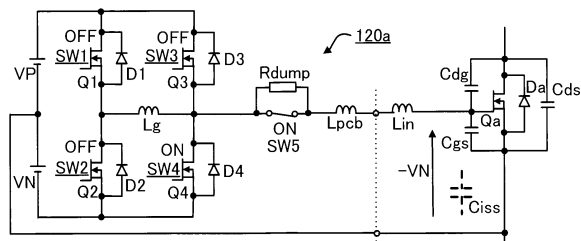


20

【図 3 G】



【図 3 H】

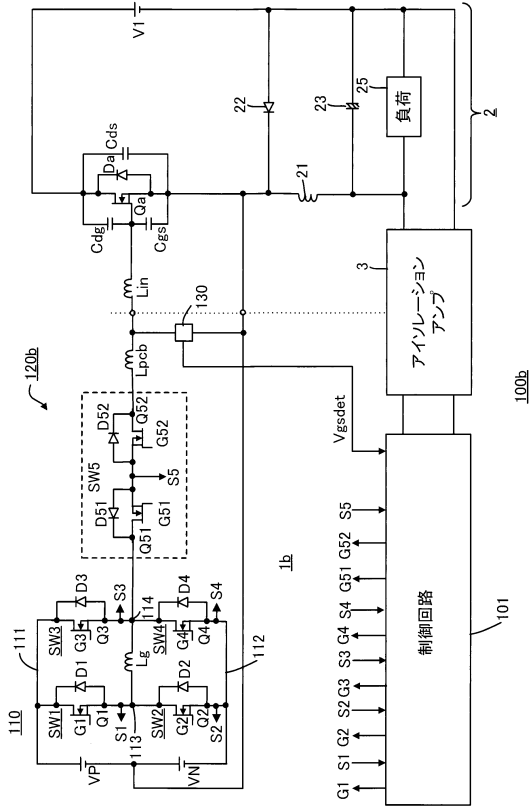


30

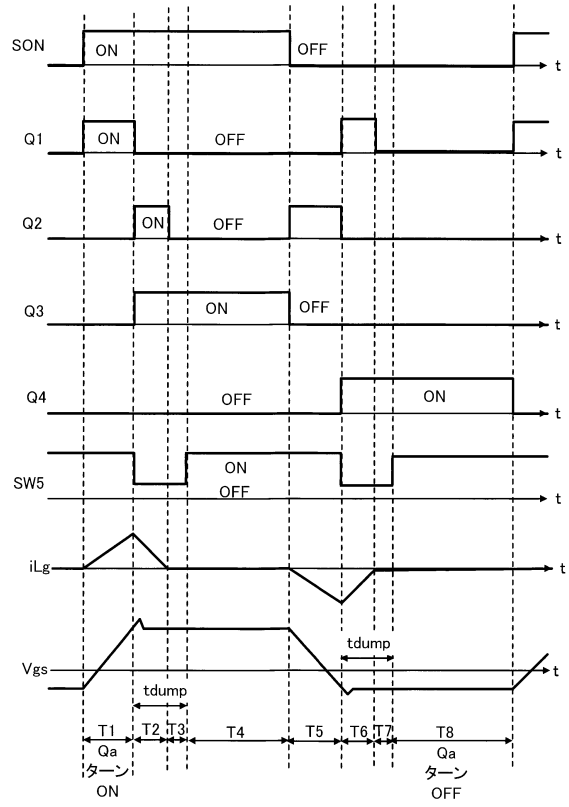
40

50

【図4】



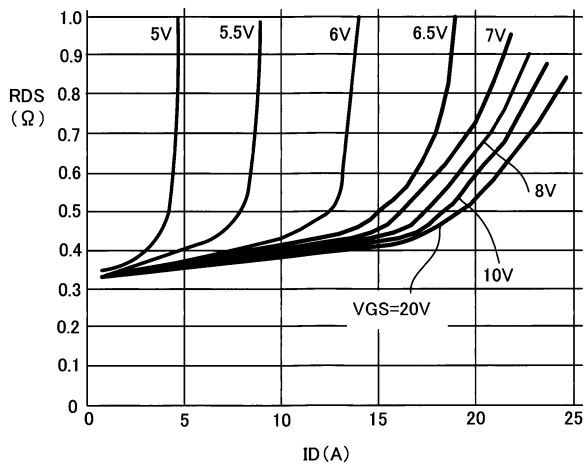
【図5】



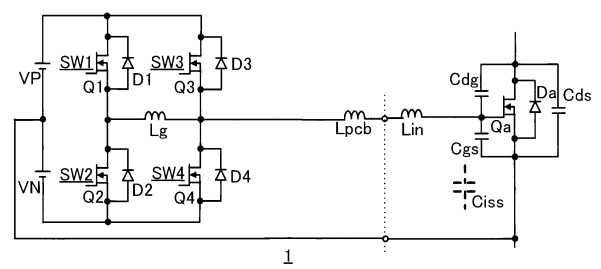
10

20

【図6】



【図7】

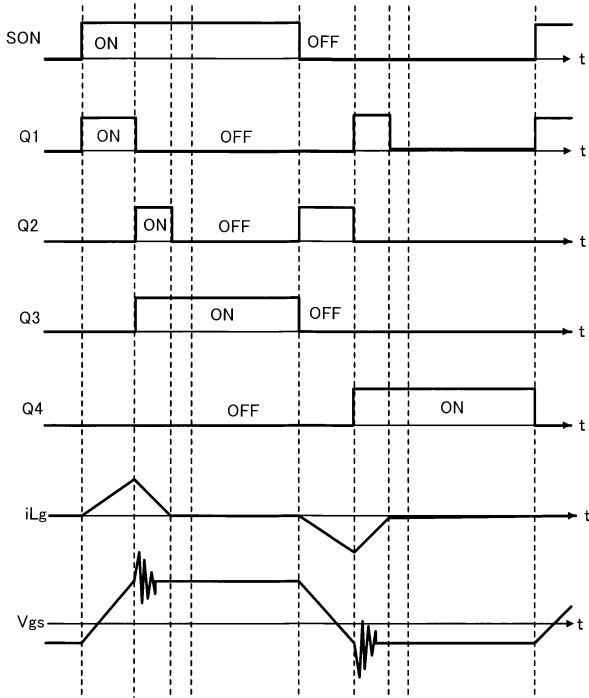


30

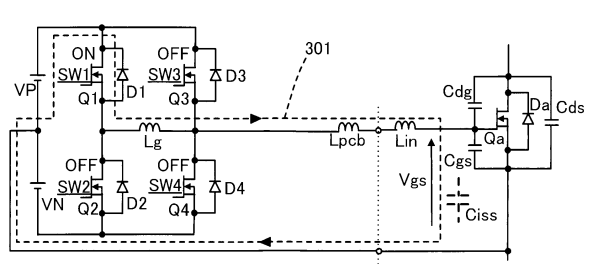
40

50

【 図 8 】



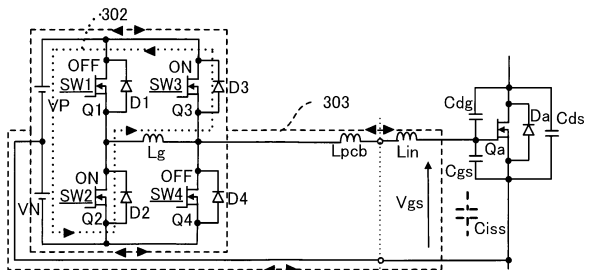
【 図 9 A 】



10

20

【 図 9 B 】



30

40

50

---

フロントページの続き

- (56)参考文献 特開2006-054954(JP,A)  
特開2018-117457(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
- |      |       |
|------|-------|
| H02M | 1/08  |
| H02M | 3/155 |