



(12) 发明专利

(10) 授权公告号 CN 101057331 B

(45) 授权公告日 2010.06.16

(21) 申请号 200580038642.X

(22) 申请日 2005.11.08

(30) 优先权数据

04105780.3 2004.11.15 EP

(85) PCT申请进入国家阶段日

2007.05.11

(86) PCT申请的申请数据

PCT/IB2005/053672 2005.11.08

(87) PCT申请的公布数据

W02006/051487 EN 2006.05.18

(73) 专利权人 NXP 股份有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 罗伯·费哈尔 吉多·J·M·多曼斯

毛里茨·斯托姆斯 罗格·库彭斯

弗朗斯·J·李斯特

罗伯特·H·伯泽

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 陈瑞丰

(51) Int. Cl.

H01L 27/112 (2006.01)

H01L 27/115 (2006.01)

H01L 21/8246 (2006.01)

H01L 21/8247 (2006.01)

(56) 对比文件

EP 0890985 A1, 1999.01.13, 全文.

EP 0991118 A1, 2000.04.05, 全文.

US 2004/0084748 A1, 2004.05.06, 全文.

US 5925917 A, 1999.07.20, 全文.

审查员 王子元

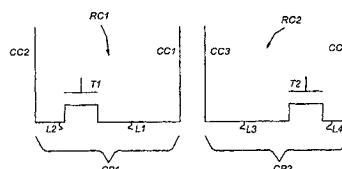
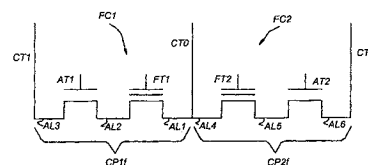
权利要求书 3 页 说明书 16 页 附图 11 页

(54) 发明名称

将闪存转换为只读存储器 ROM 的方法及其半导体器件

(57) 摘要

一种用于将第一半导体器件上的闪存单元转换成第二半导体器件上的 ROM 存储器单元的方法, 该第一和第二半导体器件每一个都设置在半导体衬底上且都包括相同的器件部分和相同的布线方案, 布线方案用于将器件部分分别连接至闪存单元和 ROM 存储器单元; 闪存单元由非易失性存储技术制得, 并且包括存取晶体管和浮置晶体管, 该浮置晶体管包括浮置栅极以及控制栅极; ROM 存储器单元由基线技术制得, 并且包括单栅极晶体管, 所述方法包括对基线掩模技术中使用的至少一个基线掩模的布局进行处理; 该处理包括: 将闪存单元的布局并入所述至少一个基线掩模的布局中; 以及通过在所述至少一个基线掩模中消除来自闪存单元的布局的浮置晶体管的布局, 并通过将闪存单元的存取晶体管的布局指定为 ROM 存储器单元的单栅极晶体管的布局, 将闪存单元的布局转换为一个 ROM 存储器单元的布局。



1. 一种用于将第一半导体器件 (100) 上的闪存单元 (FC1 ;FC2) 转换成第二半导体器件 (200) 上的 ROM 存储器单元 (RC1 ;RC2 ;RM1 ;RM2) 的方法, 该第一和第二半导体器件 (100 ;200) 的每一个设置在半导体衬底 (2' ;2) 上且每一个都包括相同的器件部分 (110) 和相同的布线方案 (125), 所述布线方案 (125) 用于将器件部分分别连接至闪存单元和 ROM 存储器单元 ;

闪存单元 (FC1 ;FC2) 由使用至少一个非易失性技术掩模的非易失性存储技术制得, 并且包括存取晶体管 (AT1 ;AT2) 和浮置晶体管 (FT1 ;FT2), 该浮置晶体管 (FT1 ;FT2) 包括浮置栅极 (FG1 ;FG2) 以及控制栅极 (CG1 ;CG2), 闪存单元 (FC1 ;FC2) 与外围电路 (130) 设置在一起, 该外围电路 (130) 设置在布线方案 (125) 与闪存单元 (FC1 ;FC2) 之间, 以控制闪存单元的操作 ;

ROM 存储器单元 (RC1 ;RC2 ;RM1 ;RM2) 由使用至少一个基线掩模的基线技术制得, 并且包括单栅极晶体管 (T1 ;T2), 所述方法包括处理所述至少一个基线掩模的布局 ;该处理包括 :

- 将闪存单元 (FC1 ;FC2) 的布局并入所述至少一个基线掩模的布局中,
- 和

- 通过在所述至少一个基线掩模中消除来自闪存单元的布局的浮置晶体管 (FT1 ;FT2) 的布局, 并通过将闪存单元的存取晶体管 (AT1 ;AT2) 的布局指定为 ROM 存储器单元的单栅极晶体管 (T1 ;T2) 的布局, 将所述至少一个基线掩模中的闪存单元 (FC1 ;FC2) 的布局转换为一个 ROM 存储器单元 (RC1 ;RC2 ;RM1 ;RM2) 的布局, 其中所述至少一个基线掩模的处理还包括将外围电路中的 HV/MV 器件转换为基线 CMOS 器件。

2. 如权利要求 1 所述的用于将闪存单元 (FC1 ;FC2) 转换为 ROM 存储器单元 (RC1 ;RC2) 的方法, 其中

闪存单元 (FC1 ;FC2) 包括第一闪存单元 (FC1) 和第二闪存单元 (FC2) ;

第一闪存单元 (FC1) 与同它共享公用触点 (CT0) 的第二闪存单元 (FC2) 配对, 和所述至少一个基线掩模的处理包括 :

- 在所述至少一个基线掩模中消除公用触点 (CT0) 的布局, 和
- 在之前的浮置晶体管 (FT1 ;FT2) 的位置创建 ROM 存储器单元触点 (CC1 ;CC2) 的布局。

3. 如权利要求 2 所述的用于将闪存单元转换为 ROM 存储器单元的方法, 其中

创建 ROM 存储器单元触点 (CC1 ;CC2) 的布局包括 : 对所述至少一个基线掩模进行修改, 以根据程序代码中的位的比特值, 对 ROM 存储器单元 (RC1 ;RC2) 进行编程, 使用中的所述程序代码向第二半导体器件 (200) 提供功能 ; 并且, 所述位被设置为存储在 ROM 存储器单元中。

4. 如权利要求 3 所述的用于将闪存单元转换为 ROM 存储器单元的方法, 其中

所述比特值或是具有第一位状态或是具有第二位状态值 ; 在所述至少一个基线掩模的修改过程中, ROM 存储器单元触点 (CC1 ;CC2) 的布局的创建仅仅发生在要存储的位具有第一和第二位状态值中的一个预定值的时候。

5. 如权利要求 2 所述的用于将闪存单元转换为 ROM 存储器单元的方法, 其中

所述至少一个基线掩模的处理包括 :

创建第二半导体器件 (200) 的两个邻接的金属化水平 (metal-1 ;metal-2) 之间的路径

(VIA1) 的布局,和

修改所述至少一个基线掩模,根据程序代码中的位的比特值,创建路径 (VIA1) 的布局,以对 ROM 存储器单元 (RC1 ;RC2) 进行编程,使用中的所述程序代码向第二半导体器件 (200) 提供功能 ;并且,所述位被设置为存储在 ROM 存储器单元中。

6. 如权利要求 5 所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中

所述比特值或是具有第一位状态或是具有第二位状态值 ;在所述至少一个基线掩模的修改过程中,路径 (VIA1) 的创建仅仅发生在要存储的位具有第一和第二位状态值中的一个预定值的时候。

7. 如权利要求 2-6 中的任一项所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中,ROM 存储器单元触点 (CC1 ;CC2) 包括接触杆 (CS1 ;CS2)。

8. 如权利要求 2-6 中的任一项所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中,对所述至少一个基线掩模进行如下的处理 :在被消除的公用触点 (CT0) 的位置处,定义场氧化层或浅沟槽隔离 (STI)。

9. 如权利要求 1 所述的用于将闪存单元 (FC1 ;FC2) 转换为 ROM 存储器单元 (RC1 ;RC2) 的方法,其中

闪存单元 (FC1 ;FC2) 包括第一闪存单元 (FC1) 和第二闪存单元 (FC2) ;

第一闪存单元 (FC1) 与同它共享公用触点 (CT0) 的第二闪存单元配对,和

所述至少一个基线掩模的处理包括 :

在所述至少一个基线掩模中消除浮置晶体管 (FT1 ;FT2) 的布局,和

在公用触点 (CT0) 和单栅极晶体管 (T1 ;T2) 之间创建连接路径 (L1 ;L3) 的布局。

10. 如权利要求 9 所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中

连接路径 (L1 ;L3) 的布局的创建包括 :修改所述至少一个基线掩模,以根据程序代码中的位的比特值对 ROM 存储器单元 (RM1 ;RM2) 进行编程,使用中的所述程序代码向第二半导体器件 (200) 提供功能 ;并且,所述位被设置为存储在 ROM 存储器单元 (RM1 ;RM2) 中。

11. 如权利要求 10 所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中

所述比特值或是具有第一位状态或是具有第二位状态值 ;在所述至少一个基线掩模的修改过程中,连接路径 (L1 ;L3) 的布局的创建仅仅发生在要存储的位具有第一和第二位状态值中的一个预定值的时候。

12. 如权利要求 11 所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中,以如下方式处理所述至少一个基线掩模 :

如果,在所述至少一个基线掩模的修改中,没有发生连接路径 (L1 ;L3) 的布局的创建,那么,在被消除的浮置晶体管 (FT1 ;FT2) 的位置处,定义场氧化层或浅沟槽隔离 (STI)。

13. 如权利要求 1-6 和 9-12 之一所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中,

所述至少一个基线掩模至少包括下列之一 :

- 用于定义有源区 ($\{\text{Active}\}_{\text{CMOS}}$) 的掩模,
- 用于定义多晶硅区 ($\{\text{Poly}\}_{\text{CMOS}}$) 的掩模,
- 用于定义接触区 ($\{\text{CONT}\}_{\text{CMOS}}$) 的掩模,
- 用于定义局部互联区 ($\{\text{LIL}\}_{\text{CMOS}}$) 的掩模,和

- 在第二半导体器件 (200) 上,用于定义轻掺杂区 ($\{LDD\}_{CMOS}$) 的掩模。

14. 如权利要求 1-6 和 9-12 之一所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中,

闪存单元 (FC1 ;FC2) 与外围电路 (130) 设置在一起,该外围电路 (130) 设置在布线方案 (125) 与闪存单元 (FC1 ;FC2) 之间,以控制闪存单元的操作,和

所述至少一个基线掩模的处理包括所述至少一个基线掩模的修改,该修改用于将外围电路 (130) 所包括的任意 n- 沟道和 p- 沟道器件 (HPM ;HNM ;nMOS ;pMOS) 分别转换为基线 CMOS n- 沟道和 p- 沟道器件,

所述修改与至少下列之一有关:

- 用于定义 p- 阱区和 n- 阱区 ($\{Pwell\}$ 、 $\{Nwell\}$) 的所述至少一个基线掩模的布局,

- 用于定义栅氧化层区 ($\{G02\}$) 的掩模的布局,和

- 在第二半导体器件 (200) 上,用于定义轻掺杂区 ($\{LDD\}$) 的所述至少一个基线掩模的布局。

15. 如权利要求 1-6 和 9-12 之一所述的用于将闪存单元转换为 ROM 存储器单元的方法,其中,第二半导体器件 (200) 的制造包括使用所述至少一个基线掩模的光刻处理。

16. 一种包括 ROM 存储器单元 (RC1 ;RC2 ;RM1 ;RM2) 的第二半导体器件 (200),其由包括闪存单元 (FC1 ;FC2) 的第一半导体器件 (100) 转换而来;

第一和第二半导体器件 (100 ;200) 每一个包括相同的器件部分 (110) 和相同的布线方案 (125),布线方案 (125) 用于将器件部分分别连接至闪存单元和 ROM 存储器单元,其中

在光刻处理中通过下列步骤由 ROM 存储器单元代替闪存单元:

- 将闪存单元 (FC1 ;FC2) 的布局并入所述至少一个基线掩模的布局中,闪存单元 (FC1 ;FC2) 与外围电路 (130) 设置在一起,该外围电路 (130) 设置在布线方案 (125) 与闪存单元 (FC1 ;FC2) 之间,以控制闪存单元的操作,和

- 通过在所述至少一个基线掩模中消除来自闪存单元的布局的浮置晶体管 (FT1 ;FT2) 的布局,并通过将闪存单元的存取晶体管 (AT1 ;AT2) 的布局指定为 ROM 存储器单元的单栅极晶体管 (T1 ;T2) 的布局,将所述至少一个基线掩模中的闪存单元 (FC1 ;FC2) 的布局转换为 ROM 存储器单元 (RC1 ;RC2 ;RM1 ;RM2) 的布局,其中所述至少一个基线掩模的处理还包括将外围电路中的 HV/MV 器件转换为基线 CMOS 器件。

将闪存转换为只读存储器 ROM 的方法及其半导体器件

技术领域

[0001] 本发明涉及一种用于将闪存转换为只读 (ROM) 存储器的方法。而且,本发明涉及一种包括被如此转换的 ROM 存储器的半导体器件。

背景技术

[0002] 在当前的 ULSI 技术中,将许多半导体器件制造为“片上系统”(SOC) 器件。在这样的片上系统中,将最初分开制造的器件结构合并单独一个芯片上。这允许在小的半导体区域上合并例如模拟的、双极的、(非易失性) 存储器和逻辑 CMOS 技术。

[0003] 通常,作为选择,基线技术的主流过程被扩展至嵌入一个和多个其它技术。典型地,基线技术涉及 CMOS 技术,其需要单层式 (single-level) 多晶硅制造技术。其它需要多层式多晶硅制造技术的技术,例如模拟的、双极性的和 (非易失性的) 存储器,嵌入在基线技术中。

[0004] 在许多 SOC 器件中,包括有可编程非易失性存储器部分。例如,所述可编程非易失性存储器是闪存。

[0005] 闪存用在 SOC 器件中,以允许对 SOC 器件的功能进行编程。存储在闪存中的程序可以控制该 SOC 器件的功能。特别地,在包括这种 SOC 器件的产品的开发阶段,由于程序代码可能需要一些修改,因此闪存是有用的。

[0006] 在产品开发之后,程序代码确定下来。在这种情况下,没有必要在 SOC 器件上仍使用闪存,并且,更持久的非易失性存储器,例如 ROM (只读存储器),已足以容纳程序代码。

[0007] 在许多情况下,与包括 ROM 存储器的 SOC 器件相比,包括闪存的 SOC 器件的成本相对要高一些,这是因为制造闪存需要附加的处理步骤,而这些附加处理步骤不属于上面所述的基线 COMS 技术。但是,ROM 存储器可以通过基线技术制得。

[0008] 然而,通过重新设计 SOC 器件来用已编码 ROM 存储器完全代替闪存的成本较高。典型地,这将需要对存储器的布局及其芯片上的布线进行重排。因此,在这种情况下,不得不重新设计所有的掩模。

[0009] 美国专利 US6717208 公开了一种方法,其通过转换为 ROM 存储器来禁用闪存以保护存储器内容。该方法包括步骤:在给定的闪存单元上设置栅极掩模 (gate mask) 和注入代码掩模。然后,经由逻辑地加在一起的掩模,在单元的衬底层中制作场氧化层。场氧化层的形成禁用了特定单元,除此之外,所述方法将转换的单元按原样保留了下来。

[0010] 不利的是,整个处理流程 (包括闪存单元的创建) 保持完整,而只修改设置栅极掩模和注入代码掩模的上述步骤。此外,已表明现有技术的方法只是试图将闪存单元部分转换为 ROM 存储器单元。

[0011] 从现有技术美国专利 US6803283 中得知一种方法,其可以通过处理 LDD 区域的注入步骤,将闪存单元转换为持续截止 (constant-OFF) 的 MOSFET。此方法需要根据待存储的程序代码,对 LDD 注入掩模 (LDD implant mask) 进行修改。不利的是,此方法并非足够鲁棒,因为这种器件的导通电流仍然可能较大。

[0012] 此外,美国专利 US2004/0195589 描述了一种根据闪存单元来制作 ROM 存储器单元的方法,其将导电型与沟道的导电型相反的杂质注入浮置栅极单元的沟道区域。为此,必须根据待存储的程序代码来修改现有的掩模,以改变闪存单元。这样可能使位线电流的大小以及外围电路受到不利的牵连。

[0013] 更一般地讲,现有技术的方法的缺点是在处理流程中的相对较早的阶段需要对 SOC 器件的制造过程进行修改。在将程序代码并入 ROM 存储器(即定制)期间,SOC 器件早在制造过程中就获得了它们的客户的特定程序代码,这减少了为制造厂所喜欢的大批量生产过程的灵活性。

发明内容

[0014] 本发明的一个目的是提供一种将闪存转换为 ROM 存储器的方法,其不需要将闪存的布局重新设计为 ROM 存储器的布局(layout),允许完全在基线(baseline)进程中制造 Flash-ROM 转换的“片上系统”器件。

[0015] 通过一种将第一半导体器件上的闪存单元转换为第二半导体器件上的 ROM 存储器单元的方法来实现上述目的,所述第一和第二半导体器件的每一个都设置在半导体衬底上,并且,每一个都包括相同的器件部分和相同的布线方案,该布线方案用于将器件部分分别连接至闪存单元和 ROM 存储器单元;所述闪存单元由使用至少一个非易失性技术掩模的非易失性存储器技术制得,并且包括存取晶体管和浮置晶体管,所述浮置晶体管包括浮置栅极和控制栅极;ROM 存储器单元由使用至少一个基线掩模的基线技术制得,并且包括单栅极晶体管,

[0016] 所述方法包括处理所述至少一个基线掩模的布局;所述处理包括:

[0017] - 将闪存单元的布局并入所述至少一个基线掩模的布局中,和

[0018] - 通过在所述至少一个基线掩模中消除来自闪存单元的布局的浮置晶体管的布局,并通过将闪存单元的存取晶体管的布局指定(designate)为 ROM 存储器单元的单栅极晶体管的布局,将所述至少一个基线掩模中的闪存单元的布局转换为一个 ROM 存储器单元的布局。

[0019] 本发明呈现的优点在于,相对于闪存单元的位置,ROM 存储器单元的位置基本上没有变化。因此,不影响设计(布局和芯片上的布线),而且 ROM 存储器单元的编码与存储在闪存单元中的代码一致。这样,引入新的错误源的风险被保持在最小。

[0020] 在第一优选实施例中,本发明涉及如上所述的方法,其中闪存单元与同它共享公用触点(common contact)的第二闪存单元配对,并且,所述至少一个基线掩模的处理包括:

[0021] - 在所述至少一个基线掩模中消除公用触点的布局,和

[0022] - 在之前的浮置晶体管的位置处创建 ROM 存储器单元触点的布局。

[0023] 在此实施例中,Flash 中所开发的程序代码将在 ROM 单元触点的层次上执行。本发明的优点在于,对于给定类型的 SOC 器件来说,可以以灵活的方式执行基线技术的处理流程,而不必考虑将在制造过程的相对靠后的阶段中发生的定制。

[0024] 在第二优选实施例中,本发明涉及一种如上所述的方法,其中,闪存单元与同它共享公用触点的第二闪存单元配对,并且,所述至少一个基线掩模的处理包括:

[0025] - 在所述至少一个基线掩模中消除浮置晶体管的布局, 和

[0026] - 在公用触点和单栅极晶体管之间创建连接路径的布局。

[0027] 在此实施例中, Flash 中所开发的程序代码将在单栅极晶体管与 ROM 存储器单元的一个触点之间的有源区域连接的层次上执行。这里, 本发明的优点在于基线掩模的处理相对小量 (minimal) 并且相对简单。

[0028] 此外, 根据本发明, 在不改变闪存单元与闪存的外围电路间的布线的前提下, 由闪存单元和由闪存的外围电路向基线技术晶体管的转换提供了这样的可能性: 即至少保持了从 ROM 存储器单元的读取操作, 其特征与从闪存单元的读取操作的特征相同。

[0029] 本发明还涉及包括从包括闪存单元的第一半导体器件转换而来的 ROM 存储器单元的半导体器件; 第一和第二半导体器件的每一个都包括相同的器件部分和相同的布线方案, 该布线方案用于将器件部分分别连接至闪存单元和 ROM 存储单元, 其中

[0030] 在光刻工艺中通过下列步骤由 ROM 存储器单元代替闪存单元:

[0031] - 将闪存单元的布局并入至少一个基线掩模的布局中, 和

[0032] - 通过在所述至少一个基线掩模中消除来自闪存单元的布局的浮置晶体管的布局, 并通过将闪存单元的存取晶体管的布局指定为 ROM 存储器单元的单栅极晶体管的布局, 将闪存单元的布局转换为 ROM 存储器单元的布局。

[0033] 此外, 本发明涉及一种计算机程序, 用于根据 Flash-ROM 转换的方法对基线掩模的布局进行计算, 其中, 在将所述计算机程序加载入计算机之后, 所述计算机程序使计算机进行下列操作:

[0034] 处理用在基线技术中的至少一个基线掩模的布局; 所述处理包括:

[0035] - 将闪存单元的布局并入所述至少一个基线掩模的布局, 和

[0036] - 通过在所述至少一个基线掩模中消除来自闪存单元的布局的浮置晶体管的布局, 并通过将闪存单元的存取晶体管的布局指定为 ROM 存储器单元的单栅极晶体管的布局, 将所述至少一个基线掩模中的闪存单元的布局转换为 ROM 存储器单元的布局。

附图说明

[0037] 下面, 将参照一些附图来解释本发明, 该附图只是用于说明目的, 而不限如权利要求中所限定的保护范围。

[0038] 图 1 示意性地示出了 SOC 器件的 Flash-ROM 转换;

[0039] 图 2 示意性地示出了示例平面 2T 非易失性存储器单元的剖面图;

[0040] 图 3 示意性地示出了用在闪存部分 120 中的晶体管类型的剖面视图;

[0041] 图 4 示出了将被转换为 ROM 存储器单元的 2T 闪存单元的设置电气图;

[0042] 图 5 示出了在本发明的第一实施例中从闪存单元转换而来的 ROM 存储器单元的设置电气图;

[0043] 图 6 示出了将被转换的闪存单元的布局的平面图;

[0044] 图 7 示出了沿着图 6 中所示 VII-VII 线的闪存单元的剖面视图;

[0045] 图 8 示出了将被转换的闪存单元的布局中的一些掩模区域的平面图;

[0046] 图 9 示出了根据本发明的第一实施例转换而来的 ROM 存储器单元的布局的平面图;

[0047] 图 10a 和 10b 分别示出了沿着图 9 中所示 XA-XA 线和 XB-XB 线的 ROM 存储器单元的剖面视图；

[0048] 图 11a 和 11b 分别示出了对于已接触的接触杆 (contact stud) 和非接触的接触杆,沿着 XA-XA 线的 ROM 存储器单元的剖面视图；

[0049] 图 12 示出了在本发明第二实施例中的 ROM 存储器单元的设置的电气图；

[0050] 图 13 示出了根据本发明第二实施例转换而来的 ROM 存储器单元的布局的平面图；

[0051] 图 14a 示出了在第一连接路径 L1 上包括连接的 ROM 存储器单元的剖面视图；

[0052] 图 14b 示出了在第三连接路径 L3 上不包括连接的 ROM 存储器单元的剖面视图；

[0053] 图 15 示出了在定义了第二绝缘层和位线或“Metal-1”连接之后 ROM 存储器单元的剖面视图。

具体实施方式

[0054] 图 1 示意性地示出了 SOC 器件的 Flash-ROM 转换。

[0055] 第一 SOC 器件 100 包括由基线技术生产的器件部分 110。嵌入器件部分 110 的是 Flash 部分 120。象征性地,由区域 125 表示器件部分 110 和 Flash 部分 120 之间的布线方案。闪存部分 120 包括外围电路 130 和闪存部分 140。外围电路 130 一端连接至器件部分 110 的布线方案 125,而另一端连接至闪存部分 140。闪存部分 140 包括多个闪存单元,并且,闪存部分 140 被设置用于在该多个闪存单元中存储程序代码 C。程序代码 C 涉及一种程序,该程序在 SOC 器件 100 操作期间向 SOC 器件 100 提供功能。

[0056] 外围电路 130 包括高电压驱动电路,该高电压驱动电路被设置用于对闪存单元进行写入、擦除和读取操作,这是本领域技术人员已知的。

[0057] 程序代码 C 由具有“0”或“1”值的比特表示。程序代码 C 的每个比特可以单独地存储在闪存部分 140 的多个闪存单元的单个存储器单元中。

[0058] 在 SOC 器件 100 的开发阶段(在该开发阶段中反复调试程序代码 C 直到获得 SOC 器件的令人满意的功能)之后,整理所述程序代码 C 并照这样将其放入 ROM。箭头 150 所表示的 Flash-ROM 转换将第一 SOC 器件 100 转变为第二 SOC 器件 200。

[0059] 根据本发明,第二 SOC 器件 200 包括与第一 SOC 器件 100 中的器件部分相同的器件部分 110、以及 ROM 存储器部分 160。依靠与第一 SOC 器件 100 中的布线方案相同的布线方案 125,将所述 ROM 存储器部分 160 连接至器件部分 110。此条件允许 Flash-ROM 转换而不改变 SOC 器件的任何设计。

[0060] ROM 存储器部分 160 包括多个 ROM 存储器单元,并被设置用于在该多个 ROM 存储器单元中存储整理的程序代码 C。

[0061] 本发明的方法 150 能够用 ROM 存储器部分 160 代替闪存部分 140,而不对 SOC 器件的设计进行任何改变。通过方法 150,SOC 器件 100、200 的器件部分 110 中的所有电子集成模块都保持不变。而且,器件部分 110 和 ROM 单元存储器部分 160 之间的布线方案 125 与器件部分 100 和闪存部分 120 之间的布线方案相同。

[0062] 在不进行重新设计的条件下,并且由于 ROM 存储器部分 160 的单元中的位的电子响应(即读取特征)必须与闪存部分 120 的单元中的位的电子响应相同,因此 Flash-ROM

转换 150 的基本概念包括将闪存部分 140 中的闪存单元和外围电路 130 中的高压驱动电路修改为基线（即 CMOS）可兼容的组件。

[0063] 下面,将通过图 2 所示的闪存设置的转换示例来描述本发明的方法。

[0064] 图 2 示意性地示出了示例平面 2T 非易失性存储器单元的剖面图。

[0065] 所示 2T 非易失性存储器单元 1,亦称为 Flash 单元,是平面类型 (planar type) 的,并且包括两个截然不同的晶体管,即双栅极 (或浮置) 晶体管 FT 和单栅极 (或存取) 晶体管 AT。

[0066] 在 p 型衬底 2' 上,形成 n 型漏极区 3、n 型源极区 4 和 n 型掺杂连接区 5。在漏极区 3 和掺杂连接区 5 之间的表面上,将浮置栅极 6 形成在薄栅氧化层 7 上。对于 Flash 应用来说,根据实际执行情况,薄栅氧化层 7 的厚度可以在 5 和 10nm 之间。在浮置栅极 6 之上,形成控制栅极 8。通过中间电介质层 14,如二氧化硅、二氧化硅/氮化硅或二氧化硅/氮化硅/二氧化硅层,将控制栅极 8 与浮置栅极 6 分开。在浮置栅极 6 和控制栅极 8 的层叠的侧部形成绝缘的侧部间隔 (spacer) 9。浮置栅极 6 被设置用于可控制地保留电荷,而控制栅极 8 被设置用于控制对附随的浮置栅极 6 所进行的读取、存储和擦除操作。与浮置栅极 6 和控制栅极 8 的层叠相邻,在掺杂连接区 5 和源极区 4 之间,在衬底 2' 的表面的薄栅氧化层 7 上形成存取栅极 10。如这里所示,存取晶体管可以包括与浮置栅极 6、绝缘层 14、控制栅极 8 的层叠相类似的层叠,但是存取栅极也可以包括只含有单个层的结构。而且,绝缘间隔 11 覆盖存取栅极 10 的侧壁。漏极区 3 和源极区 4 通过各自的漏极触点 12 和源极触点 13,分别连接至漏极线和源极线。通过连接区 5,存取晶体管 AT 连接至浮置晶体管 FT。

[0067] 设置单栅极或存取晶体管 AT,以使其充当用于选择双栅极晶体管 FT 的存取栅极。

[0068] 典型地,如图 1 所示,将闪存单元设置在存储器阵列 140 中。在这样的阵列中,两个相邻的闪存单元可以共享单个源极 (或漏极) 和共享到该源极 (或漏极) 元件的触点。这样的闪存提供相对高密度的存储器单元。

[0069] 图 3 示意性地示出了用在闪存部分 120 中的晶体管类型的剖面视图。

[0070] 晶体管类型包括来自外围电路 130 和闪存部分 140 的器件。

[0071] 在半导体衬底 1 上,设置埋入的 n- 阱区 BNW。在埋入的 n- 阱区 BNW 上,设置 p 掺杂区 Flash-P 阱 (又名 Flash- 矩阵)。在 p 掺杂区 Flash-P 阱之上,设置闪存单元 FC1、FC2、FC01、FC02,其包括存取晶体管 AT 和浮置晶体管 FT。设置源极 / 漏极区 SD,用于在操作过程中控制浮置晶体管 FT 和存储晶体管 AT 下面的 p 掺杂区 Flash-P 阱中的电导率。通过以浅沟槽隔离 STI 方式的绝缘,对 p 掺杂区 Flash-P 阱划界。图 3 中所示的闪存单元与参考图 2 所描述的闪存单元类似。

[0072] 来自外围电路 130 的晶体管器件包括:例如 HV-nMOSFET HNM、HV-pMOSFET HPM 的高压 (HV) 器件;以及例如 nMOSFET nMOS 和 pMOSFET pMOS 的基线 (中压 MV) 器件。

[0073] 典型地,HV 器件是电压被设置在 10V 或 10V 以上的器件。这样的器件具有量级为 20nm 的栅极氧化层厚度。典型地,MV 器件是电压被设置为大约 3V 的器件。所述中压器件的栅极氧化层的厚度是 6-9nm。

[0074] HV-nMOSFET HNM 也位于埋入的 n- 阱区 BNW 之上:在埋入的 n- 阱区 BNW 之上,设置第一 p- 阱区 HPW。在第一 p- 阱区 HPW 之上,设置一层叠,该层叠包括第一 HV 栅极氧化层 OXHP、多晶硅层 PSB 和栅电极层 LGE (例如,包括硅化物或金属)。所述层叠由间隔 SP 划

界。邻接所述层叠 OXHP、PSB、LGE,在第一 p- 阱区 HPW 中设置源极 / 漏极区 SDHP。通过以浅沟槽隔离 STI 方式的绝缘,由衬底中的绝缘对 HV-nMOSFET HNM 划界 (demarcate)。由于 HV 应用,第一 HV 栅极氧化层 OXHN 的厚度与 HV 应用的厚度一致,例如 20nm。

[0075] 在第一 n- 阱区 HPW 之上设置 HV-pMOSFET HPM。在第一 n- 阱区 HNW 之上,设置一层叠,该层叠包括第二 HV 栅极氧化层 OXHP、多晶硅层 PSB 和栅电极层 LGE。所述层叠由间隔 SP 划界。邻接所述层叠 OXHP、PSB、LGE,在第一 n- 阱区 HNW 中设置源极 / 漏极区 SDHN。以浅槽绝缘 STI 方式,由衬底中的绝缘划界 HV-pMOSFETHPM。由于 HV 应用,第二 HV 栅极氧化层 OXHP 的厚度与 HV 应用的厚度一致,例如 20nm。

[0076] 在第二 p- 阱区 PW 上设置 nMOSFET nMOS。在第二 p- 阱区 PW 之上,设置一层叠,该层叠包括 n-MOS 栅极氧化层 OXN、多晶硅层 PSB 和栅电极层 LGE。所述层叠由间隔 SP 划界。邻接所述层叠 OXN、PSB、LGE,在第二 p- 阱区 PW 中设置源极 / 漏极区 SDN。以浅沟槽隔离 STI 方式,由衬底中的绝缘划界 nMOSFET nMOS。

[0077] nMOSFET nMOS 可用在外围电路 130 的两个修改中:第一 nMOS 类型用在逻辑电平上,第二 nMOS 类型用在中压电平上。在逻辑电平应用的情况下,n-MOS 栅极氧化层 OXN 的厚度为例如 3-5nm。对于 MV 应用来说,栅极氧化层 OXN 的厚度为例如 6-9nm。

[0078] 在第二 n- 阱区 NW 上设置 pMOSFET pMOS。在第二 n- 阱区 NW 之上,设置一层叠,该层叠包括 p-MOS 栅极氧化层 OXP、多晶硅层 PSB 和栅电极层 LGE。所述层叠由间隔 SP 划界。邻接所述层叠 OXP、PSB、LGE,在第二 n- 阱区 NW 中设置源极 / 漏极区 SDP。以浅沟槽隔离 STI 方式,由衬底中的绝缘划界 pMOSFET pMOS。

[0079] pMOSFET pMOS 可用在外围电路 130 的两个修改中:第一 pMOS 类型用在逻辑电平上,第二 pMOS 类型用在中压电平上。在逻辑电平应用的情况下,p-MOS 栅极氧化层 OXP 的厚度为例如 3-5nm。对于中压应用来说,p-MOS 栅极氧化物 OXP 的厚度为例如 6-9nm。

[0080] 根据各自的阱区的导电类型,即或是 n 型或是 p 型,源极 / 漏极区 SD、SDHP、SDHN、SDN、SDP 的每一个都包括各自的轻掺杂区 FDD、nLDD、pLDD、nDD、pDD 和各自的重掺杂区 nHDD 或 pHDD。

[0081] 闪存单元的源极 / 漏极区 SD 包括闪存器件可兼容的轻掺杂区 FDD 以及 n 型重掺杂区 nHDD。

[0082] HV-nMOSFET HNM 的源极 / 漏极区 SDHN 包括 HV n 型器件可兼容的轻掺杂区 nLDD 以及 n 型重掺杂区 nHDD。

[0083] HV-pMOSFET HPM 的源极 / 漏极区 SDHP 包括 HV p 型器件可兼容的轻掺杂区 pLDD 以及 p 型重掺杂区 pHDD。

[0084] nMOSFET nMOS 的源极 / 漏极区 SDN 包括 nMOSFET 应用可兼容的轻掺杂区 nDD 以及 n 型重掺杂区 nHDD。

[0085] pMOSFET pMOS 的源极 / 漏极区 SDP 包括 pMOSFET 应用可兼容的轻掺杂区 pDD 以及 p 型重掺杂区 pHDD。

[0086] 为了清楚,图 3 中没有示出轻掺杂漏极区的细节。

[0087] 图 4 示出了将被转换为 ROM 存储器单元的 2T 闪存单元的设置电路图。

[0088] 所述设置包括第一 2T 闪存单元 FC1 和第二 2T 闪存单元 FC2。

[0089] 在此设置中,第一 2T 闪存单元 FC1 和第二 2T 闪存单元 FC2 共享公用 (优选为漏

极) 触点 CT0, 该触点连接至第一 2T 闪存单元 FC1 和第二 2T 闪存单元 FC2。

[0090] 第一 2T 闪存单元包括第一浮置栅极晶体管 FT1 和第一存取晶体管 AT1, 通过 AT1 和 FT1 之间的类似于例如图 2 所示的连接区 5 的第二连接 AL2, 第一存取晶体管 AT1 连接至第一浮置栅极晶体管 FT1。此外, 第一 2T 闪存单元 FC1 包括第一触点(源极)CT1, 其通过第三连接 AL3, 在远离第一浮置栅极晶体管 FT1 的侧部连接至第一存取晶体管 AT1。而且, 第一连接 AL1 位于浮置晶体管 FT1 和公用触点 CT0 之间。

[0091] 第一、第二和第三连接 AL1、AL2、AL3 作为衬底表面中的有源导电区(active conductive region)。通过与第一存取晶体管 AT1 和第一浮置晶体管 FT1 的串联, 第一、第二和第三连接 AL1、AL2、AL3 形成第一闪存单元 FC1 的导电路径 CP1f。

[0092] 第二 2T 闪存单元包括第二浮置栅极晶体管 FT2 和第二存取晶体管 AT2。通过 AT2 和 FT2 之间的类似于例如图 2 所示的连接区 5 的第五连接 AL5, 第二存取晶体管 AT2 连接至第二浮置栅极晶体管 FT2。

[0093] 与第一 2T 闪存单元 FC1 类似, 第二 2T 闪存单元 FC2 包括第二触点(源极)CT2, 其通过第六连接 AL6, 在远离第二浮置栅极晶体管 FT2 的侧部连接至第二存取晶体管 AT2。而且, 第四连接 AL4 位于第二浮置晶体管 FT2 和公用触点 CT0 之间。

[0094] 第四、第五和第六连接 AL4、AL5、AL6 作为衬底表面中的有源导电区。通过与第二存取晶体管 AT2 和第二浮置晶体管 FT2 的串联, 第四、第五和第六连接 AL4、AL5、AL6 形成第二闪存单元 FC2 的导电路径 CP2f。

[0095] 图 5 示出了在本发明的第一实施例中从图 4 的闪存单元转换而来的 ROM 存储器单元的设置电气图。

[0096] Flash-ROM 转换 150 将第一和第二 2T 闪存单元 FC1 和 FC2 分别转换为第一 ROM 存储器单元 RC1 和第二 ROM 存储器单元 RC2。

[0097] 通过转换, 将 2T 闪存单元 FC1 和 FC2 转换为单晶体管(1T)ROM 存储器单元 RC1 和 RC2。第一和第二 ROM 存储器单元 RC1 和 RC2 二者是通过基线技术, 即 CMOS, 制得的。

[0098] 第一 ROM 存储器单元 RC1 包括第一基线晶体管 T1(CMOS 下的 MOSFET), 其一端通过连接 L1 连接至第一单元触点 CC1, 例如漏极触点, 另一端通过连接 L2 连接至第二单元触点 CC2, 即源极触点。

[0099] 连接 L1 和连接 L2 作为衬底表面中的有源导电区。通过与第一基线晶体管 T1 的串联, 连接 L1 和连接 L2 在第一和第二单元触点 CC1 和 CC2 之间形成第一 ROM 存储器单元 RC1 的导电路径 CP1。

[0100] 第二 ROM 存储器单元 RC2 包括第二基线晶体管 T2(CMOS 下的 MOSFET), 其一端通过连接 L3 连接至第三单元触点 CC3, 例如源极触点, 另一端通过连接 L4 连接至第四单元触点 CC4, 即漏极触点。

[0101] 连接 L3 和连接 L4 作为衬底表面中的有源导电区。通过与第二基线晶体管 T2 的串联, 连接 L3 和 L4 在第三和第四单元触点 CC3 和 CC4 之间形成第二 ROM 存储器单元 RC2 的导电路径 CP2。

[0102] 在本发明中, 牺牲第一和第二 2T 闪存单元 FC1 和 FC2 之间的公用(漏极)触点 CT0, 取而代之的是分别用于第一 ROM 存储器单元 RC1 和第二 ROM 存储器单元 RC2 的两个单元触点 CC1 和 CC3。

[0103] 为了容纳两个分离的单元触点而不是一个公用触点, ROM 存储器单元设置需要比 2T 闪存单元设置相对更大的区域(倘若两种情况下的触点尺寸相同)。因此,与 2T 闪存单元设置中的可用区域相比,必须创建一些空闲区:在初始闪存单元 FC1 和 FC2 的每一个中,可以有利地消除晶体管 AT1、FT1 和 AT2、FT2 中的一个,以在 ROM 存储器单元 RC1 和 RC2 的设置中容纳两个单元触点。

[0104] 注意,如果目的为保持第一 SOC 器件 100 的器件部分 110 和布线方案 125 的相同的布局,以及把对掩模所进行的改变(将第一 SOC 器件 100 转换为第二 SOC 器件 200)保持在最小,则 ROM 存储器区 160 中 ROM 存储器单元 RC1 和 RC2 的晶体管 T1 和 T2 的位置基本上与相应的 2T 闪存单元 FC1 和 FC2 的存取晶体管 AT1 和 AT2 的位置相同。

[0105] 值得一提的是,在所述转换中,优选地,将闪存单元的存取晶体管指定为 ROM 存储器单元的单栅极晶体管,即,在存取晶体管的位置处形成单栅极晶体管。然而,可以想到的替换是,将浮置晶体管指定为单栅极晶体管,并消除存取晶体管,或者换句话说,在浮置晶体管的位置处形成单栅极晶体管。在 SOC 器件的闪存部分中的存储器单元的设置倾向于这种转换方式的实施例中,可以使用此替换方式。而且,在两种情况下,所需的掩模处理的总量可以影响哪个选择是更优选的(即,或者消除浮置晶体管,或者消除存取晶体管,并将余下的晶体管的位置指定为 ROM 存储器单元的单栅极晶体管的位置)。

[0106] 图 6 示出了将被转换的闪存单元的布局的平面图。

[0107] 上面已经参考图 2 和图 4 描述了图 5 中所示出的闪存单元 FC1 和 FC2。图 6 中具有相同附图标记的实体是指与前述附图中同样的实体。

[0108] 第一闪存单元 FC1 由点线里的矩形区域表示。第二闪存单元 FC2 关于镜像轴 MA 与第一闪存单元 FC1 形成镜像,其中,MA 位于公用触点 CT0 的中央,平行于第一方向 X,并且第二闪存单元 FC2 被假定为占据与第一闪存单元 FC1 相类似的区域。

[0109] 第一和第二闪存单元 FC1 和 FC2 具有导电路径 CP1f 和 CP2f,导电路径 CP1f 和 CP2f 分别包括第一、第二和第三连接 AL1、AL2 和 AL3 的导电区以及第四、第五和第六连接 AL4、AL5 和 AL6 的导电区,该导电区沿着与第一方向 X 基本垂直的第二方向 Y 上延伸。

[0110] 第一接触线 CL1 在第一方向 X 上延伸,并经过第一闪存单元 FC1 的导电路径。在第一接触线 CL1 和第一闪存单元 FC1 的导电路径 CP1f 的交叉点处,设置第一触点 CT1。

[0111] 第一字线 WL1 被设置为平行于第一接触线 CL1,而且,第一字线 WL1 经过位于第一存取栅极晶体管 AT1 之上的第一闪存单元 FC,以在交点处形成存取栅极触点。第一字线 WL1 优选地包括多晶硅。

[0112] 第一控制栅极线 CG1 被设置为平行于第一接触线 CL1 和第一字线 WL1,而且,第一控制栅极线 CG1 经过位于第一浮置栅极 FG 之上的第一闪存单元 FC,以在交点处形成第一浮置栅极晶体管 FT1。第一控制栅极线 CG1 优选地包括多晶硅。

[0113] 注意,浮置栅极由第一控制栅极线 CG1 下面的第一多晶硅线构成,但是,为了确保闪存单元与相同控制栅极线 CG1 上的邻接的闪存单元(例如闪存单元 FC01)绝缘,通过绝缘缝 SL1、SL2、SL3 将第一闪存单元 FC1 与邻接的闪存单元之间的第一多晶硅线中断。在图 7 中,将示出沿着 VII-VII 线的剖面视图,以更为详细地解释闪存单元的结构。

[0114] 由于关于镜像轴 MA 的镜像对称,在第二闪存单元 FC2 和它的邻接闪存单元(例如闪存单元 FC02)上设置第二接触线 CL2、第二字线 WL2、第二多晶硅线和第二控制栅极线

CG2。而且,缝 SL1、SL2、SL3 沿着第二方向 Y 在镜像轴 MA 上延伸,以确保第二多晶硅线的中断。

[0115] 图 7 示出了沿着图 6 中所示 VII-VII 线的闪存单元的剖面视图。

[0116] 在衬底 2' 上,提供栅极氧化层 7。在衬底 1 中,以浅沟槽 SL1、SL2 的形式设置两个绝缘区。在栅极氧化层 7 之上,浮置栅极区 FG 基本上位于两个浅沟槽 SL1、SL2 之间。在浮置栅极区 FG 之上,提供中间电介质层 14。在中间电介质层 14 之上,设置有控制栅极层 CG,在这种情况下其表面被平坦化。

[0117] 下面,解释掩模处理方案。

[0118] 如之前参照图 4 所解释的那样,目的是在具有闪存的第一 SOC 器件 100 和具有 ROM 存储器的第二 SOC 器件之间不进行重新设计,这意味着,在第二 SOC 器件 200 中,将器件部分 110 和布线方案 125 的布局保持为与第一 SOC 器件 100 中的一样,并且,将对掩模所进行的改变(将第一 SOC 器件 100 转换为第二 SOC 器件 200 而不影响设计)保持在最小。这也意味着 ROM 存储器区 160 中 ROM 存储器单元 RC1 和 RC2 的晶体管 T1 和 T2 的位置必须基本上与相应的 2T 闪存单元 FC1 和 FC2 的存取晶体管 AT1 和 AT2 的位置相同。

[0119] 因此,本发明提供一掩模处理方案,与第一 SOC 器件 100 相比,该方案将 Flash 转换为 ROM,而基本上不影响第二 SOC 器件 200 的设计(布局 and 布线方案)。这个掩模处理方案包括要执行的至少两个动作:

[0120] 首先,将实际的闪存单元转换为 CMOS 单栅极晶体管。其次,如图 3 所示,必须将外围电路 130 中的(HV、MV)器件转换为低压(基线)或中压 CMOS 器件。

[0121] 如下面所解释的那样,所述至少两个动作要求对一个或多个用于基线技术的掩模(基线掩模)的布局进行改写和修改。此外,第二 SOC 器件 200 将由修改(依照转换方法 150 进行修改)后的基线掩模制造,而无需象第一 SOC 器件 100 的制造那样,使用非易失性技术的掩模(非易失性技术掩模)。

[0122] 图 8 示出了将被转换的闪存单元的布局中的一些掩模区域的平面图。

[0123] A) 在闪存单元排列 FC1、FC2 和 FC01、FC02 中,对用 {Active} 表示的用于有源(掺杂)区的掩模,做出如下改变:

[0124] 首先,将区域 {BLCONT} 定义为包括浮置晶体管的区域外加触点 CT0 的区域。

[0125] 逻辑上讲,在 Flash 上,由点线所表示的浮置晶体管的区域是第一掩模区域 {CG_SFG}_{Flash},其与控制栅极线掩模 {CG}_{Flash} 的部分相等,{CG}_{Flash} 覆盖邻接浮置栅极 FG1 和 FG2 的缝 SL1、SL2 和 SL3 的区域外加 CG 的区域,CG 覆盖浮置栅极的区域。

[0126] 此外,还表示出用于(位线)公用触点 CT0 和 CT00 的掩模区域 {CONT}_{Flash}。

[0127] 区域 {BLCONT} 是最接近于 {CG_SFG}_{Flash} 的 BLCONT(位线触点),并且,由经过一定程度的扩容(即,通过扩大区域的长度和宽度,该区域被稍微放大了,例如放大了该区域的 4%)之后接触 {CG_SFG} 的 {CONT},可以限定区域 {BLCONT}。

[0128] $\{BLCONT\} = \{CG_SFG\}_{Flash+upsized} \text{ AND } \{CONT\}$ (1)

[0129] 有效地是,在用于第一闪存单元 FC1 的导电路径 CP1f 的掩模布局上,除了在有源区掩模(active area mask)中消除了由 {BLCONT} 覆盖的有源区以外,有源区保持不变。对与其它的闪存单元(例如第二闪存单元 FC2)的导电路径相关的其它有源区部分来说,对有源区掩模执行相似的操作。

[0130] 逻辑上,将有源区掩模定义为:

[0131] $\{\text{Active}\}_{\text{CMOS}} = \{\text{Active}\}_{\text{Flash}} \text{AND} (\text{NOT} \{\text{BLCONT}\}_{\text{Flash}})$ (2), 其中, 下标 CMOS 表示该掩模被用于包括 ROM 存储器单元的 SOC 器件 200, 而下标 Flash 表示该掩模被用于包括闪存单元的 SOC 器件 100。

[0132] B) 针对用于多晶硅沉积的掩模, 用 {Poly} 来表示, 做出如下改变:

[0133] 用于 CMOS {Poly}_{CMOS} 的多晶硅掩模与扩展有控制栅极线掩模 {CG}_{Flash} 但是不具有第一多掩模区域 {CG_SFG}_{Flash} 的 Flash {Poly}_{Flash} 的初始的多晶硅掩模相等, {CG_SFG}_{Flash} 与覆盖邻接浮置栅极 FG1 和 FG2 的缝 SL1、SL2 和 SL3 的区域 {SFG}_{Flash} 的控制栅极线掩模 {CG}_{Flash} 相等。{Poly} 掩模的其它部分不改变。

[0134] 因此, 用于多晶硅的掩模 {Poly} 可定义为:

[0135] $\{\text{Poly}\}_{\text{CMOS}} = \{\text{Poly}\}_{\text{Flash}} \text{AND} \{\text{CG}\}_{\text{Flash}} \text{AND} (\text{NOT} \{\text{CG_SFG}\}_{\text{Flash}+\text{upsized}})$ (3)

[0136] C) 修改用 {CONT} 表示的接触掩模, 以包括每个 ROM 存储器单元的触点位置。最初, 减小 {CONT} 掩模以消除 Flash 触点:

[0137] $\{\text{CONT}\}_{\text{CMOS}} = \{\text{CONT}\}_{\text{Flash}} \text{AND} (\text{NOT} \{\text{BLCONT}\})$ (4)

[0138] 在接触杆 (contact stud) 之上可形成触点。在此情况下, 在单栅极晶体管所在的第一层里, 将局部互联 LIL 设置为接触杆。

[0139] 接着, 根据用于位于上述浮置晶体管的位置处的 CMOS 的触点的位置, 对用 {LIL} 来表示的用于局部互联 (LIL) 的掩模进行修改。在掩模中消除用于 Flash 的触点的位置。

[0140] {LIL} 掩模的其它部分未改变。

[0141] 基本上, 如 (图 8 的) 闪存单元设置所呈现的那样, {LIL}_{CMOS} 掩模所定义的 LIL 的位置包括浮置晶体管的位置。

[0142] 接下来, 当将要使用接触杆时, 在接触杆之上形成 {LIL}_{CMOS} 掩模所定义的触点。

[0143] 对于每一个 ROM 存储器单元来说, 通过利用实际程序代码 C 来改写 {LIL}_{CMOS} 掩模的一个比特 (“0”或“1”), 仅在被定义为“1”的 ROM 存储器单元上形成功能性的触点, 而不是在被定义为“0”的 ROM 存储器单元上。基本上, 对于第一 LIL 区域掩模上的每一个触点来说, 这与逻辑“与”操作相关, 以创建用于具有程序代码 {CONT}_{CMOS+Code} 的 CMOS 的接触掩模:

[0144] $\{\text{CONT}\}_{\text{CMOS}+\text{Code}} = \{\text{LIL}\}_{\text{CMOS}} \text{AND}$

[0145] $\{\text{ROM code at } \{\text{CG_SFG}\}_{\text{Flash}+\text{upsized}} \times \{\text{Active}\}_{\text{CMOS}}\}$ (5)

[0146] 本领域的技术人员将理解, 所述布线逻辑可以被反转 (即, 在比特“1”上没有接触, 而在比特“0”上有接触)。

[0147] 注意, 当没有接触杆将被使用时, 用于具有程序代码 {CONT}_{CMOS+Code} 的 CMOS 的接触掩模是通过将公式 4 中的接触掩模 {CONT}_{CMOS} 同 {ROM code at {CG_SFG}_{Flash+upsized} × {Active}_{CMOS}}} 进行逻辑与而获得的, 即:

[0148] $\{\text{CONT}\}_{\text{CMOS}+\text{Code}} = \{\text{CONT}\}_{\text{CMOS}} \text{AND}$

[0149] $\{\text{ROM code at } \{\text{CG_SFG}\}_{\text{Flash}+\text{upsized}} \times \{\text{Active}\}_{\text{CMOS}}\}$ (6)

[0150] E) 外围电路 130 中的器件 HPM、HNM、nMOS 和 pMOS 的转换需要附加的掩模处理。基本上, p-沟道器件 HPM 和 pMOS 将被转换成基线 CMOS p-沟道器件 (p-沟道 MOSFET)。n-沟道器件 HNM 和 nMOS 将被转换为基线 CMOS n-沟道器件 (n-沟道 MOSFET)。而且, 由于用于

HV 器件的栅极氧化层比用于逻辑电平器件的栅极氧化层厚,因此,对于将被转换的外围电路的器件,也需要栅极氧化层掩模的转换,以限定适当的栅极氧化层区。

[0151] 在 CMOS 上,在限定外围电路 130 中的器件 HPM、HNM、nMOS 和 pMOS 的掩模上,仅使用标准阱。

[0152] 在 p- 型衬底上:n- 阱掩模 $\{Nwell\}_{CMOS}$ 等于覆盖 n- 阱区 NW 的 Flash HV 器件的 n- 阱掩模 $\{Nwell\}_{Flash}$ 以及覆盖闪存单元中的 HNW 区的掩模 $\{HNW\}_{Flash}$:

$$[0153] \quad \{Nwell\}_{CMOS} = \{Nwell\}_{Flash} \text{ AND } \{HNW\}_{Flash} \quad (7)$$

[0154] 在 p- 型衬底上的 CMOS 里,p- 阱区是 n 掺杂区的补充。在此情形下,p- 阱掩模 $\{Pwell\}_{CMOS}$ 与由 n- 阱掩模 $\{Nwell\}_{CMOS}$ 所限定的区域之外的区域相等,即:

$$[0155] \quad \{Pwell\}_{CMOS} = \text{NOT } \{Nwell\}_{CMOS} \quad (8)$$

[0156] 此外,HV 器件 HPM 和 HNM 中的栅极氧化层 OXHP 和 OXHN 的厚度将被减小,以与低压(中压)CMOS 器件一致。因此,如下改变用于 HV 器件的栅极氧化层 $\{G02\}$:将厚度为 20nm 的 Flash 的相关区域改变为厚度为 6-9nm 的 CMOS。

[0157] 此外,必需针对 nMOS 和 PMOS 分别改变栅极氧化层区 OXN 和 OXP。

[0158] 而且,由于外围电路 130 中的 HV 和 MV 器件的电子特征被改变,因此要对用 $\{LDD\}$ 表示的轻掺杂掩模进行改写。技术人员将知道怎样为此目的来修改该轻掺杂掩模。

[0159] 最终,对闪存单元部分 140 中的晶体管来说,需要对 n- 型 LDD 注入掩模 (implantation mask(s)) 进行如下改写:需要在 p 掺杂区 Flash P 阱的隧道氧化层的区域(其同时覆盖 n 掺杂区 BNW)里,注入 n- 型 LDD。此外,LDD 注入掩模 $\{LDD\}$ 未受影响。

[0160] 由于上述掩模处理,对于闪存单元的制造而言,可以在第二半导体器件 200 的制造过程中省略与非易失性技术相关的掩模。只有基线技术的掩模,即,CMOS,用于第二半导体器件 200 的制造。

[0161] 因此,掩模的基本处理涉及消除闪存单元设置中的公用触点 CT0 和 CT00,并且涉及将其替换为用于两个 ROM 存储器单元 RC1、RC2 和 RC01、RC02 的两个分离的触点 CC1 和 CC3。由于可以在 2T 单元中移除一个晶体管,因此也可以在与闪存部分 140 所占据的区域相同的区域内实现 CMOS ROM 存储器单元设置 160。

[0162] 图 9 示出了根据本发明的第一实施例由图 6 的闪存单元转换而来的 ROM 存储器单元的布局的平面图。

[0163] 图 9 中示出了第二 SOC 半导体器件 200 的衬底 2 上的四个 ROM 存储器单元区 RC1、RC2、RC01 和 RC02 的设置,这四个 ROM 存储器单元区各自对应图 5 中所示的 ROM 存储器单元的电气图。

[0164] 示出了在已应用了 LIL 掩模 $\{LIL\}_{CMOS}$ 的处理阶段之后的 ROM 存储器单元设置。

[0165] 第一 ROM 存储器单元 RC1 包括第一和第二单元触点 CC1 和 CC2 之间的导电路径 CP1,其沿第二方向 Y 延伸。在第二触点 CC2 处,导电路径 CP1 连接至第一接触线 CL1,CL1 沿第一方向 X 延伸。第一字线 WL1 平行于第一接触线 CL1 延伸,连接至单栅极晶体管 T1。此外,在第一 ROM 存储器单元区 RC1 的导电路径 CP1 上,可以设置第一接触杆 CS1。

[0166] 第二 ROM 存储器单元区 RC2 沿镜像轴 MA 与第一 ROM 单元 RC1 形成镜像。

[0167] 第二 ROM 存储器单元 RC2 包括第三和第四单元触点 CC3 和 CC4 之间的导电路径 CP2。在第四触点 CC4 处,导电路径 CP2 连接至第二接触线 CL2,CL2 沿第一方向 X 延伸。第

二字线 WL2 平行于第二接触线 CL2 延伸,其连接至第二单栅极晶体管 T2。此外,在第二 ROM 存储器单元区 RC2 的导电路径 CP2 上,可以设置第三接触杆 CS3。

[0168] 同样地,ROM 存储器单元 RC01 包括位于 RC01 的触点 CC01 和 CC02 之间的导电路径(与 RC01 的基线晶体管 T01 串联的导电区域的导电路径)。在单元触点 CC02 处,该导电路径连接至第一接触线 CL1。第一字线 WL1 连接至 ROM 存储器单元 RC01 的单栅极晶体管 T01。此外,在 RC01 的导电路径上,设置接触杆 CS01。

[0169] 而且,ROM 存储器单元 RC02 包括位于 RC02 的触点 CC03 和 CC04 之间的导电路径(与 RC02 的基线晶体管 T02 串联的导电区域的导电路径)。在触点 CC04 处,该导电路径连接至第二接触线 CL2,CL2 沿第一方向 X 延伸。第二字线 WL2 平行于第二接触线 CL2 延伸,连接至 ROM 存储器单元 RC02 的第二单栅极晶体管 T2。此外,在 RC02 的导电路径上,可以设置第四接触杆 CS02。

[0170] 下面将详细讨论接触杆 CS1、CS2、CS01、CS02 和 / 或在该位置的触点的形成。

[0171] 值得注意的是,由于掩模处理,闪存单元设置中出现的触点 CT0 和 CT00 的区域现在是空的(void),而且,取而代之的是,按如下方式设置掩模处理方案,即在该区域中形成场氧化层(浅沟槽隔离,STI)。场氧化层或 STI 的形成可以与缝 SL1、SL2 和 SL3 的掩模化和形成的过程结合起来。

[0172] 图 10a 和 10b 分别示出了沿着图 9 中所示 XA-XA 线和 XB-XB 线的 ROM 存储器单元的剖面视图。

[0173] ROM 存储器单元 RC1 包括单栅极晶体管 T1、接触杆 CS1 和触点 CC2。

[0174] 在栅极氧化层 7 之上,晶体管 T1 包括在间隔 9 内部的多晶硅体。在该多晶硅体之上,可以设置诸如硅化物层的栅电极层 LGE。设置该栅电极层是为了增强多晶硅体的导电性,并且增强晶体管 T1 的栅电极功能。

[0175] 在 p 型衬底 2 内部,将 n 型掺杂区 3 和 4 设置为源极 / 漏极区,其各自沿着表面延伸并且略低于多晶硅体。n 型掺杂区 3 连接至触点 CC2。n 型掺杂区 4 连接至接触杆 CS1。此外,ROM 存储器单元包括平坦化的绝缘层 0X,0X 覆盖晶体管 T1。在接触杆 CS1 之上的接触区域 CA1 和触点 CC2 的接触区域 CA2 沿着基本平行于平坦化的绝缘层 0X 的顶部的方向延伸。

[0176] 图 10b 示出了沿着图 9 中所示 XB-XB 线的 ROM 存储器单元的剖面视图。晶体管 T1 的多晶硅体位于由缝 SL1 和 SL2 提供的两个绝缘沟槽(浅沟槽隔离 STI)之间。

[0177] 图 11a 和 11b 分别示出了对于已接触的接触杆和非接触的接触杆,沿着 XA-XA 线的 ROM 存储器单元的剖面视图;

[0178] 图 11a 和 11b 中的 ROM 存储器单元被设置成与图 10a 的剖面视图中所示的 ROM 存储器单元相同,并且这里不再详述。

[0179] 图 11a 中,在绝缘层 0X、触点 CC2 和接触杆 CS1 之上,设置有第二绝缘层 0X2,0X2 覆盖绝缘层 0X、触点 CC2 和接触杆 CS1。第二绝缘层 0X2 中提供有接触孔 CH1。接触孔 CH1 中提供(金属)触点 CC1,用于产生电接触。在第二绝缘层 0X2 之上提供位线 BL_{cmos},用于同 ROM 存储器单元 RC1 进行接触。该位线 BL_{cmos} 沿 X 方向延伸。该位线 BL_{cmos} 与触点 CC1 和接触杆 CS1 接触,以连接至晶体管 T1。在这个情况下,将触点 CC2 设置为沿 Y 方向延伸的字线 WL,Y 方向与图的平面垂直。

[0180] 图 11b 中示出了 ROM 存储器单元 RC01。在绝缘层 OX、触点 CC2 和接触杆 CS1 之上, 设置有第二绝缘层 OX2, OX2 覆盖绝缘层 OX、触点 CC2 和接触杆 CS1。在第二绝缘层 OX2 之上提供位线 BL_{cmos}。ROM 存储器单元 RC01 中, 未在第二绝缘层 OX2 中提供接触孔, 这样在位线 BL_{cmos} 与 ROM 存储器单元 RC01 的晶体管 T01 之间没有建立功能性的接触。

[0181] 如前面所解释的那样, 程序代码 C 被定义为用于那些必须存储比特“1”(或者, 以相反模式的比特“0”)的 ROM 存储器单元的第二绝缘层 OX2 中的接触孔。ROM 存储器单元 RC1 表示具有比特“1”的存储器单元, ROM 存储器单元 RC01 表示具有比特“0”的存储器单元。

[0182] 值得注意的是, 这里在 Metal-1 下的触点水平处进行编程。对本领域的技术人员来说, 显然这也可以用较高位置的金属层中的触点来实现。在这个情况下, 该金属层也需要处理。

[0183] 图 12 示出了在本发明的第二实施例中从图 4 的闪存单元转换来的 ROM 存储器单元的设置的电气图。

[0184] Flash-ROM 转换 150 将第一和第二 2T 闪存单元 FC1 和 FC2 分别转换成第三 ROM 存储器单元 RM1 和第四 ROM 存储器单元 RM2。

[0185] 通过该转换, 将 2T 闪存单元 FC1 和 FC2 转换为单晶体管 (1T) ROM 存储器单元 RM1 和 RM2。第三和第四 ROM 存储器单元 RM1 和 RM2 二者是在基线技术即 CMOS 制造的。

[0186] 第三 ROM 存储器单元 RM1 包括第一基线晶体管 T1 (CMOS 下的 MOSFET), 其一端连接至公用单元触点 CC5, 例如漏极触点, 而另一端连接至第二单元触点 CC2, 例如源极触点。第三 ROM 存储器单元 RM1 中, 在源极 CC2 与晶体管 T1 的一端间提供第一连接路径 L1, 而在晶体管 T1 的另一端与公用 (漏极) 触点 CC5 间提供第二连接路径 L2。

[0187] 第四 ROM 存储器单元 RM2 包括第二基线晶体管 T2 (CMOS 下的 MOSFET), 其一端连接至公用单元触点 CC5, 而另一端连接至第四单元触点 CC4, 即源极触点。第四 ROM 存储器单元 RM2 中, 在源极 CC4 与晶体管 T2 的一端间提供第三连接路径 L3, 而在晶体管 T2 的另一端与公用漏极触点 CC5 间提供第四连接路径 L4。

[0188] 下面将参照图 13 更详细地描述连接路径 L1、L2、L3 和 L4。

[0189] 在本发明中, 将第一和第二 2T 闪存单元 FC1 和 FC2 之间的公用连接 CC5 分别作为第三 ROM 存储器单元 RM1 和第四 ROM 存储器单元 RM2 的公用触点 CC5 来进行维护。

[0190] 由于在每个存储器单元 RM1 和 RM2 中, 在与由闪存单元 FC1 和 FC2 的两个晶体管 FT1、AT1 和 FT2、AT2 先前所占据的区域相同的区域内, 只提供了一个晶体管 T1 和 T2, 因此 ROM 存储器单元设置的密度略小于 2T 闪存单元设置的密度 (假定两种情况下的触点尺寸是相同的)。与 2T 闪存单元设置中的区域相比, 可以使用一些自由区。

[0191] 假定目的为保持第一 SOC 器件 100 的器件部分 110 和布线方案 125 的相同的布局, 以及把对掩模所进行的改变 (将第一 SOC 器件 100 转换为第二 SOC 器件 200) 保持在最小, 则 ROM 存储区 160 中 ROM 存储器单元 RM1 和 RM2 的晶体管 T1 和 T2 的位置优选地等于相应的 2T 闪存单元 FC1 和 FC2 的存取晶体管 AT1 和 AT2 的位置, 同时消除了浮置晶体管 FT1 和 FT2。

[0192] 在本发明的这个第二实施例中, 要存储在 ROM 存储器单元设置中的程序代码 C 可以在位的水平上由位于 ROM 存储器单元中的晶体管之上的源极触点与漏极触点之间所提

供的导电连接（处于有效）来进行定义。举例说来，比特“1”可以由处于导通状态的 ROM 单元来定义，而比特“0”则可以由非导通状态来定义。

[0193] 导通状态可以被定义为电流高于给定阈值的状态，而非导通状态等于电流低于该阈值的状态。如本领域技术人员所知，也可以通过反转的导通方案来提供比特的特征，即：“0”用于导通状态，而“1”用于非导通状态。

[0194] 而且，该导通状态可以与在晶体管上测量的电压电平相关，用高于或低于阈值的电压电平来决定相应的比特值。

[0195] 在 ROM 存储器单元中，如单元 RM1 中，连接路径 L1 和 / 或 L2 可以被用来对该单元编程。通过省略连接路径 L1 和 / 或 L2，在 ROM 存储器单元 RM1 中将不可能有导通，即：不可能进入导通状态。如果存在连接路径 L1 和 L2，则在该 ROM 存储器单元中可能有导通。因此，通过取决于要存储的比特值，针对该单元定义连接路径的数目，可以对 ROM 存储器单元进行编程。因此，对导通的 ROM 存储器单元来说，必须定义两个连接路径，对非导通的 ROM 存储器单元来说，可以定义 0 或 1 个连接路径。

[0196] 图 13 示出了根据本发明第二实施例从图 6 的闪存单元转换而来的 ROM 存储器单元的布局的平面图。

[0197] 图 13 中示出了四个 ROM 存储器单元区 RM1、RM2、RM01、RM02 的设置，它们成对地对应于图 12 中所示的第三和第四 ROM 存储器单元 RM1 和 RM2 的电气图。

[0198] ROM 存储器单元区 RM1 包括第一连接路径 L1 和第二连接路径 L2。

[0199] 第一连接路径 L1 位于公用触点 CC5 与晶体管 T1 之间。第二连接路径 L2 位于公用晶体管 T2 与触点 CC2 之间，位线 BL1 沿第二方向 Y 延伸。在第二连接 CC2 处，第二连接路径 L2 连接至第一连接线 CL1，CL1 沿第一方向 X 延伸。第一字线 WL1 平行于第一接触线 CL1 延伸，其连接至单栅极晶体管 T1。

[0200] 在 ROM 存储器单元区 RM1 的初始阶段中，连接路径 L1 作为衬底 2 的表面的空白空间而被示出。在 ROM 存储器单元区 RM1 中，通过触点 CC2 与晶体管 T1 之间的掺杂有源区来定义第二连接路径 L2。

[0201] 类似地，ROM 存储器单元区 RM2 包括公用触点 CC5 与晶体管 T2 之间的第三连接路径 L3 以及晶体管 T2 与触点 CC4 之间的第四连接路径 L4。在触点 CC4 处，第四连接路径 L4 连接至第二连接线 CL2，CL2 沿第一方向 X 延伸。第二字线 WL2 平行于第二接触线 CL2 延伸，其连接至单栅极晶体管 T2。在衬底的表面上，第三连接路径 L3 仍然是空白的，而通过掺杂有源区来定义第四连接路径 L4。

[0202] ROM 存储器单元区 RM01 和 RM02 分别具有与 RM1 和 RM2 相似的结构，这里不再详细讨论。

[0203] 注意，当没有在连接路径上定义连接的情况下，以 L3 为例，掩模处理方案是在空白处定义浅沟槽隔离，这与第一实施例的方法相似，在第一实施例中，将每一个闪存单元 FC1 中通过消除公用触点 CT0 而成为空白的每一个位置都定义为浅沟槽隔离区。

[0204] 第二实施例中的掩模处理被定义为消除闪存单元设置的区域，该区域等于浮置晶体管 FT1、FT2、FT01、FT02 的区域以及可能的邻接所述浮置栅极 FG1、FG2 的槽 SL1、SL2 和 SL3，并且，邻接于各自的浮置晶体管，该区域可以进一步覆盖存取晶体管 AT1、AT2、AT01、AT02 与相应的浮置晶体管 FT1、FT2、FT01、FT02 之间的连接路径 AL1、AL2 和 AL4、AL5 和

AL01、AL02 和 AL04、AL05 (即有源区) 各自的其它区域部分。

[0205] 在第二实施例中,将区域 {BLCONT} 定义为 {CGSFG}_{Flash+upsize} 与 {Active_BL}_{Flash} 的结合:

$$[0206] \quad \{BLCONT\} = \{ \{CGSFG\}_{Flash+upsize} \text{ AND } \{Active_BL\}_{Flash} \} \quad (9)$$

[0207] 然后按照公式 2 定义有源掩模 {Active}_{CMOS}。除了接触掩模,所有其它的掩模处理与第一实施例保持一致。注意,第二实施例的接触掩模基本与 Flash 的接触掩模保持相同;在基线掩模的掩模系列中,只改变了与晶体管 FT1、FT2、FT01 和 FT02 相关的布局。

[0208] 此外,取决于参照图 12 所解释的 ROM 存储器单元的实际的比特值,每一个 ROM 存储器单元 RM1 和 RM2 中的程序代码 C 的比特是由 {Active} 掩模通过定义第一 (第三) 连接路径 L1 和 L3 而定义的。

[0209] 因此,通过利用 {ROM code at {CG_SFG}_{Flash+upsize} × {Active_BL}} 对有源掩模执行逻辑与操作来改写 {Active}_{CMOS},其中, {CG_SFG}_{Flash+upsize} × {Active_BL} 表示 CG 所占据的邻接所述槽 SL1、SL2 和 SL3 并位于所述浮置栅极 FG1、FG2 之上的区域,外加区域 {Active_BL}。

[0210] 图 14a 示出了在第一连接路径 L1 上包括连接的 ROM 存储器单元的剖面视图。图 14b 示出了在第三连接路径 L3 上不包括连接的 ROM 存储器单元的剖面视图。

[0211] 图 14a 和图 14b 中,具有相同附图标记的实体是指与前述附图中同样的实体。

[0212] 图 14a 中,连接路径 L1 从位于接触杆 CS1 之下的有源区 4 延伸至晶体管 T1 的沟道区,以允许触点 CC2 与接触杆 CS1 之间通过连接路径 L1 导通。

[0213] 然而,在图 14b 中,有源区 4 通过浅沟槽隔离 STI-2 而与晶体管的沟道区断开。这里不可能有 ROM 存储器单元触点 CC2 与 CS1 之间的导通 (至少高于上述阈值)。

[0214] 图 15 示出了在定义了第二绝缘层 OX2 和位线或 “Metal-1” 连接 BL_{cmos} 之后图 14b 的 ROM 存储器单元的剖面视图。在接触杆 CS1 之上,将至位线 BL_{cmos} 的公用触点 CC5 设置在第二绝缘层 OX2 中。

[0215] 值得注意的是,根据本发明,对 2T 闪存单元来说,如上所讨论的 Flash-ROM 转换有利地使用于可编程非易失性 (Flash) 存储器的形成的所有掩模能够被省略。只有 CMOS (或基线) 处理所需要的掩模仍是需要的。这些掩模中,一些掩模需要被修改,以同某些 ROM 存储器单元合并在一起,这些 ROM 存储器单元是先前的闪存单元以及外围电路 130 中的器件。不需要对 SOC 器件 100 和 200 进行重新设计,并且,除了初始数量的 CMOS 专用基线掩模外,不需要引入其它掩模。

[0216] 还要注意的,根据本发明的实施例具有它们自己特殊的优点。

[0217] 第一实施例提供在相当晚的处理阶段 (在触点水平) 对 ROM 存储器进行编程,这允许制造过程中的大的灵活性。原则上,SOC 器件 200 可以遵循一般的程序来处理,并且可以在相对较晚的阶段被定制。

[0218] 第二实施例的实现可以是更简单的,但在制造过程中的灵活性较少,这是因为定制发生在非常早的处理阶段。

[0219] 而且,值得注意的是,根据本发明,关于将闪存转换为只读 (ROM) 存储器,掩模处理方案要求一个或多个计算机的协助,该计算机被编程,以对用于光刻过程的图像掩模的布局,特别是对基线掩模的布局进行计算,并且,该计算机准备将在修改的 CMOS 基线掩模

上创建的光刻图案。

[0220] 本领域的技术人员熟知这样的计算机。该计算机被设置用于：接收作为输入数据的掩模的数字表示，该掩模或是关于非易失性技术闪存或是关于基线技术 CMOS；根据所需要的 Flash-ROM 掩模处理，处理所述输入数据，从而获得基线掩模的数字表示的数据；以及输出那些基线掩模的数字表示，时间是在根据本发明的与 Flash-ROM 转换相关的计算完成之后。

[0221] 因此，本发明也涉及计算机系统和程序，用于根据转换方法改变掩模的布局。

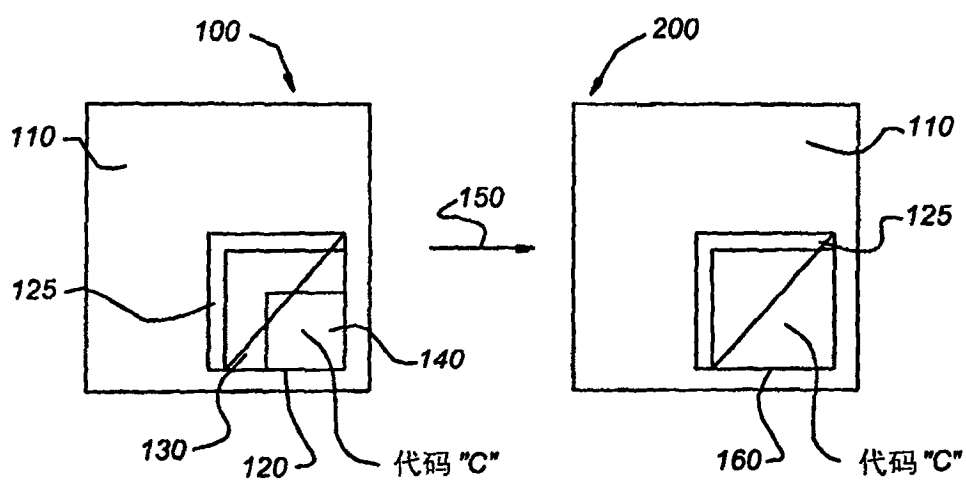


图 1

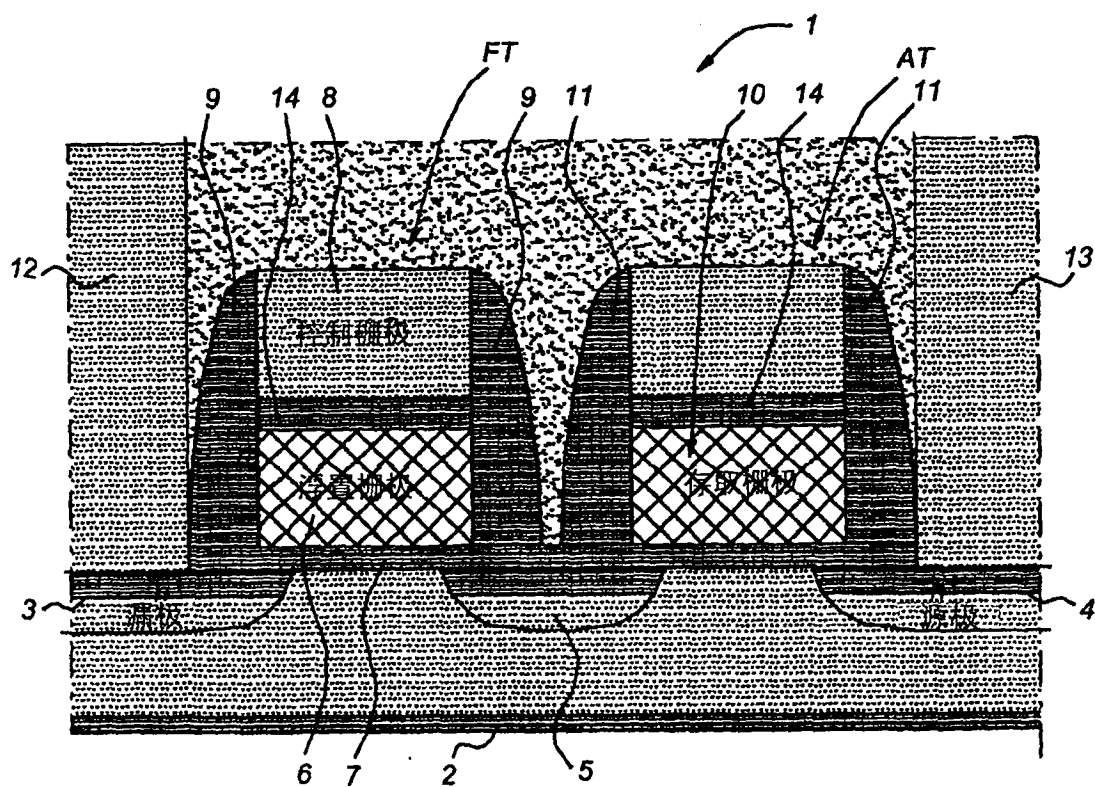


图 2

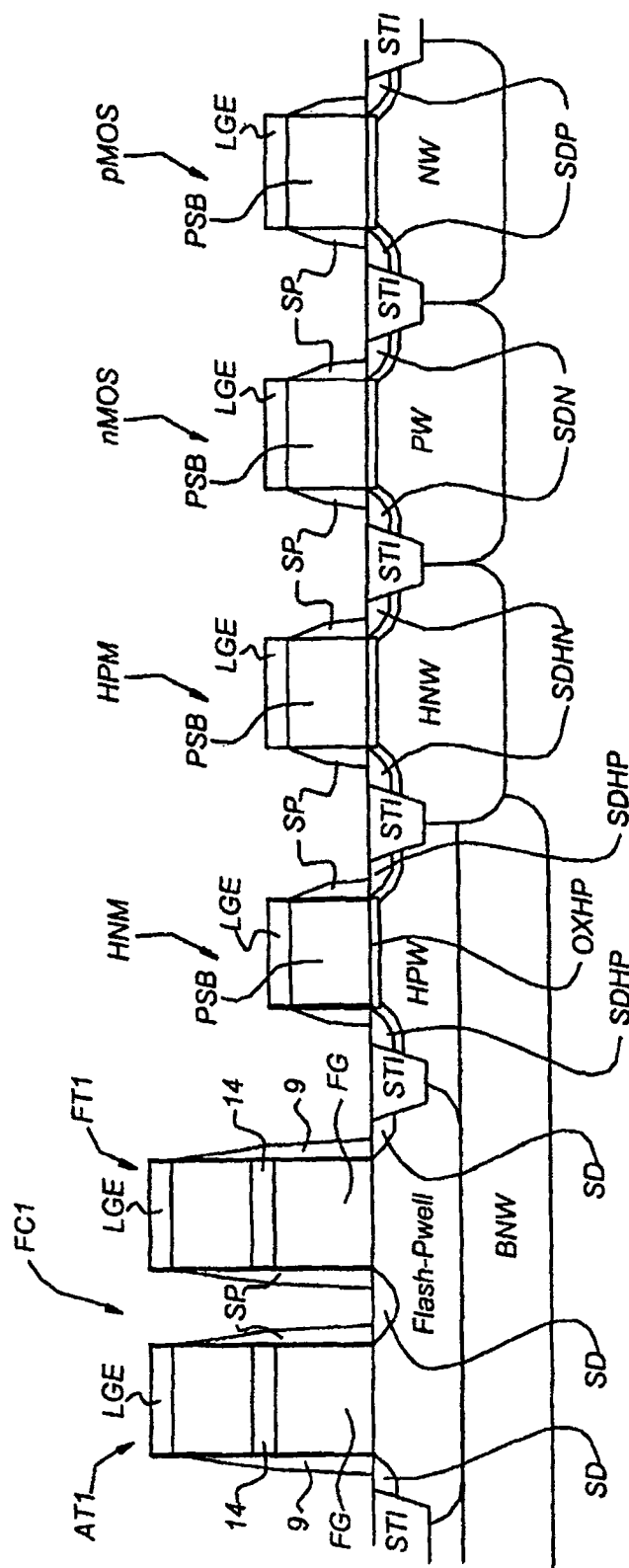


图 3

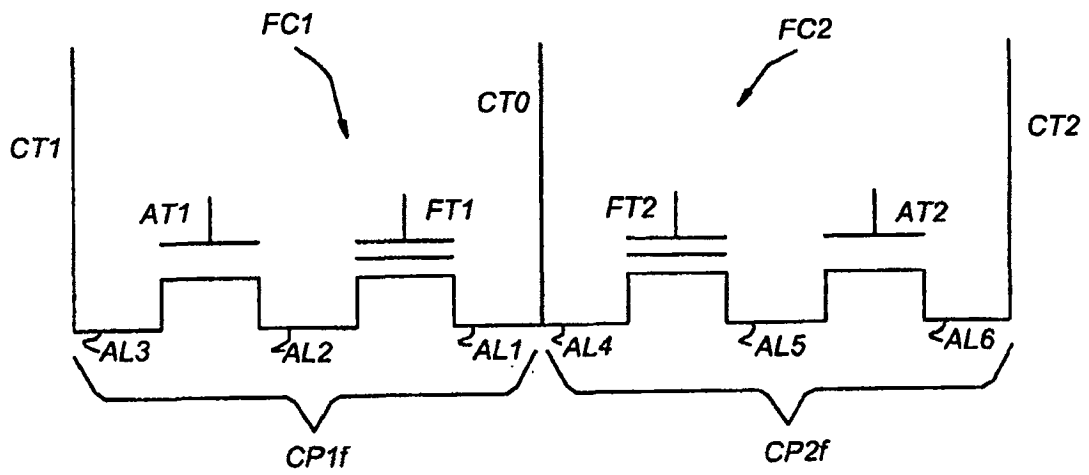


图 4

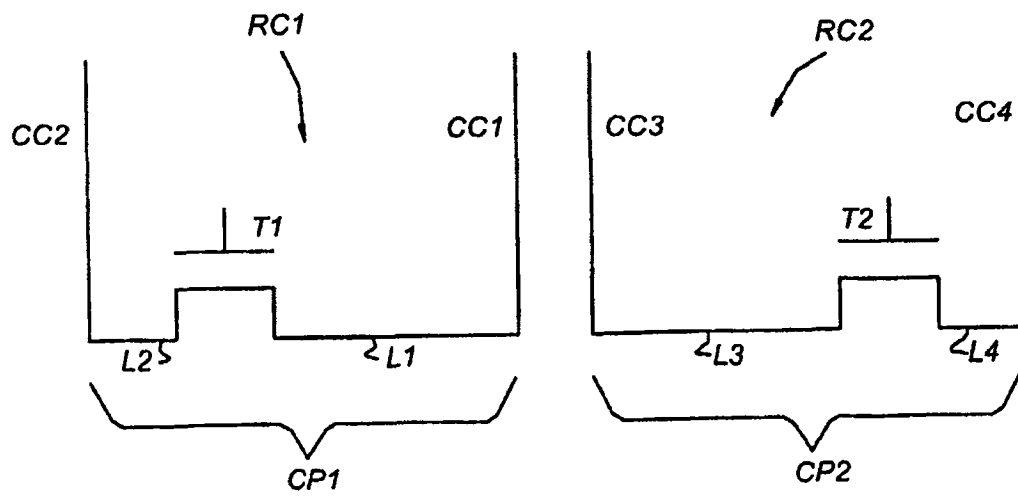


图 5

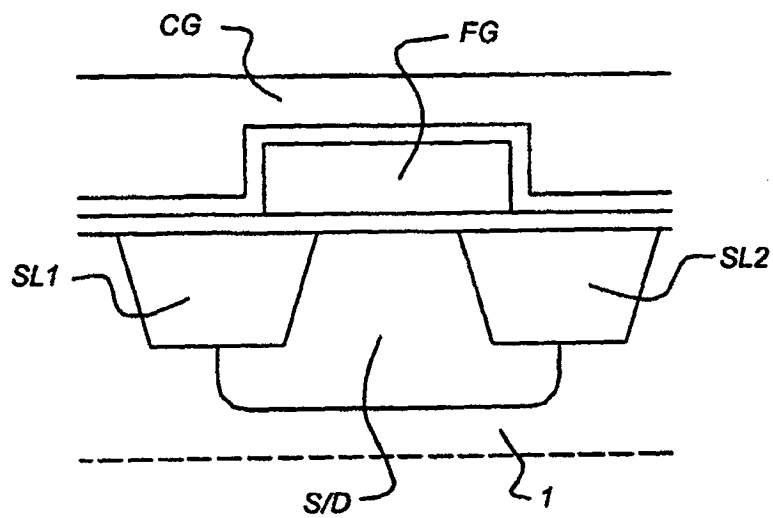


图 7

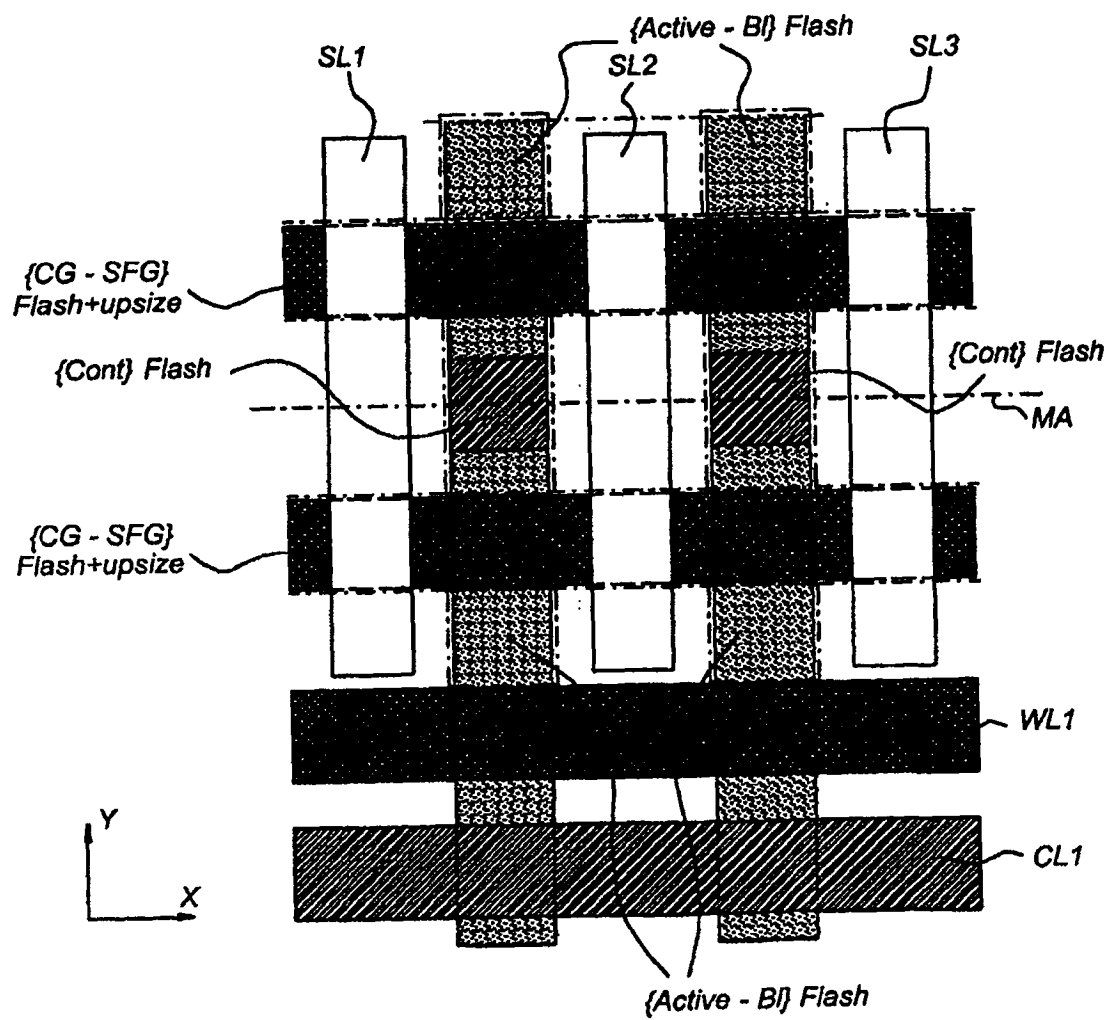


图 8

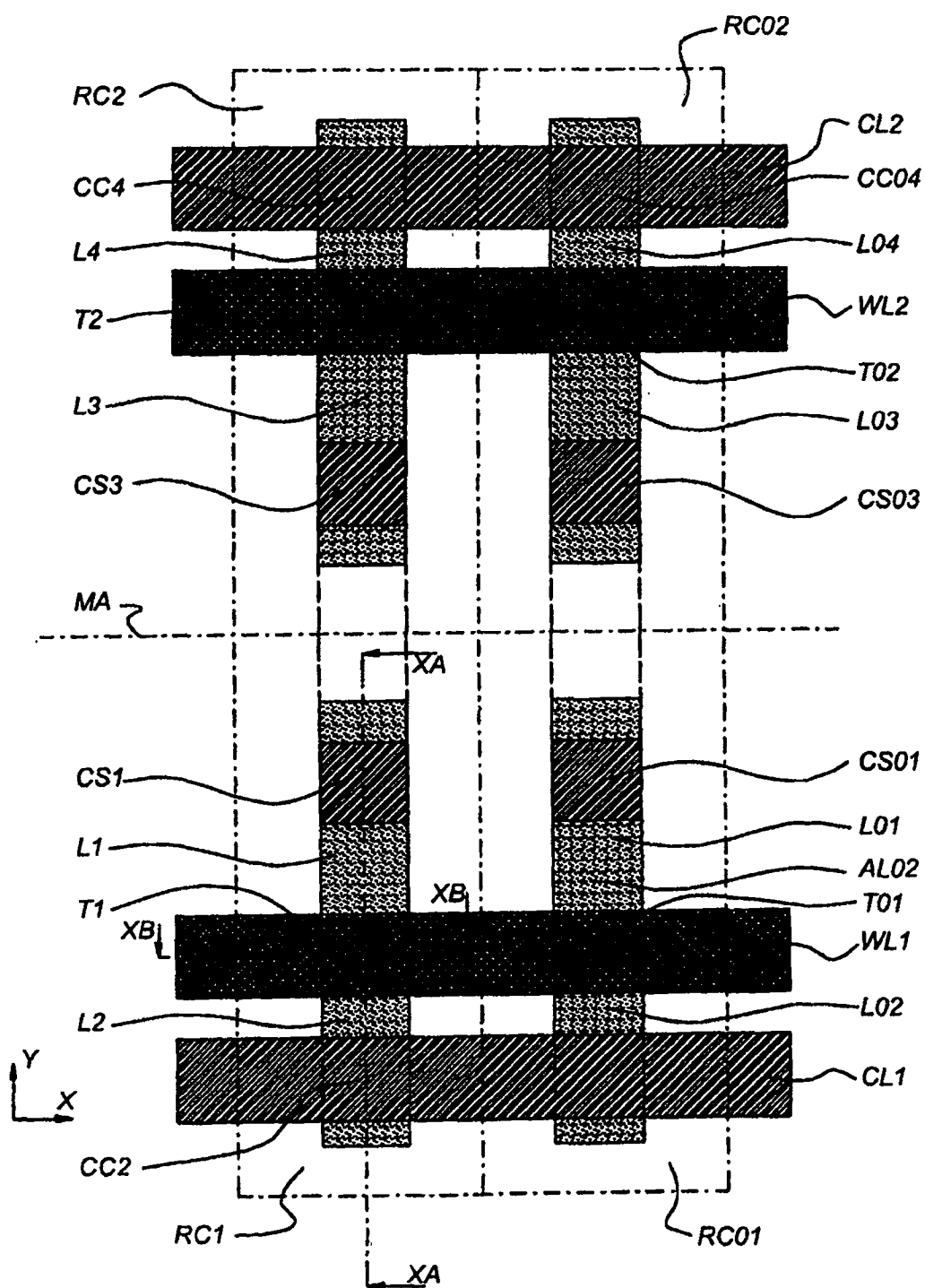


图 9

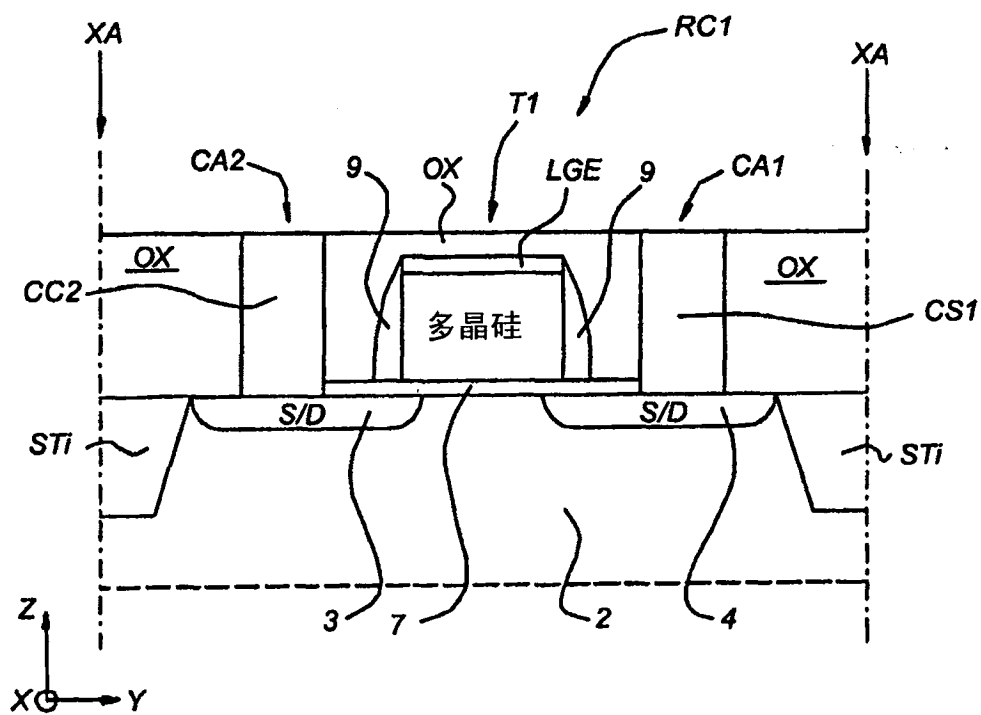


图 10a

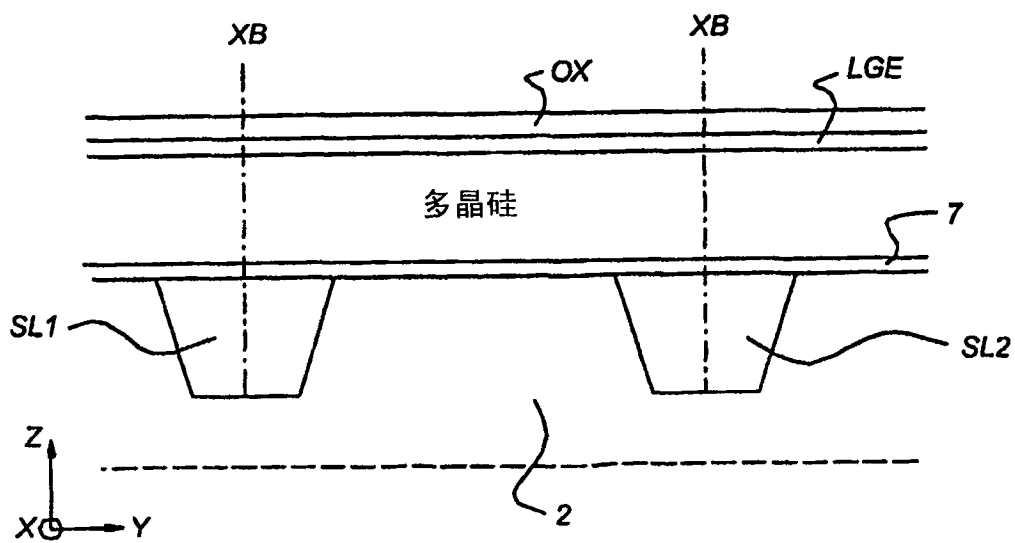


图 10b

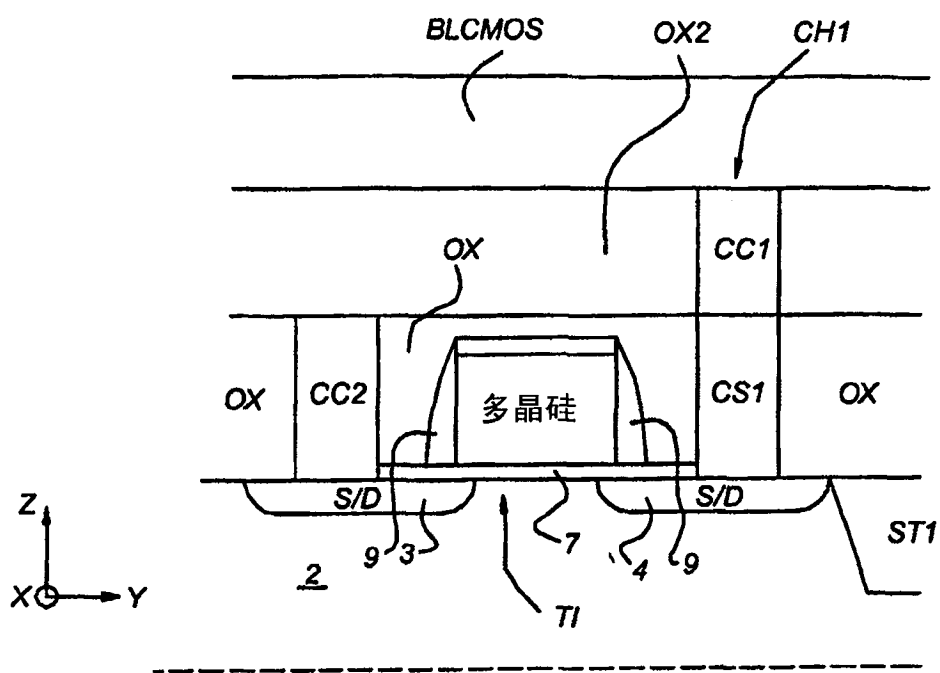


图 11a

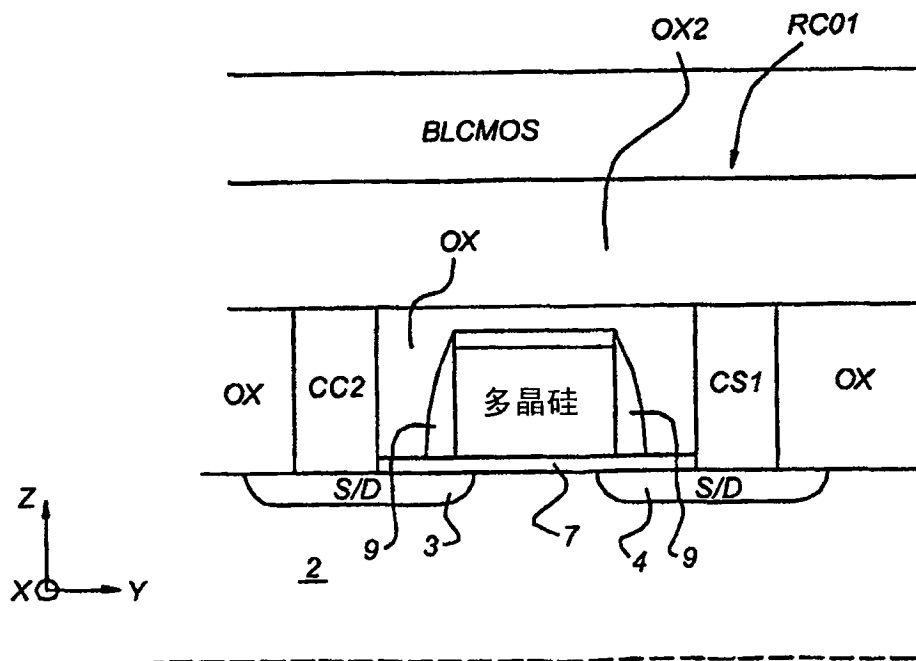


图 11b

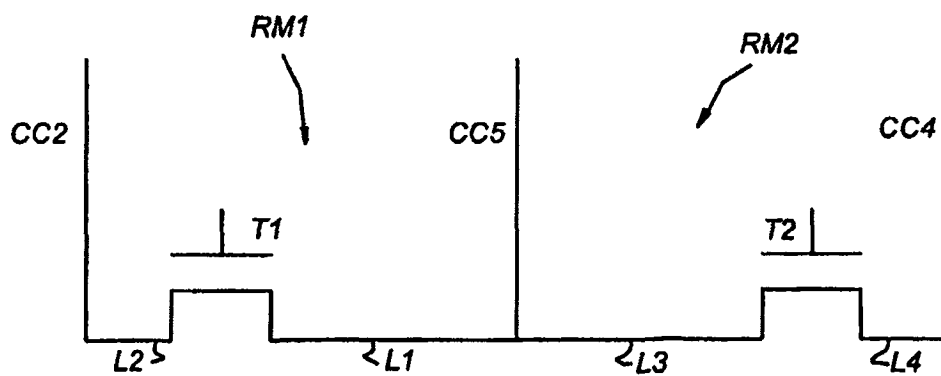


图 12

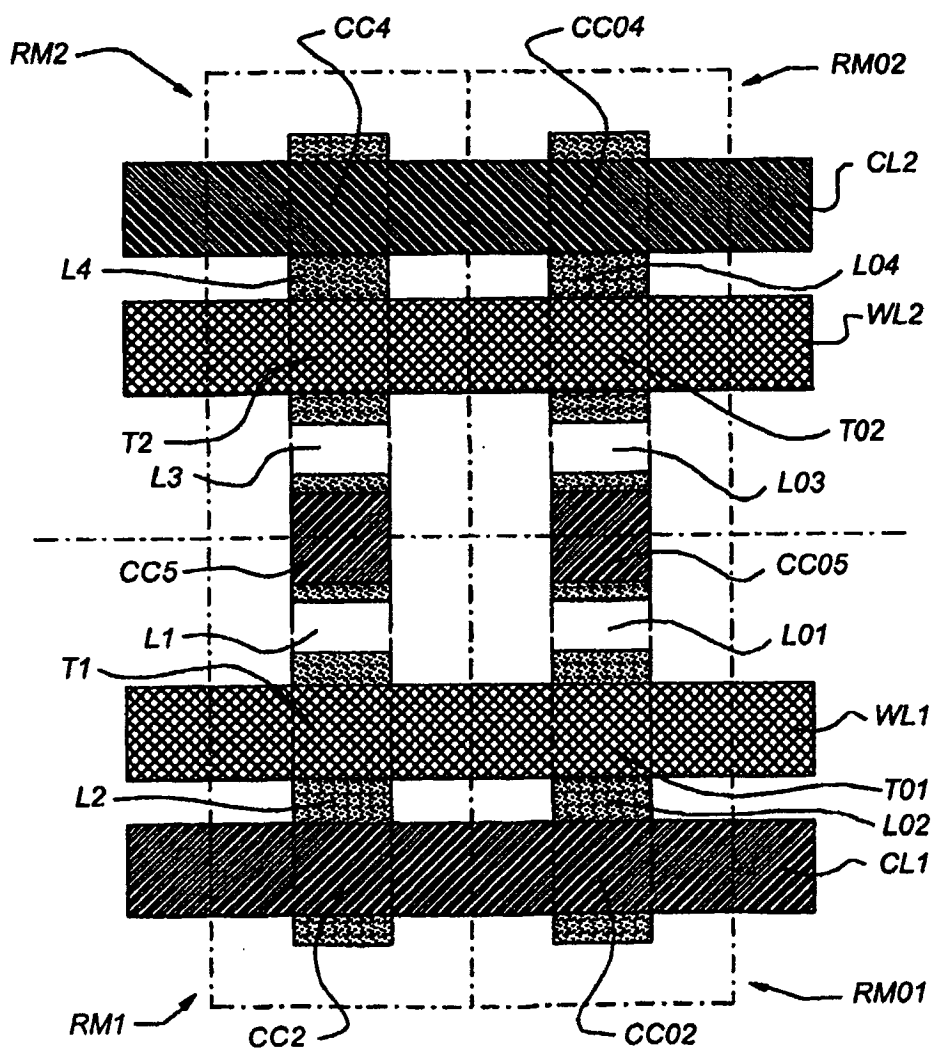


图 13

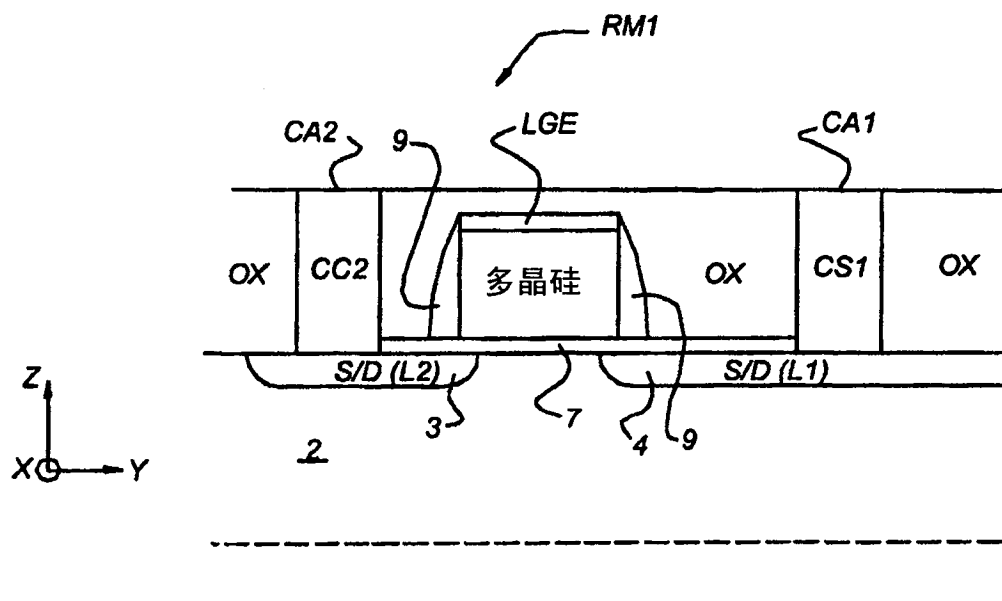


图 14a

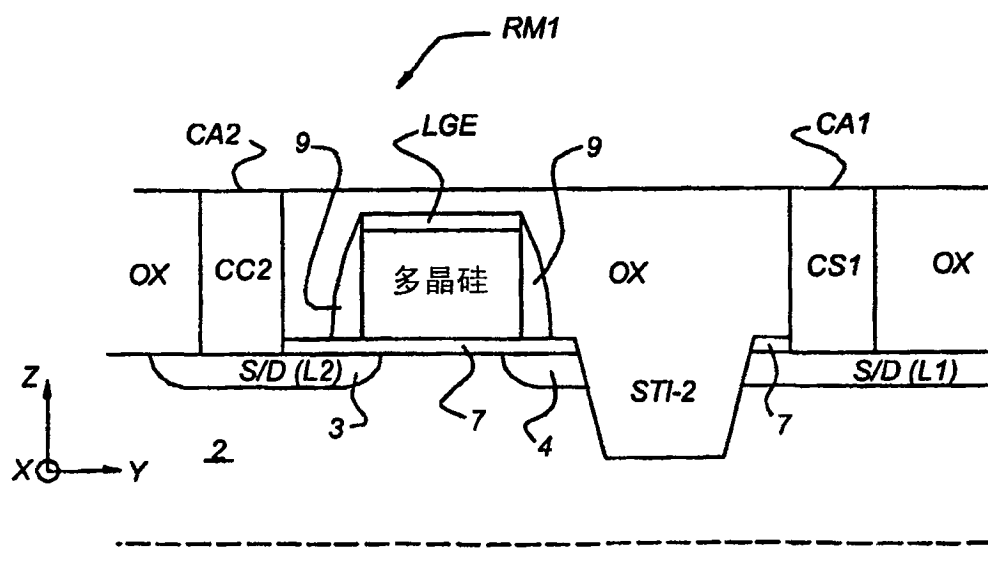


图 14b

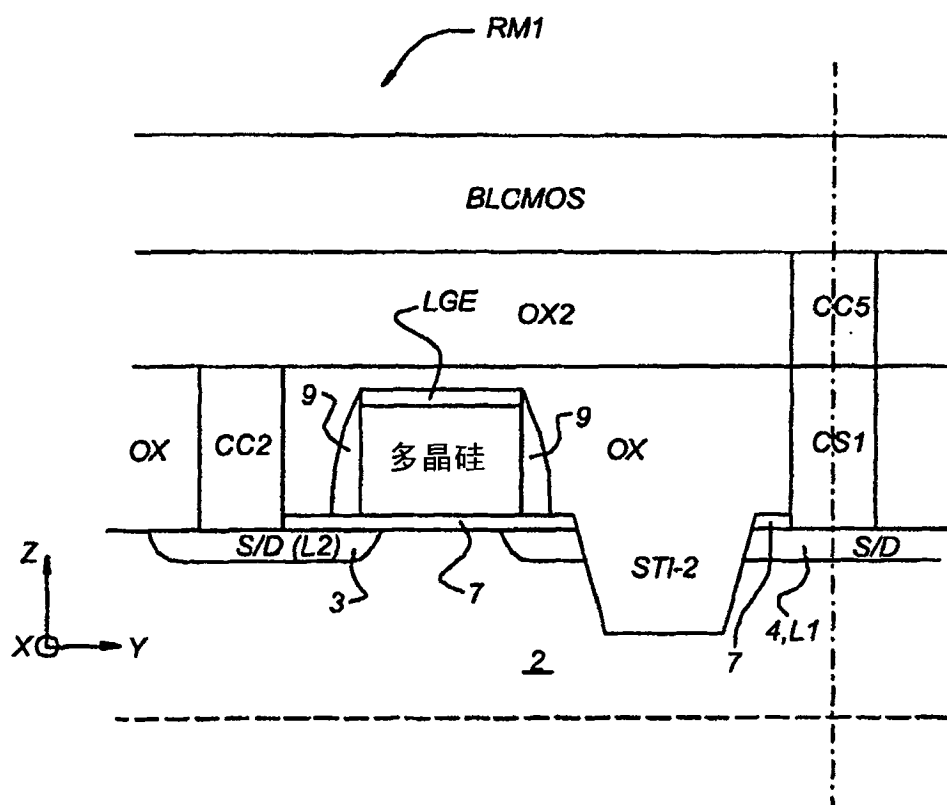


图 15