(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2021 年 1 月 21 日 (21.01.2021)

WIPO | PCT

(10) 国际公布号
WO 2021/007774 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2019/096151

(22) 国际申请日: 2019 年 7 月 16 日 (16.07.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 福州京东方光电科技有限公司 (**FUZHOU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国福建省福州市福清市石竹街道西环北路 36 号, Fujian 350300 (CN)。

(72) 发明人: 李宗祥 (**LI, Zongxiang**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王文超 (**WANG, Wenchao**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 颜京龙 (**YAN, Jinglong**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 吴洪江 (**WU, Hongjiang**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王宝强 (**WANG, Baoqiang**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 刘文瑞 (**LIU, Wenrui**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 陈曦 (**CHEN, Xi**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 刘耀 (**LIU, Yao**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 林鸿涛

WO 2021/007774 A1

(54) **Title:** ARRAY SUBSTRATE, DISPLAY PANEL, DISPLAY DEVICE AND METHOD FOR MANUFACTURING ARRAY SUBSTRATE

(54) 发明名称: 阵列基板、显示面板、显示装置和阵列基板的制作方法

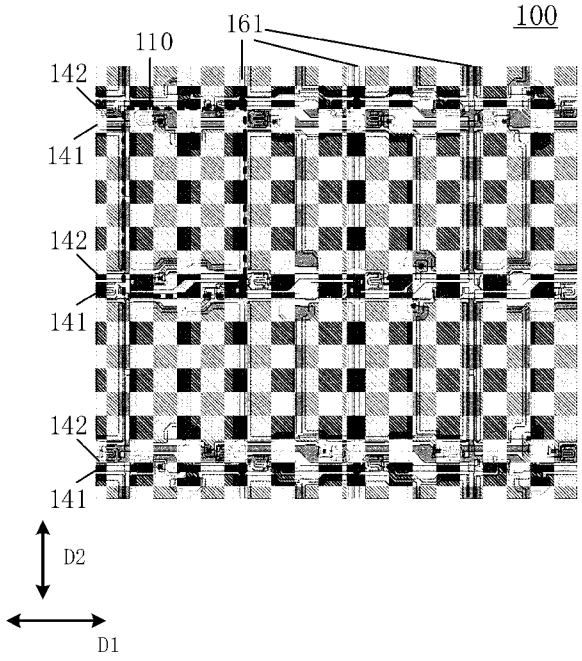


图 4A

(57) **Abstract:** An array substrate (100), a display panel (10), a display device (20) and a method for manufacturing an array substrate. The array substrate (100) comprises a pixel unit group (110). The pixel unit group (110) comprises a first pixel and a second pixel disposed in parallel and adjacent to each other in the first direction (D1). The first pixel comprises a first pixel electrode (121), a first switch member (123) and a first connecting portion (122) extending and protruding from the first pixel electrode (121), and the second pixel comprises a second pixel electrode (131), a second switch member (133) and a second connecting portion (132) extending and

[见续页]

(LIN, Hongtao)；中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 陶文昌 (TAO, Wenchang)；中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人：北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES)；中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

protruding from the second pixel electrode (131). The first pixel electrode (121) is electrically connected to the first switch member (123) by means of the first connecting portion (122), and the second pixel electrode (131) is electrically connected to the second switch member (133) by means of the second connecting portion (132). The extending length of the first connecting portion (122) is not equal to that of the second connecting portion (132). The array substrate (100), the display panel (10), the display device (20) and the method for manufacturing an array substrate can improve the performance of the display device (20) comprising the array substrate (100).

(57) 摘要：一种阵列基板(100)、显示面板(10)、显示装置(20)和阵列基板的制作方法。该阵列基板(100)包括像素单元组(110)。像素单元组(110)包括在第一方向(D1)上并列紧邻布置的第一像素和第二像素；第一像素包括第一像素电极(121)、第一开关元件(123)以及从第一像素电极(121)延伸突出的第一连接部(122)，第二像素包括第二像素电极(131)、第二开关元件(133)以及从第二像素电极(131)延伸突出的第二连接部(132)；第一像素电极(121)和第一开关元件(123)经由第一连接部(122)彼此电连接，第二像素电极(131)和第二开关元件(133)经由第二连接部(132)彼此电连接；以及第一连接部(122)的延伸长度不等于第二连接部(132)的延伸长度。该阵列基板(100)、显示面板(10)、显示装置(20)和阵列基板的制作方法可以提升包括该阵列基板(100)的显示装置(20)的性能。

阵列基板、显示面板、显示装置和阵列基板的制作方法

技术领域

本公开的实施例涉及一种阵列基板、显示面板、显示装置和阵列基板的制作方法。

背景技术

随着显示科技的发展，薄膜晶体管液晶显示器件（TFT-LCD）以其具有的低功耗、轻薄、低辐射等优势而逐渐成为市场主流。随着人们生活水平的提高以及对显示器件认知的不断提升，人们对显示器件的显示性能也提出了越来越高的要求，例如，要求显示器件具有高分辨率、高对比度、高响应速度等。此外，人们对表征显示器件的画面品质（例如，残像、姆拉、漏光等）的参数也提出了更高的要求。例如，为实现低成本、高分辨率的显示器件，诸多显示器件采用了双栅设计方案。

发明内容

本公开的至少一个实施例提供了一种阵列基板，其包括：像素单元组。所述像素单元组包括在第一方向上并列紧邻布置的第一像素和第二像素；所述第一像素包括第一像素电极、第一开关元件以及从所述第一像素电极延伸突出的第一连接部，所述第二像素包括第二像素电极、第二开关元件以及从所述第二像素电极延伸突出的第二连接部；所述第一像素电极和所述第一开关元件经由所述第一连接部彼此电连接，所述第二像素电极和所述第二开关元件经由所述第二连接部彼此电连接；以及所述第一连接部的延伸长度不等于所述第二连接部的延伸长度。

例如，在所述阵列基板的至少一个示例中，所述像素单元组包括在所述第一方向上彼此相对的第一边缘和第二边缘，相对于所述第二边缘，所述第一开关元件和所述第二开关元件在所述第一方向均更靠近所述像素单元组的第一边缘。

例如，在所述阵列基板的至少一个示例中，在与所述第一方向交叉的第二方向上，所述第一像素电极位于所述第一开关元件和所述第二开关元件之

间。

例如，在所述阵列基板的至少一个示例中，所述第一开关元件和所述第二开关元件相对于所述第一像素电极在所述第二方向上且沿所述第一方向延伸的中线对称设置。

例如，在所述阵列基板的至少一个示例中，所述第一连接部的延伸突出的方向为第二方向，所述第二连接部的延伸突出的方向为所述第一方向，所述第一方向和所述第二方向彼此交叉。

例如，在所述阵列基板的至少一个示例中，在与所述第一方向交叉的第二方向上，所述第二连接部与所述第一像素电极至少部分重叠。

例如，在所述阵列基板的至少一个示例中，所述第一连接部与所述第一像素电极使用相同的材料一体形成，所述第二连接部与所述第二像素电极使用相同的材料一体形成。

例如，在所述阵列基板的至少一个示例中，所述第一开关元件包括第一源漏层，所述第一源漏层包括彼此相对且间隔设置的两个第一源漏极；所述第二开关元件包括第二源漏层，所述第二源漏层包括彼此相对且间隔设置的两个第二源漏极；所述第一连接部与所述第一像素电极直接电性连接，所述第一连接部经由第一过孔与所述两个第一源漏极之一电连接；以及所述第二连接部与所述第二像素电极直接电性连接，所述第二连接部经由第二过孔与所述两个第二源漏极之一电连接。

例如，在所述阵列基板的至少一个示例中，所述两个第一源漏极之一覆盖所述第一过孔的开口区域的一部分，所述第一过孔的开口区域的另一部分位于所述第一源漏极之一的靠近所述第一像素电极的一侧；以及所述两个第二源漏极之一覆盖所述第二过孔的开口区域的一部分，所述第二过孔的开口区域的另一部分位于所述第二源漏极之一的靠近所述第一像素电极的一侧。

例如，在所述阵列基板的至少一个示例中，所述阵列基板还包括沿所述第一方向延伸的第一栅线和第二栅线；所述第一栅线和所述第二栅线在与所述第一方向交叉的第二方向上位于所述像素单元组的两侧；所述第一栅线在所述第一源漏层上的正投影与所述两个第一源漏极之一在至少两个不同的位置处交叠。

例如，在所述阵列基板的至少一个示例中，所述第一栅线包括顺次相连的第一栅极部、第一线部、第一线连接部；所述第一栅极部被配置为所述第

一开关元件的栅极；所述第一栅线在所述第一源漏层上的正投影与所述两个第一源漏极之一在所述第一方向上的两侧至少部分交叠。

例如，在所述阵列基板的至少一个示例中，所述第一栅线的第一线连接部在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一至少部分交叠。

例如，在所述阵列基板的至少一个示例中，所述第一线连接部包括朝向所述第一栅极部凸出的第一凸起；以及所述第一凸起在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一至少部分交叠。

例如，在所述阵列基板的至少一个示例中，所述第一凸起在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一的交叠区域为第一交叠区域，且所述第一交叠区域具有在与所述第一方向交叉的第二方向上的第一交叠边缘；所述第一栅极部在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一的交叠区域为第二交叠区域，所述第二交叠区域具有在所述第二方向上的第二交叠边缘；所述第一交叠边缘的长度和所述第二交叠边缘的长度相等。

例如，在所述阵列基板的至少一个示例中，所述第二栅线在所述第二源漏层上的正投影与所述两个第二源漏极之一在至少两个不同的位置处交叠。

例如，在所述阵列基板的至少一个示例中，所述第二栅线包括顺次相连的第二栅极部、第二线部、第二线连接部；所述第二栅极部被配置为所述第二开关元件的栅极；所述第二栅线在所述第二源漏层上的正投影与所述两个第二源漏极之一在所述第一方向上的两侧至少部分交叠。

例如，在所述阵列基板的至少一个示例中，所述第二栅线的第二线连接部在所述两个第二源漏极之一上的正投影与所述两个第二源漏极之一至少部分交叠。

例如，在所述阵列基板的至少一个示例中，所述第二线连接部包括朝向所述第二栅极部凸出的第二凸起；所述第二凸起在所述两个第二源漏极之一上的正投影与所述两个第二源漏极之一至少部分交叠。

例如，在所述阵列基板的至少一个示例中，所述第二凸起在所述两个第二源漏极之一上的正投影与所述两个第二源漏极之一的交叠区域为第三交叠区域，所述第三交叠区域具有在所述第二方向上的第三交叠边缘；所述第二栅极部在所述两个第二源漏极之一的正投影与所述两个第二源漏极之一的交

叠区域为第四交叠区域，所述第四交叠区域具有在所述第二方向上的第四交叠边缘；以及所述第三交叠边缘的长度和所述第四交叠边缘的长度相等。

例如，在所述阵列基板的至少一个示例中，所述第一栅线在所述第一源漏层上的正投影与所述两个第一源漏极之一的交叠面积为第一值；所述第二栅线在所述第二源漏层上的正投影与所述两个第二源漏极之一的交叠面积为第二值；以及所述第一值等于所述第二值。

例如，在所述阵列基板的至少一个示例中，所述第一连接部和所述第二连接部在与所述第一方向垂直的第二方向上分别位于所述第一像素电极的两侧；所述第一连接部和所第二连接部在所述第二方向上均位于所述第一栅线和所述第二栅线之间；以及所述第一栅线和所述第二栅线相对于所述像素单元组在所述第二方向上的沿所述第一方向延伸的中线对称设置。

例如，在所述阵列基板的至少一个示例中，所述阵列基板包括阵列排布的多个所述像素单元组；以及用于驱动每个所述像素单元组的第一栅线与用于驱动与所述每个像素单元组在所述第二方向上相邻的像素单元组的第二栅线在所述第一方向上部分交叠。

例如，在所述阵列基板的至少一个示例中，所述阵列基板包括阵列排布的多个所述像素单元组以及设置在相邻的所述像素单元组之间的数据线；以及每个所述像素单元组的第一开关元件和第二开关元件均与同一根数据线相连。

例如，在所述阵列基板的至少一个示例中，所述阵列基板还包括阵列排布的多个公共电极图案；所述多个公共电极图案和所述多个像素单元组一一对应；位于同一行的多个公共电极图案位于用于驱动与所述同一行的多个公共电极图案对应的像素单元组的第一栅线和第二栅线之间；在所述第一方向上相邻的所述公共电极图案通过第一公共电极连接部彼此电连接，所述第一公共电极连接部与所述公共电极图案同层；以及在所述第二方向上相邻的所述公共电极图案通过第二公共电极连接部彼此电连接，所述第二公共电极连接部与所述第一连接部同层，所述第二公共电极连接部与对应的公共电极图案通过第三过孔电连接。

例如，在所述阵列基板的至少一个示例中，每个所述公共电极图案包括主体部以及从所述主体部的第一侧伸出的第一凸出部构成；所述第一凸出部沿所述第二方向延伸；在所述第二方向上相邻的所述公共电极图案通过所述

相邻的公共电极图案的第一凸出部和所述第三过孔电连接。

例如，在所述阵列基板的至少一个示例中，所述第一像素电极与驱动所述第一像素的栅线的横向间距大于五微米；所述第二像素电极与驱动所述第二像素的栅线的横向间距大于五微米。

例如，在所述阵列基板的至少一个示例中，所述第一连接部的延伸长度小于所述第二连接部的延伸长度；以及所述第二像素电极的靠近驱动所述第二像素的栅线的一侧具有凹陷部。

例如，在所述阵列基板的至少一个示例中，所述第一像素电极与驱动所述第一像素的栅线在与所述第一方向交叉的第二方向上彼此交叠，所述第二像素电极与驱动所述第二像素的栅线在与所述第一方向交叉的第二方向上彼此交叠；以及所述第一像素电极和所述第一连接部的结合结构与驱动所述第一像素的栅线的有效交叠长度等于所述第二像素电极和所述第二连接部的结合结构与驱动所述第二像素的栅线的有效交叠长度。

本公开的至少一个实施例还提供了一种显示面板，其包括本公开的实施例提供的任一阵列基板。

本公开的至少一个实施例还提供了一种显示装置，其包括本公开的实施例提供的任一阵列基板或本公开的实施例提供的任一显示面板。

本公开的至少一个实施例还提供了一种阵列基板的制作方法，其包括：形成像素单元组。所述像素单元组包括在第一方向上并列布置的第一像素和第二像素；所述第一像素包括第一像素电极、第一开关元件以及从所述第一像素电极延伸突出的第一连接部，所述第二像素包括第二像素电极、第二开关元件以及从所述第二像素电极延伸突出的第二连接部；所述第一像素电极和所述第一开关元件经由所述第一连接部彼此电连接，所述第二像素电极和所述第二开关元件经由所述第二连接部彼此电连接；以及所述第一连接部的长度不等于所述第二连接部的长度。

例如，在所述制作方法的至少一个示例中，所述形成像素单元组包括：使用同一构图工艺对相同的膜层构图形成所述第一连接部、所述第一像素电极、所述第二连接部和所述第二像素电极。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作

简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 是一种阵列基板的平面示意图；

图 2A 是本公开的至少一个实施例提供的一种阵列基板的平面示意图；

图 2B 是图 2A 所示的阵列基板的像素单元组的平面示意图；

图 2C 是显示面板的用户在没有摇头和摇头时观察到的图像的示意图；

图 2D 是空间频率的一种示例性的计算方法的示意图；

图 2E 是不同类型的显示面板的摇头纹的最佳观察距离的示意图；

图 2F 是摇头纹不良产生的原因的示意图；

图 2G 是一种显示面板的像素的充电和放电的示意图；

图 2H 是与一种显示面板的与像素相关的电容的示意图；

图 3A 是图 2A 所示的阵列基板的示意图；

图 3B 是图 2A 所示的阵列基板的区域 RC1 的放大图；

图 3C 是图 2A 所示的阵列基板的区域 RC2 的放大图；

图 3D 是图 2A 所示的阵列基板的位于奇数列的像素单元组的像素在源漏金属层未偏移和偏移情况下的像素电压的示意图；

图 3E 是图 2A 所示的阵列基板的位于偶数列的像素单元组的像素在源漏金属层未偏移和偏移情况下的像素电压的示意图；

图 3F 是图 2A 所示的阵列基板的像素的像素电极和连接部的结合结构与驱动该像素的栅线之间的有效交叠长度和横向间距的示意图；

图 3G 是图 2A 所示的阵列基板的短连接像素和长连接像素在正显示帧和负显示帧下的像素电压的对比的示意图；

图 3H 是图 2A 所示的阵列基板的区域 RC1 的示意图；

图 3I 是图 2A 所示的阵列基板的区域 RC3 的示意图；

图 3J 是图 2A 所示的阵列基板的像素的电容 Cpg’ 对该像素的像素电压的影响的示意图；

图 4A 是本公开的至少一个实施例提供的另一种阵列基板的平面示意图；

图 4B 是图 4A 所示的阵列基板的像素单元组的平面示意图；

图 4C 是图 4A 所示的阵列基板的第一电极层的平面示意图；

图 4D 是图 4A 所示的阵列基板的第一栅线和第二栅线的平面示意图；

图 4E 是图 4A 所示的阵列基板的第一栅线和第二栅线的对应于一个像素

单元组的部分的平面示意图；

图 5A 是图 4A 所示的阵列基板的半导体层和第二电极层的平面示意图；

图 5B 是图 4A 所示的阵列基板的第一开关元件的平面示意图；

图 5C 是沿图 5B 所示的 AA’线剖切获得的截面示意图；

图 5D 是图 4A 所示的阵列基板的第二开关元件的平面示意图；

图 5E 是图 2A 所示的阵列基板的部分区域的平面示意图；

图 5F 是图 5E 所示的阵列基板的区域 RC4 的平面示意图；

图 5G 是图 4A 所示的阵列基板的栅线所在的电极层与源漏极所在的电极层在栅线所在的电极层的正投影之间的交叠区域的第一个示意图；

图 5H 是图 4A 所示的阵列基板的栅线所在的电极层与源漏极所在的电极层在栅线所在的电极层的正投影之间的交叠区域的第二个示意图；

图 6 是图 4A 所示的阵列基板的第三电极层的平面示意图；

图 7 是图 4A 所示的阵列基板的第一电极层、半导体层和第二电极层的平面示意图；

图 8 是图 4A 所示的阵列基板的第一过孔、第二过孔和第三过孔的平面示意图；

图 9 是图 4A 所示的阵列基板的像素电极与驱动该像素电极所在的像素的栅线的间距和交叠长度的示意图；

图 10 是图 4A 所示的阵列基板的多个公共电极图案的平面示意图；

图 11 是图 4A 所示的阵列基板的多个公共电极图案的一个的平面示意图；以及

图 12 是本公开至少一个实施例提供的显示面板和显示装置的示例性框图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本公开所属领

域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

本公开的发明人在研究中注意到，一些采用了双栅设计方案的显示面板存在摇头纹不良和/或开口率较低，尤其是对于 TN（Twist Nematic，扭曲向列型）显示面板而言，下面结合图 1 对采用了双栅设计方案的显示面板的开口率较低问题进行示例性说明。

图 1 是一种阵列基板 500 的平面示意图。如图 1 所示，该阵列基板 500 包括阵列排布的多个像素单元组 510、沿第一方向 D1 延伸的栅线 542 以及沿与第一方向 D1 交叉（例如，垂直）的第二方向 D2 延伸的数据线 561；在第一方向 D1 上相邻的两个像素单元组 510 之间设置了一根数据线 561，在第二方向 D2 上相邻的两个像素单元组 510 之间设置了两根栅线 542；每行像素单元组 510 由设置在该行像素单元组 510 两侧的两根栅线 542（位于该行像素单元组 510 上方的一根栅线 542 以及位于该行像素单元组 510 下方的一根栅线 542）驱动。

如图 1 所示，每个像素单元组 510 包括在第一方向 D1 上并列紧邻布置的第一像素和第二像素；第一像素包括第一像素电极 521、第一开关元件 523 以及第一走线 522，该第一走线 522 用于连接第一开关元件 523 以及用于驱动该第一像素的数据线 561；第二像素包括第二像素电极 531、第二开关元件 533 以及第二走线 532，该第二走线 532 用于连接第二开关元件 533 以及用于驱动该第二像素的数据线 561。

如图 1 所示，第一像素电极 521 与第一开关元件 523 通过第一过孔 524 电连接，第二像素电极 531 与第二开关元件 533 通过第二过孔 534 电连接；第一过孔 524 在第一像素电极 521 上的正投影与第一像素电极 521 至少部分重叠；第二过孔 534 在第二像素电极 531 上的正投影与第二像素电极 531 至少部分重叠。

如图 1 所示，用于驱动同一像素单元组 510 的第一开关元件 523 和第二开关元件 533 在第二方向 D2 上并列布置，且第一开关元件 523 和第二开关元件 533 在第二方向 D2 上至少部分交叠，也即，第一开关元件 523 和第二开关元件 533 在垂直于第二方向 D2 上的平面上的正投影至少部分交叠；第一走线 522 和第二走线 532 设置在第二方向 D2 上相邻的两个像素单元组 510 之间的两根栅线 542 之间。

例如，包括该阵列基板 500 的显示面板包括黑矩阵（图中未示出），且黑矩阵在阵列基板 500 上的正投影覆盖栅线 542、数据线 561、第一走线 522、第二走线 532、第一开关元件 523、第二开关元件 533、第一过孔 524 和第二过孔 534。例如，第一走线 522、第二走线 532 以及数据线 561 使用相同的材料制成。

本公开的发明人在研究中注意到，包括图 1 所示的阵列基板的显示面板的开口率较小。并且，尽管通过缩小第一走线和第二走线在第二方向上的宽度可以略微提升包括图 1 所示的阵列基板的显示面板的开口率，但是缩小第一走线和第二走线在第二方向上的宽度可以增加第一走线和第二走线的断路风险。此外，第一走线和第二走线上的信号可能会对阵列基板的其它走线上的信号产生干扰。

本公开的至少一个实施例提供了一种阵列基板、显示面板、显示装置和阵列基板的制作方法。该阵列基板包括像素单元组。像素单元组包括在第一方向上并列紧邻布置的第一像素和第二像素；第一像素包括第一像素电极、第一开关元件以及从第一像素电极延伸突出的第一连接部，第二像素包括第二像素电极、第二开关元件以及从第二像素电极延伸突出的第二连接部；第一像素电极和第一开关元件经由第一连接部彼此电连接，第二像素电极和第二开关元件经由第二连接部彼此电连接；以及第一连接部的延伸长度不等于第二连接部的延伸长度。

在一些示例中，通过使得第一连接部的延伸长度不等于第二连接部的延伸长度（也即，使得阵列基板具有长连接像素和短连接像素），使得该阵列基板以及包括该阵列基板的显示面板和显示装置具有提升开口率的能力或提升开口率的基础。

在一些示例中，由于长连接像素的侧向电容和短连接像素的相关电容不等，此种情况下，可能导致包括具有提升开口率的能力或提升开口率的基础

的阵列基板具有显示不均匀现象（例如，摇头纹现象，摇头纹不良）。摇头纹是一种显示面板的用户在摇头时才可能会观察到的明暗交替排布的条纹，摇头纹与不同像素的像素电压跳变量 Δp 不同相关，影响像素的像素电压跳变量 Δp 的因素包括：像素的侧向电容包括栅线与源漏层形成的电容 Cgs，像素电极以及与该像素电极对应的栅线形成的电容 Cpg，像素电极以及与该像素电极相邻的栅线（但不用于驱动该像素电极所在的像素）形成的电容 Cpg'等。例如，在长连接像素的电容 Cgs 和短连接像素的电容 Cgs 更为接近和/或长连接像素的电容 Cpg 和短连接像素的电容 Cpg 更为接近的情况下，长连接像素的像素电压跳变量 Δp 与短连接像素的像素电压跳变量 Δp 更为接近，由此可以使得摇头纹现象减弱。需要说明的是，为清楚起见，摇头纹的定义、产生原因、相关因素以及观察和研究摇头纹的实验方法将在后面进行详细阐述，在此不再赘述。

在一些示例中，通过使得对应于每个像素（第一像素和第二像素）的栅线（第一栅线和第二栅线）的部分在源漏层上的正投影与该像素的两个源漏极之一在至少两个不同的位置处交叠，可以降低栅线与源漏层形成的电容 Cgs 的变化幅度（偏离设计值的幅度），由此可以抑制显示不均匀现象（例如，摇头纹现象，摇头纹不良）。

在一些示例中，通过使得第一栅线在源漏层上的正投影与两个第一源漏极之一的交叠面积等于，第二栅线在源漏层上的正投影与两个第二源漏极之一的交叠面积，可以使得长连接像素的电容 Cgs 等于短连接像素的电容 Cgs，由此可以进一步地抑制（例如，摇头纹现象，摇头纹不良）。

在一些示例中，通过使得第一像素电极与驱动第一像素的栅线的横向间距大于五微米可以降低以下因素对第一像素的电容 Cpg 的影响：第一像素电极与驱动第一像素的栅线的横向间距（例如，因制造工艺导致的变化）的变化；第一像素电极和第一连接部的结合结构与驱动第一像素的栅线的有效交叠长度的变化；通过使得第二像素电极与驱动第二像素的栅线的横向间距大于五微米，可以降低以下因素对第二像素的电容 Cpg 的影响：第二像素电极与驱动第二像素的栅线的横向间距的变化；第二像素电极和第二连接部的结合结构与驱动第二像素的栅线的有效交叠长度的变化；因此，可以在不劣化显示均匀性的情况下，可以降低对制造工艺的要求。

在一些示例中，通过使得长连接像素的像素电极的靠近驱动该长连接像

素的栅线的一侧具有凹陷部，可以缩短长连接像素的像素电极和连接部的结合结构与栅线的有效交叠长度 lpg；此种情况下，长连接像素的像素电极和连接部的结合结构与栅线的有效交叠长度与短连接像素的像素电极和连接部的结合结构与栅线的有效交叠长度更为接近，因此，可以使得长连接像素的电容 Cpg 与短连接像素的电容 Cpg 更为接近，由此可以进一步地抑制摇头纹不良。

下面通过几个示例和实施例对根据本公开实施例提供的阵列基板进行非限制性的说明，如下面所描述的，在不相互抵触的情况下这些具体示例和实施例中不同特征可以相互组合，从而得到新的示例和实施例，这些新的示例和实施例也都属于本公开保护的范围。

图 2A 是本公开的至少一个实施例提供的一种阵列基板 100 的平面示意图，如图 2A 所示，该阵列基板 100 包括阵列排布的多个像素单元组 110、多根第一栅线 141、多根第二栅线 142 和多根数据线 161；多根第一栅线 141 和多根第二栅线 142 分别大致沿第一方向 D1 延伸，多根数据线 161 大致沿与第一方向 D1 交叉（例如，垂直）的第二方向 D2 延伸。

每行像素单元组 110 被两根栅线驱动，上述两根栅线（一根第一栅线 141 和一根第二栅线 142）在第二方向 D2 上位于该行像素单元组 110 两侧且与该行像素单元组 110 紧邻。此处，栅线与像素单元组 110 紧邻是指像素单元组 110 与上述栅线之间不包括其它栅线。在第二方向 D2 上相邻的两个像素单元组 110 之间设置了两根栅线，在第一方向 D1 上相邻的两个像素单元组 110 之间设置了一根数据线。

为清楚起见，下面针对多个像素单元组 110 中的一个进行示例性说明。

图 2B 是图 2A 所示的阵列基板 100 的像素单元组 110 的平面示意图，为方便描述，图 2B 还示出了第一栅线 141、第二栅线 142 和数据线 161。图 2A 所示的阵列基板 100 的部分或所有像素单元组 110 可以实现为图 2B 所示的像素单元组 110。

如图 2B 所示，该像素单元组 110 包括在第一方向 D1 上并列紧邻布置的第一像素和第二像素。需要说明的是，并列紧邻布置的第一像素和第二像素是指上述第一像素和第二像素之间不包含其它像素。

如图 2B 所示，第一像素包括第一像素电极 121、第一开关元件 123 以及从第一像素电极 121 延伸突出的第一连接部 122，第二像素包括第二像素电极

131、第二开关元件 133 以及从第二像素电极 131 延伸突出的第二连接部 132；第一像素电极 121 和第一开关元件 123 经由第一连接部 122 彼此电连接，第二像素电极 131 和第二开关元件 133 经由第二连接部 132 彼此电连接；第一连接部 122 的延伸长度不等于（例如，小于）第二连接部 132 的延伸长度。

例如，对于第一连接部 122 的延伸长度小于第二连接部 132 的延伸长度的示例，第一像素也可以被称为短连接像素，第二像素也可以被称为长连接像素。例如，每个像素单元组中所包括的连接部的延伸长度较小的那个像素被称为短连接像素，每个像素单元组中所包括的连接部的延伸长度较长的那个像素被称为长连接像素。在一些示例中，阵列基板的所有的短连接像素均被称为第一像素，阵列基板的所有的长连接像素均被称为第二像素。

例如，通过使得第一连接部 122 的延伸长度不等于（例如，小于）第二连接部 132 的延伸长度，可以将第一开关元件 123 和第二开关元件 133 均设置在像素单元组 110 的在第一方向 D1 上的边缘，下面结合图 2B 进行示例性说明。

例如，如图 2B 所示，像素单元组 110 包括在第一方向 D1 上彼此相对的第一边缘 111 和第二边缘 112，相对于第二边缘 112，第一开关元件 123 和第二开关元件 133 在第一方向 D1 均更靠近像素单元组 110 的第一边缘 111。

例如，如图 2B 所示，每个像素单元组 110 的第一开关元件 123 和第二开关元件 133 均与同一根数据线 161 相连。例如，每个像素单元组 110 的第一开关元件 123 和第二开关元件 133 与上述同一根数据线 161 的距离均相同，此种情况下，每个像素单元组 110 的第一开关元件 123 与驱动该像素单元组 110 的数据线 161 之间的连接线的长度（在第一方向 D1 上的长度）可以等于每个像素单元组 110 的第二开关元件 133 与驱动该像素单元组 110 的数据线 161 之间的连接线的长度（在第一方向 D1 上的长度）。

例如，如图 2A 所示，与同一根数据线 161 相连的开关元件包括位于上述同一根数据线 161 的第一侧（例如，左侧）的开关元件以及位于上述同一根数据线 161 的第二侧（例如，右侧）的开关元件，位于上述同一根数据线 161 的第一侧（例如，左侧）的开关元件以及位于上述同一根数据线 161 的第二侧（例如，右侧）的开关元件在第一方向 D1 上部分重叠。

例如，在本公开的至少一些实施例中，A 结构与 B 结构在 C 方向上重叠（或部分重叠）是指 A 结构在垂直于 C 方向上的 D 平面上正投影与 B 结构在

D平面上的正投影重叠（或部分重叠）。

例如，通过使得位于上述同一根数据线 161 的第一侧（例如，左侧）的开关元件以及位于上述同一根数据线 161 的第二侧（例如，右侧）的开关元件在第一方向 D1 上部分重叠，可以降低设置了开关元件（第一开关元件 123 和第二开关元件 133）占据的区域在第二方向 D2 上的尺寸，因此可以降低用于遮挡开关元件的黑矩阵在第二方向 D2 上的尺寸，提升该阵列基板 100 以及包括该阵列基板 100 的显示面板和显示装置的开口率。

例如，如图 2B 所示，像素单元组 110 的第一连接部 122 和第二连接部 132 在第二方向 D2 上分别位于第一像素电极 121 的两侧；第一连接部 122 和第二连接部 132 在第二方向 D2 上均位于第一栅线 141 和第二栅线 142 之间。

例如，如图 2B 所示，第一连接部 122 的延伸突出的方向为第二方向 D2，第二连接部 132 的延伸突出的方向为第一方向 D1。在一个示例中，第一连接部 122 的延伸长度是指第一连接部 122 在第二方向 D2 上长度；第二连接部 132 的延伸长度是指第二连接部 132 在第一方向 D1 上长度，也即，连接部的延伸长度是指该连接部在其延伸方向上的长度。在另一个示例中，连接部的延伸长度还可以是该连接部的总体长度或物理长度。

例如，在第二方向 D2 上，第二连接部 132 与第一像素电极 121 至少部分重叠；在第二方向 D2 上，第一像素电极 121 位于第一开关元件 123 和第二开关元件 133 之间。

例如，第一连接部 122 与第一像素电极 121 使用相同的材料一体形成，第二连接部 132 与第二像素电极 131 使用相同的材料一体形成。

例如，如图 2B 所示，通过使得第一开关元件 123 和第二开关元件 133 在第一方向 D1 均更靠近像素单元组 110 的同一个边缘（例如，第一边缘 111），第一连接部 122 与第一像素电极 121 使用相同的材料一体形成，第二连接部 132 与第二像素电极 131 使用相同的材料一体形成，可以使得第一连接部 122（第一连接部 122 的第一端 1221，还可参见下方的图 6）与第一像素电极 121 直接电性连接，且使得第二连接部 132（第二连接部 132 的第一端 1321，还可参见下方的图 6）与第二像素电极 131 直接电性连接，因此，相比于图 1 所示的阵列基板，可以避免在靠近第一像素电极 121 和第二像素电极 131 的区域设置过孔，由此可以提升第一像素的显示区域和第二像素的显示区域的面积；此外，尽管第一连接部 122（第一连接部 122 的第二端 1222）通过第

一过孔 1223 与第一开关元件 123 电连接，第二连接部 132（第二连接部 132 的第二端 1322）通过第二过孔 1323 与第二开关元件 133 电连接，但是由于第一过孔 1223 靠近第一开关元件 123，第二过孔 1323 靠近第二开关元件 133，且靠近第一开关元件 123 和第二开关元件 133 的区域原本也对应于被黑矩阵遮挡的区域，因此，图 2B 所示的第一过孔 1223 和第二过孔 1323 不会降低像素单元组 110 以及阵列基板 100 的开口率。

例如，第一像素电极 121 和第二像素电极 131 均可以采用透明导电材料形成。例如，透明导电材料为氧化铟锡（ITO）或氧化铟锌（IZO）。对于第一连接部 122 与第一像素电极 121 使用相同的材料一体形成，且第二连接部 132 与第二像素电极 131 使用相同的材料一体形成的示例，第一连接部 122 和第二连接部 132 也均可以使用透明导电材料形成（例如，ITO）。例如，透明导电材料（例如，ITO）的加工精度高于金属材料的加工精度，也即，透明导电材料走线的线宽可以小于金属材料走线的线宽；此种情况下，第一连接部 122 和第二连接部 132 占据的区域的尺寸可以降低，第一像素电极 121 和第二像素电极 131 占据的区域的尺寸可以对应的增加，由此可以进一步地提升像素单元组 110 以及阵列基板 100 的开口率。

例如，如图 2A 和图 2B 所示，第一开关元件 123 和第二开关元件 133 均为 U 型 TFT。例如，如图 2A 所示，位于相邻行的像素单元组的 U 型 TFT 的开口方向相反。例如，如图 2A 所示，位于第一行（奇数行）的像素单元组的 U 型 TFT 的开口方向为向右，位于第二行（偶数行）的像素单元组的 U 型 TFT 的开口方向为向左。对应的，位于第一行（奇数行）的像素单元组的 U 型 TFT 设置在数据线的右侧，位于第二行（偶数行）的像素单元组的 U 型 TFT 设置在数据线的左侧。

本公开的发明人在研究中注意到，虽然通过使得图 2A 所示的阵列基板的像素单元组包括长连接像素和短连接像素可能提升阵列基板的开口率，但是也可能导致图 2A 所示的阵列基板的存在亮度不均匀现象（例如，摇头纹现象，摇头纹不良）。下面结合图 2C -图 2H 对摇头纹不良的相关问题进行具体阐述。

摇头纹是一种显示面板的用户在摇头时才可能会观察到的明暗交替排布的条纹。图 2C 的左图是在显示面板的用户没有摇头时观察到的图像，图 2C 的右图是在显示面板的用户摇头时观察到的图像（也即，存在摇头纹不良的图像），此处，显示面板被配置为显示灰度为 127 的图像（也即，图像的各个

像素的灰度均为 127）。

如图 2C 的右图所示，摇头纹的亮条纹和暗条纹例如分别在显示面板的列方向上延伸，并且摇头纹的亮条纹和暗条纹在显示面板的行方向上交替排布。例如，摇头纹可以使用空间频率 fs 进行描述，下面结合图 2D 进行示例性说明。图 2D 示出了空间频率的一种示例性的计算方法的示意图。

如图 2D 所示，空间频率 fs 是指每度视角内图像（或刺激图形）的亮暗作正弦调制的栅条周数，或者每度视角内图像亮暗分布的周期数目；空间频率 fs 单位为周/度，空间频率 fs 可由公式（1）进行表示，摇头纹现象的最佳观察距离可由公式（2）进行表示。

$$fs = \frac{r \times d\theta}{s} \qquad \text{公式（1）}$$

$$r = \frac{180 \times fs \times l \times n}{\pi} \qquad \text{公式（2）}$$

此处，r 是观察距离，也即，用户的眼睛 611 至显示面板 612 的距离；l 是显示面板的子像素宽度（在行方向上的宽度）；n 是一个明暗周期内像素的个数，θ 是视角，dθ 是每度视角。

研究表明，对于不同的空间频率，不同明暗程度的摇头纹，人眼对空间频率等于 8 周/度时最敏感。因此，对于一个相关参数确定的显示面板的摇头纹而言，具有一个最佳观察距离。图 2E 示出了不同类型的显示面板的摇头纹的最佳观察距离，如图 2E 所示，大多数显示面板的摇头纹的最佳观察距离位于 0.2 米至 0.5 米之间。需要说明的是，图 2E 所示的“r/m”表示图 2E 的纵坐标代表观察距离 r，且观察距离 r 的单位为“米”；“HD”、“FHD”和“UHD”分别表示“高清”、“全高清”和“超高清”。

下面结合图 2F 示例性地说明摇头纹不良产生的原因。图 2F 示出了摇头纹不良产生的原因。如图 2F 所示，显示面板显示了在时间 T 上顺次相邻的第一帧图像 F1、第二帧图像 F2、第三帧图像 F3、第四帧图像 F4、第五帧图像 F5、第六帧图像 F6、第七帧图像 F7 和第八帧图像 F8。由于人眼看到的图像是对在时间上相邻的多幅图像叠加和平均后的图像，因此，在用户的头部保持静止时，用户观察不到摇头纹现象。然而，在用户的头部运动（例如，摇头）时，由于用户可能观察不到部分帧的图像（例如，用户未观察到第四帧

图像 F4-第六帧图像 F6），因此，用户的眼睛可能无法对观察到的图像进行较好的平均化，此种情况下，用户可能观察到摇头纹现象。例如，用户的眼睛无法通过对观察到第三帧图像 F3 和第七帧图像 F7 进行平均化而消除同一帧显示图像中不同像素之间存在的亮度差异。

如图 2F 所示，在显示第一帧图像 F1、第三帧图像 F3、第五帧图像 F5 和第七帧图像 F7 时，施加在像素电极上第一像素电压大于公共电压 Vcom，在显示第二帧图像 F2、第四帧图像 F4、第六帧图像 F6 和第八帧图像 F8 时，施加在像素电极上第二像素电压小于公共电压 Vcom，且第一像素电压和公共电压 Vcom 之间的电压差小于公共电压 Vcom 和第二像素电压之间的电压差，也即，第二帧图像 F2、第四帧图像 F4、第六帧图像 F6 和第八帧图像 F8 的亮度大于第一帧图像 F1、第三帧图像 F3、第五帧图像 F5 和第七帧图像 F7 的亮度。例如，即使通过调整图 2F 所示的公共电压 Vcom，并使得第一像素电压和公共电压 Vcom 之间的电压差等于公共电压 Vcom 和第二像素电压之间的电压差，由于上述未观察到的第四帧图像 F4-第六帧图像 F6，用户的眼睛也无法对观察到第三帧图像 F3 和第七帧图像 F7 进行较好的平均化，此种情况下，用户可能依然可以观察到摇头纹现象。

例如，影响像素在正帧和负帧亮度的主要因素包括公共电极上的电压（VCOM）、像素电压的跳变量（△Vp）以及电压保持率（VHR）。图 2G 是显示面板的像素的充电和放电的示意图，图 2G 示出了显示面板的像素的漏极电压 Vd、公共电压 Vcom、像素电压 Vp 以及栅极电压 Vg 随时间变化的曲线。如图 2G 所示，像素的每个显示周期可以包括相邻的第一显示帧 F1 和第二显示帧 F2，第二显示帧 F2 例如为反转显示帧，在第二显示帧 F2 中，阵列基板的各个像素的像素电极上的电压的极性与第一显示帧 F1 相反；第一显示帧 F1 和第二显示帧 F2 均包括电压写入阶段 Tw 和电压保持阶段 Th。

如图 2G 所示，在电压写入阶段 Tw 的初期，漏极电压 Vd 和公共电压 Vcom 的差值的绝对值发生跳变，△Vp 为漏极电压 Vd 和公共电压 Vcom 的差值的绝对值的跳变量，△Vp 也被称为像素电压的跳变量。如图 2G 所示，在电压写入阶段 Tw，漏极电压 Vd 和公共电压 Vcom 的差值的绝对值逐渐降低，Vh 为保持电压。

对于同一个像素而言，尽管理论上可以通过调节公共电压 Vcom 使得正帧亮度等于负帧亮度，但是由于显示面板包括的多个像素的最佳公共电压

Vcom 值不同，因此，在实践中，可能难以使用调节公共电压 Vcom 的方法来完全消除相邻显示帧的亮度差异。

如图 2G 所示，本公开的发明人在研究中注意到，在不考虑电压保持率（VHR）的情况下，像素电压的跳变量△Vp 对相邻显示帧的亮度差异以及同一显示帧的亮度均匀性（例如，摇头纹现象）的影响较大，尤其对于采用了双栅结构的显示面板而言，这是由于采用了双栅结构的显示面板的相邻子像素的结构可能存在差异，下面结合图 2H 进行示例性说明。

图 2H 示出了与显示面板的像素相关的电容的示意图。如图 2H 所示，与像素相关的电容包括电容 Cgs、电容 Cpg、电容 Cpg'、电容 Cpd、电容 Cpd'、电容 Cst 和电容 Clc，像素电压的跳变量△Vp 可以使用以下的公式（3）进行表示。

$$\Delta Vp=\frac{Cgs+Cpg+Cpg'}{Cst+Cgs+Cpg+Cpg'+Cpd+Cpd'}\times(Vgh-Vgl) \qquad \text{公式（3）}$$

此处，电容 Cgs 是开关元件的源漏极之一与用于驱动该开关元件的栅线（和/或栅极）之间形成的电容；电容 Cpg 是像素电极与用于驱动该像素电极所在的像素的栅线（和/或栅极）之间形成的横向电容；电容 Cpg'是像素电极和与该像素电极相邻的栅线（不用于驱动该像素电极所在的像素）之间形成的横向电容；电容 Cpd 是像素电极与用于驱动该像素电极所在的像素的数据线之间形成的横向电容；电容 Cpd' 是像素电极和与该像素电极相邻的数据线（不用于驱动该像素电极所在的像素）之间形成的横向电容；电容 Cst 和电容 Clc 是像素的存储电容，COM 是公共电极；Vgh 和 Vgl 分别是栅线接收的栅极扫描信号的第一电平和第二电平，第一电平的电压值大于第二电平的电压值；GLn 和 GLn+1 分别是位于 n 行和 n+1 行的栅线；DLn 和 DLn+1 分别是位于 n 列和 n+1 列的数据线。

本公开的发明人在研究中注意到，摇头纹不良与同一帧图像的不同子像素的亮度差异（不同子像素的理论灰阶相同）相关，并且同一帧图像的不同子像素的亮度差异与不同子像素的像素电压的跳变量△Vp 不同相关。

本公开的发明人在研究中注意到，由于以下原因的至少一个，图 2A 所示的阵列基板可能存在亮度不均匀的问题（例如，摇头纹问题）：（1）阵列基板的源漏金属层相对于栅极金属层存在偏移；（2）阵列基板的长连接像素的电容 Cpg 不等于短连接像素的电容 Cpg；（3）阵列基板的长连接像素的电容 Cpg'

不等于短连接像素的电容 Cpg'。

下面结合图 3A-图 3C 对阵列基板的源漏金属层相对于栅极金属层存在偏移可能导致的亮度不均匀问题进行示例性说明。

图 3A 是图 2A 所示的阵列基板的示意图；图 3B 是图 2A 所示的阵列基板的区域 RC1 的放大图，图 3C 是图 2A 所示的阵列基板的区域 RC2 的放大图。

图 3A 示出了多根第一栅线、多根第二栅线、多根数据线以及阵列排布的像素单元组。如图 3A 所示，多根第一栅线包括栅线 GL1_1、栅线 GL2_1、栅线 GL3_1 和栅线 GL4_1，多根第二栅线包括栅线 GL1_2、栅线 GL2_2、栅线 GL3_2 和栅线 GL4_2，多根数据线包括数据线 DL1-DL7，阵列排布的像素单元组包括例如像素 P11_1、像素 P11_2、像素 P12_1、像素 P12_2、像素 P21_1、像素 P21_2、像素 P22_1 和像素 P22_2。

图 3B 是图 2A 所示的阵列基板的区域 RC1 的放大图，也即，图 3B 示出了像素 P11_2 的开关元件的源漏极之一与用于驱动该开关元件的栅线（和/或栅极）之间的交叠区域 201；图 3C 是图 2A 所示的阵列基板的区域 RC2 的放大图，也即，图 3C 示出了像素 P11_1 的开关元件的源漏极之一与用于驱动该开关元件的栅线（和/或栅极）之间的交叠区域 202。

如图 3B 和图 3C 所示，在开关元件的源漏极相对于开关元件的栅极向右移动时（也即阵列基板的源漏金属层相对于栅极金属层向右偏移），交叠区域 201 和交叠区域 202 的面积减小，因此，像素 P11_2 的电容 Cgs 和像素 P11_1 的电容 Cgs 均减小，像素 P11_2 的像素电压的跳变量△Vp 和像素 P11_1 的像素电压的跳变量△Vp 均减小。

如图 2A 和图 3A 所示，由于像素 P12_1 和像素 P12_2 的开关元件的 U 型电极（也即，开关元件的源漏极的另一个）的开口方向与像素 P11_1 和像素 P11_2 的开关元件的 U 型电极的开口方向相同，因此，在开关元件的源漏极相对于开关元件的栅极向右移动时，像素 P12_2 和像素 P12_1 的电容 Cgs 和像素电压的跳变量△Vp 也均减小。

如图 2A 和图 3A 所示，由于像素 P21_1、像素 P21_2、像素 P22_1 和像素 P22_2 的开关元件的 U 型电极的开口方向与像素 P11_1 和像素 P11_2 的开关元件的 U 型电极的开口方向相反，因此，在开关元件的源漏极相对于开关元件的栅极向右移动时，像素 P21_1、像素 P21_2、像素 P22_1 和像素 P22_2

的电容 Cgs 和像素电压的跳变量△Vp 均增加。

如图 3A 所示，像素 P11_1 和像素 P11_2 均与位于第一列的数据线 DL1 连接，像素 P12_1、像素 P12_2、像素 P21_1 和像素 P21_2 均与位于第二列的数据线 DL2 连接，像素 P22_1 和像素 P22_2 均与位于第三列的数据线 DL2 连接；数据线 DL1 和数据线 DL2 上施加的电压相反，数据线 DL1 和数据线 DL3 上施加的电压相同。

如图 3A 所示，对于数据线 DL1、数据线 DL2 和数据线 DL3 上施加的电压分别为正电压、负电压和正电压（像素 P11_1、像素 P11_2、像素 P22_1 和像素 P222 均处于正显示帧像素 P12_1、像素 P12_2、像素 P21_1 和像素 P21_2 均处于负显示帧），且像素的亮度与该像素的像素电压和公共电压的差值的绝对值负相关的示例，位于奇数列的像素单元组的像素的亮度偏暗，位于偶数列的像素单元组的像素的亮度偏暗。像素处于正显示帧是指该像素的像素电极上的电压为正电压，像素处于负显示帧是指该像素的像素电极上的电压为负电压。下面结合图 3A、图 3D 和图 3E 进行示例性说明。

图 3D 是位于奇数列的像素单元组的像素在源漏金属层相对于栅极金属层未偏移（虚线）以及偏移（实线）情况下的像素电压的示意图，图 3E 是位于偶数列的像素单元组的像素在源漏金属层相对于栅极金属层未偏移（虚线）以及偏移（实线）情况下的像素电压的示意图。

如图 3A 和图 3D 所示，由于像素 P11_1 和像素 P11_2 的像素电压的跳变量△Vp 均减小，且像素 P11_1 和像素 P11_2 均处于正显示帧，因此，像素 P11_1 和像素 P11_2 的像素电压 Vp 均增加，像素 P11_1 和像素 P11_2 的像素电压与公共电压的差值的绝对值|Vp-Vcom|均增加，像素 P11_1 和像素 P11_2 均偏暗；由于像素 P21_1 和像素 P21_2 的像素电压的跳变量△Vp 均增加，且像素 P21_1 和像素 P21_2 均处于负显示帧，因此，像素 P21_1 和像素 P21_2 的像素电压 Vp 均降低，像素 P21_1 和像素 P21_2 的像素电压与公共电压的差值的绝对值|Vp-Vcom|均增加，像素 P21_1 和像素 P21_2 也均偏暗。

如图 3A 和图 3E 所示，由于像素 P12_1 和像素 P12_2 的像素电压的跳变量△Vp 均减小，且像素 P12_1 和像素 P12_2 均处于负显示帧，因此，像素 P12_1 和像素 P12_2 的像素电压 Vp 均增加，像素 P12_1 和像素 P12_2 的像素电压与公共电压的差值的绝对值|Vp-Vcom|均降低，像素 P12_1 和像素 P12_2 均偏亮；由于像素 P22_1 和像素 P22_2 的像素电压的跳变量△Vp 均增加，且

像素 P22_1 和像素 P22_2 均处于正显示帧，因此，像素 P22_1 和像素 P22_2 的像素电压 Vp 均降低,像素 P12_1 和像素 P12_2 的像素电压与公共电压的差值的绝对值|Vp-Vcom|均降低，像素 P12_1 和像素 P12_2 均偏亮。

因此，在同一图像帧，包括图 2A 所示的阵列基板的显示面板显示的图像可能存在显示不均匀问题（例如，摇头纹问题）。

下面结合图 3F 和图 3G 对阵列基板的长连接像素的电容 Cpg 不等于（大于）短连接像素的电容 Cpg 可能导致的亮度不均匀问题进行示例性说明。影响像素的电容 Cpg 参数包括横向间距 dpg 和有效交叠长度 lpg。

图 3F 示出了短连接像素（第一像素，P11_1）的像素电极和连接部的结合结构与驱动该短连接像素的栅线之间的有效交叠长度 lpg1 和横向间距 dpg1，图 3F 还示出了长连接像素（第二像素，P11_2）的像素电极和连接部的结合结构与驱动该长连接像素的栅线的有效交叠长度 lpg2 和横向间距 dpg2。

如图 3F 所示，像素的横向间距 dpg 是指像素的像素电极（像素电极靠近用于驱动该像素的栅线的边缘）以及用于驱动该像素的栅线（栅线的靠近像素电极的边缘）之间的间距。

如图 3F 所示,短连接像素(第一像素)的有效交叠长度 lpg1(lpg1= lpg1_1+ lpg1_2）小于长连接像素（第二像素）的有效交叠长度 lpg2。例如，在短连接像素的横向间距 dpg1 与长连接像素的横向间距 dpg2 相等或接近的情况，短连接像素的电容 Cpg 小于长连接像素的电容 Cpg，因此，短连接像素的像素电压的跳变量△Vp 小于长连接像素的像素电压的跳变量△Vp。

如图 2A 和图 3A 所示，像素 P21_1 也是长连接像素。图 3G 示出了短连接像素 P11_1 和长连接像素 P21_1 在正显示帧和负显示帧下的像素电压的对比的示意图。

如图 3G 所示，在第一图像帧 F1，短连接像素 P11_1 处于正显示帧，长连接像素 P21_1 处于负显示帧；在第二图像帧 F2，短连接像素 P11_1 处于负显示帧，长连接像素 P21_1 处于正显示帧。

如图 3G 所示，由于短连接像素的像素电压的跳变量△Vp 小于长连接像素的像素电压的跳变量△Vp，在第一图像帧 F1，短连接像素 P11_1 和长连接像素 P21_1 均偏暗; 在第二图像帧 F2,短连接像素 P11_1 和长连接像素 P21_1 均偏亮，下面结合图 3G 进行示例性说明。

如图 3G 所示，在第一图像帧 F1，处于正显示帧的短连接像素 P11_1 的像素电压 Vp 增加，像素电压 Vp 与公共电压 Vcom 的差值的绝对值|Vp-Vcom|增加；处于负显示帧的长连接像素 P21_1 的像素电压 Vp 降低，像素电压 Vp 与公共电压 Vcom 的差值的绝对值|Vp-Vcom|增加，因此，在第一图像帧 F1，短连接像素 P11_1 和长连接像素 P21_1 均偏暗。基于类似的原因，在第一图像帧 F1，位于短连接像素 P11_1 和长连接像素 P21_1 所在列的其它像素也均偏暗。基于类似的原因，在第一图像帧 F1，位于长连接像素 P11_2 和短连接像素 P21_2 所在列的所有像素均偏亮。

如图 3G 所示，在第二图像帧 F2，处于负显示帧的短连接像素 P11_1 的像素电压 Vp 增加，像素电压 Vp 与公共电压 Vcom 的差值的绝对值|Vp-Vcom|降低，处于正显示帧的长连接像素 P21_1 的像素电压 Vp 降低，像素电压 Vp 与公共电压 Vcom 的差值的绝对值|Vp-Vcom|降低，因此，在第一图像帧 F1，短连接像素 P11_1 和长连接像素 P21_1 均偏亮。基于类似的原因，在第二图像帧 F2，位于短连接像素 P11_1 和长连接像素 P21_1 所在列的其它像素也均偏亮。基于类似的原因，在第一图像帧 F1，位于长连接像素 P11_2 和短连接像素 P21_2 所在列的所有像素均偏暗。

如图 3G 所示，在仅考虑短连接像素 P11_1 的情况下，应当将公共电压从 Vcom 增加至 Vcom_S（针对短连接像素 P11_1 的最优的公共电压）；然而，在仅考虑长连接像素 P21_1 的情况下，应当将公共电压从 Vcom 降低至 Vcom_L（针对长连接像素 P21_1 的最优的公共电压）；因此，难以通过调节公共电压消除因长连接像素的 Cpg 与短连接像素的 Cpg 不同导致的图像亮度不均匀的现象（位于同一列的像素在同一图像帧均偏亮或均偏暗）。

下面结合图 3H-图 3J 对阵列基板的长连接像素的电容 Cpg'不等于（大于）短连接像素的电容 Cpg'可能导致的亮度不均匀问题进行示例性说明。例如，影响像素的电容 Cpg' 参数包括横向间距 dpg'和有效交叠长度 lpg'。

图 3H 示出了图 2A 所示的阵列基板的区域 RC1 的示意图（由扫描电子显微镜获得），图 3I 示出了图 2A 所示的阵列基板的区域 RC3 的示意图（由扫描电子显微镜获得）。

如图 3H 所示，第一像素电极 121 以及与第一像素电极 121 相邻的栅线（但不用于驱动该第一像素电极 121 所在的第一像素，也即，第二栅线 142）在第二方向 D2 上彼此交叠；如图 3I 所示，第二像素电极 131 以及与第二像素电

极 131 相邻的栅线（但不用于驱动该第二像素电极 131 所在的第二像素，也即，第二栅线 142）在第二方向 D2 上彼此交叠。

有以下两点需要说明。（1）如图 2A、图 3H 和图 3I 所示，图 3I 所示的第二像素电极 131 与图 3H 所示的第一像素电极 121 位于两个不同的像素单元组（在第二方向 D2 上相邻的两个像素单元组）；（2）如图 2A、图 3H 和图 3I 所示，与图 3H 所示的第一像素电极 121 位于同一像素单元组的第二像素电极 131 位于与其相邻的栅线的下方，因此，在对与图 3H 所示的第一像素电极 121 位于同一像素单元组的第二像素电极 131 所在的像素进行充电之前，对与上述第二像素电极 131 相邻的栅线的扫描已经结束，因此，与图 3H 所示的第一像素电极 121 位于同一像素单元组的第二像素电极 131 的充电过程不受与其相邻的栅线的影响（或影响很小）。

如图 3H 和图 3I 所示，可以将第一像素电极 121 以及与该第一像素电极 121 相邻的栅线（例如，第二栅线 142）在第二方向 D2 上的间距作为横向间距 dpg1’，可以将第二像素电极 131 以及与该第二像素电极 131 相邻的栅线（例如，第二栅线 142）在第二方向 D2 上的间距作为横向间距 dpg2’。

如图 3H 和图 3I 所示，第一像素电极 121 以及与该第一像素电极 121 相邻的栅线之间的有效交叠长度 lpg1’是指与该第一像素电极 121 相邻的栅线的对应于横向间距小于等于预定间距（例如，小于等于横向间距 dpg1’）的区域在第一方向 D1 上的长度；第二像素电极 131 以及与该第二像素电极 131 相邻的栅线之间的有效交叠长度 lpg2’是指与该第二像素电极 131 相邻的栅线的对应于横向间距 dpg2’小于等于预定间距（例如，小于等于横向间距 dpg2’）的区域在第一方向 D1 上的长度。

例如，在采用 GOA（阵列基板上栅驱动集成）对栅线进行驱动的阵列基板的情况下，阵列基板具有预充电功能，电容 Cpg’会导致像素（例如，有奇数行栅线驱动的像素）的像素电压进一步地降低，下面将结合图 3J 进行示例性说明。

图 3J 是电容 Cpg’ 对像素电压 Vp 的影响的示意图。如图 3J 所示，Vgate1 是位于奇数行的栅线，Vgate2 是位于偶数行的栅线，Vp 是位于偶数行的像素的像素电压。如图 3J 所示，在位于奇数行的栅线的信号处于上升沿时，受到电容 Cpg’的影响，该像素的像素电压 Vp 有一个附加的增量，但由于该像素此时处于充电阶段，因此，上述附加的增量将被去除。如图 3J 所示，在位于

偶数行的栅线的信号处于下升沿时，受到电容 Cpg' 的影响，该像素的像素电压 Vp 有一个附加的降低量 ΔVp'，并且由于该像素此时已不处于充电阶段，因此，上述附加的增量将无法被去除。

例如，本公开的发明人在研究中注意到，在长连接像素的电容 Cgs 和短连接像素的电容 Cgs 更为接近和/或长连接像素的电容 Cpg 和短连接像素的电容 Cpg 更为接近的情况下，长连接像素的像素电压跳变量 ΔVp 与短连接像素的像素电压跳变量 ΔVp 更为接近，由此可以使得显示不均匀现象（例如，摇头纹现象）减弱。下面结合图 4A 进行示例性说明。

图 4A 是本公开的至少一个实施例提供的另一种阵列基板 100 的平面示意图，图 4A 所示的阵列基板 100 与图 2A 所示的阵列基板包括以下区别：（1）图 4A 所示的阵列基板 100 具有 Cgs 补偿能力；（2）图 4A 所示的阵列基板 100 的长连接像素的像素电极的靠近驱动该长连接像素的栅线的一侧具有凹陷部；（3）图 4A 所示的阵列基板 100 的第一过孔和第二过孔与图 2A 所示的阵列基板 100 的第一过孔和第二过孔不同；（4）图 4A 所示的阵列基板 100 的公共电极图案与图 2A 所示的阵列基板 100 的公共电极图案不同。

需要说明的是，本公开的其它实施例提供的阵列基板与图 2A 所示的阵列基板的不同之处可以仅包括上述四个区别的部分（例如，一个或多个的任意组合），不再赘述。

下面结合图 4A-图 4E、图 5A-图 5H 以及图 6-图 11 对图 4A 所示的阵列基板 100 进行示例性说明。

如图 4A 所示，该阵列基板 100 包括阵列排布的多个像素单元组 110、多根第一栅线 141、多根第二栅线 142 和多根数据线 161；多根第一栅线 141 和多根第二栅线 142 分别大致沿第一方向 D1 延伸，多根数据线 161 大致沿与第一方向 D1 交叉（例如，垂直）的第二方向 D2 延伸。

每行像素单元组 110 被两根栅线驱动，上述两根栅线（一根第一栅线 141 和一根第二栅线 142）在第二方向 D2 上位于该行像素单元组 110 两侧且与该行像素单元组 110 紧邻。此处，栅线与像素单元组 110 紧邻是指像素单元组 110 与上述栅线之间不包括其它栅线。在第二方向 D2 上相邻的两个像素单元组 110 之间设置了两根栅线，在第一方向 D1 上相邻的两个像素单元组 110 之间设置了一根数据线。下面结合图 4A 作示例性说明。

如图 4A 所示，每行像素单元组 110 对应于多根第一栅线 141 的一根和多

根第二栅线 142 的一根，上述多根第一栅线 141 的一根和多根第二栅线 142 的一根在第二方向 D2 上位于该行像素单元组 110 的两侧，且被配置为驱动该行像素单元组 110。

如图 4A 所示，一根第一栅线 141 和一根第二栅线 142 设置在列方向（也即，第二方向 D2）上相邻的像素单元组 110 之间，上述一根第一栅线 141 和一根第二栅线 142 分别用于驱动相邻行的像素单元组 110。例如，多根第一栅线 141 和多根第二栅线 142 被配置为驱动与其相邻的像素单元组 110（也即，栅线与被该栅线驱动的像素单元组 110 之间无其它栅线）。如图 4A 所示，一根数据线 161 设置在行方向（也即，第一方向 D1）上相邻的像素单元组 110 之间。如图 4A 所示，多根第一栅线 141 和多根第二栅线 142 在第二方向 D2 上交替排布。

需要说明的是，多根第一栅线 141 和多根第二栅线 142 分别大致沿第一方向 D1 延伸仅限定了第一栅线 141 和第二栅线 142 的长度的延伸方向，而并不表示第一栅线 141 和第二栅线 142 平行于第一方向 D1，也即是，根据实际应用需求，第一栅线 141 和第二栅线 142 可以平行于第一方向 D1 或者也可以部分不平行于第一方向 D1。例如，为了更好的提升阵列基板 100 的开口率，多根第一栅线 141 和多根第二栅线 142 的部分区域可以设计成弯折的形式。例如，数据线 161 可以平行于第二方向 D2 或者也可以部分不平行于第二方向 D2。

为清楚起见，下面针对多个像素单元组 110 中的一个像素单元组 110 进行示例性说明。

图 4B 是图 4A 所示的阵列基板 100 的像素单元组 110 的平面示意图，为方便描述，图 4B 还示出了第一栅线 141、第二栅线 142 和数据线 161。图 4A 所示的阵列基板 100 的部分或所有像素单元组 110 可以实现为图 4B 所示的像素单元组 110。

如图 4B 所示，该像素单元组 110 包括在第一方向 D1 上并列紧邻布置的第一像素和第二像素。需要说明的是，并列紧邻布置的第一像素和第二像素是指上述第一像素和第二像素之间不包含其它像素。

如图 4B 所示，第一像素包括第一像素电极 121、第一开关元件 123 以及从第一像素电极 121 延伸突出的第一连接部 122，第二像素包括第二像素电极 131、第二开关元件 133 以及从第二像素电极 131 延伸突出的第二连接部 132；

第一像素电极 121 和第一开关元件 123 经由第一连接部 122 彼此电连接，第二像素电极 131 和第二开关元件 133 经由第二连接部 132 彼此电连接；第一连接部 122 的延伸长度不等于（例如，小于）第二连接部 132 的延伸长度。

例如，通过使得第一连接部 122 的延伸长度不等于（例如，小于）第二连接部 132 的延伸长度，可以将第一开关元件 123 和第二开关元件 133 均设置在像素单元组 110 的在第一方向 D1 上的边缘，下面结合图 4B 进行示例性说明。

例如，如图 4B 所示，像素单元组 110 包括在第一方向 D1 上彼此相对的第一边缘 111 和第二边缘 112，相对于第二边缘 112，第一开关元件 123 和第二开关元件 133 在第一方向 D1 均更靠近像素单元组 110 的第一边缘 111。

例如，如图 4B 所示，每个像素单元组 110 的第一开关元件 123 和第二开关元件 133 均与同一根数据线 161 相连。例如，每个像素单元组 110 的第一开关元件 123 和第二开关元件 133 与上述同一根数据线 161 的距离均相同，此种情况下，每个像素单元组 110 的第一开关元件 123 与驱动该像素单元组 110 的数据线 161 之间的连接线的长度（在第一方向 D1 上的长度）可以等于每个像素单元组 110 的第二开关元件 133 与驱动该像素单元组 110 的数据线 161 之间的连接线的长度（在第一方向 D1 上的长度）。

例如，如图 4A 所示，与同一根数据线 161 相连的开关元件包括位于上述同一根数据线 161 的第一侧（例如，左侧）的开关元件以及位于上述同一根数据线 161 的第二侧（例如，右侧）的开关元件，位于上述同一根数据线 161 的第一侧（例如，左侧）的开关元件以及位于上述同一根数据线 161 的第二侧（例如，右侧）的开关元件在第一方向 D1 上部分重叠。

例如，通过使得位于上述同一根数据线 161 的第一侧（例如，左侧）的开关元件以及位于上述同一根数据线 161 的第二侧（例如，右侧）的开关元件在第一方向 D1 上部分重叠，可以降低开关元件（第一开关元件 123 和第二开关元件 133）占据的区域在第二方向 D2 上的尺寸，因此可以降低用于遮挡开关元件的黑矩阵在第二方向 D2 上的尺寸，提升该阵列基板 100 以及包括该阵列基板 100 的显示面板和显示装置的开口率。

例如，如图 4B 所示，像素单元组 110 的第一连接部 122 和第二连接部 132 在第二方向 D2 上分别位于第一像素电极 121 的两侧；第一连接部 122 和第二连接部 132 在第二方向 D2 上均位于第一栅线 141 和第二栅线 142 之间。

例如，如图 4B 所示，第一连接部 122 的延伸突出的方向为第二方向 D2，第二连接部 132 的延伸突出的方向为第一方向 D1；在第二方向 D2 上，第二连接部 132 与第一像素电极 121 至少部分重叠；在第二方向 D2 上，第一像素电极 121 位于第一开关元件 123 和第二开关元件 133 之间。

例如，如图 4B 所示，第一开关元件 123 和第二开关元件 133 相对于第一像素电极 121（或像素单元组 110 的）在第二方向 D2 上且沿第一方向 D1 延伸的中线对称设置（还可参见下方的图 4D）。

例如，第一连接部 122 与第一像素电极 121 使用相同的材料一体形成，第二连接部 132 与第二像素电极 131 使用相同的材料一体形成。例如，可以使用同一构图工艺对相同的膜层构图形成第一连接部 122、第一像素电极 121、第二连接部 132 和第二像素电极 131。

例如，如图 4B 所示，通过使得第一开关元件 123 和第二开关元件 133 在第一方向 D1 均更靠近像素单元组 110 的同一个边缘（例如，第一边缘 111），第一连接部 122 与第一像素电极 121 使用相同的材料一体形成，第二连接部 132 与第二像素电极 131 使用相同的材料一体形成，可以使得第一连接部 122（第一连接部 122 的第一端 1221，还可参见下方的图 6）与第一像素电极 121 直接电性连接，且使得第二连接部 132（第二连接部 132 的第一端 1321，还可参见下方的图 6）与第二像素电极 131 直接电性连接，因此，相比于图 1 所示的阵列基板，可以避免在靠近第一像素电极 121 和第二像素电极 131 的区域设置过孔，由此可以提升第一像素的显示区域和第二像素的显示区域的面积；尽管第一连接部 122（第一连接部 122 的第二端 1222）通过第一过孔 1223 与第一开关元件 123 电连接，第二连接部 132（第二连接部 132 的第二端 1322）通过第二过孔 1323 与第二开关元件 133 电连接，但是由于第一过孔 1223 靠近第一开关元件 123，第二过孔 1323 靠近第二开关元件 133，且靠近第一开关元件 123 和第二开关元件 133 的区域原本也对应于被黑矩阵遮挡的区域，因此，图 4B 所示的第一过孔 1223 和第二过孔 1323 不会降低像素单元组 110 以及阵列基板 100 的开口率。

例如，第一像素电极 121 和第二像素电极 131 均可以采用透明导电材料形成。例如，透明导电材料为氧化铟锡（ITO）或氧化铟锌（IZO）。对于第一连接部 122 与第一像素电极 121 使用相同的材料一体形成，且第二连接部 132 与第二像素电极 131 使用相同的材料一体形成的示例，第一连接部 122 和第

二连接部 132 也均可以使用透明导电材料形成（例如，ITO）。例如，透明导电材料（例如，ITO）的加工精度高于金属材料的加工精度，也即，透明导电材料走线的线宽可以小于金属材料走线的线宽；此种情况下，第一连接部 122 和第二连接部 132 占据的区域的尺寸可以降低，第一像素电极 121 和第二像素电极 131 占据的区域的尺寸可以对应的增加，由此可以提升像素单元组 110 以及阵列基板 100 的开口率。

例如，如图 4A 所示，与同一根数据线相连的，且位于该同一根数据线右侧的开关元件均用于驱动奇数行（或偶数行）的像素单元组；与同一根数据线相连的，且位于该同一根数据线左侧的开关元件均用于驱动偶数行（或奇数行）的像素单元组。

例如，如图 4A 所示，用于驱动每一像素单元组的第一开关元件 123 和第二开关元件 133 均在第一方向上设置在该像素单元组的设置了短连接像素的边缘。例如，如图 4A 所示，位于奇数行（或偶数行）的像素单元组的第一开关元件 123 和第二开关元件 133 均设置在像素单元组的左侧，位于偶数行（或奇数行）的像素单元组的第一开关元件 123 和第二开关元件 133 均设置在像素单元组的右侧。

例如，第一开关元件 123 和第二开关元件 133 均为薄膜晶体管（TFT）。例如，如图 4A 和图 4B 所示，第一开关元件 123 和第二开关元件 133 均为 U 型薄膜晶体管，也即，薄膜晶体管的源极（或漏极）为 U 型电极，薄膜晶体管的漏极（或源极）的至少部分设置在 U 型电极的开口中；U 型薄膜晶体管的源极和漏极在第二方向 D2 上至少部分重叠。例如，如图 4A 所示，用于驱动相邻行的 U 型 TFT 的开口方向相反。例如，如图 4A 所示，用于驱动第一行的 U 型 TFT 的开口方向为向右，用于驱动第二行的 U 型 TFT 的开口方向为向左。

例如，该阵列基板 100 可以包括第一电极层 172（参见图 4C）、第一绝缘层 173（参见图 5C）、半导体层 174（参见图 5A 和图 5C）、第二电极层 175（参见图 5A）、第二绝缘层 176（参见图 5C）和第三电极层 177（参见图 6），上述第一电极层 172、第一绝缘层 173、半导体层 174、第二电极层 175、第二绝缘层 176 和第三电极层 177 例如顺次设置在衬底基板 171 上。

图 4C 是图 4A 所示的阵列基板的第一电极层 172 的平面示意图。如图 4C 所示，第一电极层 172 包括多根第一栅线 141、多根第二栅线 142 以及阵列排

布的公共电极图案 150；多根第一栅线 141 和多根第二栅线 142 在第二方向 D2 上交替排布；多个公共电极图案 150 和多个像素单元组 110 一一对应；位于同一行的多个公共电极图案 150 位于用于驱动与同一行的多个公共电极图案 150 对应的像素单元组 110 的第一栅线 141 和第二栅线 142 之间。需要说明的是，在一些示例中，第一电极层 172 还可以不包括公共电极图案。

为清楚起见，公共电极图案 150 的具体结构以及公共电极图案 150 的之间的连接方式将在后面进行具体阐述，下面将结合图 4D 和图 4E 阐述第一栅线 141 和第二栅线 142 的结构。

图 4D 示出了图 4A 所示的阵列基板的第一栅线 141 和第二栅线 142 的平面示意图。

例如，如图 4A 和图 4D 所示，用于驱动每个像素单元组 110 的第一栅线 141 与用于驱动与每个像素单元组 110 在第二方向 D2 上相邻的像素单元组 110 的第二栅线 142 在第一方向 D1 上部分交叠，也即，在第二方向 D2 上位于相邻的像素单元组 110 之间的第一栅线 141 和第二栅线 142 在第一方向 D1 上部分交叠，由此可以降低栅线所占据区域在第二方向 D2 上的尺寸，由此可以提升阵列基板 100 的开口率以及包括该阵列基板 100 的显示面板和显示装置的开口率。

例如，如图 4D 所示，第一栅线 141 和第二栅线 142 相对于像素单元组 110 在第二方向 D2 上的沿第一方向 D1 延伸的中线 113 对称设置。

图 4E 示出了图 4A 所示的阵列基板的第一栅线 141 和第二栅线 142 的对应于一个像素单元组 110 的部分的平面示意图。例如，如图 4E 所示，第一栅线 141 包括第一栅极部 1411，第二栅线 142 包括第二栅极部 1421。例如，第一栅极部 1411 被配置为第一开关元件 123 的栅极，第二栅极部 1421 被配置为第二开关元件 133 的栅极，也即，第一开关元件 123 的 U 型电极（源极或漏极）在第一电极层 172 上的正投影与第一栅极部 1411 至少部分重叠，第二开关元件 133 的 U 型电极（源极或漏极）在第一电极层 172 上的正投影与第二栅极部 1421 至少部分重叠。

例如，如图 4E 所示，用于驱动每个像素单元组 110 的第一栅线 141 的第一栅极部 1411 与用于驱动与每个像素单元组 110 在第二方向 D2 上相邻的像素单元组 110 的第二栅线 142 的第二栅极部 1421 在第一方向 D1 上部分交叠，由此可以降低栅线所占据区域在第二方向 D2 上的尺寸，由此可以提升阵列基

板 100 的开口率以及包括该阵列基板 100 的显示面板和显示装置的开口率。例如，在第二方向 D2 上位于相邻的像素单元组 110 之间的两根栅线（第一栅线 141 和第二栅线 142）的对应栅极部在第一方向 D1 上部分交叠。

例如，如图 4E 所示，第一栅线 141 还包括顺次相连的第一线部 1412、第一线连接部 1413 和第三线部 1414; 第二栅线 142 还包括顺次相连的第二线部 1422、第二线连接部 1423 和第四线部 1424; 第一线部 1412 与第一栅极部 1411 相连，第二线部 1422 与第二栅极部 1421 相连。例如，如图 4E 所示，第一线连接部 1413 包括朝向第一栅极部 1411 凸出的第一凸起 143，第二线连接部 1423 包括朝向第二栅极部 1421 凸出的第二凸起 144。

例如，如图 4D 和图 4E 所示，第一线部 1412、第二线部 1422、第三线部 1414、第四线部 1424 分别平行于第一方向 D1。

例如，如图 4D 和图 4E 所示，位于同一根栅线上的、对应于不同像素单元组且彼此相邻的栅极部和线连接部之间具有第一凹陷结构 211，与上述同一根栅线相邻的栅线的线连接部设置在上述第一凹陷结构 211 中。

例如，如图 4A 和图 4D 所示，每根栅线可以同时驱动短连接像素和长连接像素，因此，每根栅线可以同时包括第一栅极部 1411、第一线部 1412、第一线连接部 1413、第三线部 1414、第二栅极部 1421、第二线部 1422、第二线连接部 1423 和第四线部 1424。

例如，如图 4A-图 4D 所示，栅线的对应于同一个像素单元组 110 的栅极部和线连接部在第一方向上并列布置并形成第二凹陷结构 212，该栅线驱动的像素的过孔（例如，第一过孔或第二过孔）位于该第二凹陷结构 212 中。

需要说明的是，本公开的至少一个实施例提供的阵列基板 100 不限于多根第一栅线 141 和多根第二栅线 142 的每个均采用图 4D 所示的结构，根据实际应用需求，还可以使得多根第一栅线 141 和多根第二栅线 142 的部分采用采用图 4D 所示的结构，多根第一栅线 141 和多根第二栅线 142 的剩余的部分可以采用其它适用的栅线结构（例如，平直的栅线），此处不再赘述。

在一些示例中，第一线连接部 1413 可以不包括第一凸起 143，第二线连接部 1423 可以不包括第二凸起 144。

图 5A 是图 4A 所示的阵列基板的半导体层 174 和第二电极层 175 的平面示意图。如图 4B 和图 5A 所示，第二电极层 175 包括多根数据线 161、多个并列布置的第一源漏层以及多个并列布置的第二源漏层; 第一源漏层包括第

一开关元件 123 的两个第一源漏极之一 1241 以及第一开关元件 123 的两个第一源漏极的另外一个 1243（例如，U 型电极）；第二源漏层包括第二开关元件 124 的两个第二源漏极之一 1341 以及第二开关元件 124 的两个第二源漏极的另外一个 1343（例如，U 型电极）。

需要说明的是，第一源漏层和第二源漏层位于同一层的不同区域，第一源漏层和第二源漏层在垂直于衬底基板的方向上间隔设置，可以使用同一构图工艺对同一膜层（例如，单层膜层）进行构图形成第一源漏层和第二源漏层。

图 5B 是图 4A 所示的阵列基板的第一开关元件 123 的平面示意图（扫描电子显微镜图获取的图像），为描述方便，图 5B 还示出了部分第一栅线 141、部分第一像素电极 121、第一过孔 1223。图 5C 是沿图 5B 所示的 AA’线剖切获得的阵列基板 100 的截面示意图。图 5D 是本公开的至少一个实施例提供的第二开关元件 133 的平面示意图。

例如，如图 5B 和图 5C 所示，在垂直于衬底基板 171 的方向上，第一开关元件 123 包括第一栅极部 1411（作为第一开关元件 123 的栅极、第一绝缘层 173、半导体层 174（第一半导体层 125）以及第一源漏层；第一源漏层包括彼此相对并分立设置两个第一源漏极（也即，两个第一源漏极之一 1241 和两个第一源漏极的另外一个 1243，例如，在第一开关元件 123 处于关闭状态时，两个第一源漏极彼此绝缘）。

例如，半导体层 174 包括第一半导体层 125（半导体层 174 的对应于第一开关元件的区域）和第二半导体层（半导体层 174 的对应于第二开关元件的区域）。需要说明的是，第一半导体层 125 和第二半导体层位于同一层的不同区域，第一半导体层 125 和第二半导体层在垂直于衬底基板的方向上间隔设置，可以使用同一构图工艺对同一膜层（例如，单层膜层）进行构图形成第一半导体层 125 和第二半导体层。

例如，在垂直于衬底基板 171 的方向上，第二开关元件 133 包括第二栅极部 1421（作为第二开关元件 133 的栅极、第一绝缘层 173、半导体层 174（第二半导体层）以及第二源漏层。如图 4B 所示，第二源漏层包括彼此相对并分立设置两个第二源漏极（也即，两个第二源漏极之一 1341 和两个第二源漏极的另外一个 1343，例如，在第二开关元件 133 处于关闭状态时，两个第二源漏极彼此绝缘）。

例如，如图 5C 所示，阵列基板 100 还包括第二绝缘层 176、第三电极层 177 以及设置在第二绝缘层 176 中的第一过孔 1223 和第二过孔 1323。

图 6 是图 4A 所示的阵列基板 100 的第三电极层 177 的平面示意图。图 7 是图 4A 所示的阵列基板 100 的第一电极层 172、半导体层 174 和第二电极层 175 的平面示意图，图 8 是图 4A 所示的阵列基板 100 的第一过孔 1223、第二过孔 1323 和第三过孔 153 的平面示意图。

如图 5B、图 5C 和图 6 所示，第三电极层 177 包括第一像素电极 121、第一连接部 122、第二像素电极 131、第二连接部 132 以及第二公共电极连接部 152。

如图 5B、图 5C 和图 6 所示，第一连接部 122 包括第一端 1221 和第二端 1222，第一连接部 122 的第一端 1221 与第一像素电极 121 直接电性连接，第一连接部 122 的第二端 1222 经由第一过孔 1223 与两个第一源漏极之一 1241 电连接。如 5B 和图 5C 所示，第一过孔 1223 是一种半过孔，也即，两个第一源漏极之一 1241 仅覆盖第一过孔 1223 的开口区域的一部分；如图 5B 和图 5C 所示，第一过孔 1223 的开口区域的另一部分位于两个第一源漏极之一 1241 的靠近第一像素电极 121 的一侧，且被第一像素电极 121 直接覆盖，也即，第一过孔 1223 的开口区域的另一部分的底部与第一像素电极 121 直接接触。

如图 6 和图 4B 所示，第二连接部 132 包括第一端 1321 和第二端 1322，第二连接部 132 的第一端 1321 与第二像素电极 131 直接电性连接，第二连接部 132 的第二端 1322 经由第二过孔 1323 与第二源漏极之一 1341 电连接；如图 5D 所示，第二源漏极之一 1341 覆盖第二过孔 1323 的开口区域的一部分 1324，第二过孔 1323 的开口区域的另一部分 1325 位于第二源漏极之一 1341 的靠近第一像素电极 121 的一侧，且被第二像素电极 131 直接覆盖，也即，第二过孔 1323 的开口区域的另一部分 1325 的底部与第二像素电极 131 直接接触。

需要说明的是，第一过孔 1223 和第二过孔 1323 的设置方式不限于图 5B 和图 5C 所示设置方式，根据实际应用需求，第一过孔 1223 和第二过孔 1323 还可以选用其它适用的设置方式。下面结合图 2A 所示的阵列基板 100 进行示例性说明。

图 5E 示出了图 2A 所示的阵列基板 100 的部分区域的平面示意图，图 5F 是图 5E 所示的阵列基板 100 的区域 RC4 的平面示意图（扫描电子显微镜获

取)。

如图 5E 和图 5F 所示，图 2A 所示的阵列基板 100 的第一过孔 1223 和第二过孔 1323 也均是一种半过孔，也即，第一开关元件 123 的两个第一源漏极之一 1241(例如，第一漏极)仅覆盖第一过孔 1223 的开口区域的一部分 1224；第二开关元件 133 的两个第二源漏极之一 1341（例如，第二漏极）仅覆盖第二过孔 1323 的开口区域的一部分 1324。

如图 5E 和图 5F 所示，第一过孔 1223 的开口区域的另一部分 1225 位于两个第一源漏极之一 1241 的远离第一像素电极 121 的一侧，第二过孔 1323 的开口区域的另一部分 1325 位于第二源漏极之一 1341 的远离第一像素电极 121 的一侧。在一些示例中，图 5E 和图 5F 所示的阵列基板，第一线连接部 1413 也可以包括第一凸起，第二线连接部 1423 也可以包括第二凸起；然而，此种情况下，如果第一凸起和第二凸起的位置偏移，则该额外增加的第一凸起可能经由第一过孔与第一像素电极电连接（短路），该额外增加的第二凸起可能经由第二过孔与第二像素电极电连接（短路）。因此，相比于图 5E 和图 5F 所示的第一过孔 1223 的结构，通过将图 5B 和图 5C 所示的第一过孔 1223 的开口区域的另一部分 1225 设置在两个第一源漏极之一 1241 的远离第一像素电极 121 的一侧，可以降低图 5B 和图 5C 所示的阵列基板的第一凸起 143 与第一连接部 122 短路的风险，通过将图 5F 所示的第二过孔 1323 的开口区域的另一部分 1325 设置在第二源漏极之一 1341 的远离第一像素电极 121 的一侧，可以降低图 5B 和图 5C 所示的阵列基板的第二凸起 144 与第二连接部 132 短路的风险。

以下将结合图 4B 和图 5B 阐述图 4B 所示的阵列基板的 Cgs 补偿功能以及摇头纹抑制功能。

如图 5B 所示，第一栅线 141 在第二导电层（第一源漏层）上的正投影与两个第一源漏极之一 1241 在至少两个不同的位置处交叠；例如，如图 5B 所示，第一栅线 141 在第一源漏层上的正投影与两个第一源漏极之一 1241 在第一方向 D1 上的两侧至少部分交叠。

例如，通过使得第一栅线 141 在第一源漏层上的正投影与两个第一源漏极之一 1241 在第一方向 D1 上的两侧至少部分交叠，可以降低第一栅线和第一源漏层之间的形成的电容取值的变化幅度；由于第一栅线和第一源漏层之间的形成的电容取值的变化幅度与摇头纹正相关，因此，通过降低第一栅线

和第一源漏层之间的形成的电容取值的变化幅度，可以抑制避免用于制作第二电极层 175 的掩膜版相对于第一电极层 172 偏移导致的摇头纹不良。

例如，为方便描述，以下实施例将与数据线 161 相连的第一源漏极和第二源漏极分别称为第一源极和第二源极，与像素电极相连的第一源漏极和第二源漏极分别称为第一漏极和第二漏极；然而，本公开的实施例不限于此；在其它一些实施例中，与数据线 161 相连的第一源漏极和第二源漏极可以分别称为第一漏极和第二漏极，与像素电极相连的第一源漏极和第二源漏极分别称为第一源极和第二源极。

图 5G 是图 4A 所示的阵列基板的栅线所在的电极层与源漏极所在的电极层在栅线所在的电极层的正投影之间的交叠区域的第一个示意图（对应于第一开关元件）；图 5H 是图 4A 所示的阵列基板的栅线所在的电极层与源漏极所在的电极层在栅线所在的电极层的正投影之间的交叠区域的第二个示意图（对应于第二开关元件）。

例如，如图 5G 所示，除第一栅线 141（第一栅线 141 的第一栅极部 1411）在第一源漏层上的正投影与第一漏极的靠近第一源极一侧的区域（例如，左侧）交叠之外，第一栅线 141（第一栅线 141 的第一线连接部 1413）在第一源漏层上的正投影还与第一漏极的远离第一源极一侧的区域（例如，右侧）交叠。

例如，如图 5G 所示，第一凸起 143 在两个第一源漏极之一 1241（例如，第一漏极）上的正投影与两个第一源漏极之一 1241（例如，第一漏极）至少部分交叠，第一凸起 143 在两个第一源漏极之一 1241（例如，第一漏极）上的正投影与两个第一源漏极之一 1241（例如，第一漏极）的交叠区域为第一交叠区域 145。例如，如图 5G 所示，第一栅极部 1411 在第一漏极上的正投影与第一漏极的交叠区域为第二交叠区域 146。

如图 5G 所示，在第一源漏层相对于第一电极层 172（例如，第一栅极部 1411）向右偏移时，第一交叠区域 145 的尺寸增加，第二交叠区域 146 的尺寸降低；在第一源漏层相对于第一电极层 172（例如，第一栅极部 1411）向左偏移时，第一交叠区域 145 的尺寸降低，第二交叠区域 146 的尺寸增加；因此，相比于未设置第一交叠区域 145 的示例，通过设置第一交叠区域 145，可以降低栅线和第一源漏层之间的形成的电容（Cgs1）取值的变化（因第一源漏层相对于第一电极层 172 偏移而导致）的幅度，由此可以抑制包含该阵

列基板 100 的显示面板和显示装置的摇头纹不良。

如图 5G 所示，第一交叠区域 145 具有在与第一方向 D1 交叉的第二方向 D2 上的第一交叠边缘 1451，第二交叠区域 146 具有在与第一方向 D1 交叉的第二方向 D2 上的第二交叠边缘 1461，且第一交叠边缘 1451 的长度和第二交叠边缘 1461 的长度相等；此种情况下，可以进一步地可以降低栅线和第一源漏层之间的形成的电容（Cgs1）的取值的变化（因第一源漏层相对于第一电极层 172 偏移而导致）的幅度以及第一像素的像素电压跳变量的变化幅度。

例如，如图 5H 所示，第二栅线 142 在第二源漏层上的正投影与两个第二源漏极之一 1341 在至少两个不同的位置处交叠；第二栅线 142 在第二源漏层上的正投影与两个第二源漏极之一 1341 在第一方向 D1 上的两侧至少部分交叠。

例如，如图 5H 所示，除第二栅线 142（第二栅线 142 的第二栅极部 1421）在第二源漏层上的正投影与第二漏极的靠近第二源极一侧的区域交叠之外，第二栅线 142（第二栅线 142 的第二线连接部 1423）在第二源漏层上的正投影与第二漏极的远离第二源极一侧的区域交叠。

例如，如图 5H 所示，第二凸起 144 在第二源漏极之一 1341（例如，第二漏极）上的正投影与第二源漏极之一 1341（例如，第二漏极）至少部分交叠，第二凸起 144 在第二源漏极之一 1341（例如，第二漏极）上的正投影与两个第二源漏极之一 1341（例如，第二漏极）的交叠区域为第三交叠区域 147。例如，如图 5H 所示，第二栅极部 1421 在第二漏极上的正投影与第二漏极的交叠区域为第四交叠区域 148。例如，相比于未设置第三交叠区域 147 的示例，通过设置第三交叠区域 147，可以降低栅线和第二源漏层之间的形成的电容（Cgs2）取值的变化（因第二源漏层相对于第一电极层 172 偏移而导致）的幅度，由此可以抑制包含该阵列基板 100 的显示面板和显示装置的摇头纹不良。

例如，第三交叠区域 147 具有在与第一方向 D1 交叉的第二方向 D2 上的第三交叠边缘 1471，第四交叠区域 148 具有在与第一方向 D1 交叉的第二方向 D2 上的第四交叠边缘 1481，第三交叠边缘 1471 的长度和第四交叠边缘 1481 的长度相等；此种情况下，可以进一步地可以降低栅线和第二源漏层之间的形成的电容（Cgs2）的取值的变化（因第二源漏层相对于第一电极层 172 偏移而导致）的幅度以及第二像素的像素电压跳变量的变化幅度。

在一些示例中，第一交叠区域 145 的平面形状、第二交叠区域 146 的平面形状、第三交叠区域 147 的平面形状以及第四交叠区域 148 的平面形状实质上均为矩形，第一交叠区域 145 在第二方向 D2 上的尺寸等于第二交叠区域 146 在第二方向 D2 上的尺寸，且第三交叠区域 147 在第二方向 D2 上的尺寸等于第四交叠区域 148 在第二方向 D2 上的尺寸。需要说明的是，在一些示例中，在确定第二交叠区域 146 时，可以将设置在第一栅极部 1411 和第一漏极之间的第一半导体层 125 纳入考虑，也即，将第一漏极和第一半导体层 125 的结合结构在第一栅极部 1411 上的正投影与第一栅极部 1411 的交叠区域作为第二交叠区域 146；对应地，在确定第四交叠区域 148 时，可以将第二漏极和第二半导体层的结合结构在第二栅极部 1421 上的正投影与第二栅极部 1421 的交叠区域作为第四交叠区域 148。

例如，第一栅线 141 在第一源漏层上的正投影与两个第一源漏极之一 1241 的交叠面积为第一值，第二栅线 142 在第二源漏层上的正投影与两个第二源漏极之一 1341 的交叠面积为第二值，第一值等于第二值；此种情况下，栅线和第一源漏层之间的形成的电容（Cgs1）以及栅线和第二源漏层之间的形成的电容（Cgs2）彼此相等，以及第一像素的像素电压跳变量以及第二像素的像素电压跳变量比较接近（例如，相等），由此可以进一步地抑制包含该阵列基板 100 的显示面板和显示装置的摇头纹不良。

以下结合图 9 阐述图 4A 所示的阵列基板的其它用于提升包括该阵列基板的显示面板的显示均匀度的技术方案。

在一个示例中，第一像素电极 121 与驱动第一像素的栅线在第二方向 D2 上彼此交叠，第二像素电极 131 与驱动第二像素的栅线在第二方向 D2 上彼此交叠。图 9 示出了本公开至少一个实施例提供的像素电极与驱动该像素电极所在的像素的栅线的间距和交叠长度的示意图。

如图 9 所示，第一像素电极 121 与驱动第一像素的栅线的横向间距 dpg1 是第一像素电极 121 的靠近用于驱动第一像素的栅线（例如，图 9 所示的第一栅线 141）的边缘与用于驱动第一像素的栅线之间的间距，第二像素电极 131 与驱动第二像素的栅线（例如，图 9 所示的第二栅线 142）的横向间距 dpg2 是第二像素电极 131 的靠近用于驱动第二像素的栅线的边缘与用于驱动第二像素的栅线之间的间距。例如，由于第一像素电极 121 所在的第三电极层 177 以及用于驱动第一像素的栅线所在的第一电极层 172 的间距（在垂直于第一

电极层 172 方向上的间距）较小，如图 9 所示，可以将第一像素电极 121 与用于驱动第一像素的栅线（例如，图 9 所示的第一栅线 141）在第二方向 D2 上的间距作为横向间距 dpg1，将第二像素电极 131 与用于驱动第二像素的栅线（例如，图 9 所示的第二栅线 142）在第二方向 D2 上的间距作为横向间距 dpg2。本公开的其它实施例的横向间距具有类似的定义，不再赘述。

如图 9 所示，第一像素电极 121 和第一连接部 122 的结合结构与驱动第一像素的栅线的有效交叠长度是指驱动第一像素的栅线的对应于横向间距 dpg1 小于等于预定间距（例如，六微米）的区域在第一方向 D1 上的长度；第二像素电极 131 和第二连接部 132 的结合结构与驱动第二像素的栅线的有效交叠长度是指驱动第二像素的栅线的对应于横向间距 dpg2 小于等于预定间距（例如，六微米）的区域在第一方向 D1 上的长度。

在一个示例中，第一像素电极 121 与驱动第一像素的栅线的横向间距大于五微米，第二像素电极 131 与驱动第二像素的栅线的横向间距大于五微米。例如，本公开的发明人通过多次试验和分析得到，通过使得第一像素电极 121 与驱动第一像素的栅线的横向间距大于五微米可以降低以下因素对第一像素的电容 Cpg 的影响：第一像素电极 121 与驱动第一像素的栅线的横向间距（例如，因制造工艺导致的变化）的变化；第一像素电极 121 和第一连接部 122 与驱动第一像素的栅线的有效交叠长度的变化；通过使得第二像素电极 131 与驱动第二像素的栅线的横向间距大于五微米，可以降低降低以下因素对第二像素的电容 Cpg 的影响：第二像素电极 131 与驱动第二像素的栅线的横向间距的变化；第二像素电极 131 和第二连接部 132 与驱动第二像素的栅线的有效交叠长度的变化；因此，可以在不劣化摇头纹的情况下，可以降低对制造工艺的要求。

在一个示例中，如图 9 所示，第一连接部 122 的延伸长度小于第二连接部 132 的延伸长度，第一像素电极和第一连接部的结合结构与第一栅线的有效交叠长度小于第二像素电极和第二连接部的结合结构与第二栅线的有效交叠长度，第二像素电极 131 的靠近驱动第二像素的栅线的一侧具有凹陷部。

例如，通过使得长连接像素（例如，第二像素）的像素电极的靠近驱动该长连接像素的栅线的一侧具有凹陷部，可以缩短长连接像素的像素电极和连接部的结合结构与栅线的有效交叠长度 lpg；此种情况下，长连接像素的像素电极和连接部的结合结构与栅线的有效交叠长度与短连接像素（例如，第

一像素）的像素电极和连接部的结合结构与栅线的有效交叠长度更为接近，因此，可以使得长连接像素的电容 Cpg 与短连接像素的电容 Cpg 更为接近，由此可以进一步地抑制摇头纹不良。

在一个示例中，第一像素电极 121 和第一连接部 122 的结合结构与驱动第一像素的栅线的有效交叠长度等于第二像素电极 131 和第二连接部 132 的结合结构与驱动第二像素的栅线的有效交叠长度，由此可以进一步地抑制摇头纹不良。

在一个示例中，第一像素电极 121 以及与第一像素电极 121 相邻的栅线（但不用于驱动该第一像素电极 121 所在的第一像素）在第二方向 D2 上彼此交叠，第二像素电极 131 以及与第二像素电极 131 相邻的栅线（但不用于驱动该第二像素电极 131 所在的第二像素）在第二方向 D2 上彼此交叠。

需要说明的是，在与第二像素电极 131 相邻的栅线位于上述第二像素电极 131 上方时，与第二像素电极 131 相邻的栅线对上述第二像素电极 131 充电过程的影响较小或没有影响，因此，在以下描述 Cpg’ 对显示面板显示均匀性的影响时阐述的长连接像素的第二像素电极 131 位于与其相邻的栅线（但不驱动该像素）的上方，也即，在以下描述 Cpg’ 对显示面板显示均匀性的影响时涉及的第一像素电极 121 和第二像素电极 131 不是位于同一像素单元组而是位于同一列。

在一些示例中，为了进一步地降低长连接像素以及短连接像素的电容 Cpg’ 对显示面板显示均匀性的影响，抑制摇头纹不良，可以使得横向间距 dpg1’（例如，将第一像素电极 121 以及与该第一像素电极 121 相邻的栅线在第二方向 D2 上的间距）和横向间距 dpg2’（例如，第二像素电极 131 以及与该第二像素电极 131 相邻的栅线在第二方向 D2 上的间距）尽可能的大，并使得有效交叠长度 lpg1’（例如，第一像素电极 121 以及与该第一像素电极 121 相邻的栅线之间的有效交叠长度）等于有效交叠长度 lpg2’（ 第二像素电极 131 以及与该第二像素电极 131 相邻的栅线之间的有效交叠长度）；或者可以使得长连接像素以及短连接像素的电容 Cpg 对显示面板显示均匀性的影响完全相同或相近。

以下将结合图 10 和图 11 阐述多个公共电极图案 150 的结构和彼此之间的连接关系。图 10 是本公开至少一个实施例提供的阵列基板 100 的阵列排布的公共电极图案 150 的平面示意图，图 11 是本公开至少一个实施例提供的阵

列基板 100 的公共电极图案 150 的平面示意图。

如图 10 所示，在第一方向 D1 上相邻的公共电极图案 150 通过第一公共电极连接部 151 彼此电连接，第一公共电极连接部 151 与公共电极图案 150 同层，位于不同行的公共电极图案 150 彼此间隔设置。

如图 10 所示，在第二方向 D2 上相邻的公共电极图案 150 通过第二公共电极连接部 152 彼此电连接，第二公共电极连接部 152 与第一连接部 122 同层，第二公共电极连接部 152 与对应的公共电极图案 150 通过第三过孔 153 电连接。

如图 10 和图 11 所示，至少一个（每个）公共电极图案 150 包括主体部 154 以及从主体部 154 的第一侧伸出的第一凸出部 155 以及两个第二凸出部 156 构成；第一凸出部 155 以及两个第二凸出部 156 分别沿第二方向 D2 延伸；第一凸出部 155 在第一方向 D1 上设置在两个第二凸出部 156 之间，第一公共电极连接部 151 设置在在第一方向 D1 上相邻的两个公共电极图案 150 的第二凸出部 156 之间，且第一公共电极连接部 151 的两端分别与在第一方向 D1 上相邻的两个公共电极图案 150 的第二凸出部 156 直接电性相连。

如图 10 所示，在第二方向 D2 上相邻的公共电极图案 150 通过相邻的公共电极图案 150 的第一凸出部 155 和第三过孔 153 电连接。例如，第一凸出部 155 的不与主体部 154 相连的一端包括扩大部 158，在第二方向 D2 上相邻的公共电极图案 150 通过相邻的公共电极图案 150 的扩大部 158、第三过孔 153 和第二公共电极连接部 152 电连接。例如，通过使得第一凸出部 155 的不与主体部 154 相连的一端包括扩大部 158，可以提升第二公共电极连接部 152 的设计自由度。

需要说明的是，图 10 所示的第二公共电极连接部 152 仅用于示意性的示出位于不同行的公共电极图案 150 的连接方式，但第二公共电极连接部 152 的形状和结构不限于此。例如，第二公共电极连接部 152 还可以采用如图 6 所示的第二公共电极连接部 152 的形状和结构，不再赘述。

如图 10 所示，至少一个（每个）公共电极图案 150 的平面形状可以为“E”型，且上述至少一个（每个）公共电极图案 150 的开口方向（也即，“E”型的开口方）与列方向上相邻的公共电极图案 150 的开口方向均相反。例如，每个公共电极图案 150 的主体部 154 和与上述每个公共电极图案 150 在第二方向上相邻的一个公共电极图案 150 的主体部 154 对置，且每个公共电极图

案 150 的开口和与上述每个公共电极图案 150 第二方向上相邻的另一个公共电极图案 150 的开口对置。

在一个示例中，如图 10 所示，对于位于同一列的公共电极图案，位于奇数列的公共电极图案 150 的开口方向彼此相同，位于偶数列的公共电极图案 150 的开口方向彼此相同，在第二方向上相邻的两个公共电极图案 150 的开口方向彼此不同。

如图 10 所示，至少一个（每个）公共电极图案 150 的主体部 154 的远离该公共电极图案 150 的第一凸出部 155 的一侧具有凹陷部，并且，如图 4B 所示，上述至少一个（每个）公共电极图案 150 的主体部 154 的凹陷部与对应的公共电极图案 150 的凹陷部对应（例如，至少部分重叠）。

例如，如图 4B、图 6 和图 10 所示，每个公共电极图案 150 的主体部 154 在第二方向上设置在设置了对应于该公共电极图案 150 的像素单元组 110 的第二连接部 132 的一侧，每个公共电极图案 150 的开口在第二方向上设置在设置了对应于该公共电极图案 150 的像素单元组 110 的第一连接部 122 的一侧。

需要说明的是，在一些示例中，公共电极图案 150 还可以被称为公共电极线或公共数据线。

在一些示例中（对于 TN 模式的显示面板），显示面板的对置基板还包括一层公共电极层（例如，由诸如 ITO 的透明导电材料制成），公共电极层与公共电极图案 150 通过导电部（例如，导电金球）电连接。

在另一些示例中（对于基于高级超维场转换技术的显示面板），阵列基板还包括一层公共电极层（例如，图案化的公共电极层，其与栅线彼此绝缘），公共电极图案 150 与公共电极层彼此电连接。例如，公共电极图案 150 与公共电极层可以直接电性连接或通过过孔连接。例如，在公共电极图案 150 与公共电极层直接电性连接时，公共电极层可以位于公共电极图案 150 的远离数据线的一侧。

本公开的至少一个实施例还提供了一种摇头纹的实验分析方法，通过实验数据分析得出，在显示面板显示灰度为 127 的图像且像素之间相差 6 个灰阶时，即可看到明显的摇头纹。下面对摇头纹的实验分析方法以及用于摇头纹研究的实验设计方案。

例如，用于摇头纹研究的实验设备包括点灯机，探测器（例如，型号为

CA310）以及直流电源。

摇头纹研究的实验包括以下的步骤 S501-步骤 S505。

步骤 S501：将待检的样品（显示面板）进行外灌公共电压 Vcom 处理，也即，使用显示面板外部的直流电源（直流电压），向显示面板内的公共电极或公共电极图案施加公共电压 Vcom。

步骤 S502：用点灯机编辑图形，将相同结构、相同极性的像素点亮（127 灰阶），其他像素不亮（0 灰阶）。

步骤 S503：将探测器（例如，型号为 CA310）的测量探头垂直放置于样品中间，用于测试其闪烁程度（闪烁值）。

步骤 S504：调节公共电压 Vcom，直至闪烁值最小，则此时的公共电压 Vcom 即为此像素结构的最佳公共电压 Vcom。

步骤 S505：针对一个周期内所有子像素，重复上述步骤步骤 S501-步骤 S504，直至测试出一个周期内所有子像素（12 个）的最佳公共电压 Vcom。

然后基于以上测试结果进行摇头纹分析。

根据闪烁的机理，当闪烁值最小时，可近似认为此时像素的正负帧亮度相同，因此，当闪烁值最小时，公共电压 Vcom 与像素电压的跳变量△Vp 关系如下所示，

$$Vcom=Vcenter-\triangle Vp。$$

因此，当闪烁值最小时，公共电压 Vcom 与像素电压的跳变量△Vp 成反比，由此可通过 Vcom 的差异推算出不同像素之间的像素电压的跳变量△Vp 的差异。

表 1 示出了一款 21.5 英寸的扭曲向列型显示面板（全高清）的一个周期内像素（像素 P1- P6）的最佳公共电压 Vcom，像素 P1- P6 例如分别为红色、绿色、蓝色、红色、绿色和蓝色子像素。

表 1 21.5 英寸的扭曲向列型显示面板（全高清）的子像素的最佳公共电压

		P1	P2	P3	P4	P5	P6
存在摇头纹	第一行	6.25	6.25	6.23	6.26	6.25	6.25
	第一行	6.2	6.19	6.2	6.2	6.2	6.21
不存在摇头纹	第一行	6.22	6.24	6.23	6.22	6.24	6.22
	第一行	6.23	6.26	6.25	6.23	6.26	6.23

如表 1 所示，当显示面板存在摇头纹不良时，不同子像素的最佳公共电压 Vcom 差值为 0.05V；当显示面板不存在摇头纹不良时，不同子像素的最佳公共电压 Vcom 差值为 0.02V。例如，基于表 1 中的数据，可以拟合出在 127 灰阶附近的 VT 曲线（也即，电压与显示面板透射率之间的曲线），并结合 gamma 曲线可以得出，在像素电压差异 0.05V，灰阶差异为 6 个灰阶时，摇头纹比较明显。

本公开的至少一个实施例还提供了一种显示面板，其包括本公开的实施例提供的任一阵列基板。本公开的至少一个实施例还提供了一种显示装置，其包括本公开的实施例提供的任一阵列基板或本公开的实施例提供的任一显示面板。

图 12 示出了一种显示面板的示例性框图以及一种显示装置的示例性框图。如图 12 所示，该显示面板 10 包括阵列基板 100，该显示装置包括显示面板 10。

需要说明的是，对于该显示基板 10 和显示装置 20 的其它组成部分（例如，薄膜晶体管、控制装置、图像数据编码/解码装置、行扫描驱动器、列扫描驱动器、时钟电路等）可以采用适用的部件，这些均是本领域的普通技术人员所应该理解的，在此不做赘述，也不应作为对本公开的限制。该显示基板 10 和显示装置 20 具体提升开口率的能力或基础。

本公开的至少一个实施例还提供了一种阵列基板的制作方法，其包括：形成像素单元组。像素单元组包括在第一方向上并列布置的第一像素和第二像素；第一像素包括第一像素电极、第一开关元件以及从第一像素电极延伸突出的第一连接部，第二像素包括第二像素电极、第二开关元件以及从第二像素电极延伸突出的第二连接部；第一像素电极和第一开关元件经由第一连接部彼此电连接，第二像素电极和第二开关元件经由第二连接部彼此电连接；以及第一连接部的长度不等于第二连接部的长度。

例如，形成像素单元组包括：使用同一构图工艺对相同的膜层构图形成第一连接部、第一像素电极、第二连接部和第二像素电极。

例如，该阵列基板的制作方法可以包括以下的步骤 S101-步骤 S108。

步骤 S101：提供衬底基板。

步骤 S102：在衬底基板上形成第一电极层。

步骤 S103：在形成了第一电极层的衬底基板上形成第一绝缘层。

步骤 S104：在形成了第一绝缘层的衬底基板上形成半导体层。

步骤 S105：在形成了半导体层的衬底基板上形成第二电极层。

步骤 S106：在形成了第二电极层的衬底基板上形成第二绝缘层。

步骤 S107：在第二绝缘层中形成第一过孔、第二过孔和第三过孔。

步骤 S108：在形成了第一过孔、第二过孔和第三过孔的衬底基板上形成第三电极层。

下面以图 4A 示出的阵列基板对本公开的至少一个实施例提供的阵列基板的制作方法进行示例性说明。

例如，衬底基板可以是玻璃基板、石英基板、塑料基板（例如聚对苯二甲酸乙二醇酯（PET）基板）或者由其它适合的材料制成的基板。

例如，第一电极层（参见图 4C）包括多根第一栅线、多根第二栅线、阵列排布的公共电极图案以及多个第一公共电极连接部。例如，步骤 S102 包括：在衬底基板上形成第一电极膜；使用同一构图工艺对第一电极膜构图形成多根第一栅线、多根第二栅线、阵列排布的公共电极图案以及多个第一公共电极连接部，也即，形成第一电极层。例如第一电极层可以采用金属材料（例如，铜、铝或者铝合金）或其它适用的材料形成。

例如，第一绝缘层（参见图 5C）的材料可以是氧化硅（SiOx）、氧氮化硅（SiNxOy）、氮化硅（SiNx）或者其它适合的材料。

例如，半导体层（参见图 5A 和图 5C）的材料可以由氧化物半导体材料制成，但本公开的实施例不限于此。例如，该氧化物半导体材料例如可以包括 ZnO、MgZnO、Zn-Sn-O (ZTO)、In-Zn-O (IZO)、SnO2、Ga2O3、In-Ga-O (IGO)、In2O3、In-Sn-O (ITO)、In-Ga-Zn-O (IGZO)、In-Zn-Sn-O (IZTO)、In-Ga-Zn-Sn-O (IGZTO)和 InAlZnO（IAZO)等，但本公开的实施例的半导体层不限于由上述具体的氧化物半导体材料制成。

例如，第二电极层（参见图 5A）包括多根数据线、多个开关元件的源极和漏极。例如，步骤 S105 包括：在半导体层上形成第二电极膜；使用同一构图工艺对第二电极膜构图形成多根数据线、多个开关元件的源极和漏极，也即，形成第二金属层。例如，第二电极层可以采用金属材料（例如，铜、铝或者铝合金）或其它适用的材料形成。

例如，第二绝缘层可以采用无机或有机材料形成。例如，第二绝缘层可以采用有机树脂、氧化硅（SiOx）、氧氮化硅（SiNxOy）或者氮化硅（SiNx）

形成。

例如，在步骤 S107 中，在第二绝缘层中对应于两个第一源漏极之一的远离 U 型电极（两个第一源漏极的另一个）一侧的端部的位置处形成第一过孔，在第二绝缘层中对应于第二源漏极之一的远离 U 型电极（两个第二源漏极的另一个）一侧的端部的位置处形成第二过孔，在第二绝缘层中对应于公共电极图案的第一凸出部（例如，第一凸出部的扩大部 158）的位置处形成第三过孔。

例如，第三电极层 177（参见图 6）包括第一像素电极、第二像素电极、第一连接部、第二连接部和第二公共电极连接部。

例如，步骤 S108 包括：在形成了第一过孔、第二过孔和第三过孔的衬底基板上形成第三电极膜；使用同一构图工艺对第三电极膜构图形成第一像素电极、第二像素电极、第一连接部、第二连接部和第二公共电极连接部。例如，第三电极层可以采用透明导电材料形成。例如，透明导电材料为氧化铟锡（ITO）或氧化铟锌（IZO）。

虽然上文中已经用一般性说明及具体实施方式，对本公开作了详尽的描述，但在本公开实施例基础上，可以对之作一些修改或改进，这对本领域技术人员而言是显而易见的。因此，在不偏离本公开精神的基础上所做的这些修改或改进，均属于本公开要求保护的范围。

以上所述仅是本公开的示范性实施方式，而非用于限制本公开的保护范围，本公开的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板，包括：像素单元组，其中，所述像素单元组包括在第一方向上并列紧邻布置的第一像素和第二像素；

所述第一像素包括第一像素电极、第一开关元件以及从所述第一像素电极延伸突出的第一连接部，

所述第二像素包括第二像素电极、第二开关元件以及从所述第二像素电极延伸突出的第二连接部；

所述第一像素电极和所述第一开关元件经由所述第一连接部彼此电连接，

所述第二像素电极和所述第二开关元件经由所述第二连接部彼此电连接；以及

所述第一连接部的延伸长度不等于所述第二连接部的延伸长度。

2、根据权利要求 1 所述的阵列基板，其中，所述像素单元组包括在所述第一方向上彼此相对的第一边缘和第二边缘，

相对于所述第二边缘，所述第一开关元件和所述第二开关元件在所述第一方向均更靠近所述像素单元组的第一边缘。

3、根据权利要求 1 或 2 所述的阵列基板，其中，在与所述第一方向交叉的第二方向上，所述第一像素电极位于所述第一开关元件和所述第二开关元件之间；

所述第一连接部的延伸突出的方向为所述第二方向，所述第二连接部的延伸突出的方向为所述第一方向；

在所述第二方向上，所述第二连接部与所述第一像素电极至少部分重叠；以及

所述第一开关元件和所述第二开关元件相对于所述第一像素电极在所述第二方向上且沿所述第一方向延伸的中线对称设置。

4、根据权利要求 1-3 任一所述的阵列基板，其中，所述第一连接部与所述第一像素电极使用相同的材料一体形成，所述第二连接部与所述第二像素电极使用相同的材料一体形成。

5、根据权利要求 1-4 任一所述的阵列基板，其中，所述第一开关元件包括第一源漏层，所述第一源漏层包括彼此相对且间隔设置的两个第一源漏极；

所述第二开关元件包括第二源漏层，所述第二源漏层包括彼此相对且间隔设置的两个第二源漏极；

所述第一连接部与所述第一像素电极直接电性连接，所述第一连接部还经由第一过孔与所述两个第一源漏极之一电连接；以及

所述第二连接部与所述第二像素电极直接电性连接，所述第二连接部还经由第二过孔与所述两个第二源漏极之一电连接。

6、根据权利要求 5 所述的阵列基板，其中，所述两个第一源漏极之一覆盖所述第一过孔的开口区域的一部分，所述第一过孔的开口区域的另一部分位于所述第一源漏极之一的靠近所述第一像素电极的一侧；以及

所述两个第二源漏极之一覆盖所述第二过孔的开口区域的一部分，所述第二过孔的开口区域的另一部分位于所述第二源漏极之一的靠近所述第一像素电极的一侧。

7、根据权利要求 5 或 6 所述的阵列基板，其中，所述阵列基板还包括分别沿所述第一方向延伸的第一栅线和第二栅线；

所述第一栅线和所述第二栅线在与所述第一方向交叉的第二方向上位于所述像素单元组的两侧；以及

所述第一栅线在所述第一源漏层上的正投影与所述两个第一源漏极之一在至少两个不同的位置处交叠和所述第二栅线在所述第二源漏层上的正投影与所述两个第二源漏极之一在至少两个不同的位置处交叠。

8、根据权利要求 7 所述的阵列基板，其中，所述第一栅线包括顺次相连的第一栅极部、第一线部、第一线连接部；

所述第二栅线包括顺次相连的第二栅极部、第二线部、第二线连接部；

所述第一栅极部被配置为所述第一开关元件的栅极，所述第二栅极部被配置为所述第二开关元件的栅极；

所述第一栅线在所述第一源漏层上的正投影与所述两个第一源漏极之一在所述第一方向上的两侧至少部分交叠；以及

所述第二栅线在所述第二源漏层上的正投影与所述两个第二源漏极之一在所述第一方向上的两侧至少部分交叠。

9、根据权利要求 8 所述的阵列基板，其中，所述第一栅线的第一线连接部在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一至少部分交叠，

所述第二栅线的第二线连接部在所述两个第二源漏极之一上的正投影与所述两个第二源漏极之一至少部分交叠。

10、根据权利要求 8 或 9 所述的阵列基板，其中，所述第一线连接部包括朝向所述第一栅极部凸出的第一凸起，所述第二线连接部包括朝向所述第二栅极部凸出的第二凸起；以及

所述第一凸起在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一至少部分交叠，所述第二凸起在所述两个第二源漏极之一上的正投影与所述两个第二源漏极之一至少部分交叠。

11、根据权利要求 10 所述的阵列基板，其中，所述第一凸起在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一的交叠区域为第一交叠区域，且所述第一交叠区域具有在与所述第一方向交叉的第二方向上的第一交叠边缘;

所述第一栅极部在所述两个第一源漏极之一上的正投影与所述两个第一源漏极之一的交叠区域为第二交叠区域，所述第二交叠区域具有在所述第二方向上的第二交叠边缘;

所述第一交叠边缘的长度和所述第二交叠边缘的长度相等;

所述第二凸起在所述两个第二源漏极之一上的正投影与所述两个第二源漏极之一的交叠区域为第三交叠区域，所述第三交叠区域具有在所述第二方向上的第三交叠边缘;

所述第二栅极部在所述两个第二源漏极之一的正投影与所述两个第二源漏极之一的交叠区域为第四交叠区域，所述第四交叠区域具有在所述第二方向上的第四交叠边缘；以及

所述第三交叠边缘的长度和所述第四交叠边缘的长度相等。

12、根据权利要求 7-11 任一所述的阵列基板，其中，所述第一栅线在所述第一源漏层上的正投影与所述两个第一源漏极之一的交叠面积为第一值;

所述第二栅线在所述第二源漏层上的正投影与所述两个第二源漏极之一的交叠面积为第二值；以及

所述第一值等于所述第二值。

13、根据权利要求 5 或 6 所述的阵列基板，其中，所述阵列基板还包括分别沿所述第一方向延伸的第一栅线和第二栅线;

所述第一栅线和所述第二栅线在与所述第一方向交叉的第二方向上位于

所述像素单元组的两侧；以及

所述第一栅线在所述第一源漏层上的正投影与所述两个第一源漏极之一在至少两个不同的位置处交叠或所述第二栅线在所述第二源漏层上的正投影与所述两个第二源漏极之一在至少两个不同的位置处交叠。

14、根据权利要求 7-13 任一所述的阵列基板，其中，所述第一连接部和所述第二连接部在与所述第一方向垂直的第二方向上分别位于所述第一像素电极的两侧;

所述第一连接部和所第二连接部在所述第二方向上均位于所述第一栅线和所述第二栅线之间；以及

所述第一栅线和所述第二栅线相对于所述像素单元组在所述第二方向上的沿所述第一方向延伸的中线对称设置。

15、根据权利要求 7-14 任一所述的阵列基板，其中，所述阵列基板包括阵列排布的多个所述像素单元组;

用于驱动每个所述像素单元组的第一栅线与用于驱动与所述每个像素单元组在所述第二方向上相邻的像素单元组的第二栅线在所述第一方向上部分交叠;

所述阵列基板还包括设置在相邻的所述像素单元组之间的数据线；以及

每个所述像素单元组的第一开关元件和第二开关元件均与同一根数据线相连。

16、根据权利要求 15 所述的阵列基板，其中，所述阵列基板还包括阵列排布的多个公共电极图案;

所述多个公共电极图案和所述多个像素单元组一一对应;

位于同一行的多个公共电极图案位于用于驱动与所述同一行的多个公共电极图案对应的像素单元组的第一栅线和第二栅线之间;

在所述第一方向上相邻的所述公共电极图案通过第一公共电极连接部彼此电连接，所述第一公共电极连接部与所述公共电极图案同层；以及

在所述第二方向上相邻的所述公共电极图案通过第二公共电极连接部彼此电连接，所述第二公共电极连接部与所述第一连接部同层，所述第二公共电极连接部与对应的公共电极图案通过第三过孔电连接。

17、根据权利要求 16 所述的阵列基板，其中，每个所述公共电极图案包括主体部以及从所述主体部的第一侧伸出的第一凸出部构成;

所述第一凸出部沿所述第二方向延伸;

在所述第二方向上相邻的所述公共电极图案通过所述相邻的公共电极图案的第一凸出部和所述第三过孔电连接。

18、根据权利要求 1-14 任一所述的阵列基板，其中，所述第一像素电极与驱动所述第一像素的栅线的横向间距大于五微米；所述第二像素电极与驱动所述第二像素的栅线的横向间距大于五微米。

19、根据权利要求 1-18 任一所述的阵列基板，其中，所述第一连接部的延伸长度小于所述第二连接部的延伸长度;

所述第二像素电极的靠近驱动所述第二像素的栅线的一侧具有凹陷部。

所述第一像素电极与驱动所述第一像素的栅线在与所述第一方向交叉的第二方向上彼此交叠，所述第二像素电极与驱动所述第二像素的栅线在与所述第一方向交叉的第二方向上彼此交叠；以及

所述第一像素电极和所述第一连接部的结合结构与驱动所述第一像素的栅线的有效交叠长度等于所述第二像素电极和所述第二连接部的结合结构与驱动所述第二像素的栅线的有效交叠长度。

20、一种显示面板，包括如权利要求 1-19 任一所述的阵列基板。

21、一种显示装置，包括如权利要求 1-19 任一所述的阵列基板或如权利要求 20 所述的显示面板。

22、一种阵列基板的制作方法，包括：形成像素单元组，

其中，所述像素单元组包括在第一方向上并列布置的第一像素和第二像素;

所述第一像素包括第一像素电极、第一开关元件以及从所述第一像素电极延伸突出的第一连接部，

所述第二像素包括第二像素电极、第二开关元件以及从所述第二像素电极延伸突出的第二连接部;

所述第一像素电极和所述第一开关元件经由所述第一连接部彼此电连接，

所述第二像素电极和所述第二开关元件经由所述第二连接部彼此电连接；以及

所述第一连接部的长度不等于所述第二连接部的长度。

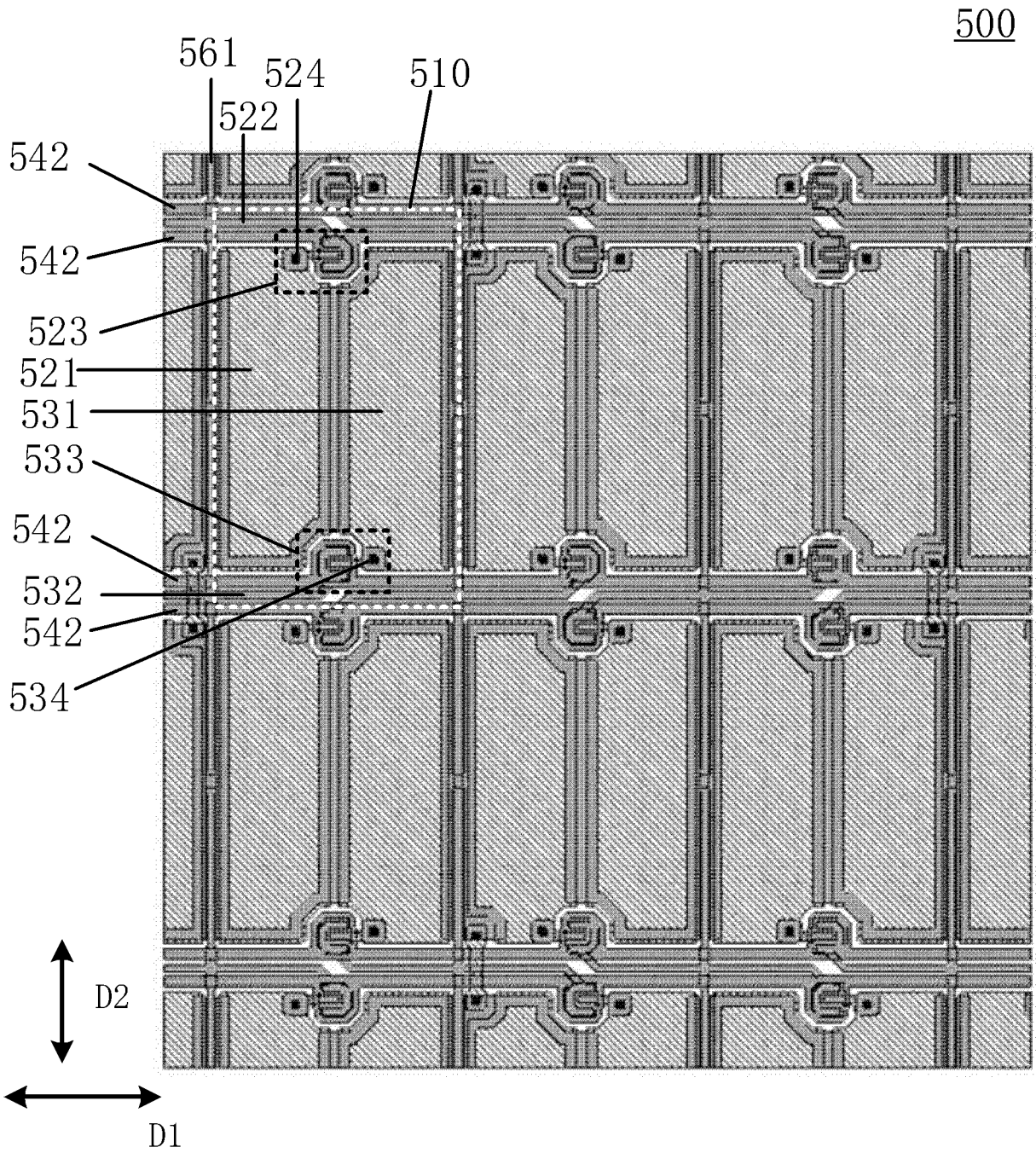


图 1

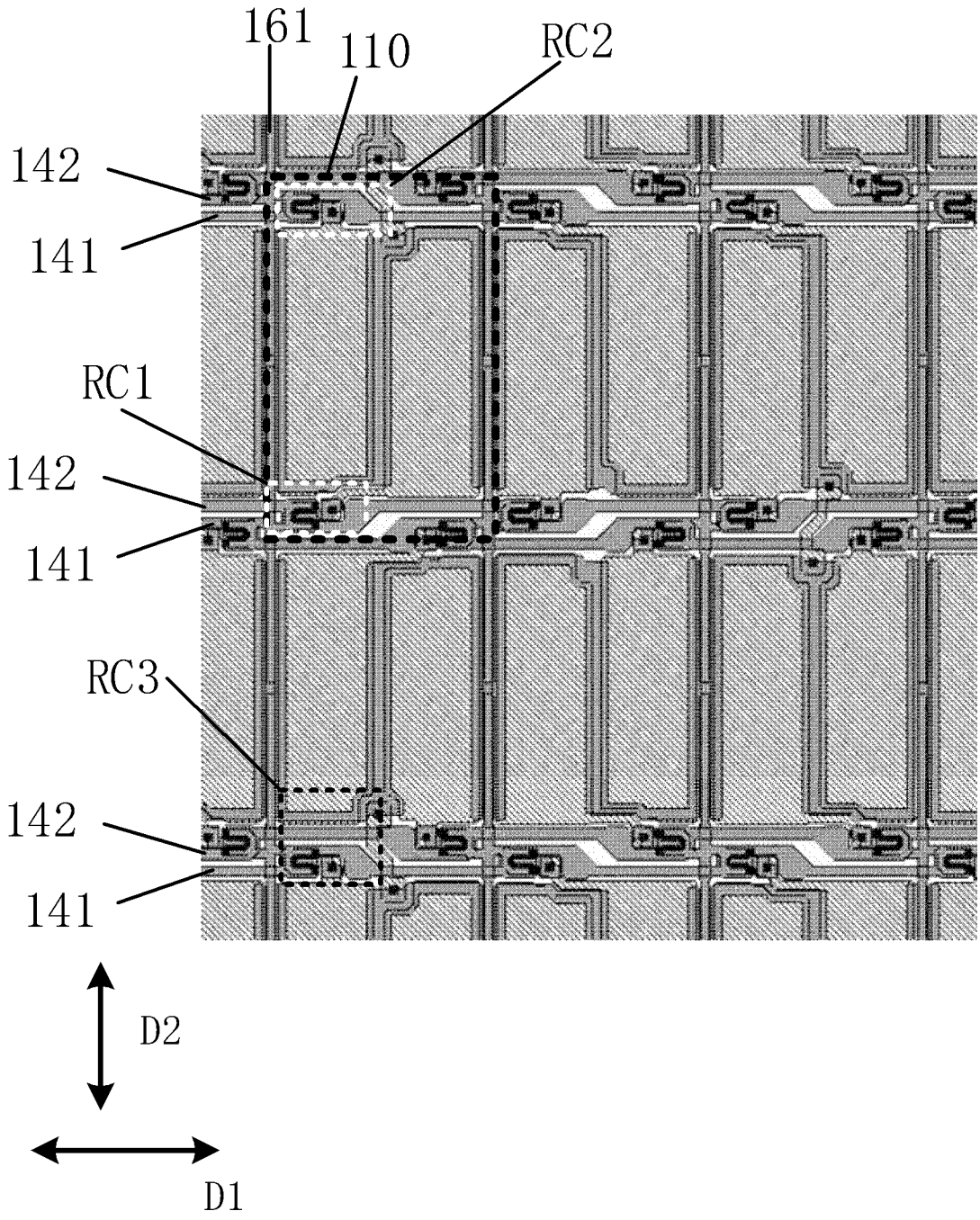


图 2A

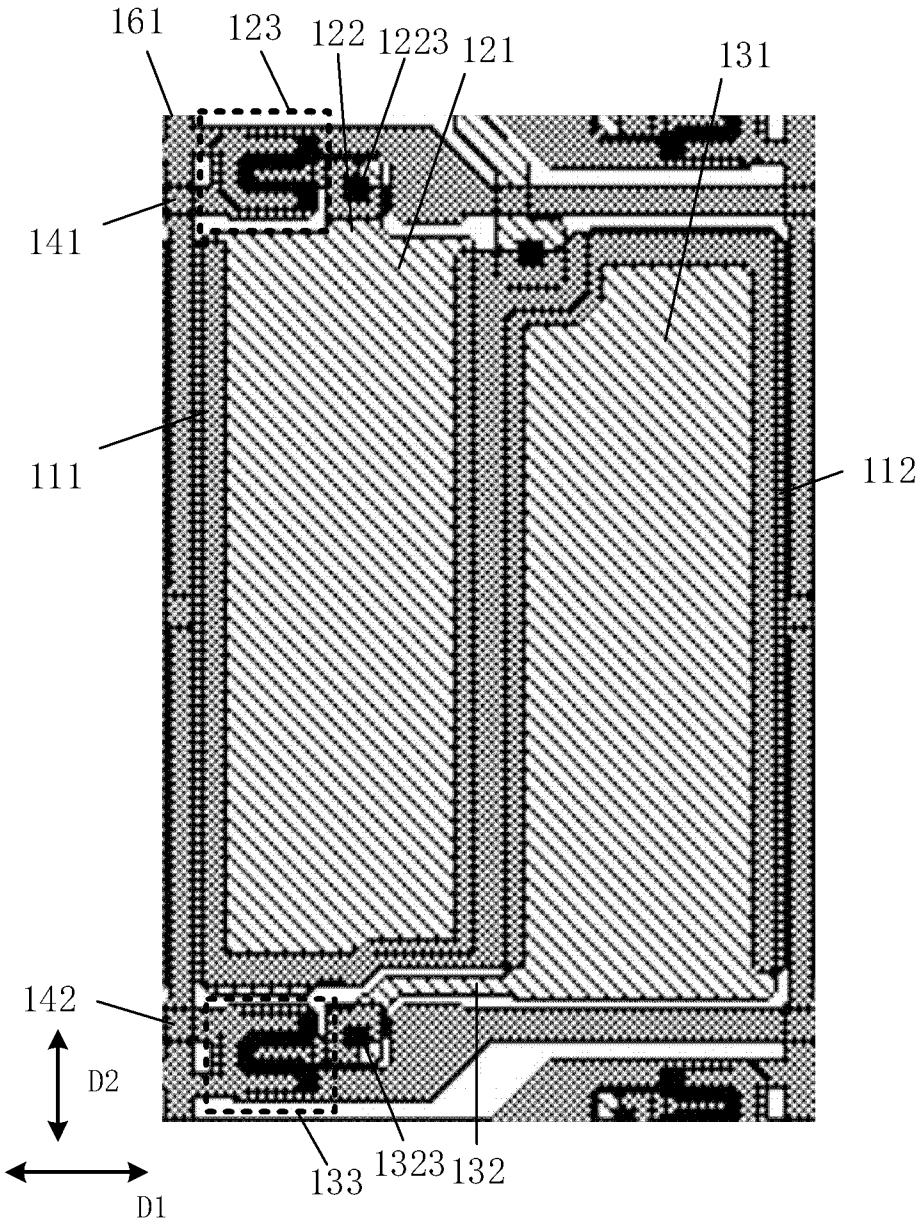
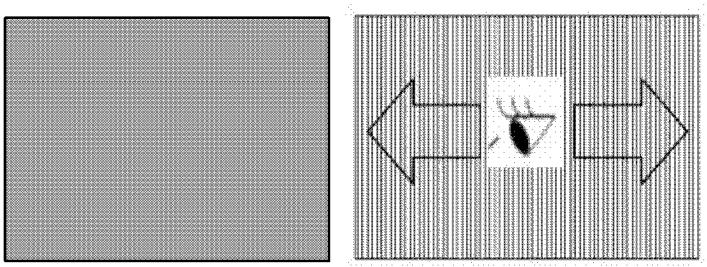


图 2B



2C

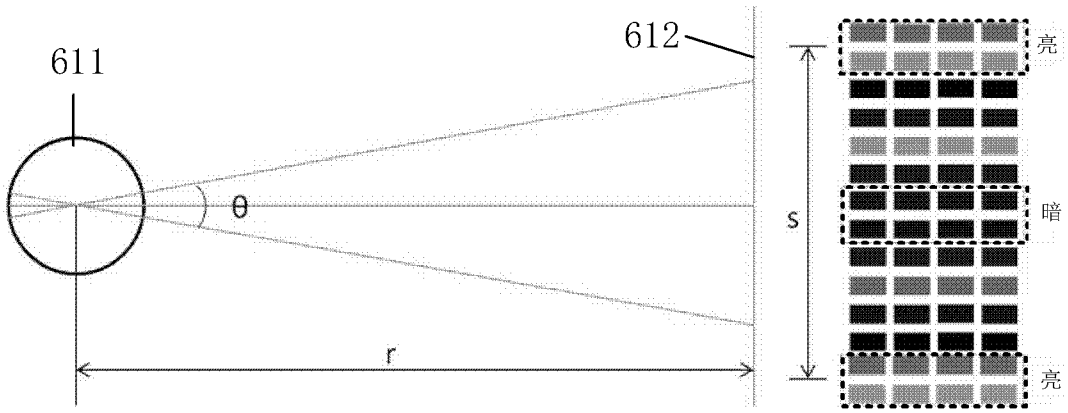

611
612
θ
r
s
亮
暗
亮

图 2D

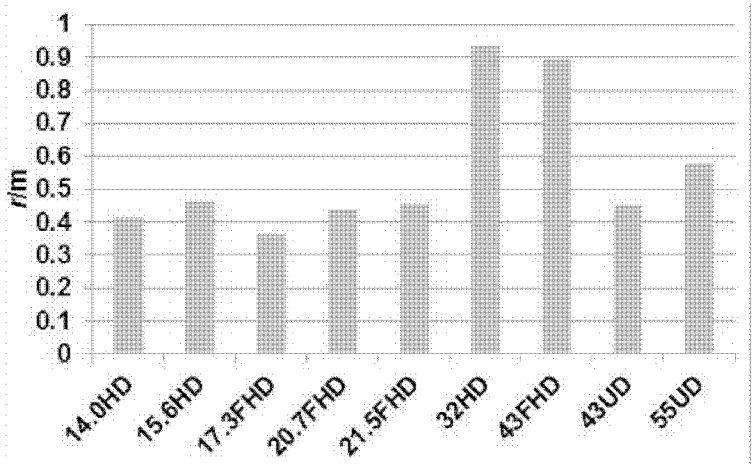

1
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
r/m
14.0HD
15.6HD
17.3FHD
20.7FHD
21.5FHD
32HD
43FHD
43UD
55UD

图 2E

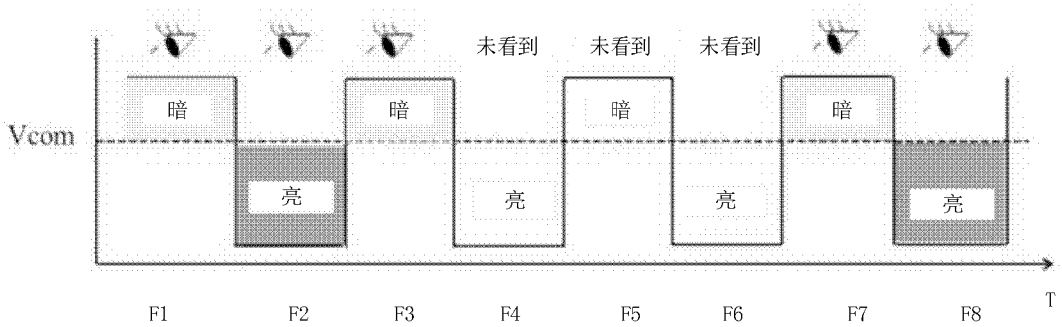

未看到
未看到
未看到
暗
暗
暗
暗
Vcom
亮
亮
亮
亮
T
F1
F2
F3
F4
F5
F6
F7
F8

图 2F

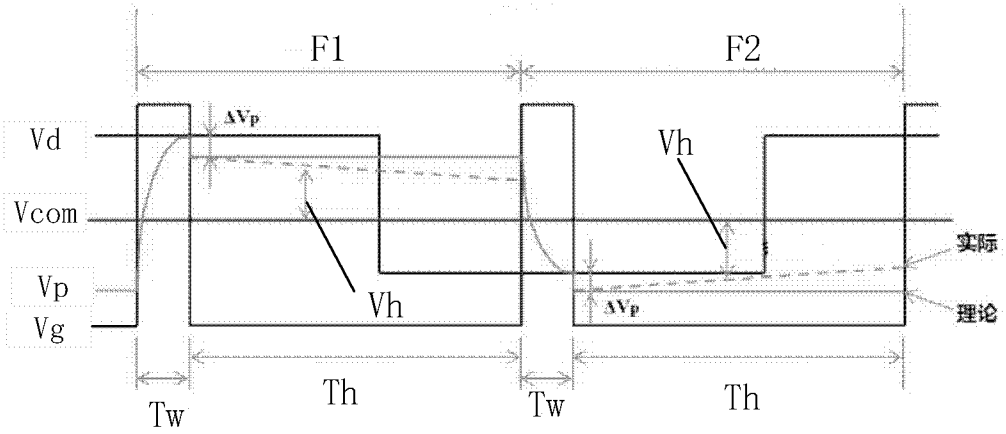

F1
F2
Vd
Vcom
Vp
Vg
ΔVp
Vh
Vh
ΔVp
实际
理论
Tw
Th
Tw
Th

图 2G

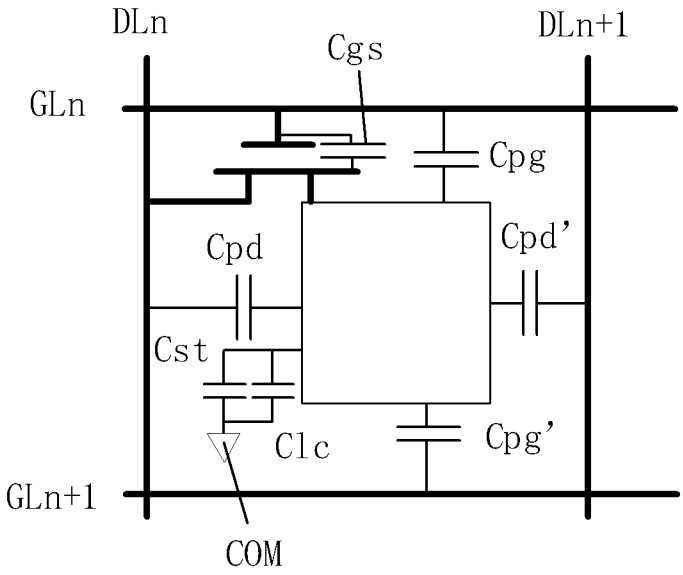

DLn
DLn+1
Cgs
GLn
Cpg
Cpd
Cpd'
Cst
Clc
Cpg'
GLn+1
COM

图 2H

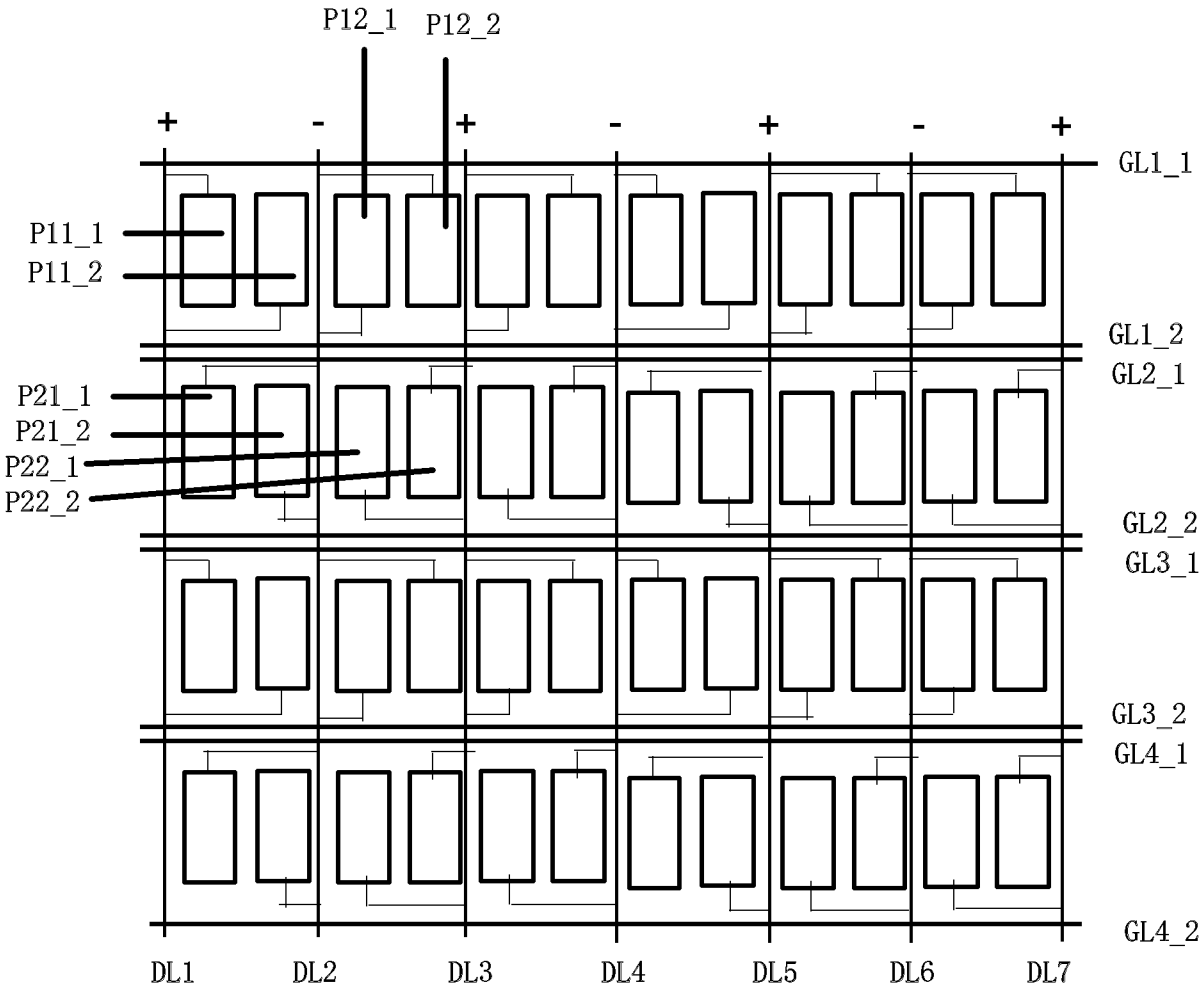

P12_1
P12_2
+
-
+
-
+
-
+
GL1_1
P11_1
P11_2
GL1_2
GL2_1
P21_1
P21_2
P22_1
P22_2
GL2_2
GL3_1
GL3_2
GL4_1
GL4_2
DL1
DL2
DL3
DL4
DL5
DL6
DL7

图 3A

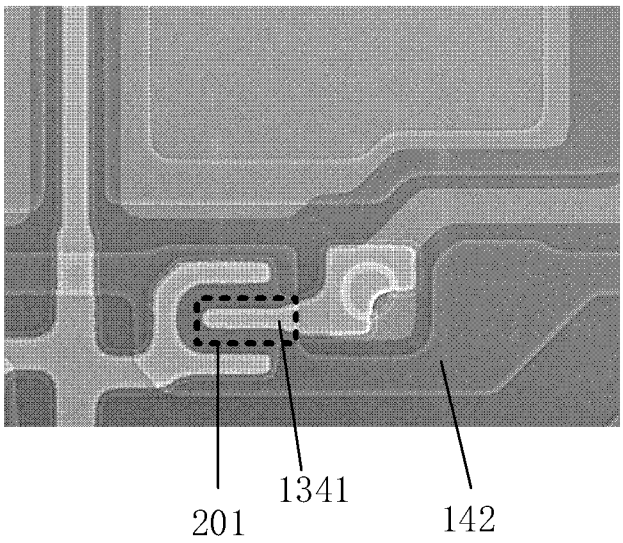

201
1341
142

图 3B

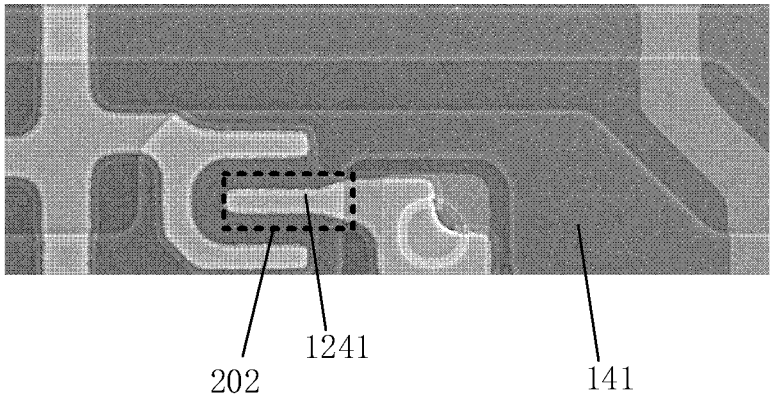

1241
202
141

图 3C

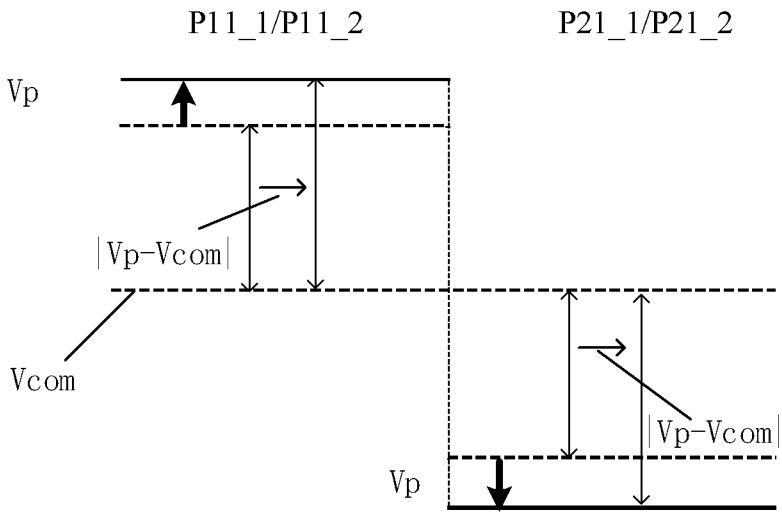

P11_1/P11_2
P21_1/P21_2
Vp
|Vp-Vcom|
Vcom
|Vp-Vcom|
Vp

图 3D

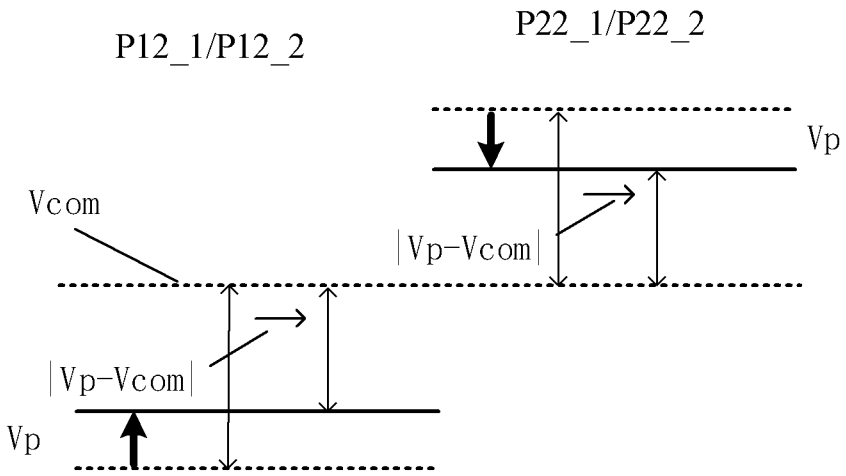

P12_1/P12_2
P22_1/P22_2
Vp
Vcom
|Vp-Vcom|
|Vp-Vcom|
Vp

图 3E

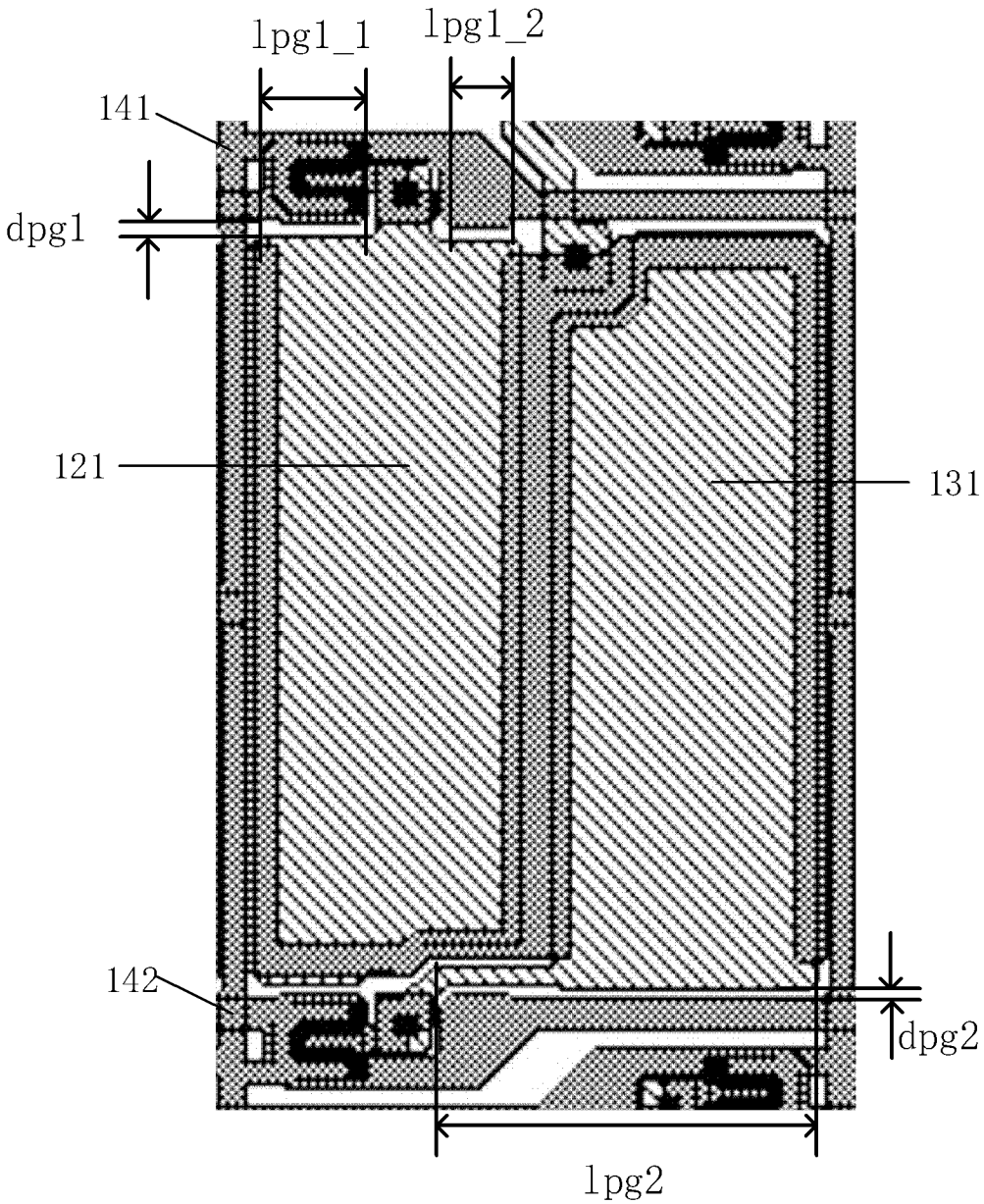


图 3F

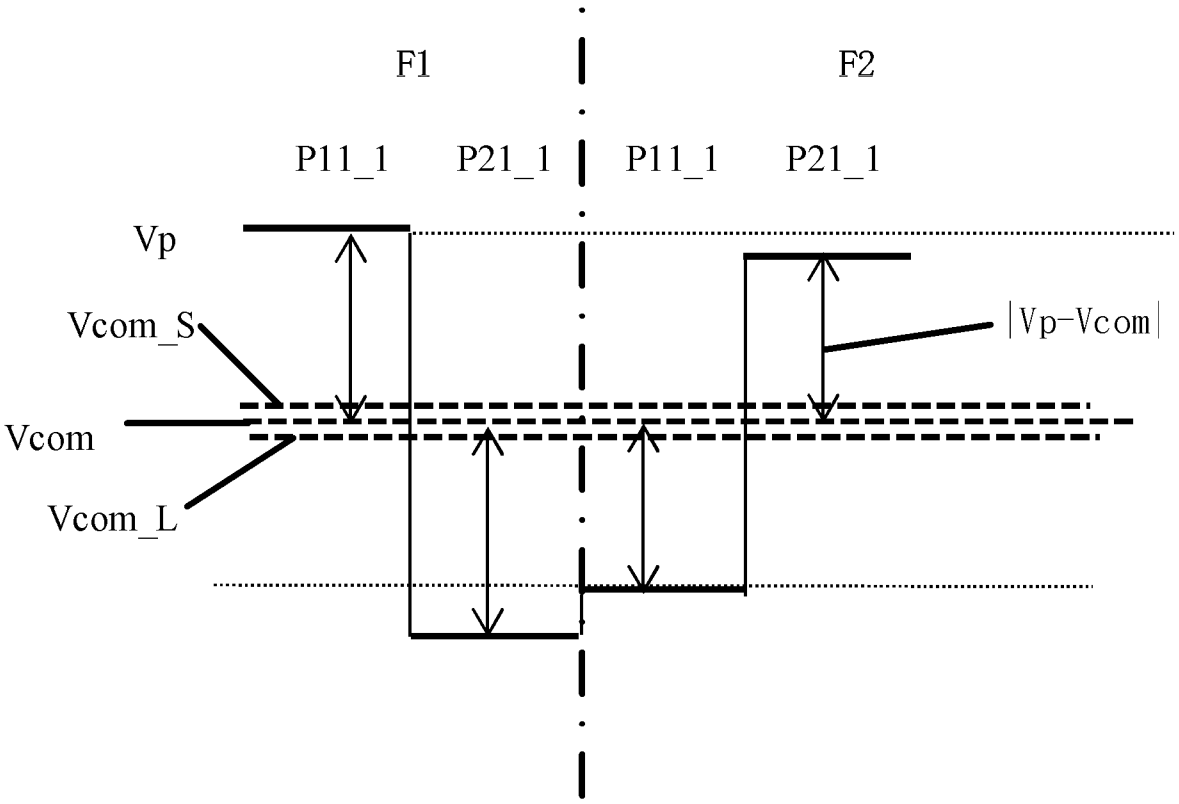

F1
F2
P11_1
P21_1
P11_1
P21_1
Vp
Vcom_S
Vcom
Vcom_L
|Vp-Vcom|

图 3G

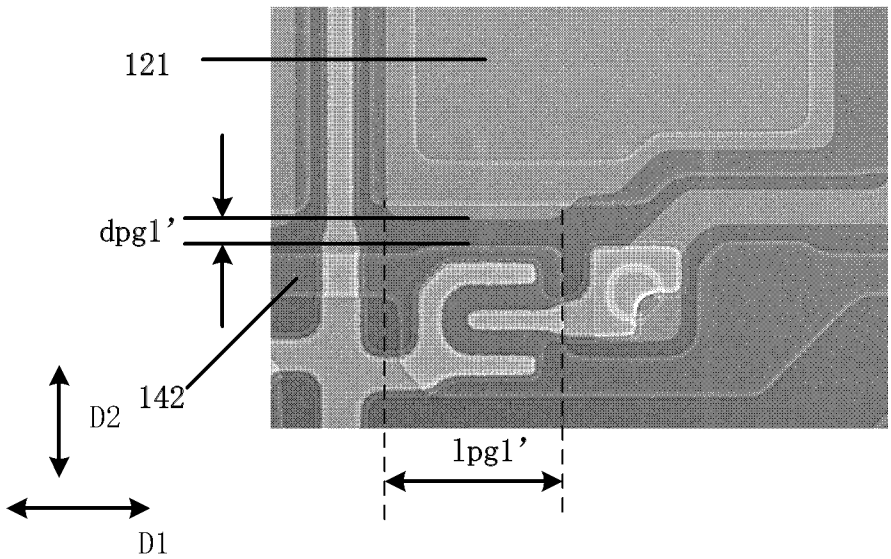

121
dpg1'
142
D2
D1
lpg1'

图 3H

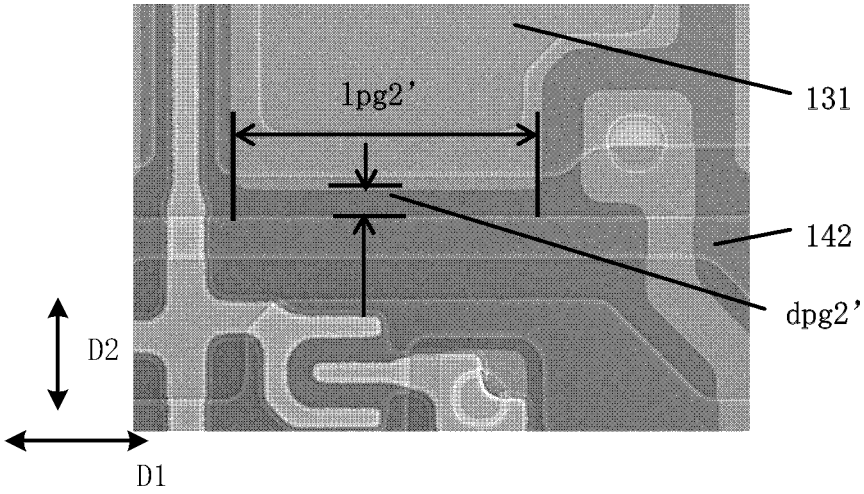


图 3I

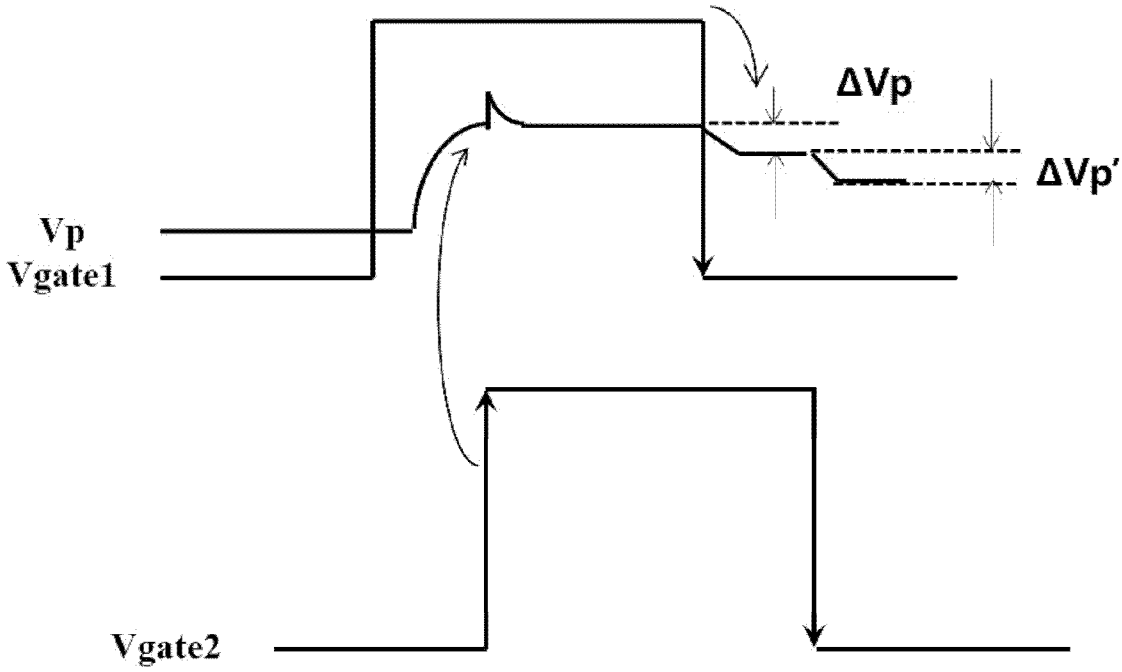


图 3J

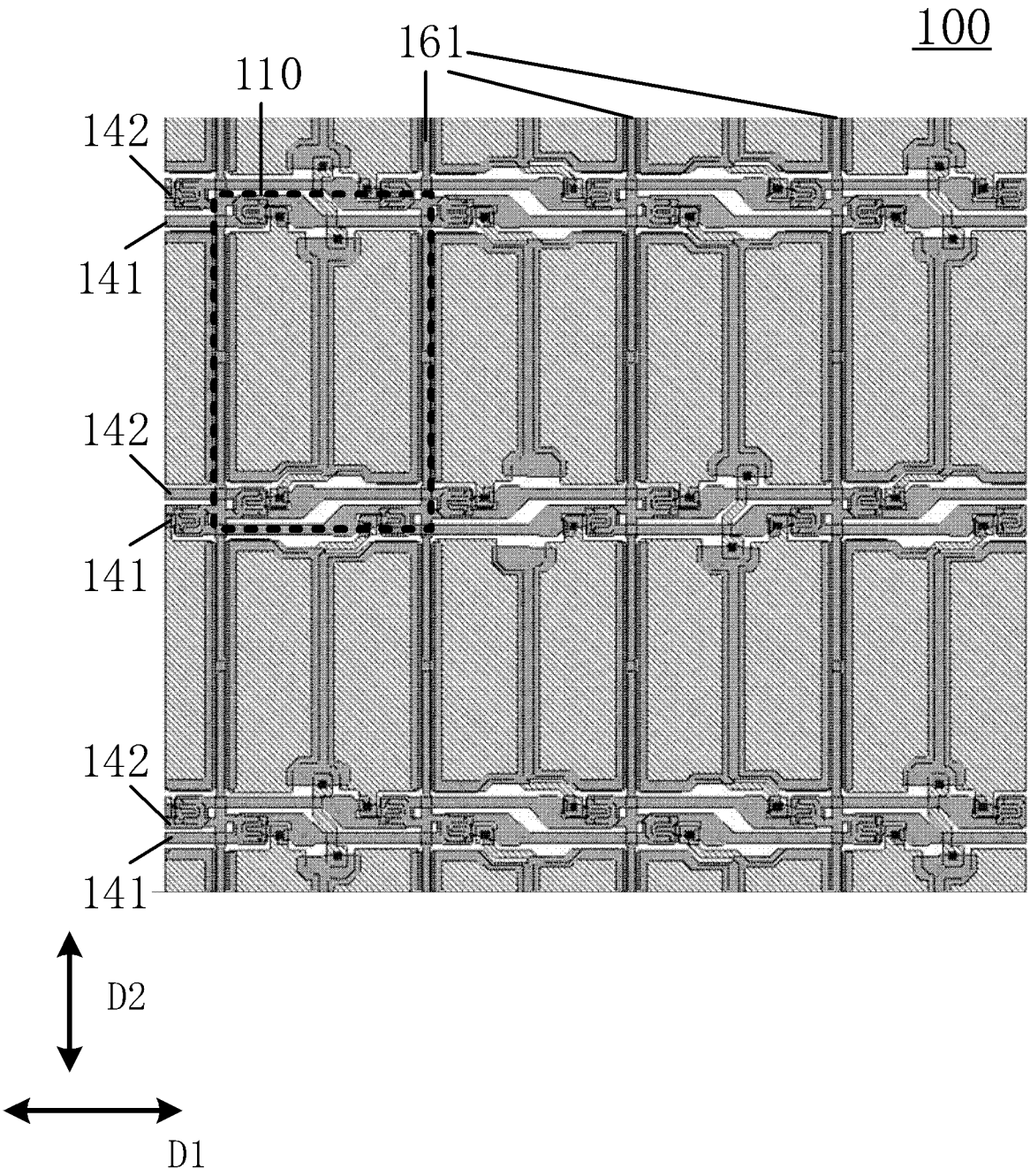


图 4A

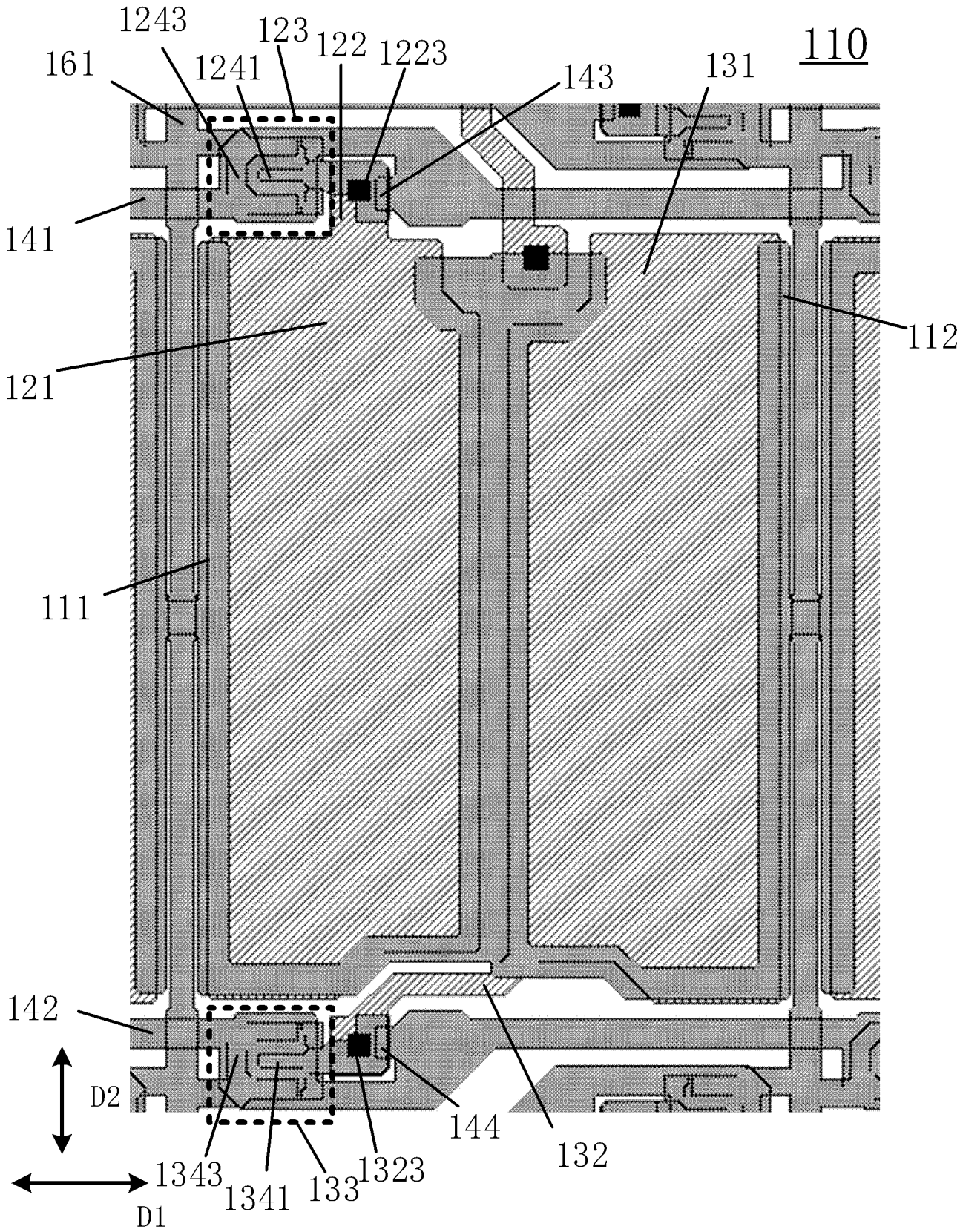

1243
123
122
1223
161
1241
143
131
110
141
112
121
111
142
D2
144
132
1343
1341
133
1323
D1

图 4B

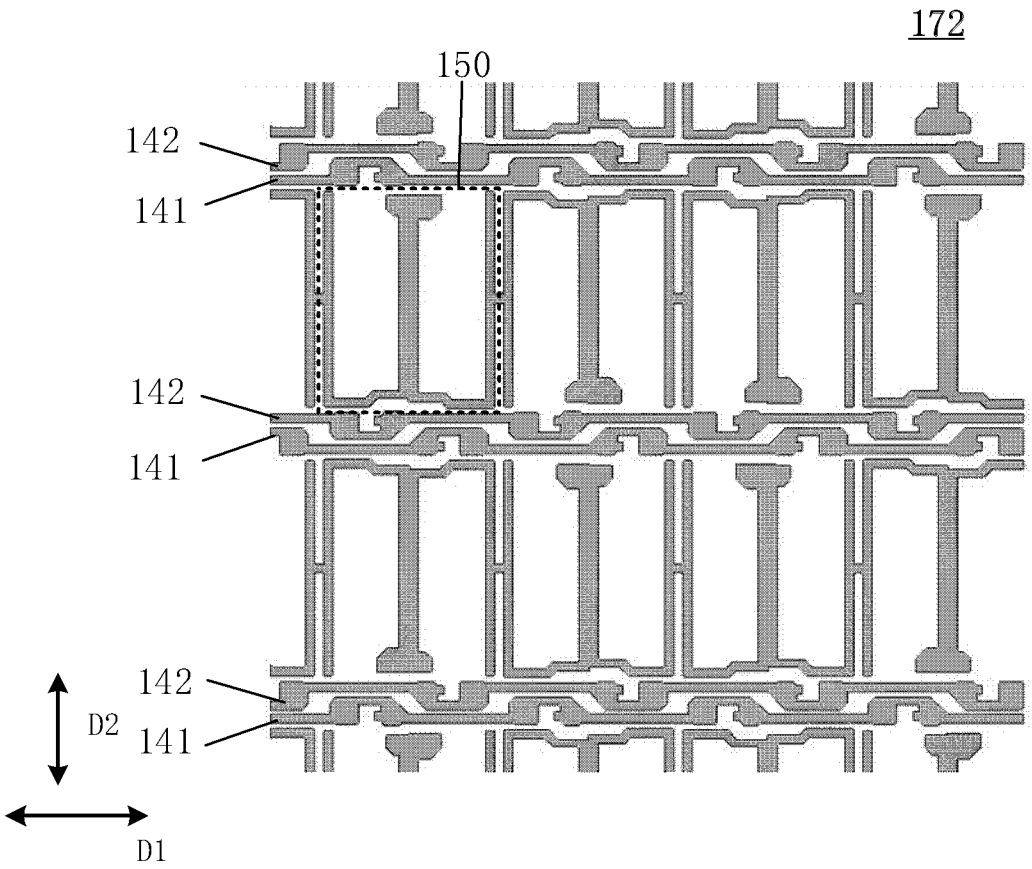

172
150
142
141
142
141
142
141
D2
D1

图 4C

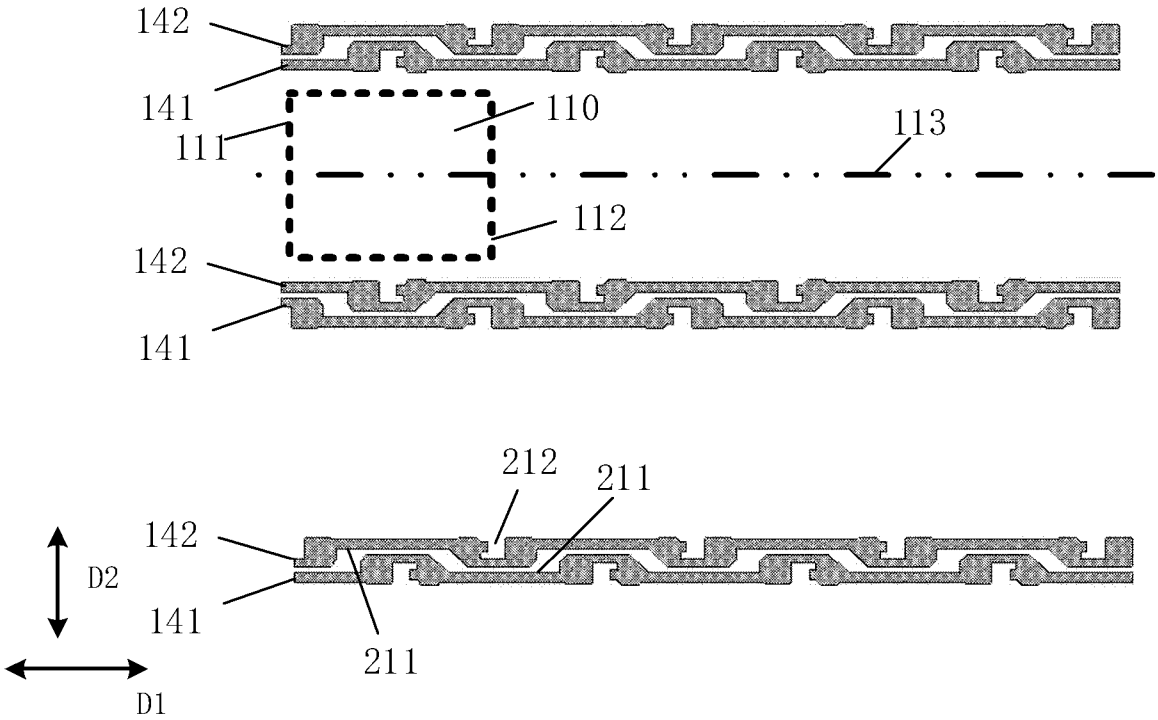

142
141
111
110
113
112
142
141
212
211
142
D2
141
211
D1

图 4D

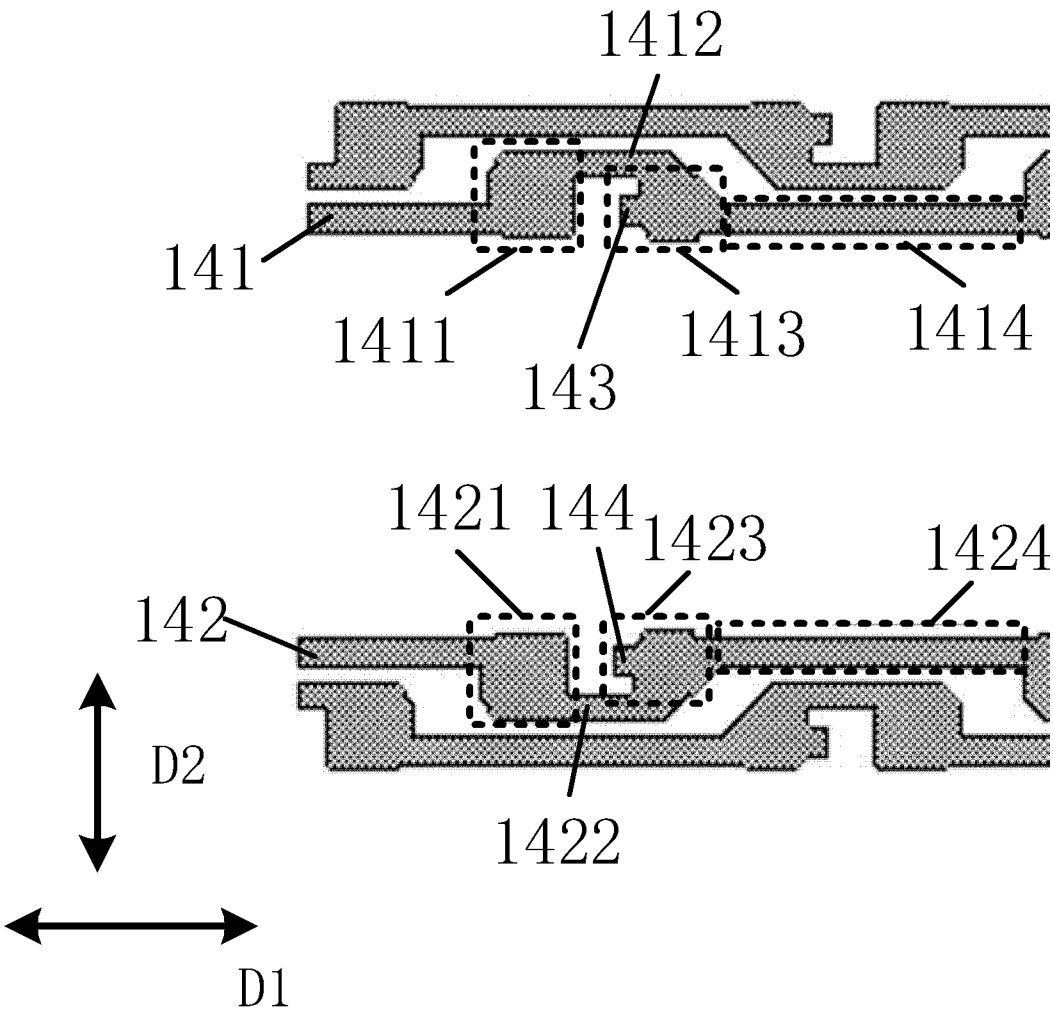


图 4E

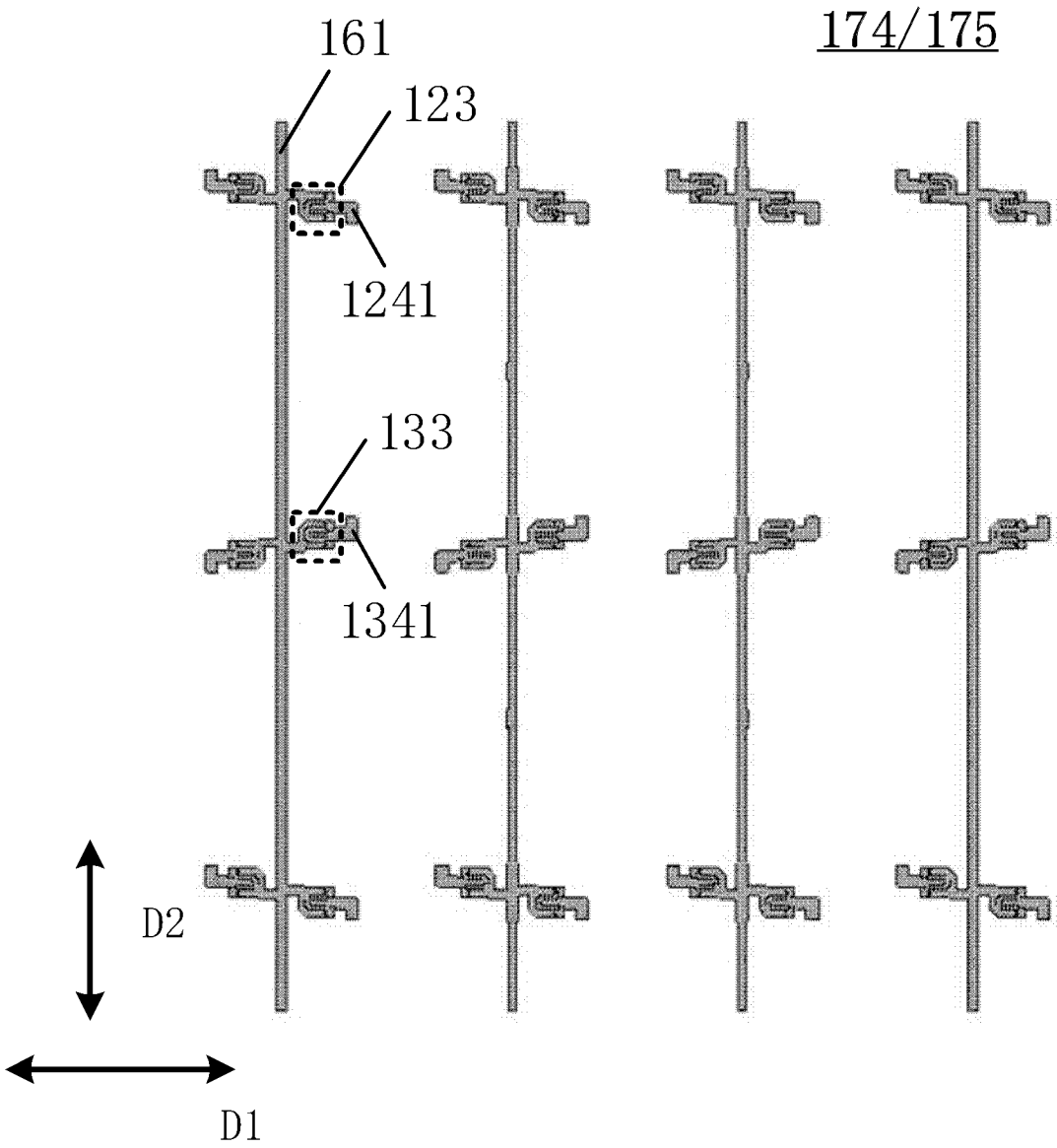


图 5A

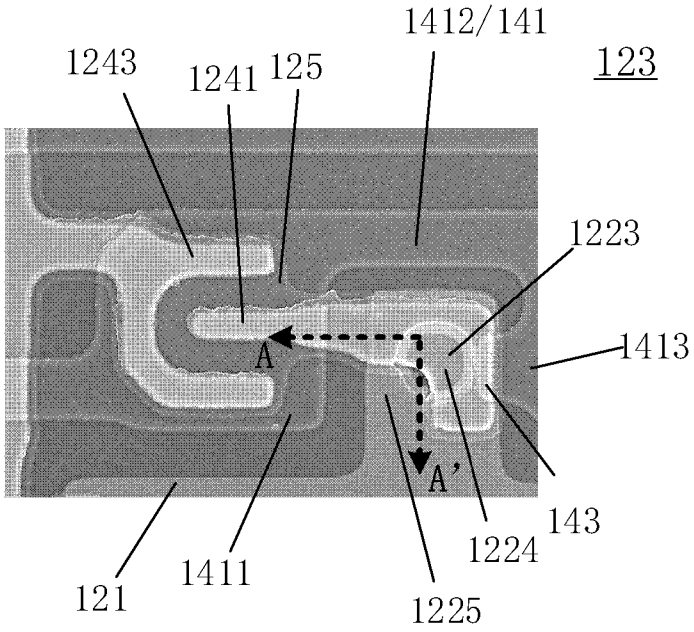

1412/141
123
1243
1241
125
1223
1413
A
A'
143
1224
1411
121
1225

图 5B

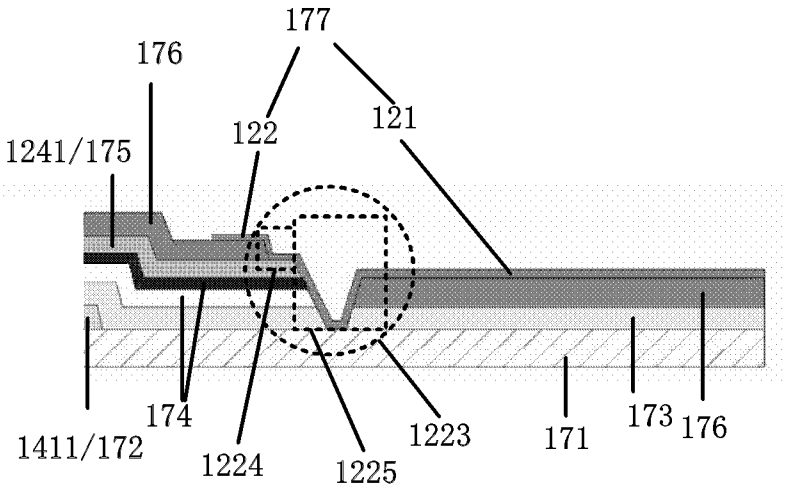

177
176
122
121
1241/175
174
1411/172
1224
1225
1223
171
173
176

图 5C

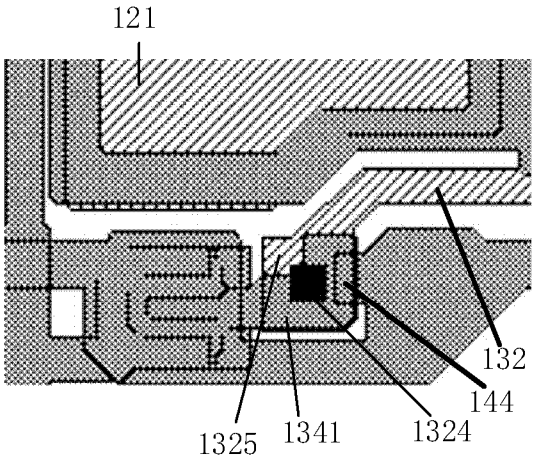

121
132
144
1325
1341
1324

图 5D

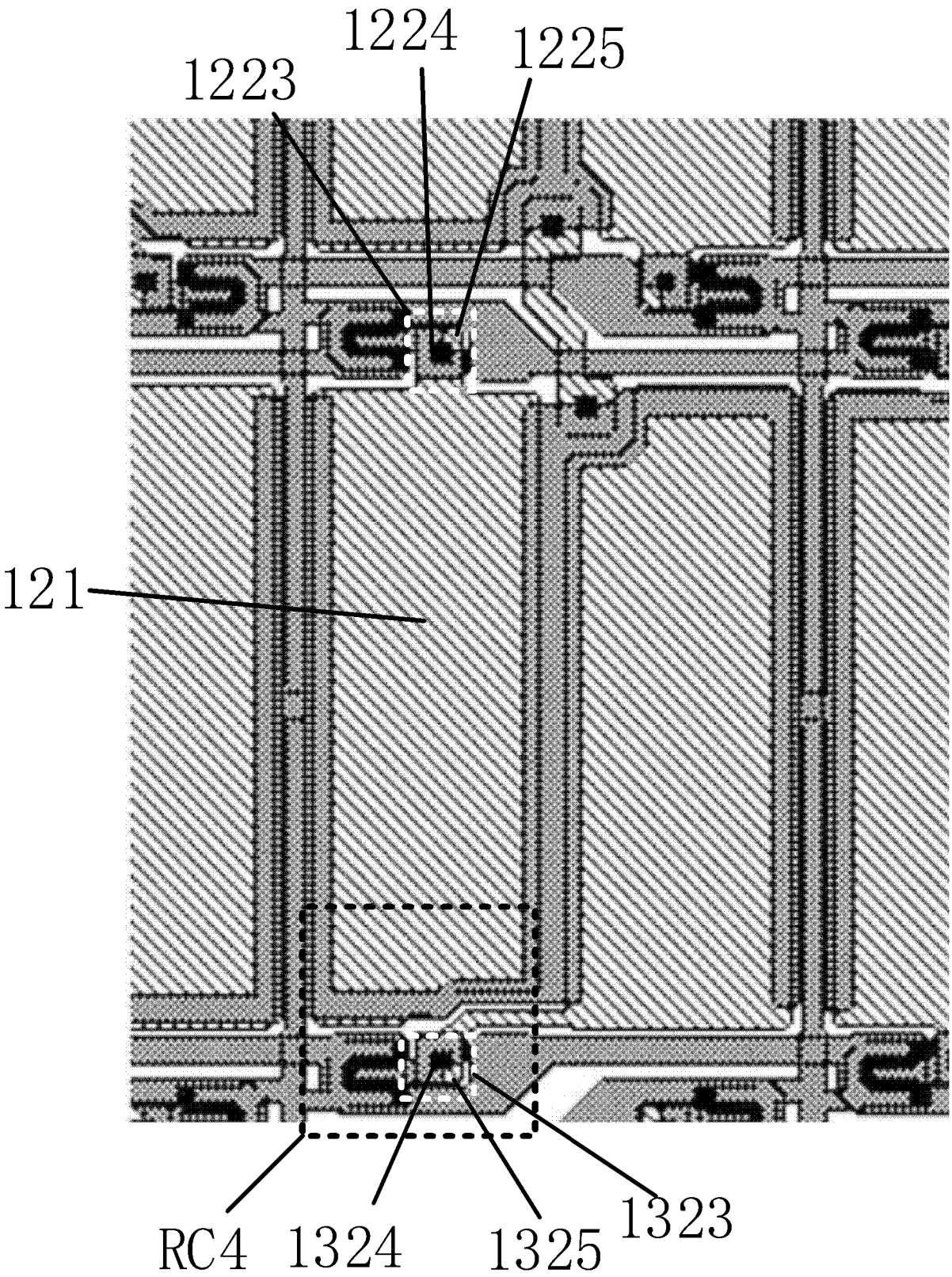


图 5E

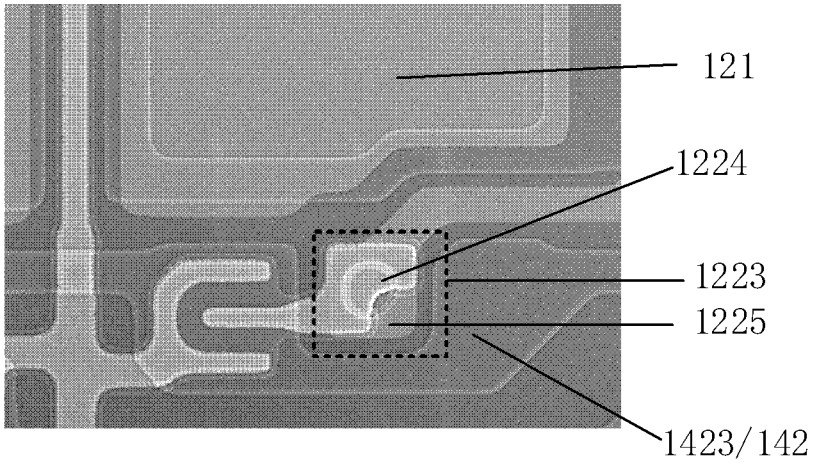

121
1224
1223
1225
1423/142

图 5F

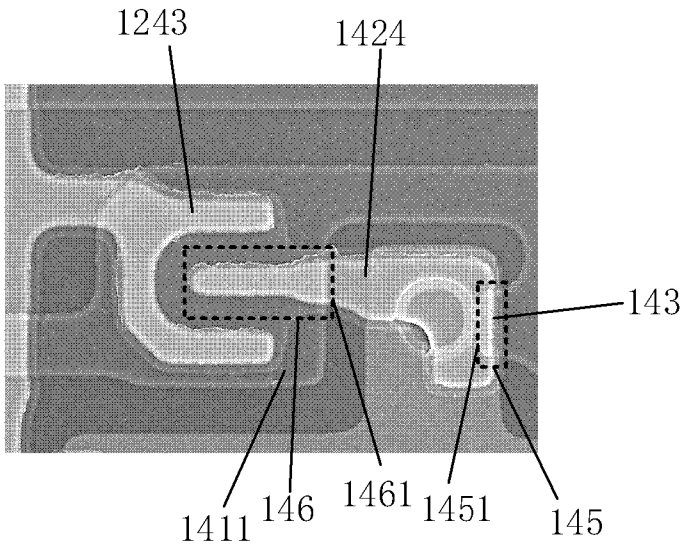

1243
1424
143
1411
146
1461
1451
145

图 5G

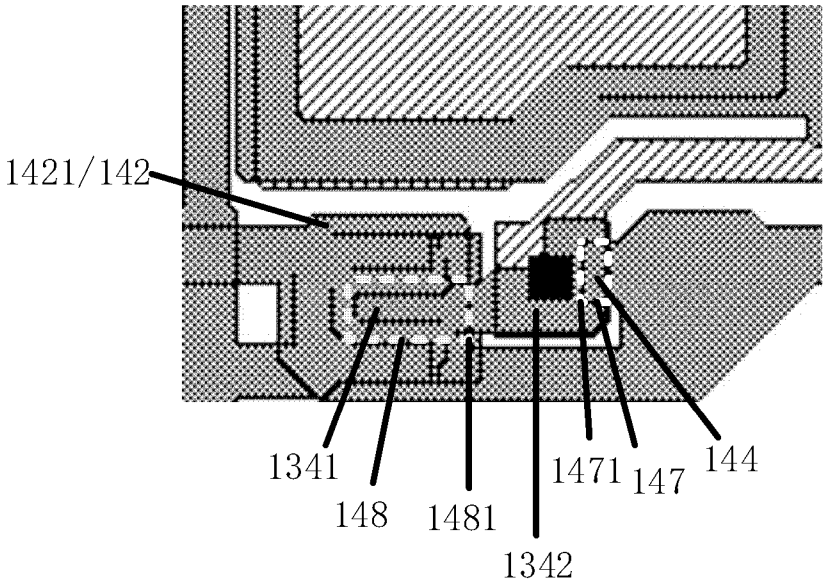

1421/142
1341
148
1481
1342
1471
147
144

图 5H

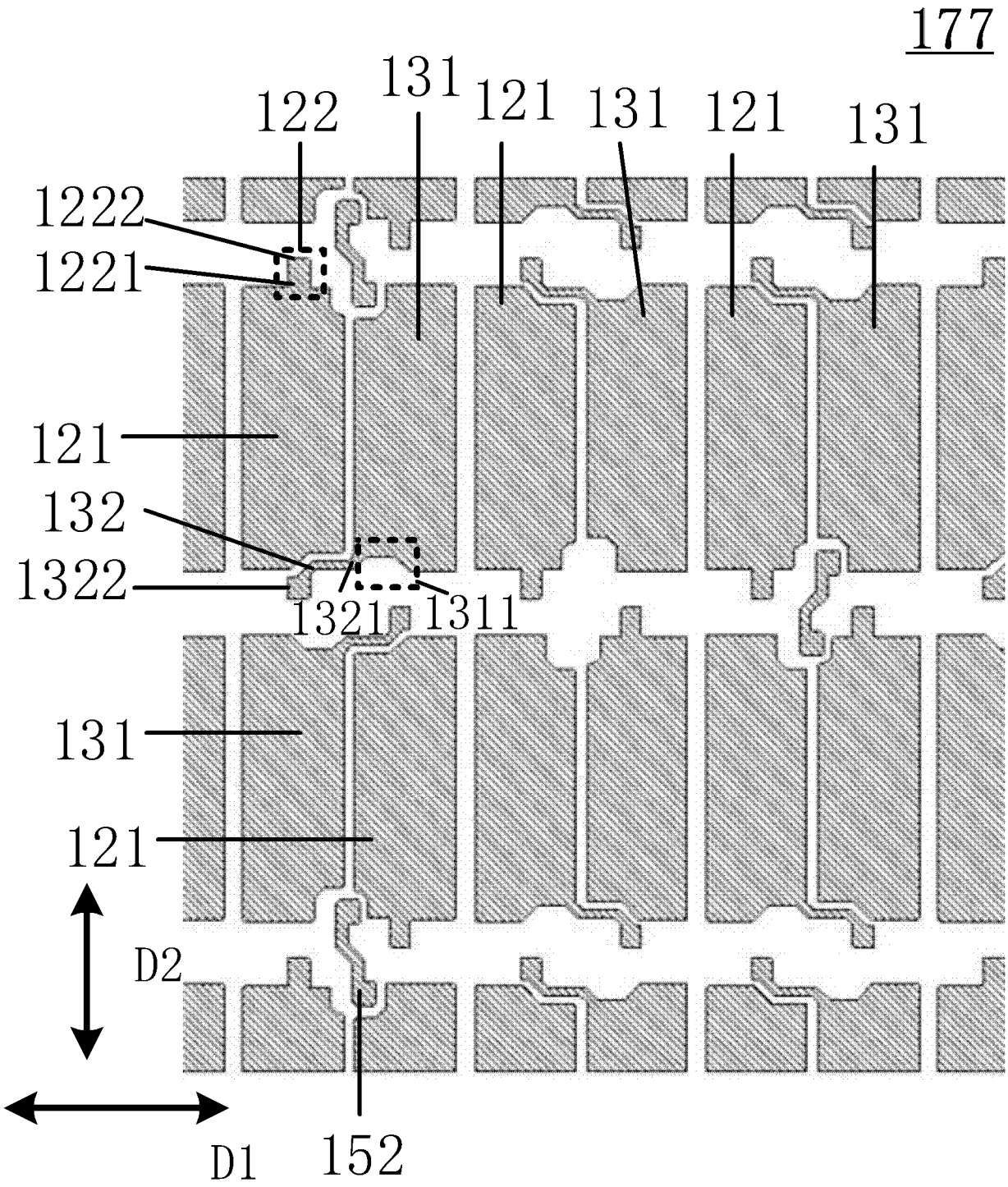

177
131
122
121
131
121
131
1222
1221
121
132
1322
1321
1311
131
121
D2
D1
152

图 6

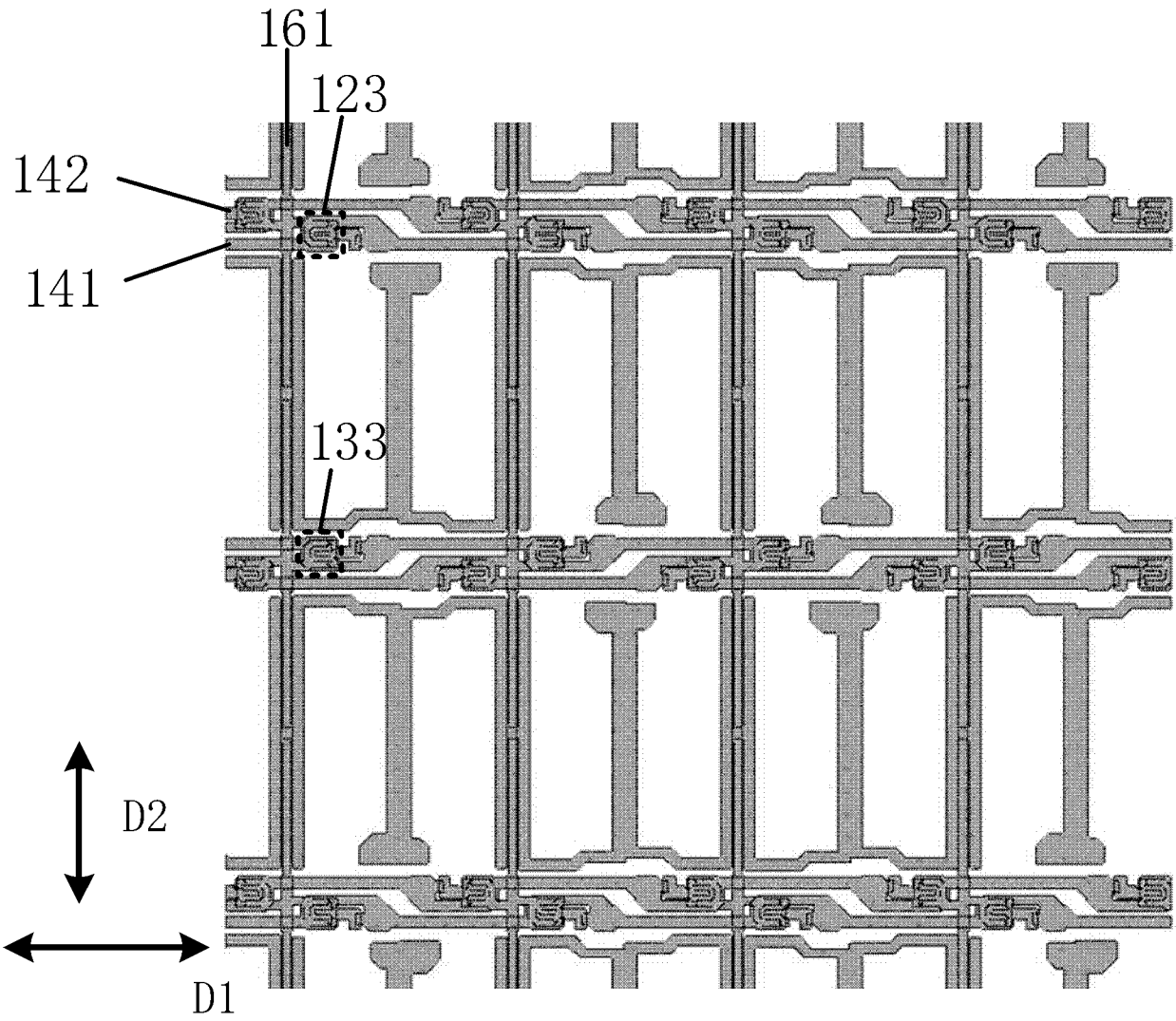


图 7

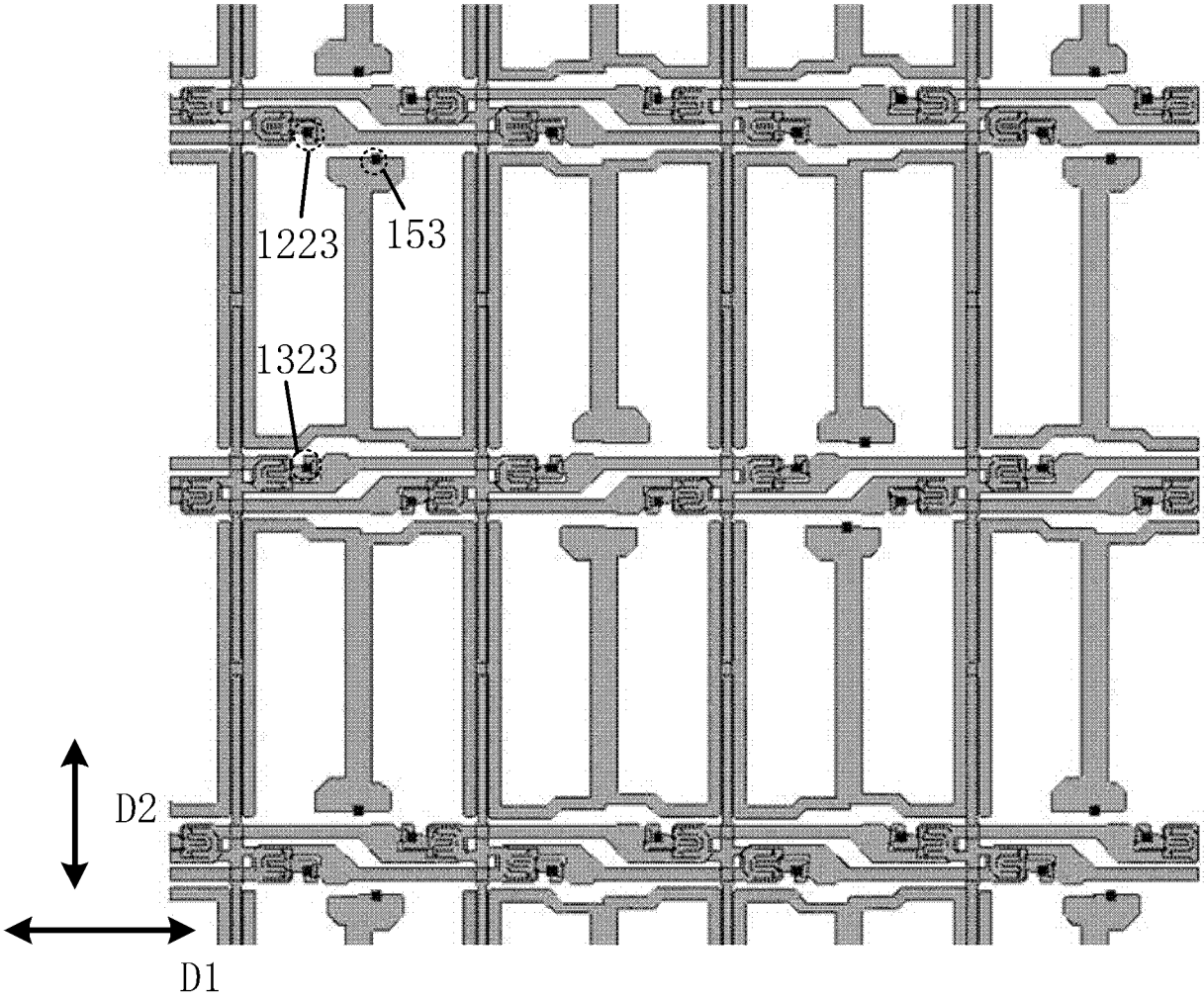


图 8

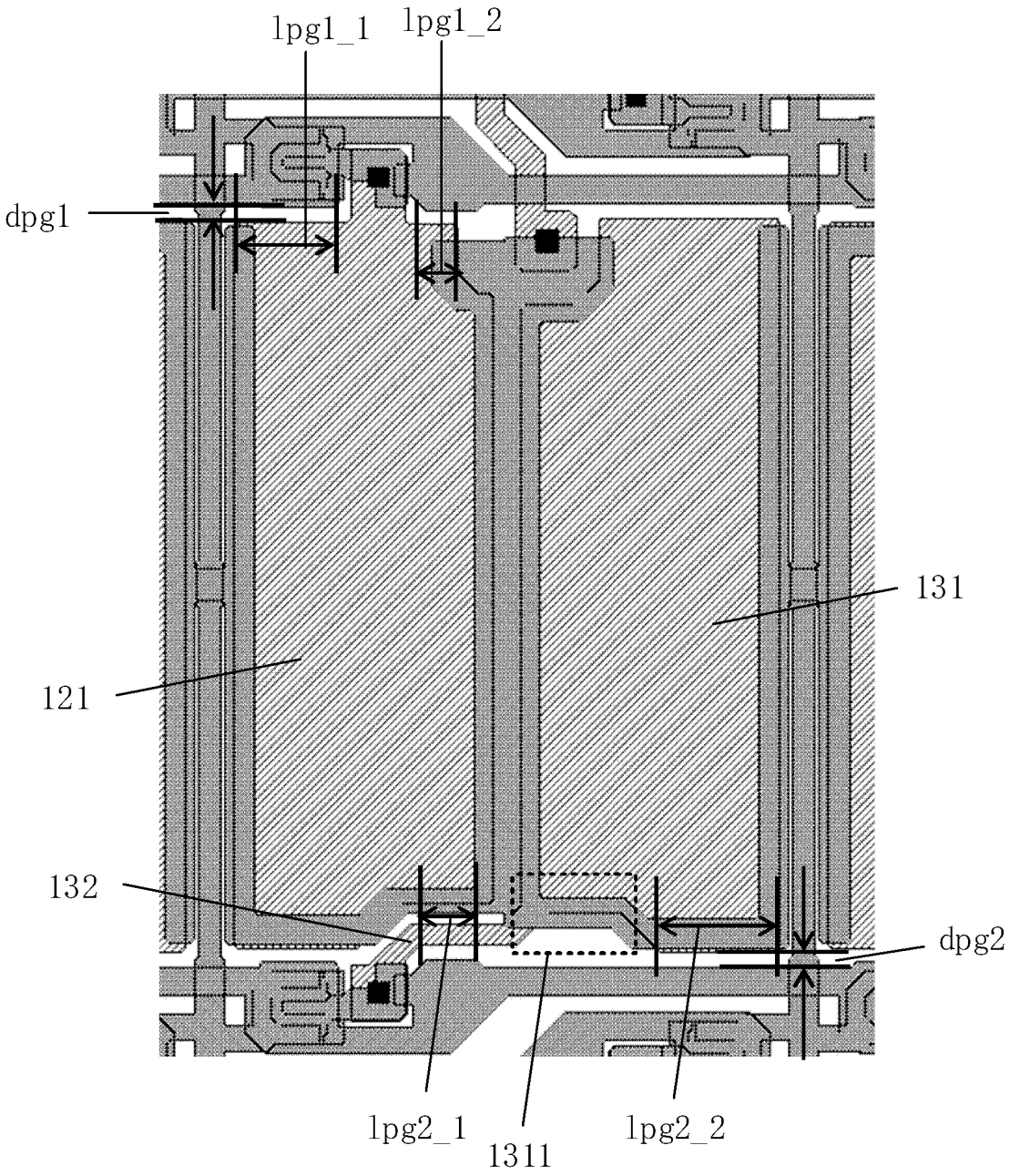


图 9

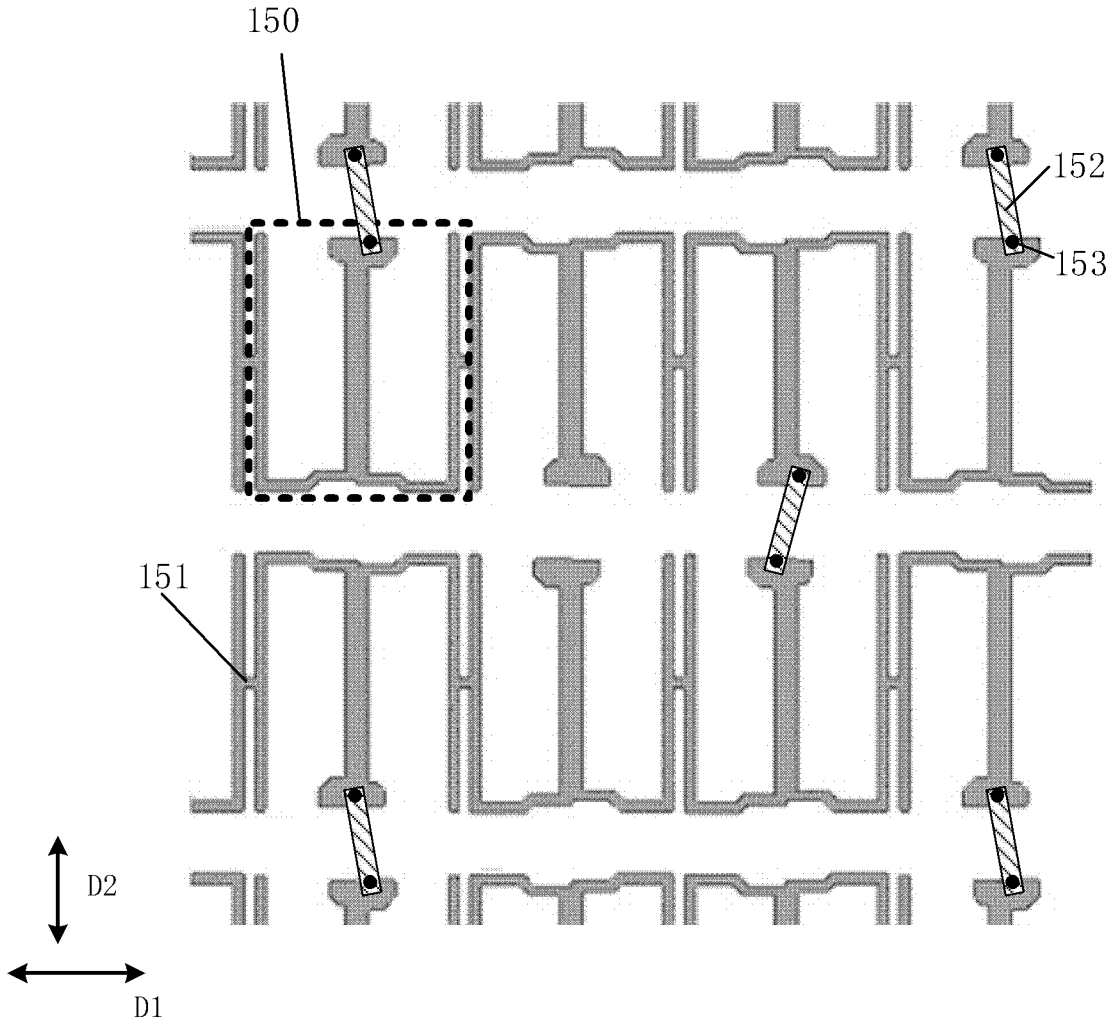


图 10

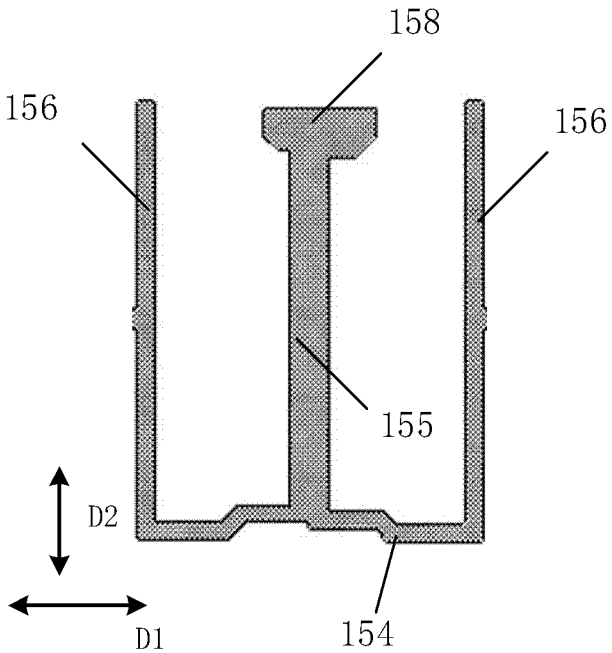


图 11

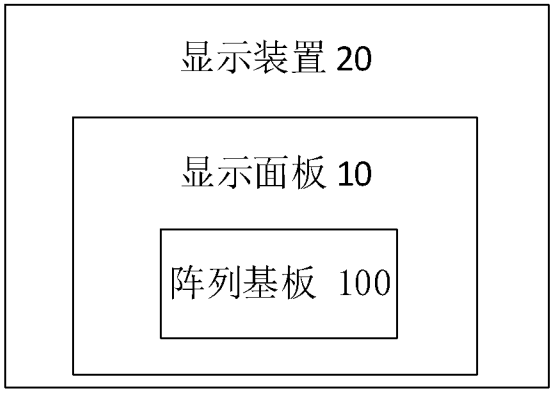


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/096151

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, IEEE, WPI: 第一像素电极, 第二像素电极, 连接部, 长度, 不同, first, second, pixel, electrode, connect+, length, different

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107290910 A (AU OPTRONICS CORPORATION) 24 October 2017 (2017-10-24) description, paragraphs [0002]-[0004],[0060]-[0083], figure 1A	1,4,5,20-22
A	US 2017205673 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 July 2017 (2017-07-20) entire document	1-22
A	CN 105140235 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 09 December 2015 (2015-12-09) entire document	1-22

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 April 2020	**15 April 2020**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/096151

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107290910	A	24 October 2017	TW	I637624	B	01 October 2018
				TW	201902195	A	01 January 2019
				US	2018329241	A1	15 November 2018
US	2017205673	A1	20 July 2017	US	9885930	B2	06 February 2018
				CN	104898343	A	09 September 2015
				CN	104898343	B	22 December 2017
				WO	2017000505	A1	05 January 2017
CN	105140235	A	09 December 2015	CN	105140235	B	18 May 2018

国际检索报告

国际申请号
PCT/CN2019/096151

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, CNKI, IEEE, WPI：第一像素电极，第二像素电极，连接部，长度，不同，first，second，pixel，electrode，connect+，length，different

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 107290910 A (友达光电股份有限公司) 2017年 10月 24日 (2017-10-24) 说明书第[0002]-[0004],[0060]-[0083]段、图1A	1,4,5,20-22
A	US 2017205673 A1 (BOE TECHNOLOGY GROUP CO., LTD. 等) 2017年 7月 20日 (2017-07-20) 全文	1-22
A	CN 105140235 A (合肥鑫晟光电科技有限公司 等) 2015年 12月 9日 (2015-12-09) 全文	1-22

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2020年 4月 2日	2020年 4月 15日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 陈龙 电话号码 86-(10)-53961219

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/096151

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107290910	A	2017年 10月 24日	TW	I637624	B	2018年 10月 1日
				TW	201902195	A	2019年 1月 1日
				US	2018329241	A1	2018年 11月 15日
US	2017205673	A1	2017年 7月 20日	US	9885930	B2	2018年 2月 6日
				CN	104898343	A	2015年 9月 9日
				CN	104898343	B	2017年 12月 22日
				WO	2017000505	A1	2017年 1月 5日
CN	105140235	A	2015年 12月 9日	CN	105140235	B	2018年 5月 18日