

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4647806号
(P4647806)

(45) 発行日 平成23年3月9日 (2011.3.9)

(24) 登録日 平成22年12月17日 (2010.12.17)

(51) Int.Cl.

F I

HO2M 3/07 (2006.01)

GO4G 19/02 (2006.01)

HO2M 3/07

GO4G 1/00 310Q

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2001-56372 (P2001-56372)	(73) 特許権者	000001960
(22) 出願日	平成13年3月1日 (2001.3.1)		シチズンホールディングス株式会社
(65) 公開番号	特開2002-262546 (P2002-262546A)		東京都西東京市田無町六丁目1番12号
(43) 公開日	平成14年9月13日 (2002.9.13)	(74) 代理人	100126583
審査請求日	平成20年2月20日 (2008.2.20)		弁理士 宮島 明
		(74) 代理人	100100871
			弁理士 土屋 繁
		(72) 発明者	永田 洋一
			東京都西東京市田無町六丁目1番12号
			シチズン時計株式会社内
		審査官	塩治 雅也
		(56) 参考文献	特開昭62-144566 (JP, A)
			特開平08-098510 (JP, A)
			最終頁に続く

(54) 【発明の名称】 昇圧システム

(57) 【特許請求の範囲】

【請求項1】

電力供給を行う電源手段と、
コンデンサとスイッチング素子とを有する昇圧ブロックを複数段有する昇圧手段と、
前記昇圧手段の前記スイッチング素子を制御する制御手段と、を有し、
前記制御手段は、昇圧動作1サイクル中に、
前記電源手段の出力で第1の昇圧ブロックのコンデンサを充電し、
第2の昇圧ブロック以降は、各昇圧ブロックのコンデンサを、前記電源手段と第1から
前段までの昇圧ブロックのコンデンサとを直列化し、前記電源手段の電圧とこれらのコン
デンサの放電とで充電し、
前記電源手段または前記複数段の昇圧手段のコンデンサを組み合わせで直列接続するこ
とにより、昇圧された電圧を出力し、
前記第1の昇圧ブロックのコンデンサは、前記昇圧手段の昇圧動作1サイクル中に前記
第2の昇圧ブロック以降のコンデンサを充電するときに放電を複数回行なうとき、
前記昇圧手段の昇圧動作1サイクルにおける、前記第1の昇圧ブロックのコンデンサの
充電時間が前記第1の昇圧ブロックのコンデンサの放電時間の合計と等しくなるように前
記スイッチング素子を制御することを特徴とする昇圧システム。

【請求項2】

前記制御手段は、前記昇圧手段の昇圧動作1サイクルにおいて、前記第1の昇圧ブロッ
クのコンデンサの容量値と前記電源手段の内部抵抗値との積である時定数に比べ、昇圧動

作 1 サイクルの時間の方が小さくなるように制御することを特徴とする請求項 1 に記載の昇圧システム。

【請求項 3】

前記制御手段は、常に前記電源手段が、前記昇圧手段に含まれるいずれかのコンデンサを充電するか、あるいは前記昇圧された電圧を出力する組み合わせに含まれるように制御することを特徴とする請求項 1 に記載の昇圧システム。

【請求項 4】

前記電源手段または前記複数段の昇圧手段のコンデンサの組み合わせは、前記電源手段と全ての前記コンデンサを直列接続したものであり、昇圧された電圧は、4 以上の 2 のべき乗倍となることを特徴とする請求項 1 に記載の昇圧システム。

10

【請求項 5】

前記電源手段または前記複数段の昇圧手段のコンデンサの組み合わせは、少なくとも、前記電源手段と前記第 1 の昇圧手段のコンデンサとを除いて直列接続したものであり、昇圧された電圧は、2 のべき乗を除く偶数倍となることを特徴とする請求項 1 に記載の昇圧システム。

【請求項 6】

前記電源手段または前記複数段の昇圧手段のコンデンサの組み合わせは、少なくとも、前記第 1 の昇圧手段のコンデンサを除いて直列接続したものであり、昇圧された電圧は、5 以上の奇数倍となることを特徴とする請求項 1 に記載の昇圧システム。

【請求項 7】

20

前記制御手段は、前記昇圧手段の昇圧動作 1 サイクルにおいて、前記昇圧ブロックのいずれのコンデンサも充電時間が放電時間の合計と等しくなるよう制御することを特徴とする請求項 4 または 6 に記載の昇圧システム。

【請求項 8】

前記制御手段は、前記昇圧手段の昇圧動作 1 サイクルの半分の時間で前記第 1 の昇圧ブロックのコンデンサを充電するよう制御することを特徴とする請求項 4 または 5 に記載の昇圧システム。

【請求項 9】

前記制御手段は、前記昇圧手段の昇圧動作 1 サイクルの昇圧倍率分の 1 の時間で最終段の昇圧ブロックのコンデンサを充電するよう制御することを特徴とする請求項 4 から 6 のいずれか 1 つに記載の昇圧システム。

30

【請求項 10】

前記制御手段は、前記昇圧手段の昇圧動作 1 サイクルの昇圧倍率分の 1 の時間で昇圧出力するよう制御することを特徴とする請求項 4 または 6 に記載の昇圧システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電源手段からこれより端子電圧の高い蓄電手段に昇圧出力し充電を行う昇圧システムに関するものであり、特に充電式電子時計に代表される、熱電発電器などの電源手段から蓄電手段へ充電する機能を有する電子機器に用いる昇圧回路システムの構成に関するものである。

40

【0002】

【従来の技術】

従来は 1 次電池などの電源電圧を複数のコンデンサへ充電し接続状態を切り換えることで高電圧を発生し、この出力を用いて定格電圧の高い電子機器を動作させる昇圧回路は実用化されていた。ここではその従来の昇圧回路について図 8 を用いて説明する。これは特開昭 52-30470 号公報に開示された昇圧回路を基にしている。

なおこの形式の昇圧回路は昇圧倍率に対して、使用するコンデンサ数が少ないという特徴がある。

【0003】

50

この従来の昇圧回路は、
1次電池である電源手段100と、
MOS電界効果型トランジスタ（以下FETと記す）であるスイッチ101～スイッチ105と、
コンデンサである昇圧コンデンサ106、107と、
昇圧コンデンサよりも比較的容量の大きいコンデンサである蓄電手段109とで構成されている。

実際は蓄電手段109に並列に液晶表示装置など、電源手段100の端子電圧より高い電圧で動作する負荷回路が接続してあるが、ここでは省略する。

【0004】

10

まず図8（a）に示したようにスイッチ101とスイッチ102を制御して電源手段100に昇圧コンデンサ106を並列に接続し昇圧コンデンサ106を充電する。
蓄電手段109に負荷が接続していなければ昇圧コンデンサ106は電源手段100の開放電圧まで充電される。

【0005】

つぎに電源手段100に昇圧コンデンサ106を直列に接続した電圧で昇圧コンデンサ107を充電する。この結果、昇圧コンデンサ107は電源手段100の開放電圧の2倍の電圧まで充電される（図8（b））。

【0006】

さらに電源手段100に昇圧コンデンサ106と昇圧コンデンサ107を直列に接続した電圧で蓄電手段109を充電する。この結果、昇圧コンデンサ109は電源手段100の開放電圧の4倍の電圧まで充電される（図8（c））。

20

【0007】

【発明が解決しようとする課題】

従来は、昇圧出力に接続される負荷に対して昇圧出力の電圧値を維持することが求められており、そのために昇圧周波数と昇圧コンデンサ容量や蓄電手段の容量を適切に設定する必要性については考慮されていた。

しかしながら昇圧動作のタイミングに関しては特に考慮されておらず、単に回路中の分周回路などから得られる最も生成しやすい波形によるタイミングで制御されていた。

例えば図8を用いて説明した特開昭52-30470号公報においては、各スイッチの切り換えタイミングについては詳しい開示がなく、特に4倍などの高倍率を得るために最適なコンデンサの切り換えタイミングについては考慮されていなかった。

30

【0008】

一方、充電式の電子時計に代表される電子機器では、電源手段としては温度差を与えることで発電する熱電発電器を用いたものが近年実用化されてきている。この場合、蓄電手段としてはリチウムイオン電池などの2次電池がよく利用される。

この熱電発電器は、一般的に発電電圧が低いため、昇圧して発電電力を利用することが必要であるが、図8に示したような従来の昇圧回路を応用しようとしても、適切な切り換えタイミングが特に知られておらず、方針なしに設定したタイミングで昇圧を行うと充電効率が非常に悪いという問題があった。

40

【0009】

〔発明の目的〕

そこで本発明は上記課題点を解決して、昇圧倍率に対して少ないコンデンサ数で充電電流効率が向上する昇圧システムを提供することである。

【0010】

【課題を解決するための手段】

上記目的を達成するために本発明の昇圧システムは、下記記載の手段を採用する。

本発明の昇圧システムは、電力供給を行う電源手段と、コンデンサとスイッチング素子とを有する昇圧ブロックを複数段有する昇圧手段と、昇圧手段のスイッチング素子を制御する制御手段と、を有し、制御手段は、昇圧動作1サイクル中に、電源手段の出力で第1

50

の昇圧ブロックのコンデンサを充電し、第2の昇圧ブロック以降は、各昇圧ブロックのコンデンサを電源手段と第1から前段までの昇圧ブロックのコンデンサとを直列化し、電源手段の電圧とこれらのコンデンサの放電とで充電し、電源手段または複数段の昇圧手段のコンデンサを組み合わせることで直列接続することにより、昇圧された電圧を出力し、第1の昇圧ブロックのコンデンサは、昇圧手段の昇圧動作1サイクル中に第2の昇圧ブロック以降のコンデンサを充電するときに放電を複数回行なうとき、昇圧手段の昇圧動作1サイクルにおける、第1の昇圧ブロックのコンデンサの充電時間が、この第1の昇圧ブロックのコンデンサの放電時間の合計と等しくなるようにスイッチング手段を制御することを特徴とする。

【0011】

10

〔作用〕

本発明の昇圧システムは、昇圧手段中の各コンデンサに対する充電時間を昇圧倍率に応じて適切なタイミングで制御する制御手段を有しており、所定の昇圧倍率において最も充電電流効率が向上するように昇圧手段中のコンデンサの充放電タイミングを制御するよう設定している。

【0012】

このため、電源手段として熱電発電素子のような内部抵抗が高く発生電圧が低い電源を用いても蓄電手段への充電電流が高い効率で得られるようになる。

熱電発電素子は、ゼーベック効果によって温度差に比例した電圧を発生する熱電対を複数設けたものである。

20

【0013】

したがって最も少ない使用コンデンサ数というメリットを生かしつつ電源手段から効率よく電力を取り出すことが可能な昇圧システムを実現することが可能となる。

【0014】

【発明の実施の形態】

以下、本発明の昇圧システムを実施するための最適な形態について図面を用いて説明する。

図1は本発明の昇圧システムを電子時計に適用した実施の形態における全体回路構成を示す回路図である。また図2は本発明の第1の実施の形態における制御手段および発電検出手段の具体的な回路例を示す回路図である。そして図3は本発明の第1の実施の形態の回路要部の電圧を示す波形図である。

30

図4は本発明の第2の実施の形態における制御手段の具体的な回路例を示す回路図である。そして図5は本発明の第2の実施の形態の回路要部の電圧を示す波形図である。

図6は本発明の第3の実施の形態における制御手段の具体的な回路例を示す回路図である。そして図7は本発明の第3の実施の形態の回路要部の電圧を示す波形図である。

【0015】

〔第1の実施の形態の構成説明：図1、図2〕

まず図1（図2を一部利用）を用いて本発明の昇圧システムを電子時計に適用したときの第1の実施の形態の構成について説明する。

【0016】

40

電源手段10は外部に存在するエネルギーを電気エネルギーに変換する熱電発電器（発電素子ブロック）である。本実施の形態の電子時計は電源手段10として、温度差により発電を行う熱電素子をエネルギー源とする電子時計を想定している。

この電源手段10は本発明の昇圧システムでの発電手段にも相当する。

【0017】

また特に図示はしていないが、本実施の形態における電子時計は熱電対を複数直列化した熱電素子を、温接点側を裏蓋に接触させ、また冷接点側を裏蓋と熱絶縁されたケースに接触させるように配置し、腕時計携帯時にケースと裏蓋との間に発生する温度差により得られる発電エネルギーで時計を駆動するような構造になっている。

電源手段10としては電源手段10に生じる1℃の温度差で約0.8Vの熱起電力（電圧

50

）が得られ、また内部抵抗は $10\text{ K}\Omega$ であるものを用いている。

【0018】

ダイオード40は電源手段10への発電エネルギーの逆流を防止するスイッチング素子として電源手段10に接続している。すなわちダイオード40のカソードは電源手段10の負極に接続している。

そしてダイオード40のアノードは、後述の制御手段50および蓄電手段30の負極に接続している。

【0019】

リチウムイオン2次電池である蓄電手段30は、電源手段10の発電エネルギーを蓄え、電源手段10が発電していない時でも後述の制御手段50を動作可能とする目的で備えてある。蓄電手段30の正極は接地している。

10

【0020】

一方、制御手段50は一般的な電子時計に用いられる水晶振動子の発振信号を分周してモータの駆動波形や各種クロック波形を発生する波形生成手段25（図2参照）およびその他の論理回路などで構成している。

また制御手段50は波形生成手段25の発生する駆動波形で回転するステッピングモータや輪列や時刻表示指針や文字板などからなる時計ブロック26（図2参照）を含んでいる。これについては一般的であるので特に説明を省略する。それ以外の制御手段50の構成については後述する。

なお、制御手段50の制御回路部分は一一般的な電子時計と同様にNチャネルFETとPチャネルFETを形成したCMOS集積回路を用いている。

20

【0021】

また電源手段10の正極および制御手段50の正極は接地しており、電源手段10とダイオード40と制御手段50とで回路が閉じている。

【0022】

一方、発電検出手段70は電源手段10の発電状態を検知する回路などからなる回路ブロックである。発電検出手段70の正極は接地し、負極は蓄電手段30の負極に接続している。また発電検出手段70は昇圧許可信号S1を出力しこれを制御手段50に入力している。

なお発電検出手段70の詳細な構成についても後述する。

30

【0023】

制御手段50は前述のように発振回路および分周回路などからなる波形生成手段25を有しており、ここから昇圧クロックS2（図2参照）および発電検出クロックS3を出力している。昇圧クロックS2は4KHzの矩形波である。なお本実施の形態では一般的な電子時計と同様に32768Hzの振動子を用いることを仮定しているため、正確には4KHzとは4096Hzであり、2KHzは2048Hzであるが以降このように略記する。

【0024】

また発電検出クロックS3は2秒周期でありハイレベルとなる時間が61マイクロ秒であるようなパルス波形である。

40

発電検出クロックS3は発電検出手段70へ接続している。なお発電検出クロックS3の生成方法は容易であるのでこれについての説明は省略する。

【0025】

さらに、制御手段50は昇圧信号群である第1～第3の昇圧信号S91a～S91cと、第4～第6の昇圧信号S92a～S92cと、第7～第10の昇圧信号S93a～S93dとを出力する。これらの昇圧信号は後述の昇圧手段90に接続している。

【0026】

昇圧手段90は、蓄電手段30よりも出力電圧が低い電源手段10の出力を昇圧し、蓄電手段30を充電するための昇圧回路である。昇圧手段90は電源手段10が入力側であり、蓄電手段30が出力側である。なお昇圧手段90の詳細な構成については後述する。

50

以上のようにして本発明の昇圧システムを適用した電子時計を構成する。

【0027】

〔昇圧手段の構成説明：図1〕

つづいて図1を用いて本発明の実施の形態における昇圧手段90の構成について説明する。

【0028】

昇圧手段90は3つの昇圧ブロック、すなわち第1の昇圧ブロック91と第2の昇圧ブロック92と第3の昇圧ブロック93とで構成している。

またそれぞれの昇圧ブロック91～93はコンデンサおよびこのコンデンサの充放電を制御するスイッチング素子とからなる回路ブロックである。

10

【0029】

第1の昇圧ブロック91は、

第1の昇圧スイッチ91aと第2の昇圧スイッチ91bと第3の昇圧スイッチ91cと第1のコンデンサ91eとで構成している。

以下同様に第2の昇圧ブロック92は、

第4の昇圧スイッチ92aと第5の昇圧スイッチ92bと第6の昇圧スイッチ92cと第2のコンデンサ92eとで構成している。

また第3の昇圧ブロック93は、

第7の昇圧スイッチ93aと第8の昇圧スイッチ93bと第9の昇圧スイッチ93cと第10の昇圧スイッチ93dと第3のコンデンサ93eとで構成している。

20

【0030】

第1の昇圧コンデンサ91eと第2の昇圧コンデンサ92eと第3の昇圧コンデンサ93eは全て容量値が0.68μFのコンデンサであるとする。

また第1の昇圧スイッチ91aと第4の昇圧スイッチ92aと第7の昇圧スイッチ93aはPチャネルMOSFETであり、その他の昇圧スイッチは全てNチャネルのMOSFETである。

【0031】

第1の昇圧スイッチ91aのドレイン端子は第1のコンデンサ91eの正極に接続し、ソース端子を接地している。

第4の昇圧スイッチ92aのドレイン端子は第2のコンデンサ92eの正極に接続し、ソース端子を接地している。

30

第7の昇圧スイッチ93aのドレイン端子は第3のコンデンサ93eの正極に接続し、ソース端子を接地している。

【0032】

第2の昇圧スイッチ91bのドレイン端子は第1のコンデンサ91eの正極に接続し、ソース端子を昇圧入力端子としている。

第5の昇圧スイッチ92bのドレイン端子は第2のコンデンサ92eの正極に接続し、ソース端子を第1の昇圧コンデンサ91eの負極に接続している。

第8の昇圧スイッチ93bのドレイン端子は第3のコンデンサ93eの正極に接続し、ソース端子を第2の昇圧コンデンサ92eの負極に接続している。

40

【0033】

第3の昇圧スイッチ91cのソース端子は第1のコンデンサ91eの負極に接続し、ドレイン端子を昇圧入力端子と共通にしている。

第6の昇圧スイッチ92cのソース端子は第2のコンデンサ92eの負極に接続し、ドレイン端子を第1の昇圧コンデンサ91eの負極に接続している。

第9の昇圧スイッチ93cのソース端子は第3のコンデンサ93eの負極に接続し、ドレイン端子を第2の昇圧コンデンサ92eの負極に接続している。

【0034】

第10の昇圧スイッチ93dのドレイン端子は第3のコンデンサ93eの負極に接続し、ソース端子を昇圧出力端子としている。

50

【0035】

なお、

第1～第3の昇圧スイッチ91a～91cの各ゲート端子には第1～第3の昇圧信号S91a～S91cが、

第4～第6の昇圧スイッチ92a～92cの各ゲート端子には第4～第6の昇圧信号S92a～S92cが、

第7～第10の昇圧スイッチ93a～93dの各ゲート端子には第7～第10の昇圧信号S93a～S93dがそれぞれ順に接続している。

このようにして第1の昇圧ブロック91から第3の昇圧ブロック93を直列的に接続する。

10

【0036】

さらに昇圧入力端子は電源手段10の負極(V10)に接続しており、昇圧出力端子は蓄電手段30の負極に接続している。

以上のようにして本発明の昇圧手段を構成する。

【0037】

[制御手段および発電検出手段の構成説明：図2]

つぎに図2を用いて本発明の実施の形態における制御手段50および発電検出手段70の構成について説明する。本実施の形態は偶数倍率昇圧の例として、制御手段は昇圧手段に6倍昇圧動作させるような構成としてある。

なお6倍昇圧動作とは、電源手段10の電圧をコンデンサを経由することで等価的に6倍になるように(取り出せる電流値は1/6)動作させることである。

20

【0038】

制御手段50は、前述した波形生成手段25の他に、

第1のリングカウンタ51と第1のワンショット回路52と第2のワンショット回路53と第3のワンショット回路54と、

第1のインバータ55と第2のインバータ56と第3のインバータ57と第1のアンドゲート58と第2のアンドゲート59と第1のナンドゲート60と第2のナンドゲート62と第4のインバータ63とで構成している。

なおラッチとインバータを除く論理ゲートは特に明記していない場合は2入力である。

【0039】

第1のリングカウンタ51は6個のデータラッチを直列に接続したカウンタ回路であり、第1のラッチ51a～第6のラッチ51fで構成している。

第1のラッチ51aの出力は第2のラッチ51bのデータ端子に入力し、それ以降も同様にラッチの出力を次段のデータ入力に接続している。さらに第6のラッチ51fの出力は第1のラッチ51aのデータ端子に接続することでデータの循環動作が可能となっている。

30

なお第1のアンドゲート58により昇圧クロックS2と昇圧許可信号S1との論理積の波形を生成し、この第1のアンドゲート58の出力を第1のラッチ～第6のラッチの入力に接続している。このため全てのデータラッチは昇圧許可信号S1がハイレベルの間は昇圧クロックS2の立ち下がりに同期してラッチデータの更新動作を行う。

40

【0040】

さらに第1のラッチ51aは出力をセット(ハイレベルに設定)可能な初期化端子を有し、また第2のラッチ51b～ラッチ51fは出力をリセット(ロウレベルに設定)可能な初期化端子を有している。これらの初期化端子には昇圧許可信号S1が接続しており、昇圧許可信号S1がロウレベルとなると上記の初期化動作(セットあるいはリセット)をするようになっている。

【0041】

第1のワンショット回路52および第2のワンショット回路53および第3のワンショット回路54は、ナンドゲートを3つ組み合わせた一般的な波形生成回路であり、スタート端子の信号の立ち上がりからストップ端子の信号の立ち下がりまでの期間だけ、ロウレベ

50

ルとなるようなパルスを出力する回路ブロックである。

【0042】

第2のアンドゲート59は、第1のリングカウンタ51の最終ビットの否定信号、すなわち第6のラッチ51fの否定出力と昇圧許可信号S1との論理積を第1のワンショット回路52のスタート端子に入力している。

また、第1のワンショット回路52のストップ端子には第4のラッチ51dの否定出力が接続している。

【0043】

第2のワンショット回路53のスタート端子には第1のワンショット回路52の出力が接続し、第2のワンショット回路53のストップ端子には第2のアンドゲート59の出力が接続している。

10

【0044】

第3のワンショット回路54のスタート端子には第2のワンショット回路53の出力が接続し、第3のワンショット回路54のストップ端子には第1のラッチ51aの否定出力が接続している。

【0045】

第1のワンショット回路52～第3のワンショット回路54の出力にはそれぞれ順に第1のインバータ55～第3のインバータ57が接続している。

【0046】

また第1のナンドゲート60と第4のインバータ63の2つを用いて、第1のワンショット回路52の出力と昇圧許可信号S1との論理積を出力するように接続している。すなわち第1のナンドゲート60の出力は第1のワンショット回路の出力と昇圧許可信号S1との論理積の否定信号を出力し、さらにこの否定信号を第4のインバータ63が出力する。

20

【0047】

また第2のナンドゲート62は第3のワンショット回路62の出力と昇圧許可信号S1との論理積の否定信号を出力するように接続している。

【0048】

なお、

第1のワンショット回路52の出力は第1の昇圧信号S91aとし、

第1のインバータ55の出力は第3の昇圧信号S91cおよび第8の昇圧信号S93bおよび第10の昇圧信号S93dとし、

30

第1のナンドゲート60の出力は第7の昇圧信号S93aとし、

第4のインバータ63の出力は第2の昇圧信号S91bとし、

第2のインバータ56の出力は第6の昇圧信号S92cとし、

第3のインバータ57の出力は第5の昇圧信号S92bおよび第9の昇圧信号S93cとし、

第2のナンドゲート62の出力は第4の昇圧信号S92aとして

前述の通りにそれぞれ昇圧手段90の各昇圧スイッチのゲート端子に接続している。

【0049】

[発電検出手段の構成説明：図2]

40

また発電検出手段70は、コンパレータ71と定電圧回路72とラッチ73とノアゲート74とで構成している。

【0050】

コンパレータ71は一般的な比較回路であり、コンパレータ71の負入力端子には電源手段10の負極が接続し、コンパレータ71の正入力端子には定電圧回路の定電圧出力端子が接続している。

【0051】

定電圧回路72も同様に一般的な定電圧を出力する回路（電圧レギュレータ）であり、ここでは定電圧回路72の出力電圧は-0.6Vを出力している。

【0052】

50

ラッチ 7 3 はデータラッチ回路でありコンパレータ 7 1 の出力を取り込み、保持するようになっている。

ラッチ 7 3 の入力端子には発電検出クロック S 3 が接続し、ラッチ動作は発電検出クロック S 3 の立ち下がりタイミングに同期するようになっている。

【0053】

ノアゲート 7 4 はラッチ 7 3 の否定出力と発電検出クロック S 3 との論理和の否定信号を出力するよう接続している。

ノアゲート 7 4 の出力は昇圧許可信号 S 1 としている。

【0054】

またコンパレータ 7 1 および定電圧回路 7 2 にはイネーブル端子があり、ここにも発電検出クロック S 3 が接続している。したがってコンパレータ 7 1 および定電圧回路 7 2 は発電検出クロック S 3 がハイレベルとなる間のみ動作し、それ以外は通電されないようになっている。

以上のようにして本実施の形態における制御手段 5 0 および発電検出手段 7 0 を構成する。

【0055】

[制御手段の動作説明]

つぎに制御手段 5 0 のみの動作について簡単に説明する。

昇圧許可信号 S 1 がロウレベルのときは、第 1 のワンショット回路 5 2 のスタート端子にはロウレベルの信号が、また第 2 のワンショット回路 5 3 および第 3 のワンショット回路 5 4 のストップ端子にはロウレベルの信号が入力されるので第 1 のインバータ 5 5 ~ 第 3 のインバータ 5 7 はロウレベルを出力する。

なお第 1 のリングカウンタ 5 1 については、第 1 のラッチ 5 1 a はセットされるのでハイレベルを出力しその他のデータラッチはリセットされるのでロウレベルを出力する。

【0056】

また昇圧許可信号 S 1 がロウレベルであれば第 3 のアンドゲート 6 0 の出力はロウレベルであり、第 1 のナンドゲート 6 2 の出力はハイレベルとなる。

【0057】

このときは各昇圧スイッチのうち P チャネルのスイッチはゲート端子がハイレベルとなり、N チャネルのスイッチはゲート端子がロウレベルとなるので、全ての昇圧スイッチは非導通状態となる。

したがって昇圧許可信号 S 1 がロウレベルのときは全ての昇圧手段 9 0 は昇圧動作をせず、電源手段 1 0 から遮断されるように制御される。

【0058】

昇圧許可信号 S 1 がハイレベルのときは、第 1 のリングカウンタ 5 1 については第 1 のラッチ 5 1 a のみにセットされていたハイレベルのデータが昇圧クロック S 2 が立ち下がる毎に第 2 のラッチ 5 1 b 以降に逐次伝達されていくため、各ラッチの出力はハイレベルとなる幅が昇圧クロック S 2 の周期である 2 4 4 マイクロ秒間で周波数が 6 8 3 H z のパルスを出力する。

【0059】

そして第 1 のインバータ 5 5 は、昇圧許可信号 S 1 がハイレベルになったタイミングから第 4 のラッチ 5 1 d のデータが立ち上がるまでの 7 3 2 マイクロ秒間ハイレベルになるパルスを出力する。

【0060】

また第 2 のインバータ 5 6 は、第 1 のインバータ 5 5 の出力がロウレベルに立ち下がった直後から第 6 のラッチ 5 1 f のデータがハイレベルに立ち上がるまでの 4 8 8 マイクロ秒間ハイレベルになるパルスを出力する。

【0061】

第 6 のラッチ 5 1 f の出力が立ち下がると第 1 のラッチ 5 1 a のデータが再びハイレベルとなり、以降は各ラッチ間でハイレベルパルスが順に循環するように動作する。

10

20

30

40

50

【0062】

第3のインバータ57は第2のインバータ56のパルスがロウレベルになったタイミングから第1のラッチ51aの出力がロウレベルに立ち下がる244マイクロ秒間ハイレベルになるパルスを出力する。

【0063】

一方第4のインバータ63は第1のインバータ55の出力と同様の波形を出力する。さらに第1のナンドゲート62は第3のインバータ57の出力と同様の波形を出力する。

【0064】

したがって昇圧許可信号S1がハイレベルのときは、
第1のインバータ55は約732マイクロ秒間ハイレベルとなり、
第2のインバータ56は第1のインバータ55の出力パルスが立ち下がった後に約488マイクロ秒間ハイレベルとなり、
第3のインバータ57は第2のインバータ56の出力パルスが立ち下がった後に約244マイクロ秒間ハイレベルとなるような波形を出力する。
なお第1～第3のインバータのハイレベルとなる周波数は683Hzであり、かつハイレベルとなる時間比は3：2：1である。

【0065】

[動作説明：図1～図3]

つぎに本発明の昇圧システムの全体動作について説明を行う。この実施の形態は昇圧手段90に偶数倍昇圧動作の例である6倍昇圧を行うように動作する。

【0066】

まず制御手段50が動作可能となる端子電圧まで蓄電手段30が充電されるまでは、電源手段10が比較的高い電圧、たとえば1.3V程度を発生できるような環境下に設置すればよい。

その際はダイオード40を介して電源手段10の発電電力を蓄電手段30へ流すことができ、これにより蓄電手段30の充電が行われる。

蓄電手段30の端子電圧が1.0Vを超える程度まで充電されれば、制御手段50が動作を開始する。

なおいったん蓄電手段30が制御手段50が動作する電圧まで充電した後は、電源手段10の端子電圧はやや低い0.8V程度となっても利用可能となる。

【0067】

制御手段50が動作を開始すれば、波形生成手段25は所定のパルス波形を出力する。

発電検出クロックS3は2秒周期で61マイクロ秒間だけハイレベルとなり、この間は発電検出手段70の定電圧回路72およびコンパレータ71はイネーブル状態となり電圧検出動作を行う。すなわち定電圧回路は-0.6Vを出力しコンパレータ71はこの電圧値と電源手段10の発電電圧値とを比較する。

このときは電源手段10は発電状態であるのでコンパレータ71の出力はハイレベルとなり、発電検出クロックS3の立ち下がるタイミングでラッチがコンパレータの出力を取り込む。したがって昇圧許可信号S1はロウレベルからハイレベルへと変化する。

ただし発電検出クロックS3がハイレベルの間は昇圧許可信号S1はロウレベルとなるので、発電検出手段70が発電検出動作をしている間は昇圧手段90は非導通となり電源手段10とは遮断される。

【0068】

すると制御手段50は昇圧手段の動作のための信号として所定の波形を各昇圧信号に出力する。

すなわち第1のインバータ55の出力がハイレベルである間は（図3における期間T1）、第1の昇圧ブロック91中の第1の昇圧スイッチ91aと第3の昇圧スイッチ91cがオンするので、第1のコンデンサ91eは電源手段10の両端に並列に接続され、第1のコンデンサ91eを充電する（ただし期間T1の最初だけは発電検出動作のために61マイクロ秒だけ昇圧動作が停止するため第1のコンデンサ91eの充電時間が短い、これ

10

20

30

40

50

は2秒に一回だけしか起きないため性能上は問題ない)。

【0069】

つぎに第2のインバータ56の出力がハイレベルになる間は(期間T2)、第1の昇圧ブロック91中の第1の昇圧スイッチ91aと第3の昇圧スイッチ91cとはオフし、逆に第1の昇圧ブロック91中の第2の昇圧スイッチ91bをオンし、かつ第2の昇圧ブロック92中の第5の昇圧スイッチ92aと第7の昇圧スイッチ92cとがオンするので、第1のコンデンサ91eに電源手段10とを直列に接続した両端に第2のコンデンサ92eを接続し第2のコンデンサ92eを充電する。

【0070】

つぎに第3のインバータ57の出力がハイレベルになる間は(期間T3)、第5の昇圧スイッチ92aがオフし、かつ第6の昇圧スイッチ92bがオンするので、第1のコンデンサ91eと第2のコンデンサ92eと電源手段10とを直列に接続した両端に第3のコンデンサ93eを接続し、第3のコンデンサ93eを充電する。

10

【0071】

その後は上記と同様に再び第1のインバータ55の出力はハイレベルとなるが、その期間には(期間T1)、第2の昇圧ブロック92および第3の昇圧ブロック93においては、第5の昇圧スイッチ92aと第10の昇圧スイッチ93bと第12の昇圧スイッチ93dとがオンする。

したがって第1のコンデンサ91eが電源手段10によって充電されるのと平行して、第2のコンデンサ92eと第3のコンデンサ93eとを直列に接続した両端に蓄電手段30を接続し、蓄電手段30を充電する。

20

【0072】

このような動作をすることで、第1のコンデンサ91eには732マイクロ秒間充電を行い、第2のコンデンサ92eには488マイクロ秒間充電を行い、第3のコンデンサ93eには244マイクロ秒間充電を行い、かつ第1のコンデンサ91eに充電している間に昇圧出力を行うことで6倍昇圧動作を行う。

【0073】

なおこのときの昇圧動作の周波数は683Hzであり、また第1のコンデンサ91eの充電(および昇圧出力)と、第2のコンデンサ92eの充電と、第3のコンデンサ93eの充電とに要する時間の比は3:2:1

30

と、昇圧動作1サイクルを3分割するように制御されている。

【0074】

上記の説明では6倍昇圧動作をする昇圧手段について説明を行ったが、他の昇圧倍率であっても本発明を適用可能である。つぎは奇数倍昇圧の例として、5倍昇圧動作をするように構成した昇圧システムの実施の形態について説明する。

【0075】

[第2の実施の形態の構成説明:図1,図4]

図1と図4を用いて本発明の昇圧システムを電子時計に適用した第2の実施の形態について説明する。

40

本実施の形態における電源手段10や蓄電手段30や昇圧手段90や発電検出手段70の構成は上記第1の実施の形態と同じであり、第1の実施の形態と異なるのは制御手段50の内部の構成のみである。ただし本実施の形態の制御手段50も第1の実施の形態と類似した回路構成であるので、特に異なる部分のみに注目して説明する。

【0076】

本実施の形態の制御手段は、

第1のアンドゲート58と第2のアンドゲート59と、

第2のリングカウンタ151と第4のワンショット回路152と第5のワンショット回路153と第6のワンショット回路154と、

50

第4のインバータ155と第5のインバータ156と第6のインバータ157と第4のANDゲート160と第3のNANDゲート161と第4のNANDゲート162と第5のANDゲート163と第5のNANDゲート164とで構成している。

なお第1のANDゲート58および第2のANDゲート59は本実施の形態においても第1の実施の形態と機能的に同等のため共通して使用するものとする。

【0077】

第2のリングカウンタ151は第1の実施の形態での6倍昇圧回路の実施の形態とほぼ同様であるが、ラッチを5個接続した5ビットのリングカウンタとしてある。

本実施の形態ではこれらを第1～第5のラッチ151a～151eとする。

【0078】

また第4～第6のワンショット回路154～156、第4～第6のインバータ155～157、第4～第5のANDゲート160、163、第3～第5のNANDゲート161、162、164も第1の実施の形態で用いた論理ゲートとそれぞれ同様のものである。

【0079】

第1のANDゲート58は昇圧許可信号S1と昇圧クロックS2の論理積を出力し第2のリングカウンタ151へ接続している。第1のANDゲート58の出力の立ち下がり第2のリングカウンタ151のカウント動作が行われる。

また第2のANDゲート59は第2のリングカウンタ151の最終ビットの否定信号、すなわち第2のリングカウンタ151中の第5のラッチ151eの否定出力と昇圧許可信号S1との論理積を出力する。

【0080】

第4のワンショット回路152はスタート端子には第2のラッチ151bの否定出力が接続し、ストップ端子には第2のANDゲート59の出力がそれぞれ接続している。

【0081】

第5のワンショット回路153はスタート端子には第2のラッチ151bの否定出力が接続し、ストップ端子には第1のラッチ151aの否定出力がそれぞれ接続している。

【0082】

第6のワンショット回路154はスタート端子には第3のラッチ151cの否定出力が接続し、ストップ端子には第1のラッチ151aの否定出力がそれぞれ接続している。

【0083】

第4～第6のワンショット回路152～154の出力には、第4～第6のインバータ155～157が接続している。

【0084】

第4のANDゲート160は、第4のワンショット回路152の出力と昇圧許可信号S1との論理積を出力するよう接続している。

【0085】

第3のNANDゲート161は、第5のワンショット回路153と昇圧許可信号S1との論理積の否定信号を出力するよう接続している。

【0086】

第4のNANDゲート162は、第6のワンショット回路154と昇圧許可信号S1との論理積の否定信号を出力するよう接続している。

【0087】

第5のANDゲート163は、第2のリングカウンタ151中の第4のラッチ151dの否定出力と昇圧許可信号S1との論理積を出力するよう接続している。

【0088】

第5のNANDゲート164は、第2のリングカウンタ151中の第5のラッチ151eの否定出力と昇圧許可信号S1との論理積の否定信号を出力するよう接続している。

【0089】

なお、

第4のインバータ155の出力は第2の昇圧信号S91bとし、

10

20

30

40

50

第4のアンドゲート160の出力は第3の昇圧信号S91cとし、
第3のナンドゲート161の出力は第1の昇圧信号S91aとし、
第4のナンドゲート162の出力は第4の昇圧信号S92aとし、
第5のアンドゲート163の出力は第6の昇圧信号S92cとし、
第5のナンドゲート164の出力は第7の昇圧信号S93aとし、
第2のリングカウンタ151中の第4のラッチ151dの出力は第5の昇圧信号S92b
および第9の昇圧信号S93cとし、
第2のリングカウンタ151中の第5のラッチ151eの出力は第8の昇圧信号S93b
および第10の昇圧信号S93dとして
第1の実施の形態と同様にそれぞれ昇圧手段90の各昇圧スイッチのゲート端子に接続し

10

ている。
以上のようにして本実施の形態における制御手段50を構成する。

【0090】

[動作説明：図4～図5]

つぎに本実施の形態の昇圧システムの全体動作について説明を行う。

これは制御手段50の動作および昇圧手段90の昇圧動作のみが異なるだけであるので、
この部分についてのみ説明する。

【0091】

制御手段50が動作を開始後に、発電検出手段70が発電状態をモニタした結果、昇圧許
可信号S1がハイレベルとなれば、制御手段50は昇圧手段の動作のための信号として所

20

定の波形を各昇圧信号に出力する。
すなわち図5における期間T1の間は、第1の昇圧ブロック91中の第1の昇圧スイッチ
91aと第3の昇圧スイッチ91cがオンするので第1のコンデンサは電源手段10の両
端に並列に接続され、第1のコンデンサ91eを充電する。

【0092】

つぎのT2の期間では、第1の昇圧ブロック91中の第1の昇圧スイッチ91aと第3の
昇圧スイッチ91cとはオフし、逆に第1の昇圧ブロック中91の第2の昇圧スイッチ9
1bをオンし、かつ第2の昇圧ブロック92中の第5の昇圧スイッチ92aと第7の昇圧
スイッチ92cとがオンするので、第1のコンデンサ91eに電源手段10とを直列に接
続した両端に第2のコンデンサ92eを接続し第2のコンデンサ92eを充電する。

30

【0093】

つぎにT3の期間では、第5の昇圧スイッチ92aと第7の昇圧スイッチ92cとがオフ
し、逆に第6の昇圧スイッチ92bがオンし、さらに第9の昇圧スイッチ93aと第11
の昇圧スイッチ93cとがオンするので、第1のコンデンサ91eと第2のコンデンサ9
2eと電源手段10とを直列に接続した両端に第3のコンデンサ93eを接続し、第3の
コンデンサ93eを充電する。

【0094】

そしてつぎのT4の期間では、第3の昇圧スイッチ91cがオンし、第7の昇圧スイッ
チ92cがオンし、第10の昇圧スイッチ93bと第12の昇圧スイッチ93dとがオンす
るので、電源手段10と第3のコンデンサ93eとを直列に接続した両端に蓄電手段30

40

を接続し、蓄電手段30を充電する。

【0095】

このような動作をすることで、第1のコンデンサ91eには488マイクロ秒間充電を行
い、第2のコンデンサ92eには244マイクロ秒間充電を行い、第3のコンデンサ93
eには244マイクロ秒間充電を行い、さらに蓄電手段30に244マイクロ秒間出力を
行うことで5倍昇圧動作を行う。

【0096】

なおこのときの昇圧動作の周波数は819Hzであり、また
第1のコンデンサ91eの充電と、
第2のコンデンサ92eの充電と、

50

第3のコンデンサ93eの充電と、
昇圧出力

とに要する時間の比は

2 : 1 : 1 : 1

と、昇圧動作1サイクルを4分割するように制御されている。

【0097】

このような制御手段を第1の実施の形態の制御手段50の代わりに用いれば、5倍昇圧回路として動作させることが可能となる。

【0098】

上記の説明では5倍昇圧動作をする昇圧手段について説明を行ったが、さらに2のべき乗倍昇圧の例として、8倍昇圧動作をするように構成した昇圧システムの実施の形態について説明する。

【0099】

[第3の実施の形態の構成説明：図1，図6]

図1と図6を用いて本発明の昇圧システムを電子時計に適用した第3の実施の形態について説明する。

本実施の形態における電源手段10や蓄電手段30や昇圧手段90や発電検出手段70の構成も前述の第1の実施の形態と同じであり、第1の実施の形態と異なるのは制御手段50の内部の構成のみである。ただし本実施の形態の制御手段50も第1の実施の形態と類似した回路構成であるので、特に異なる部分のみに注目して説明する。

【0100】

本実施の形態の制御手段は、

第1のアンドゲート58と第2のアンドゲート59と、

第3のリングカウンタ251と第7のワンショット回路252と第8のワンショット回路253と第9のワンショット回路254と、

第6のアンドゲート260とで構成している。

なお第1のアンドゲート58および第2のアンドゲート59は本実施の形態においても第1の実施の形態と機能的に同等のため共通して使用するものとする。

【0101】

第3のリングカウンタ251は第1の実施の形態での6倍昇圧システムの実施の形態とはほぼ同様であるが、ラッチを8個接続した8ビットのリングカウンタとしてある（本実施の形態ではこれらを第1～第8のラッチ251a～251hとする）。

【0102】

また第7～第9のワンショット回路252～254、第7～第9のインバータ255～257、第6のアンドゲート260も第1の実施の形態で用いた論理ゲートとそれぞれ同様のものである。

【0103】

第1のアンドゲート58は昇圧許可信号S1と昇圧クロックS2の論理積を出力し第3のリングカウンタ251へ接続している。第1のアンドゲート58の出力の立ち下がり第3のリングカウンタ251のカウント動作が行われる。

また第2のアンドゲート59は第3のリングカウンタ251の最終ビットの否定信号、すなわち第3のリングカウンタ251中の第8のラッチ251hの否定出力と昇圧許可信号S1との論理積を出力する。

【0104】

第7のワンショット回路252はスタート端子には第2のアンドゲート59の出力が接続し、ストップ端子には第3のリングカウンタ251中の第4のラッチ251dの否定出力がそれぞれ接続している。

【0105】

第8のワンショット回路253はスタート端子には第7のワンショット回路252の出力が接続し、ストップ端子には第6のラッチ251fの否定出力がそれぞれ接続している。

【0106】

第9のワンショット回路254はスタート端子には第8のワンショット回路258の出力が接続し、ストップ端子には第2のアンドゲート59の出力がそれぞれ接続している。

【0107】

第7～第9のワンショット回路252～254の出力には第7～第9のインバータ255～257が接続している。

【0108】

第6のアンドゲート260は第4のワンショット回路152の出力と昇圧許可信号S1との論理積を出力するよう接続している。

【0109】

なお、

第7のワンショット回路252の出力は第1の昇圧信号S91aとし、

第7のインバータ255の出力は第2の昇圧信号S91bとし、

第6のアンドゲート260の出力は第3の昇圧信号S91cとし、

第8のワンショット回路253の出力は第4の昇圧信号S92aとし、

第8のインバータ256の出力は第6の昇圧信号S92cとし、

第9のインバータ257の出力は第5の昇圧信号S92bとし、

第3のリングカウンタ251中の第7のラッチ251gの出力は第9の昇圧信号S93cとし、

第3のリングカウンタ251中の第7のラッチ251gの否定信号出力は第7の昇圧信号S93aとし、

第3のリングカウンタ251中の第8のラッチ151hの出力は第8の昇圧信号S93bおよび第10の昇圧信号S93dとして

第1の実施の形態と同様にそれぞれ昇圧手段90の各昇圧スイッチのゲート端子に接続している。

以上のようにして本実施の形態における制御手段50を構成する。

【0110】

[動作説明：図6～図7]

つぎに本実施の形態の昇圧システムの全体動作について説明を行う。

これも制御手段50の動作および昇圧手段90の昇圧動作のみが異なるだけであるので、この部分についてのみ説明する。

【0111】

制御手段50が動作を開始後に、発電検出手段70が発電状態をモニタした結果、昇圧許可信号S1がハイレベルとなれば、制御手段50は昇圧手段の動作のための信号として所定の波形を各昇圧信号に出力する。

すなわち図7における期間T1の間は、第1の昇圧ブロック91中の第1の昇圧スイッチ91aと第3の昇圧スイッチ91cがオンするので第1のコンデンサは電源手段10の両端に並列に接続され、第1のコンデンサ91eを充電する。

【0112】

つぎのT2の期間では、第1の昇圧ブロック91中の第1の昇圧スイッチ91aと第3の昇圧スイッチ91cとはオフし、逆に第1の昇圧ブロック91中の第2の昇圧スイッチ91bをオンし、かつ第2の昇圧ブロック92中の第5の昇圧スイッチ92aと第7の昇圧スイッチ92cとがオンするので、第1のコンデンサ91eに電源手段10とを直列に接続した両端に第2のコンデンサ92eを接続し第2のコンデンサ92eを充電する。

【0113】

つぎにT3の期間では、第5の昇圧スイッチ92aと第7の昇圧スイッチ92cとがオフし、逆に第6の昇圧スイッチ92bがオンし、さらに第9の昇圧スイッチ93aと第11の昇圧スイッチ93cとがオンするので、第1のコンデンサ91eと第2のコンデンサ92eと電源手段10とを直列に接続した両端に第3のコンデンサ93eを接続し、第3のコンデンサ93eを充電する。

10

20

30

40

50

【0114】

そしてつぎのT4の期間では、第9の昇圧スイッチ93aと第11の昇圧スイッチ93cとがオフし、逆に第10の昇圧スイッチ93bと第12の昇圧スイッチ93dとがオンするので、電源手段10と第1のコンデンサ91eと第2のコンデンサ92eと第3のコンデンサ93eとを直列に接続した両端に蓄電手段30を接続し、蓄電手段30を充電する。

【0115】

このような動作をすることで、第1のコンデンサ91eには976マイクロ秒間充電を行い、第2のコンデンサ92eには488マイクロ秒間充電を行い、第3のコンデンサ93eには244マイクロ秒間充電を行い、さらに蓄電手段30に244マイクロ秒間出力を行うことで8倍昇圧動作を行う。

10

【0116】

なおこのときの昇圧動作の周波数は512Hzであり、また第1のコンデンサ91eの充電と、第2のコンデンサ92eの充電と、第3のコンデンサ93eの充電と、昇圧出力

とに要する時間の比は

4 : 2 : 1 : 1

と、昇圧動作1サイクルを4分割するように制御されている。

20

【0117】

このような制御手段を第1の実施の形態の制御手段50の代わりに用いれば、昇圧手段を8倍昇圧回路として動作させることが可能となる。

【0118】

なお上記までの実施の形態においては、第1のコンデンサ91eに蓄えた電荷は第2のコンデンサ92eやそれ以降の昇圧ブロックのコンデンサへの充電に利用されるため、第1のコンデンサ91eに充電する時間としては第2のコンデンサ92eやそれ以降のコンデンサを充電するのと同じかそれより長い時間に設定したことが昇圧効率の向上につながっている。

【0119】

さらに言えば、

{第1のコンデンサ91eに充電する時間}

≧ {第2のコンデンサ92eに充電する時間}

≧ {第3のコンデンサ93eに充電する時間}

なる関係が成立するように制御手段50の制御動作を設定したことが昇圧効率の向上につながっている。

30

これは本発明の昇圧システムでは、次段のコンデンサを充電するのに前段までの全てのコンデンサに蓄えられた電荷を利用しているためである。

【0120】

一方、1サイクルを4分割できるタイミングとして、上記8倍昇圧回路の実施の形態とは異なる、分周回路から最も簡単に得られる波形を用いれば（普通の4KHzと2KHzの矩形波およびそれらの否定信号を合成すれば）簡単に2KHzの1サイクルを4等分にするタイミングを生成できる。

40

【0121】

そこで1サイクルを4等分したタイミング、すなわち

第1のコンデンサ91eの充電と、

第2のコンデンサ92eの充電と、

第3のコンデンサ93eの充電と、

昇圧出力

とに要する時間の比を

50

1 : 1 : 1 : 1

として本昇圧システムに昇圧動作をさせた場合、すなわち第1のコンデンサ91eに充電する時間を1サイクルの25%に設定した場合では最大でもおよそ75%の充電効率であった。

【0122】

この形式の昇圧システムにおいて、実用的とみなせる最低限のレベルである80%の以上の効率を得るには、第1のコンデンサ91eに充電する時間は、1サイクルが(2KHzのクロックの1周期分である)488マイクロ秒の場合、少なくとも135マイクロ秒は必要であった(第1のコンデンサ91eの充電時間・充放電時間比は(28/100))

。

10

また逆に第1のコンデンサ91eに充電する時間を多くしても効率は低下し、同じく80%の効率を得るには多くとも353マイクロ秒に抑えなくてはならなかった。

第1のコンデンサ91eの充電時間・充放電時間比は(72/100)。

【0123】

以上のことを整理すると、上記までの実施の形態で用いた形式の昇圧システムにおいて実用レベルの昇圧充電効率を得るには、昇圧手段90の初段である第1のコンデンサ91eの充電に割り当てる総時間を、同コンデンサの総充放電時間の28~72%にすることが必要であることが分かる。

【0124】

これは他の昇圧倍率においても同様であるが、第1のコンデンサ91eに充電する時間に対して放電時間が多すぎると蓄電手段30に移動する電荷が不足し、逆に放電時間が短すぎると第1のコンデンサ91eに電荷が残るため、いずれの状態でも第1のコンデンサ91eの充放電動作点が適切でなくなることが原因である。

20

【0125】

なお本発明における上記までの実施の形態においては、第1のコンデンサ91eに充電する時間は各昇圧倍率についてそれぞれ最も適切となるように設定してある。

【0126】

ここで、第3の実施の形態で示した8倍昇圧動作の場合を例として説明を加えると、第1のコンデンサ91eに注目すれば、第2のコンデンサ92eや第3のコンデンサ93eの充電には第1のコンデンサ91eに蓄えられた電荷を用いており、この間第1のコンデンサ91eは放電されている。この時間の合計は976マイクロ秒である。

30

一方第1のコンデンサ91eに充電する時間は976マイクロ秒であり昇圧動作1サイクルでの第1のコンデンサ91eの充電時間と放電時間とは等しく設定してある。

【0127】

そのうえ本発明における上記までの実施の形態においては、第1のコンデンサ91eの他に、さらに第2のコンデンサ92eおよび第3のコンデンサ93eの充電時間比についてもさらに適切な設定にしてある。

【0128】

上記と同様に第3の実施の形態で示した8倍昇圧動作の場合を例として説明を加えると、第2のコンデンサ92eに注目すれば、第3のコンデンサ93eや昇圧出力時には第2のコンデンサ92eに蓄えられた電荷を用いており、この間第2のコンデンサ92eは放電されている。この時間の合計は488マイクロ秒である。

40

また第2のコンデンサ92eに充電する時間は488マイクロ秒であり昇圧動作1サイクルでの第2のコンデンサ92eの充電時間と放電時間の合計とは等しい。

さらに第3のコンデンサ93eでも充電される時間と放電される時間とは244マイクロ秒で等しくなっている。

詳しくは説明しないがこれは第2の実施の形態で示した5倍昇圧動作の場合でも同様で、各コンデンサの充電時間と放電時間は等しくなるよう設定してある。

【0129】

このように制御することによりそれぞれの昇圧用コンデンサの動作点は最も効率の良くな

50

る点の付近に安定するため、電源手段 10 から蓄電手段 30 への昇圧充電効率を最大にすることが可能となる。

本発明の手段によれば、スイッチング素子のジュール熱による損失がないものとすれば、昇圧充電効率は 100% になるが、実際はジュール熱による損失が発生し、90% から 95% の昇圧充電効率となる。

【0130】

ただし第 1 の実施の形態における 6 倍昇圧動作では、電源手段 10 を昇圧出力に直接用いず、コンデンサのみを直列接続することで蓄電手段 30 に昇圧出力をしているため、昇圧出力に用いる第 2, 3 のコンデンサ 92e, 93e に 1 サイクルのうちに蓄えられた電荷だけが極めて短時間に蓄電手段 30 へ移動することで蓄電手段 30 への充電がなされる。これは蓄電手段 30 の内部抵抗が電源手段 10 の内部抵抗に比べて無視できるほど小さいためであり、したがって 6 倍昇圧の例に代表される偶数倍率昇圧 (2 のべき乗倍を除く) では少なくとも第 1 のコンデンサ 91e 以外の昇圧コンデンサについては充電時間と放電時間とをあえて等しく設定しなくても高い効率が得られる。

10

【0131】

この際、第 1 の実施の形態における 6 倍昇圧動作の場合では、昇圧手段 90 が昇圧出力する間は、これと平行して第 1 のコンデンサ 91e の充電がなされるため、昇圧動作 1 サイクルのいずれのタイミングにおいても電源手段 10 には昇圧用コンデンサが接続し、電源手段 10 が無負荷の状態になるような空き時間がないように設定されており、電源手段 10 から常に電力を取り出せるようになっている。

20

【0132】

上記までに示したように、本発明の昇圧システムによれば偶数倍、2 のべき乗倍、奇数倍、すなわちいずれの昇圧倍率であっても高い効率が得られる昇圧動作を行わせることが可能である。

【0133】

たとえばその他の倍率の例をあげると、3 倍昇圧動作の場合は、第 2 の実施の形態で説明した 5 倍昇圧動作を参考にして

第 1 のコンデンサの充電と、

第 2 のコンデンサの充電と、

昇圧出力

30

とに要する時間の比は

1 : 1 : 1

となるように設定すればよい。

【0134】

また 4 倍昇圧動作の場合は、第 3 の実施の形態で説明した 8 倍昇圧動作を参考にして

第 1 のコンデンサの充電と、

第 2 のコンデンサの充電と、

第 3 のコンデンサの充電と、

昇圧出力

とに要する時間の比は

40

2 : 1 : 1

となるように設定すればよい。

【0135】

さらに 10 倍昇圧動作の場合は、さらに第 4 のコンデンサを追加することが必要であるが、第 1 の実施の形態で説明した 6 倍昇圧動作を参考にして

第 1 のコンデンサの充電 (および昇圧出力) と、

第 2 のコンデンサの充電と、

第 3 のコンデンサの充電と、

第 4 のコンデンサの充電と、

とに要する時間の比は

50

5 : 3 : 1 : 1

となるように設定すればよい。

なおコンデンサを4個用いた場合は16倍昇圧までが可能であり、以降昇圧倍率が増えた場合、多くともその対数値に比例した（詳しくは底が2の対数値の）コンデンサの数だけで高い昇圧倍率を実現することが可能である。

【0136】

特に16倍昇圧の場合は、第3の実施の形態で説明した8倍昇圧動作を参考にして

第1のコンデンサの充電と、

第2のコンデンサの充電と、

第3のコンデンサの充電と、

第4のコンデンサの充電と、

昇圧出力

とに要する時間の比は

8 : 4 : 2 : 1 : 1

となるように設定すればよい。

【0137】

また昇圧手段90中に用いるコンデンサについては、コンデンサの容量値が大きく、各コンデンサへの充電中にコンデンサの端子電圧の変動が小さくなるように設定することが必要である。これには電源手段10の内部抵抗の値と接続したコンデンサの全容量値との積である時定数に対し、そのコンデンサへの充電時間が短くなるよう設定すればよい。

【0138】

特に本発明の実施形態では、上記の時定数は第1のコンデンサ91eについては6.8ミリ秒であるのに対し昇圧動作1サイクルは約1ミリ秒であるので、上記時定数に対して充電時間が十分に小さく設定してあり、このことも高い昇圧効率を実現する条件となっている。

【0139】

なお本発明の実施の形態では、昇圧倍率はそれぞれの実施の形態においては固定してあったが、当然ながら電源手段や蓄電手段の電圧状態に対して適切な昇圧倍率を選択できるような構成をとることは容易に実現可能である。この際、昇圧倍率を選択する方法に関しては例えば特願平10-534142号公報が適している。これに関して詳しくは説明しないが、これは電源手段の端子電圧と蓄電手段の端子電圧との比率に応じて昇圧倍率を決定するというものである。

【0140】

また蓄電手段には制御手段を並列に接続していたが、これらを別々の電源系にして蓄電手段と制御手段とに昇圧出力を分配する方法など、既に実用化されている技術との組み合わせも考えられる。

【0141】

リングカウンタ51、151、251は、発電手段が発電状態でないときは計数動作を停止することが、消費電力削減の点から好ましい。

さらに蓄電手段としては電気2重層コンデンサを用いたり、電源手段に太陽電池を選んで

【0142】

以上の実施形態では、昇圧ブロックのコンデンサ91e、92e、93eは同じ容量値を用いる例で説明したが、各コンデンサの容量値は異なるもので構成してもよく、そのときも充電電流効率が良好な昇圧システムが得られる。

すなわち、昇圧手段の昇圧動作1サイクルにおける昇圧ブロックのコンデンサの充電時間が次段の昇圧ブロックのコンデンサの充電時間と等しいかそれより大きくなるように昇圧手段を制御するように構成すれば、昇圧ブロックのコンデンサ91e、92e、93eの容量値は同じでも異なっても、前述の効果は発揮される。

【0143】

【発明の効果】

上記までの説明で明らかであるが、本発明の昇圧システムは、3以上の任意の整数倍の昇圧倍率であっても簡素な構成で昇圧することを実現している。

【0144】

さらに昇圧手段中の各コンデンサに対する充電時間を昇圧倍率に応じて適切なタイミングで制御することで、高い充電効率を実現している。

【0145】

したがって本発明の昇圧システムによれば、少ないコンデンサ数の簡素な構成でかつ昇圧充電効率が極めて高い昇圧動作が可能な昇圧システムを提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態における昇圧システムの全体の回路構成を示した回路図である。

【図2】本発明の昇圧システムの第1の実施の形態における制御手段および発電検出手段の回路構成例を示した回路図である。

【図3】本発明の昇圧システムの第1の実施の形態における要部電圧波形を示した波形図である。

【図4】本発明の昇圧システムの第2の実施の形態における制御手段の回路構成例を示した回路図である。

【図5】本発明の昇圧システムの第2の実施の形態における要部電圧波形を示した波形図である。

【図6】本発明の昇圧システムの第3の実施の形態における制御手段の回路構成例を示した回路図である。

【図7】本発明の昇圧システムの第3の実施の形態における要部電圧波形を示した波形図である。

【図8】従来技術の昇圧回路を示した回路図である。

【符号の説明】

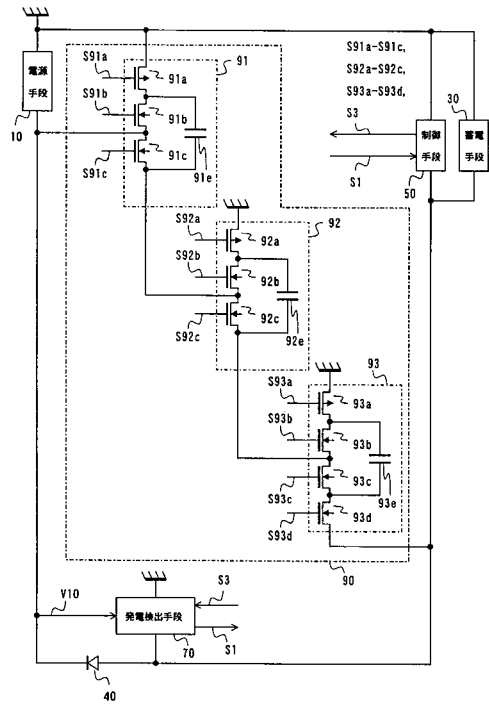
- 10 電源手段
- 25 波形生成手段
- 26 時計ブロック
- 30 蓄電手段
- 40 ダイオード
- 50 制御手段
- 70 発電検出手段
- 90 昇圧手段
- 91 第1の昇圧ブロック
- 92 第2の昇圧ブロック
- 93 第3の昇圧ブロック

10

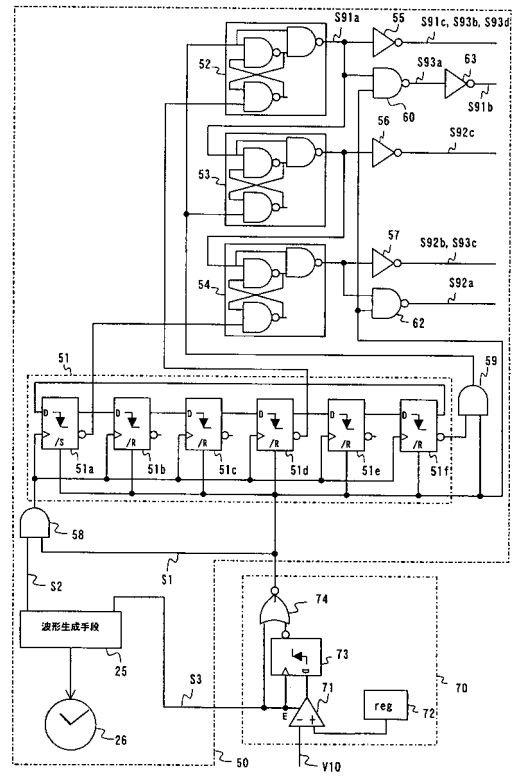
20

30

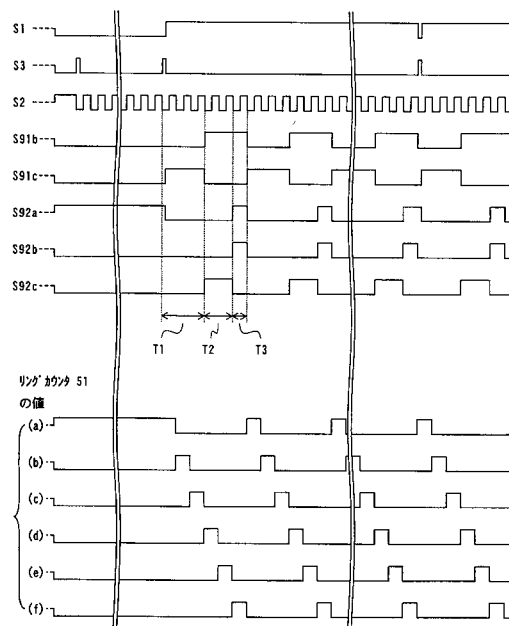
【図 1】



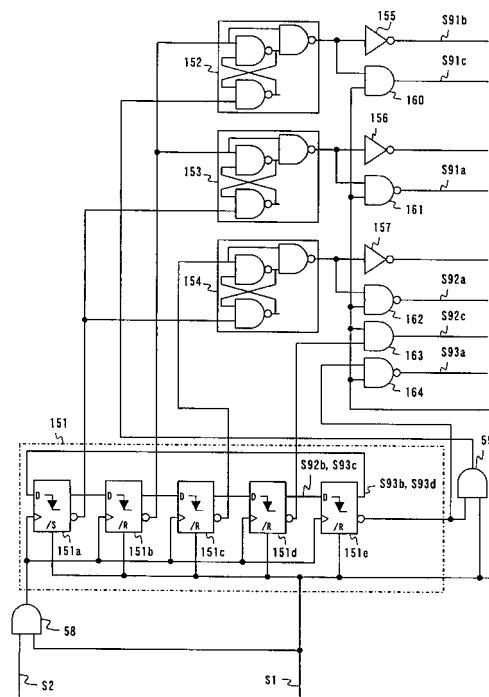
【図 2】



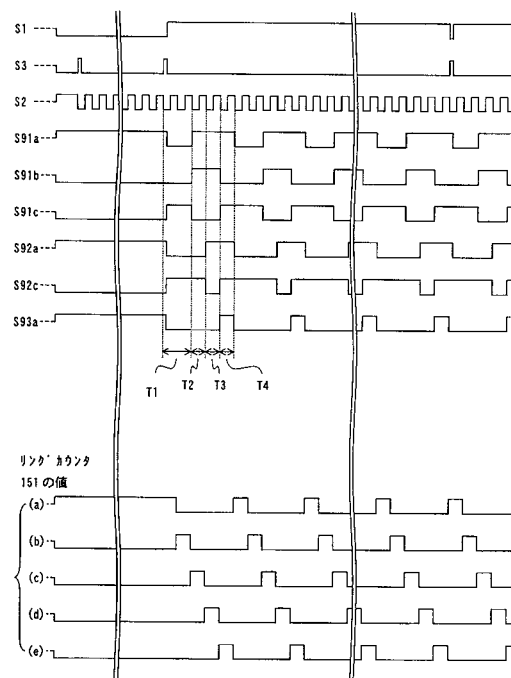
【図 3】



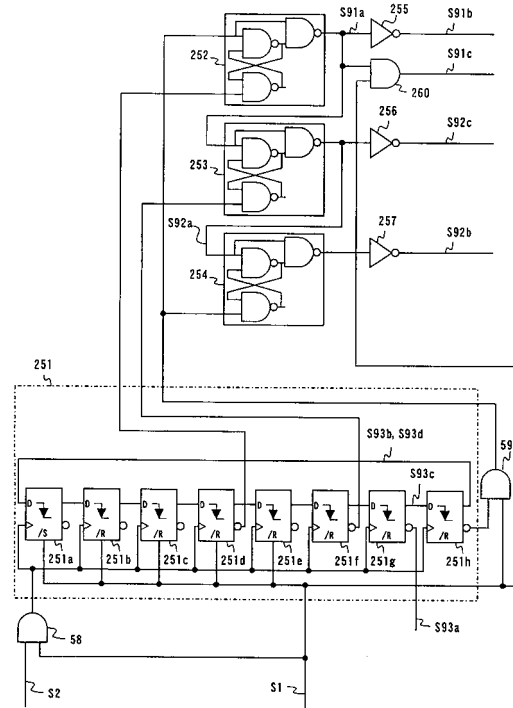
【図 4】



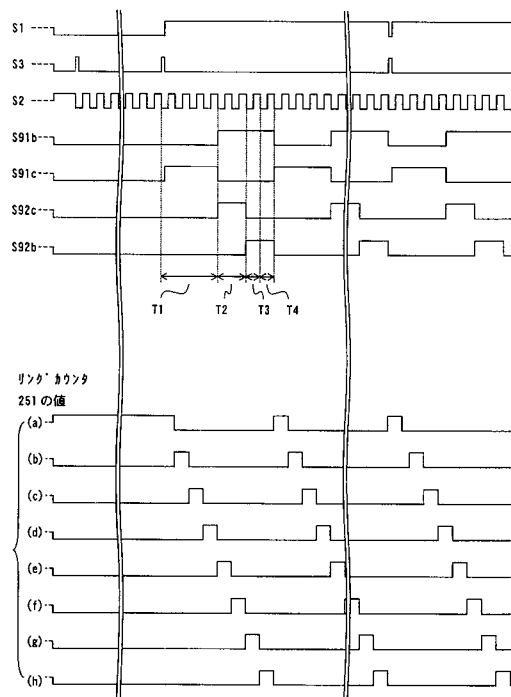
【図 5】



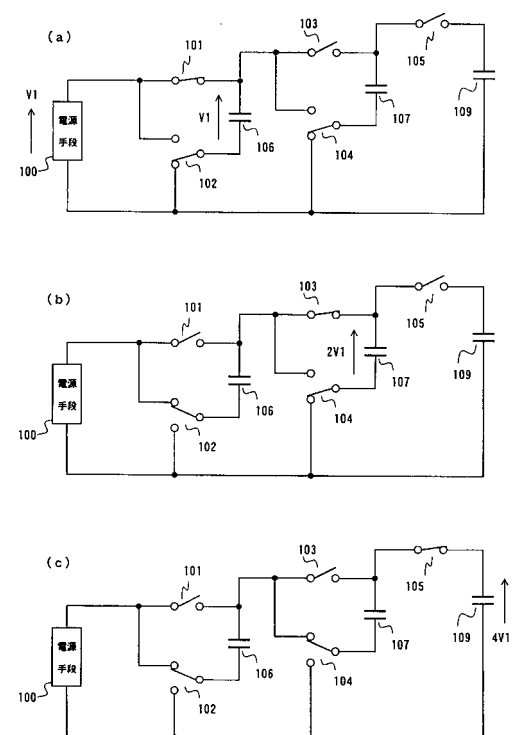
【図 6】



【図 7】



【図 8】



フロントページの続き

(58)調査した分野(Int.Cl., D B名)

H02M 3/07

G04G 19/02