



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월22일
(11) 등록번호 10-1820813
(24) 등록일자 2018년01월16일

(51) 국제특허분류(Int. Cl.)
H01L 23/522 (2006.01) H01L 21/768 (2006.01)
H01L 23/498 (2006.01) H01L 23/528 (2006.01)
H01L 27/02 (2006.01)
(52) CPC특허분류
H01L 23/5226 (2013.01)
H01L 21/76813 (2013.01)
(21) 출원번호 10-2016-7003858
(22) 출원일자(국제) 2014년07월23일
심사청구일자 2017년01월19일
(85) 번역문제출일자 2016년02월15일
(65) 공개번호 10-2016-0034338
(43) 공개일자 2016년03월29일
(86) 국제출원번호 PCT/US2014/047834
(87) 국제공개번호 WO 2015/013415
국제공개일자 2015년01월29일
(30) 우선권주장
61/858,567 2013년07월25일 미국(US)
14/338,229 2014년07월22일 미국(US)
(56) 선행기술조사문헌
US20130072020 A1
US20060289861 A1
US20130175631 A1
US20030051217 A1

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
첸, 시양동
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
권, 오상
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
(74) 대리인
특허법인 남앤드남

전체 청구항 수 : 총 15 항

심사관 : 정구원

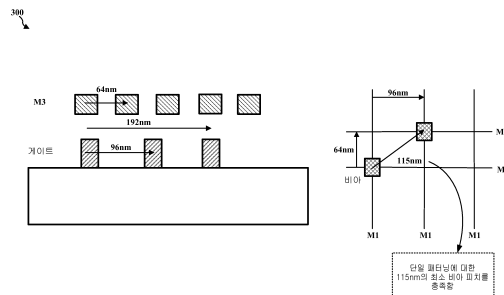
(54) 발명의 명칭 SOC 장치 및 SOC 장치를 동작시키는 방법

(57) 요약

SOC 장치는, 최소 피치 g 를 갖는 복수의 게이트 상호접속부들, 최소 피치 m 을 갖는 복수의 금속 상호접속부들, 및 게이트 상호접속부들과 금속 상호접속부들을 상호접속시키는 복수의 비아들을 포함한다. 비아들은 최소 피치 v 를 갖는다. 값들 m , g , 및 v 는, $g^2 + m^2 \geq v^2$ 이도록 그리고 g 및 m 의 LCM이 $20g$ 미만이도록 이루어진다.

(뒷면에 계속)

대표도 - 도3



SOC 장치는 추가로, m_2 의 최소 피치를 갖는 제 2 복수의 금속 상호접속부들을 포함할 수 있으며, 여기서, $m_2 > m_1$ 이고 그리고 g , m_1 , 및 m_2 의 LCM은 20g 미만이다.

(52) CPC특허분류

H01L 21/76816 (2013.01)

H01L 21/76838 (2013.01)

H01L 23/498 (2013.01)

H01L 23/528 (2013.01)

H01L 25/072 (2013.01)

H01L 27/0207 (2013.01)

(72) 발명자

터지오글루, 예신

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스
스 드라이브 5775 웰컴 인코포레이티드 (내)

번나림, 하디

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스
스 드라이브 5775 웰컴 인코포레이티드 (내)

명세서

청구범위

청구항 1

SOC(system on a chip) 장치로서,

최소 피치(pitch) g 를 갖는 복수의 게이트 상호접속부(interconnect)들;

최소 피치 m 을 갖는 복수의 금속 상호접속부들; 및

상기 게이트 상호접속부들과 상기 금속 상호접속부들을 상호접속시키는 복수의 비아(via)들을 포함하며,

상기 비아들은 최소 피치 v 를 갖고,

$g^2 + m^2 \geq v^2$ 이고, 상기 최소 피치 v 는 상기 장치에서 사용되는 상기 최소 피치 g 및 상기 최소 피치 m 보다 더 크고, g 및 m 의 최소 공배수(LCM; least common multiple)는 $20g$ 미만인, SOC 장치.

청구항 2

제 1 항에 있어서,

g 는 96nm이고, m 은 64nm이고, 그리고 v 는 115nm인, SOC 장치.

청구항 3

제 1 항에 있어서,

상기 복수의 금속 상호접속부들은 제 1 상호접속 레벨(interconnect level) 또는 제 2 상호접속 레벨 중 적어도 하나 상에 있고, 상기 비아들은 상기 금속 상호접속부들을 상기 제 1 상호접속 레벨과 상기 제 2 상호접속 레벨 사이에 상호접속시키는, SOC 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 상호접속 레벨은 제 1 금속 층이고, 상기 제 2 상호접속 레벨은 제 2 금속 층인, SOC 장치.

청구항 5

제 1 항에 있어서,

m_2 의 최소 피치를 갖는 제 2 복수의 금속 상호접속부들을 더 포함하며,

$m_2 > m$ 이고 그리고 g , m , 및 m_2 의 LCM은 $20g$ 미만인, SOC 장치.

청구항 6

제 5 항에 있어서,

g 는 96nm이고, m 은 72nm이고, v 는 115nm이고, 그리고 m_2 는 80nm인, SOC 장치.

청구항 7

제 5 항에 있어서,

상기 복수의 금속 상호접속부들은 제 3 상호접속 레벨 상에 있고, 상기 제 2 복수의 금속 상호접속부들은 제 5 상호접속 레벨 상에 있으며,

상기 비아들은 금속 상호접속부들을 상기 복수의 금속 상호접속부들과 상기 제 2 복수의 금속 상호접속부들 사

이에 상호접속시키는, SOC 장치.

청구항 8

제 7 항에 있어서,

상기 제 3 상호접속 레벨은 제 3 금속 층이고, 상기 제 5 상호접속 레벨은 제 5 금속 층인, SOC 장치.

청구항 9

SOC(system on a chip) 장치를 동작시키는 방법으로서,

최소 피치 g 를 갖는 복수의 게이트 상호접속부들을 통해 전류를 흐르게 하는 단계;

최소 피치 m 을 갖는 복수의 금속 상호접속부들을 통해 전류를 흐르게 하는 단계; 및

상기 게이트 상호접속부들과 상기 금속 상호접속부들을 상호접속시키는 복수의 비아들을 통해 전류를 흐르게 하는 단계를 포함하며,

상기 비아들은 최소 피치 v 를 갖고,

$g^2 + m^2 \geq v^2$ 이고, 상기 최소 피치 v 는 상기 장치에서 사용되는 상기 최소 피치 g 및 상기 최소 피치 m 보다 더 크고, g 및 m 의 최소 공배수(LCM)는 $20g$ 미만인, SOC 장치를 동작시키는 방법.

청구항 10

제 9 항에 있어서,

상기 복수의 금속 상호접속부들은 제 1 상호접속 레벨 또는 제 2 상호접속 레벨 중 적어도 하나 상에 있고, 상기 비아들은 상기 금속 상호접속부들을 상기 제 1 상호접속 레벨과 상기 제 2 상호접속 레벨 사이에 상호접속시키는, SOC 장치를 동작시키는 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 상호접속 레벨은 제 1 금속 층이고, 상기 제 2 상호접속 레벨은 제 2 금속 층인, SOC 장치를 동작시키는 방법.

청구항 12

제 9 항에 있어서,

m_2 의 최소 피치를 갖는 제 2 복수의 금속 상호접속부들을 통해 전류를 흐르게 하는 단계를 더 포함하며,

$m_2 > m$ 이고 그리고 g , m , 및 m_2 의 LCM은 $20g$ 미만인, SOC 장치를 동작시키는 방법.

청구항 13

제 12 항에 있어서,

상기 복수의 금속 상호접속부들은 제 3 상호접속 레벨 상에 있고, 상기 제 2 복수의 금속 상호접속부들은 제 5 상호접속 레벨 상에 있으며,

상기 비아들은 금속 상호접속부들을 상기 복수의 금속 상호접속부들과 상기 제 2 복수의 금속 상호접속부들 사이에 상호접속시키는, SOC 장치를 동작시키는 방법.

청구항 14

제 13 항에 있어서,

상기 제 3 상호접속 레벨은 제 3 금속 층이고, 상기 제 5 상호접속 레벨은 제 5 금속 층인, SOC 장치를 동작시키는 방법.

청구항 15

제 1 항에 있어서,

상기 최소 피치 g 를 갖는 상기 복수의 게이트 상호접속부들을 통해 전류를 흐르게 하기 위한 수단;

상기 최소 피치 m 을 갖는 상기 복수의 금속 상호접속부들을 통해 전류를 흐르게 하기 위한 수단; 및

상기 게이트 상호접속부들과 상기 금속 상호접속부들을 상호접속시키는 상기 복수의 비아들을 통해 전류를 흐르게 하기 위한 수단을 더 포함하는, SOC 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 관련 출원(들)에 대한 상호-참조

[0002] 본 출원은, 2013년 7월 25일에 "A SOC DESIGN WITH CRITICAL TECHNOLOGY PITCH ALIGNMENT"라는 명칭으로 출원된 미국 가특허 출원 일련번호 제 61/858,567호, 및 2014년 7월 22일에 "A SOC DESIGN WITH CRITICAL TECHNOLOGY PITCH ALIGNMENT"라는 명칭으로 출원된 미국 정규 출원 일련번호 제 14/338,229호를 우선권으로 주장하며, 이들 출원들은 그 전체가 인용에 의해 본 명세서에 명백히 포함된다.

[0003] 본 개시는 일반적으로 회로 레이아웃(layout)에 관한 것으로, 더 구체적으로는, 핵심 기술 피치 정렬(critical technology pitch alignment)을 갖는 SOC(system on a chip) 설계에 관한 것이다.

배경 기술

[0004] 피치는 동일한 타입의 인접한 엘리먼트들 사이의 거리이다. $x\%$ 로 피치를 스케일링(scaling)하는 것의 비용, 전력, 및 성능 이점들을 달성하기 위해, 대략적으로 $x^2\%$ 의 영역 스케일링(area scaling)이 획득되어야 한다. 예를 들어, 70% 피치 스케일링의 최대(full) 비용, 전력, 및 성능 이점들을 달성하기 위해, 대략적으로 50% 영역 스케일링이 획득되어야 한다. 그러나, $x^2\%$ 영역 스케일링을 획득하기 위한 요건을 고려해 볼 때, $x\%$ 피치 스케일링은 가장 양호한 비용, 전력, 및 성능 이점들을 제공하지 않을 수 있다. 그러므로, 원하는 영역 스케일링을 고려하여 피치 또는 피치 스케일링을 결정하기 위한 방법들 및 장치들이 요구된다.

발명의 내용

[0005] 본 개시의 일 양상에서, 방법 및 장치가 제공된다. SOC 장치는, 최소 피치 g 를 갖는 복수의 게이트 상호접속부(interconnect)들, 최소 피치 m 을 갖는 복수의 금속 상호접속부들, 및 게이트 상호접속부들 및 금속 상호접속부들을 상호접속시키는 복수의 비아(via)들을 포함한다. 비아들은 최소 피치 v 를 갖는다. 값들 m , g ,

및 v 는 $g^2 + m^2 \geq v^2$ 이도록 그리고 g 및 m 의 LCM이 $20g$ 미만이도록 이루어진다.

도면의 간단한 설명

[0005] 도 1은 피치 스케일링들을 예시하는 도면이다.

[0006] 도 2는 게이트 상호접속부, 금속 상호접속부, 및 비아 피치들을 예시하는 도면이다.

[0007] 도 3은 예시적인 게이트 상호접속부, 금속 상호접속부, 및 비아 피치들의 제 1 세트를 예시하는 도면이다.

[0008] 도 4는 예시적인 게이트 상호접속부, 금속 상호접속부, 및 비아 피치들의 제 2 세트를 예시하는 도면이다.

[0009] 도 5는 SOC 장치를 동작시키는 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 첨부된 도면들과 관련하여 아래에 기재되는 상세한 설명은, 다양한 구성들의 설명으로서 의도되며, 본 명세서에 설명된 개념들이 실시될 수 있는 유일한 구성들을 표현하도록 의도되지 않는다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공하려는 목적을 위해 특정한 세부사항들을 포함한다. 그러나, 이들 개념들이 이들 특정한 세부사항들 없이도 실시될 수 있다는 것은 당업자들에게 명백할 것이다. 몇몇 예시들에서, 그러한 개념들을 불명료하게 하는 것을 회피하기 위해, 잘 알려진 구조들 및 컴포넌트들은 블록도 형태로 도시되어 있다. 다음의 상세한 설명에서 장치들 및 방법들이 설명될 것이며, 이들은 다양한 블록들, 모듈들, 컴포넌트들, 회로들, 단계들, 프로세스들, 알고리즘들, 엘리먼트들 등에 의해 첨부된 도면들에서 예시될 수 있다.

[0011] 도 1은 피치 스케일링들을 예시하는 도면(100)이다. 도 1에 도시된 바와 같이, 28nm 제조 프로세스 기술에서, 게이트 상호접속부("폴리(POLY)" 상호접속부로 또한 지칭될 수 있음)는 g_1 의 최소 피치를 가질 수 있다(임의의 2개의 게이트 상호접속부들 사이의 거리가 최소 g_1 임). 20nm, 16nm, 14nm, 및/또는 다른 제조 프로세스 기술로 스케일링 시, 게이트 상호접속부는 g_2 의 최소 피치를 갖는다(임의의 2개의 게이트 상호접속부들 사이의 거리가 최소 g_2 임). 일 예에서, g_1 은 130nm일 수 있다. 게이트 상호접속부 피치의 70% 스케일링은 90nm의 g_2 를 초래할 것이다. 28nm 제조 프로세스 기술에서, 제 1 금속 층 M1은 m_1 의 최소 피치를 가질 수 있다(임의의 2개의 제 1 금속 층 M1 상호접속부들 사이의 거리가 최소 m_1 임). 20nm, 16nm, 14nm, 및/또는 다른 제조 프로세스 기술로 스케일링 시, 제 1 금속 층 M1은 m_2 의 최소 피치를 가질 수 있다(임의의 2개의 제 1 금속 층 M1 상호접속부들 사이의 거리가 최소 m_2 임). 일 예에서, m_1 은 90nm일 수 있다. 제 1 금속 층 M1 상호접속부 피치의 70% 스케일링은 64nm의 m_2 를 초래할 것이다. 28nm 제조 프로세스 기술에서, 다른 금속 층들 Ma(예를 들어, M2, M3, M4, M5)는 ma_1 의 최소 피치를 가질 수 있다(임의의 2개의 금속 층 Ma 상호접속부들 사이의 거리가 최소 ma_1 임). 20nm, 16nm, 14nm, 및/또는 다른 제조 프로세스 기술로 스케일링 시, 금속 층 Ma는 ma_2 의 최소 피치를 가질 수 있다(임의의 2개의 금속 층 Ma 상호접속부들 사이의 거리가 최소 ma_2 임). 일 예에서, ma_1 은 90nm일 수 있다. 금속 층 Ma 상호접속부 피치의 70% 스케일링은 64nm의 ma_2 를 초래할 것이다. 20nm, 16nm, 14nm, 및/또는 다른 제조 프로세스 기술에서, Mb 금속 층은 mb 의 피치를 가질 수 있다. Mb 금속 층은 Ma 금속 층보다 더 높고, Ma 금속 층보다 더 넓을 수 있다. 예를 들어, Ma 금속 층은 M2 금속 층 및 M3 금속 층을 포함할 수 있고, Mb 금속 층은 M4 금속 층을 포함할 수 있다. 다른 예를 들면, Ma 금속 층은 M2 금속 층, M3 금속 층, 및 M4 금속 층을 포함할 수 있고, Mb 금속 층은 M5 금속 층을 포함할 수 있다. 일 예에서, mb 는 80nm이다. 28nm 제조 프로세스 기술에서, 비아들은 v_1 의 최소 피치를 가질 수 있다(임의의 2개의 비아들 사이의 거리가 최소 v_1 임). 20nm, 16nm, 14nm, 및/또는 다른 제조 프로세스 기술로 스케일링 시, 비아들은 v_2 의 최소 피치를 가질 수 있다(임의의 2개의 비아들 사이의 거리가 최소 v_2 임). 일 예에서, v_1 은 130nm일 수 있다. (이중 패터닝(patterning) 프로세스에서의 다수의 마스크(mask)들을 사용하기 보다는 오직 하나의 마스크를 사용하는) 단일 패터닝 프로세스로 인한 프로세스 제한을 유지하는 것은, 임의의 2개의 비아들의 최소 피치를 제한한다. 115nm 최소 피치를 가정하면(즉, v_2 가 115nm라고 가정하면), 비아들의 88% 스케일링이 초래된다. 이러한 예에

서, 비아 피치가 반드시 게이트 및 금속 상호접속부들과 같은 다른 엘리먼트들과 유사하게 스케일링되는 것은 아니다.

[0009] [0012] 도 1의 전술된 예에서, 비아들에 대한 88% 피치 스케일링 제한을 고려하면, 다른 금속 층들 전부를 70%로 스케일링하는 것은 상호접속부들 및 비아들이 정렬되지 않기 때문에 이상적이지 않다. 위에 설명된 바와 같이, x%로 피치를 스케일링하는 것의 비용, 전력, 및 성능 이점들을 달성하기 위해, 대략적으로 $x^2\%$ 의 영역 스케일링이 획득되어야 한다. 예를 들어, 70% 피치 스케일링의 최대 비용, 전력, 및 성능 이점들을 달성하기 위해, 대략적으로 50% 영역 스케일링이 획득되어야 한다. 그러나, 도 2에 관하여 추가로 설명되는 바와 같이, $x^2\%$ 영역 스케일링을 획득하기 위한 요건을 고려해 볼 때, 비아 피치 스케일링을 제한할 경우, x% 피치 스케일링은 가장 양호한 비용, 전력, 및 성능 이점들을 제공하지 않을 수 있다.

[0010] [0013] 도 2는 게이트 상호접속부, 금속 상호접속부, 및 비아 피치들을 예시하는 도면(200)이다. 도 2에서, 게이트 상호접속부들과 동일한 방향으로 연장되는 도시된 2개의 금속 층 M1 상호접속부들은, 게이트 상호접속부들에 접속되고, 게이트 상호접속부들과 동일한 피치를 갖는다. 다른 금속 층 M1 상호접속부들은 64nm와 같은 더 작은 피치를 가질 수 있다. 따라서, 도 2에 도시된 바와 같이, 게이트 상호접속부 피치 g_2 가 최소 90nm이고, 금속 층 M2 피치 ma_2 가 최소 64nm인 경우, 비아 피치 v_2 는 110nm이다. 단일 패터닝에 대한 프로세스 제한이 비아 피치에 대해 115nm이면, 110nm의 비아 피치는 단일 패터닝에 대한 최소 비아 피치 요건들을 충족하지 않을 것이다. 115nm의 비아 피치, 및 게이트 상호접속부 및 금속 층 M2에 대한 70% 피치 스케일링을 가정하면, 게이트 상호접속부, 비아들, 및 금속 상호접속부 피치들은 정렬되지 않을 것이고, 이는 핀 액세스(pin access)의 어려움을 야기할 수 있고, 배치 및 라우트(route) 효율성을 저하시킬 수 있으며, 낮은 배치 및 라우트 이용도(utilization)(이용되는 영역이 50%까지 감소되지 않을 수 있음)를 야기할 수 있다. 일 구성에서, 비아 피치 v_2 의 필요한 스케일링을 충족시키고, 개선된 핀 액세스, 배치 및 라우트 효율성, 및 배치 및 라우트 이용도를 허용하기 위해, 게이트 상호접속부 피치 g_2 및/또는 금속 층 M2 상호접속부 피치 ma_2 의 스케일링이 증가될 수 있다.

[0011] [0014] 도 3은 예시적인 게이트 상호접속부, 금속 상호접속부, 및 비아 피치들의 제 1 세트를 예시하는 도면(300)이다. 위에 설명된 바와 같이, 게이트 상호접속부 피치 g_2 및/또는 금속 층 M2 상호접속부 피치 ma_2 의 스케일링은, 비아 피치 v_2 의 필요한 스케일링을 충족시키기 위해 증가될 수 있다. 예를 들어, 도 3에 도시된 바와 같이, 게이트 상호접속부 피치 g_2 의 스케일링은 73.85%로 증가된다. 게이트 상호접속부 피치 g_2 가 최소 96nm이고 금속 층 M2 피치 ma_2 가 최소 64nm인 경우, 비아 피치 v_2 는 115nm이며, 이는 전술된 115nm 비아 피치 제한을 충족시킨다. 도 3에 도시된 바와 같이, 금속 층 M3 피치는 또한 최소 64nm일 수 있다. 96nm 및 64nm의 최소 공배수(LCM; least common multiple)(또한 lowest common multiple로 지칭됨)는 192nm이다. 일 구성에서, 최소 게이트 및 금속 상호접속부 피치들의 LCM은 최소 게이트 상호접속부 피치의 20배 미만이도록 제약될 수 있다. 예를 들어, 최소 게이트 및 금속 상호접속부 피치들의 LCM은 1920nm($20 \times 96nm$) 미만이도록 제약될 수 있다. 이러한 경우에서, 96nm 및 64nm의 최소 게이트 및 금속 상호접속부 피치들 각각은 그러한 요건을 충족한다.

[0012] [0015] 도 4는 예시적인 게이트 상호접속부, 금속 상호접속부, 및 비아 피치들의 제 2 세트를 예시하는 도면(400)이다. 이러한 예에서, 최소 게이트 상호접속부 피치는 96nm일 수 있고, 최소 금속 층들 M2는 64nm일 수 있고, 최소 금속 층 M3 피치는 72nm일 수 있으며, 최소 금속 층 M5 피치는 80nm일 수 있다. 96nm, 72nm, 및 80nm의 LCM은 1440nm이다.

[0013] [0016] 일 구성에서, SOC 장치는, 최소 피치 g 를 갖는 복수의 게이트 상호접속부들, 최소 피치 m 을 갖는 복수의 금속 상호접속부들, 및 게이트 상호접속부들과 금속 상호접속부들을 상호접속시키는 복수의 비아들을 가질 수 있다. 비아들은 최소 피치 v 를 갖는다. 피치들 g , m , 및 v 는, $g^2 + m^2 \geq v^2$ 이도록 그리고 g 및 m 의 LCM이 $20g$ 미만이도록 이루어진다. 일 예에서, g 는 96nm와 동일하거나 또는 그와 대략적으로 동일하고, m 은 64nm와 동일하거나 또는 그와 대략적으로 동일하며, v 는 115nm와 동일하거나 또는 그와 대략적으로 동일하다. $g=96nm$, 및 $m=64nm$ 의 피치들에 대해 LCM은 192nm이며, 이는 1920nm 미만이다. 피치들 g , m , 및 v 는 수학적식들 $g^2 + m^2 \geq v^2$ 및 $LCM(g,m) < 20g$ 에 의해 제약된다. 일 구성에서, 비아 피치 v 는 가정되고(assumed), 게이트 상호접속부 피치 g 및 금속 상호접속부 피치 m 은 수학적식들을 충족시키도록 조정된다. 복수의 금속 상호접속부들은 제 1 상호접속 레벨 또는 제 2 상호접속 레벨 중 적어도 하나 상에 있고, 비아들은 금속 상호접속부들을

제 1 상호접속 레벨과 제 2 상호접속 레벨 사이에 상호접속시킨다. 제 1 상호접속 레벨은 제 1 금속 층 M1일 수 있고, 제 2 상호접속 레벨은 제 2 금속 층 M2일 수 있다.

[0014] [0017] SOC 장치는 추가로, m_2 의 최소 피치를 갖는 제 2 복수의 금속 상호접속부들을 포함하며, 여기서, $m_2 > m$ 이고, g , m , 및 m_2 의 LCM은 $20g$ 미만이다. 일 예에서, g 는 96nm 와 동일하거나 또는 그와 대략적으로 동일하고, m 은 72nm 와 동일하거나 또는 그와 대략적으로 동일하고, v 는 115nm 와 동일하거나 또는 그와 대략적으로 동일하며, m_2 는 80nm 와 동일하거나 또는 그와 대략적으로 동일하다. $g=96\text{nm}$, $m=72\text{nm}$, 및 $m_2=80\text{nm}$ 의 피치들에 대해 LCM은 1440nm 이다. 피치들 g , m , m_2 , 및 v 는 수학적식 $g^2 + m^2 \geq v^2$ 및 $\text{LCM}(g, m, m_2) < 20g$ 에 의해 제약된다. 일 구성에서, 비아 피치 v 는 가정되고, 게이트 상호접속부 피치 g , 금속 상호접속부 피치 m , 및 금속 상호접속부 피치 m_2 는 수학적식들을 충족시키도록 조정된다. 복수의 금속 상호접속부들은 제 3 상호접속 레벨(예를 들어, 금속 층 M3) 상에 있을 수 있고, 제 2 복수의 금속 상호접속부들은 제 3 상호접속 레벨보다 더 높은 제 5 상호접속 레벨(예를 들어, 금속 층 M5) 상에 있을 수 있다. 비아들은 금속 상호접속부들을 복수의 금속 상호접속부들과 제 2 복수의 금속 상호접속부들 사이에 상호접속시킨다. 제 3 상호접속 레벨은 제 3 금속 층 M3일 수 있고, 제 5 상호접속 레벨은 제 5 금속 층 M5일 수 있다.

[0015] [0018] 도 5는 SOC 장치를 동작시키는 방법의 흐름도(500)이다. 단계(502)에서, 최소 피치 g 를 갖는 복수의 게이트 상호접속부들을 통해 전류가 흐른다. 단계(504)에서, 최소 피치 m 을 갖는 복수의 금속 상호접속부들을 통해 전류가 흐른다. 단계(506)에서, 게이트 상호접속부들과 금속 상호접속부들을 상호접속시키는 복수의 비아들을 통해 전류가 흐른다. 비아들은 최소 피치 v 를 갖는다. 게이트 상호접속부들, 금속 상호접속부들, 및 비아들의 피치들은 $g^2 + m^2 \geq v^2$ 을 충족한다. 부가적으로, g 및 m 의 LCM은 $20g$ 미만이다. 복수의 금속 상호접속부들은 제 1 상호접속 레벨 또는 제 2 상호접속 레벨 중 적어도 하나 상에 있을 수 있고, 비아들은 금속 상호접속부들을 제 1 상호접속 레벨과 제 2 상호접속 레벨 사이에 상호접속시킬 수 있다. 제 1 상호접속 레벨은 제 1 금속 층일 수 있고, 제 2 상호접속 레벨은 제 2 금속 층일 수 있다. 단계(508)에서, m_2 의 최소 피치를 갖는 제 2 복수의 금속 상호접속부들을 통해 전류가 흐르며, 여기서, $m_2 > m$ 이고, g , m , 및 m_2 의 LCM은 $20g$ 미만이다. 복수의 금속 상호접속부들은 제 3 상호접속 레벨 상에 있을 수 있고, 제 2 복수의 금속 상호접속부들은 제 5 상호접속 레벨 상에 있을 수 있다. 비아들은 금속 상호접속부들을 복수의 금속 상호접속부들과 제 2 복수의 금속 상호접속부들 사이에 상호접속시킨다. 제 3 상호접속 레벨은 제 3 금속 층일 수 있고, 제 5 상호접속 레벨은 제 5 금속 층일 수 있다.

[0016] [0019] 일 구성에서, SOC 장치는, 최소 피치 g 를 갖는 복수의 게이트 상호접속부들을 통해 전류를 흐르게 하기 위한 수단, 최소 피치 m 을 갖는 복수의 금속 상호접속부들을 통해 전류를 흐르게 하기 위한 수단, 및 게이트 상호접속부들 및 금속 상호접속부들을 상호접속시키는 복수의 비아들을 통해 전류를 흐르게 하기 위한 수단을 포함한다. 비아들은 최소 피치 v 를 가지며, $g^2 + m^2 \geq v^2$ 이고, g 및 m 의 LCM은 $20g$ 미만이다. 복수의 게이트 상호접속부들을 통해 전류를 흐르게 하기 위한 수단은 복수의 게이트 상호접속부들이고, 복수의 금속 상호접속부들을 통해 전류를 흐르게 하기 위한 수단은 복수의 금속 상호접속부들이며, 복수의 비아들을 통해 전류를 흐르게 하기 위한 수단은 복수의 비아들이다. SOC 장치는 추가로, m_2 의 최소 피치를 갖는 제 2 복수의 금속 상호접속부들을 통해 전류를 흐르게 하기 위한 수단을 포함할 수 있으며, 여기서, $m_2 > m$ 이고, g , m , 및 m_2 의 LCM은 $20g$ 미만이다. 제 2 복수의 금속 상호접속부들을 통해 전류를 흐르게 하기 위한 수단은 제 2 복수의 금속 상호접속부들이다.

[0017] [0020] 위에 제공된 바와 같이, $x\%$ 영역 스케일링을 획득하기 위한 요건을 고려해 볼 때, $x\%$ 피치 스케일링보다 더 큰 스케일링이 일부 상호접속부들에 대해 사용될 수 있다. 최소 피치 스케일링은 최소 비아 피치 제한들에 기초하여 결정될 수 있다. 그러한 스케일링은, 모든 상호접속부들에 대한 $x\%$ 피치 스케일링에 비해 개선된 비용, 전력, 및 성능 이점들을 제공할 수 있다.

[0018] [0021] 기재된 프로세스들에서의 단계들의 특정한 순서 또는 계층이 예시적인 접근법들의 예시임을 이해한다. 설계 선호도에 기초하여, 프로세스들에서의 단계들의 특정한 순서 또는 계층이 재배열될 수 있음을 이해한다. 추가적으로, 몇몇 단계들은 결합되거나 생략될 수 있다. 첨부한 방법 청구항들은 샘플 순서로 다양한 단계들의 엘리먼트들을 제시하며, 제시된 특정한 순서 또는 계층으로 제한되도록 의도되지는 않는다.

[0019]

[0022] 이전의 설명은 임의의 당업자가 본 명세서에 설명된 다양한 양상들을 실시할 수 있도록 제공된다. 이들 양상들에 대한 다양한 변형들은 당업자들에게는 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 다른 양상들에 적용될 수 있다. 따라서, 청구항들은 본 명세서에 나타난 양상들로 제한되도록 의도되는 것이 아니라, 청구항들의 문언에 부합하는 최대 범위를 부여하려는 것이며, 여기서, 단수형의 엘리먼트에 대한 참조는 "하나 및 오직 하나"라고 구체적으로 명시되지 않으면, "하나 및 오직 하나"를 의미하기보다는 오히려 "하나 또는 그 초과"를 의미하도록 의도된다. 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본 명세서에서 사용된다. "예시적인"것으로서 본 명세서에 설명된 임의의 양상은, 다른 양상들에 비해 바람직하거나 유리한 것으로서 해석될 필요는 없다. 구체적으로 달리 명시되지 않으면, 용어 "몇몇"은 하나 또는 그 초과를 지칭한다. "A, B, 또는 C 중 적어도 하나", "A, B, 및 C 중 적어도 하나", 및 "A, B, C, 또는 이들의 임의의 결합"과 같은 결합들은, A, B, 및/또는 C의 임의의 결합을 포함하며, 다수의 A, 다수의 B, 또는 다수의 C를 포함할 수 포함할 수 있다. 구체적으로는, "A, B, 또는 C 중 적어도 하나", "A, B, 및 C 중 적어도 하나", 및 "A, B, C, 또는 이들의 임의의 결합"과 같은 결합들은, 오직 A, 오직 B, 오직 C, A 및 B, A 및 C, B 및 C, 또는 A 및 B 및 C일 수 있으며, 여기서 임의의 이러한 결합들은 A, B, 또는 C 중 하나 또는 그 초과를 멤버 또는 멤버들을 포함할 수 있다. 당업자들에게 알려져 있거나 추후에 알려지게 될 본 개시 전반에 걸쳐 설명된 다양한 양상들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은, 인용에 의해 본 명세서에 명백히 포함되고, 청구항들에 의해 포함되도록 의도된다. 또한, 본 명세서에 기재된 어떠한 것도, 청구항들에 그러한 개시가 명시적으로 인용되어 있는지 여부와 관계없이, 공중이 사용하도록 의도되는 것은 아니다. 어떤 청구항 엘리먼트도, 그 엘리먼트가 어구 "하기 위한 수단"을 사용하여 명시적으로 언급되지 않는 한, 수단 + 기능(means plus function)으로서 해석되지 않을 것이다.

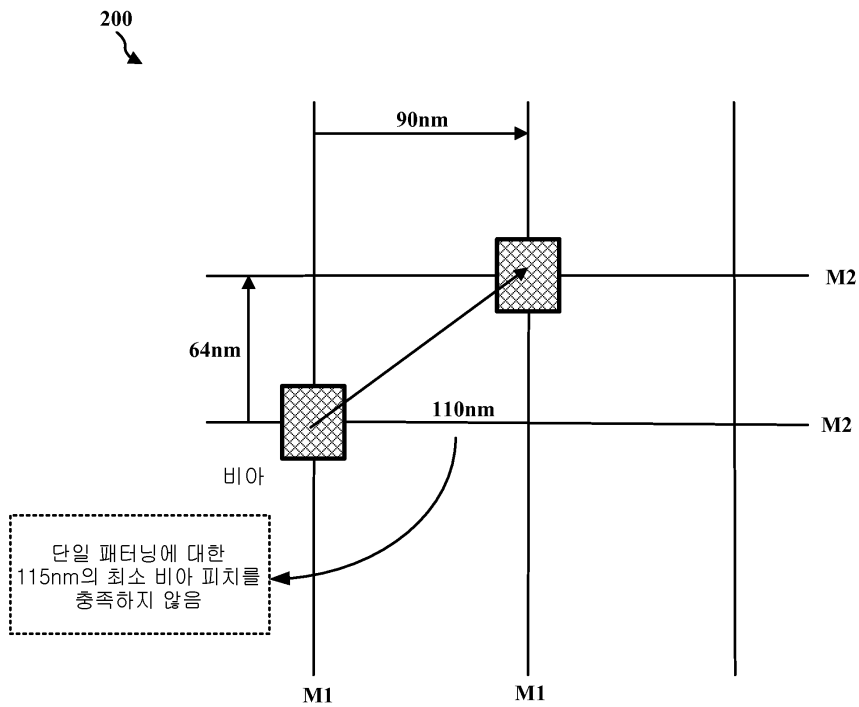
도면

도면1

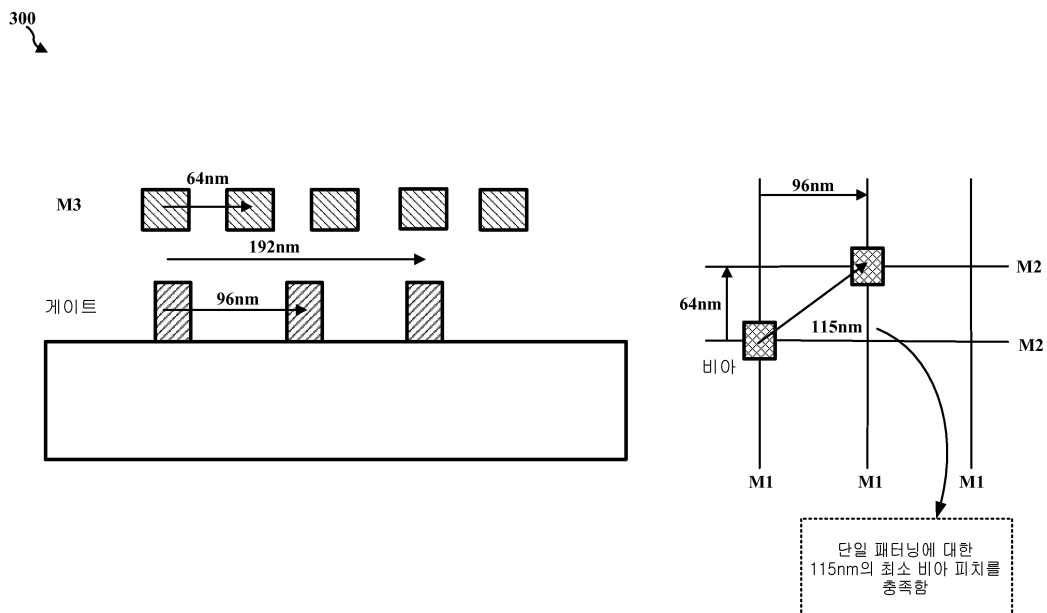
100
↙

	<u>28nm</u>	<u>20/16/14nm</u>
게이트	g_1 (예를 들어, 130nm)	g_2 (예를 들어, 90nm(70%))
M1	$m1_1$ (예를 들어, 90nm)	$m1_2$ (예를 들어, 64nm(70%))
Ma	ma_1 (예를 들어, 90nm)	ma_2 (예를 들어, 64nm(70%))
Mb		mb (예를 들어, 80nm)
비아	$v1$ (예를 들어, 130nm)	$v2$ (예를 들어, 115nm(88%))

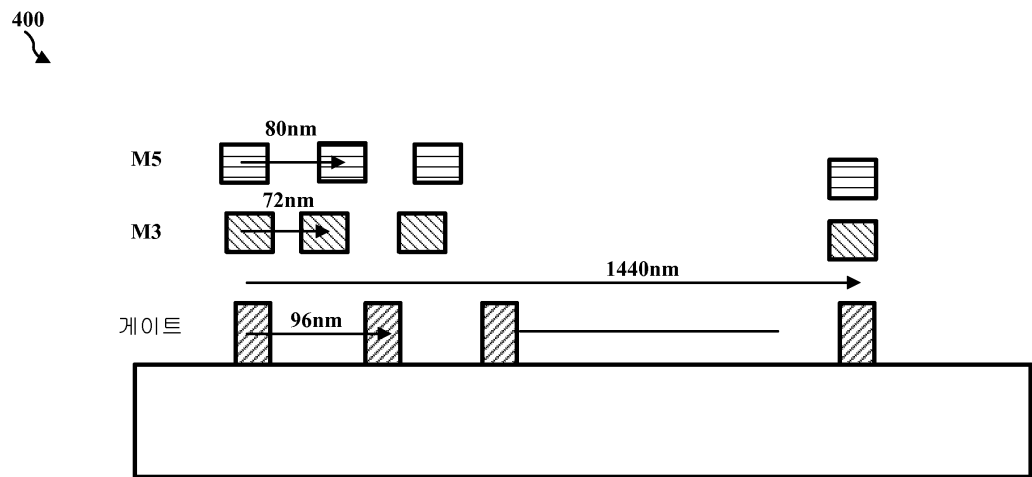
도면2



도면3



도면4



도면5

