

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 26 日 (26.03.2020)



(10) 国际公布号
WO 2020/056916 A1

(51) 国际专利分类号:
H01L 21/34 (2006.01)

(21) 国际申请号: PCT/CN2018/117402

(22) 国际申请日: 2018 年 11 月 26 日 (26.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811109278.7 2018 年 9 月 21 日 (21.09.2018) CN

(71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 李金明 (LI, Jinming); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: MANUFACTURING METHOD OF TFT

(54) 发明名称: 一种 TFT 的制备方法



图 1

S101 Provide a substrate base
S102 Deposit a buffer layer at the substrate base
S103 Perform deposition to form a semiconductor layer at a surface of the buffer layer
S104 Sequentially perform a photolithography process and an etching process on the semiconductor layer to form a patterned semiconductor layer
S105 Form an insulation layer at a surface of the patterned semiconductor layer, form a gate layer at the insulation layer, and perform a conductorization process to form a gate pattern layer and an insulation pattern layer
S106 Perform annealing to dope the patterned semiconductor layer with F* generated in the conductorization process to form a stable patterned semiconductor layer
S107 Sequentially manufacture a gate pattern layer, an insulation pattern layer, an interlayer dielectric (ILD) layer, and a source/drain pattern layer

(57) Abstract: Disclosed in an embodiment of the present invention is a manufacturing method of a TFT. The method comprises: providing a substrate base; depositing a buffer layer at the substrate base; performing deposition to form a semiconductor layer at a surface of the buffer layer; processing the semiconductor layer to form a patterned semiconductor layer; forming an insulation layer at a surface of the patterned semiconductor layer; doping the patterned semiconductor layer with F* to form a stable patterned semiconductor layer; and sequentially manufacturing a gate pattern layer, an insulation pattern layer, an interlayer dielectric (ILD) layer,

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

and a source/drain pattern layer.

(57) 摘要: 本发明实施例公开了一种 TFT 的制备方法, 该方法包括提供一衬底; 在衬底之上沉积缓冲层; 在缓冲层表面沉积形成半导体层; 对半导体层进行处理形成图案化半导体层; 在图案化半导体层表面形成绝缘层; 将 F* 掺杂到图案化半导体层中, 形成稳定的图案化半导体层; 依次制得栅极图案层和绝缘图案层、层间介质 ILD 层和源漏图案层。

一种TFT的制备方法

技术领域

[0001] 本发明涉及半导体材料技术领域，具体涉及一种TFT的制备方法。

背景技术

[0002] 近年来，氧化物半导体材料在大尺寸平板显示方面已得到广泛的应用，特别是铟镓锌氧化物（InGaZnO₄，IGZO）因其低温制备工艺，低阈值电压、高迁移率及良好的大尺寸制备均匀性而广受人们的关注。非晶态氧化铟镓锌材料(Amorphous Indium Gallium Zinc Oxide, a-IGZO)薄膜晶体管（Thin Film Transistor, TFT）结构的稳定性和可靠性，特别是在负偏压热应力（NBTS）下的可靠性是当前研究的热点。且在a-IGZO TFT结构中，相对于底栅（Bottom Gate）TFT结构,顶栅（Top Gate）TFT结构可以减少寄生电容的存在，具有良好的可扩展性，因此在大尺寸平板显示应用方面具有明显的优势。

发明概述

技术问题

[0003] 目前顶栅TFT结构导体化处理是其关键，气体等离子处理虽有工艺简单，但稳定性较差，金属离子掺杂则存在氧化不均的问题。

问题的解决方案

技术解决方案

[0004] 本发明实施例提供一种TFT的制备方法，以解决目前TFT制备方法稳定性差，金属离子掺杂存在氧化不均的问题。

[0005] 为解决上述问题，第一方面，本发明提供一种TFT的制备方法，所述TFT的制备方法包括：

[0006] 提供一衬底；

[0007] 在所述衬底之上沉积缓冲层；

[0008] 在所述缓冲层表面沉积形成半导体层，所述半导体层由金属氧化物材料形成；

[0009] 依次利用黄光工艺和刻蚀工艺对所述半导体层进行处理形成图案化半导体层，

在刻蚀工艺中的导体化工艺处理时采用 NF_3 和特定气体的环境中进行，以利用 NF_3 产生 F^* ，所述特定气体为惰性气体或者 N_2 ；

[0010] 在所述图案化半导体层表面形成绝缘层，在所述绝缘层之上形成栅极层；

[0011] 通过退火处理将导体化工艺产生的 F^* 掺杂到图案化半导体层中，形成稳定的图案化半导体层；

[0012] 依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层；

[0013] 其中，所述依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层，包括：

[0014] 利用导体化工艺制得栅极图案层和绝缘图案层；

[0015] 沉积形成ILD层；

[0016] 在ILD层内制得源漏图案层；

[0017] 所述在所述衬底之上沉积缓冲层，包括：

[0018] 采用化学气相沉积CVD工艺在所述衬底之上沉积缓冲层，材料为 SiO_x ，沉积厚度2000~5500埃。

[0019] 在一些实施例中，所述沉积形成ILD层包括：

[0020] 采用等离子增强化学气相沉积工艺沉积层间介质ILD层，并在所述图案化半导体层的两侧形成掺杂区，所述ILD层覆盖所述缓冲层、所述图案化半导体层、所述栅极图案层和所述绝缘图案层。

[0021] 在一些实施例中，所述在ILD层内制得源漏图案层，包括：

[0022] 对所述ILD层进行挖空；

[0023] 在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层。

[0024] 在一些实施例中，对所述ILD层进行挖空，包括：

[0025] 利用黄光工艺和干湿刻蚀工艺对ILD层进行挖空。

[0026] 在一些实施例中，所述在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层，包括：

[0027] 通过PVD沉积形成在在所述ILD层的挖空区域形成源漏层，厚度为400~1500埃

，再依次利用黄光工艺和刻蚀工艺对所述源漏层进行处理制得具有源漏图案层。

[0028] 在一些实施例中，所述在所述缓冲层表面沉积形成半导体层，包括：

[0029] 采用物理气相沉积PVD工艺在所述缓冲层表面沉积形成300~1000埃厚度的半导体层，在沉积后进行退火处理，退火温度为150~450°C。

[0030] 在一些实施例中，所述在所述图案化半导体层表面形成绝缘层，包括：

[0031] 通过等离子增强化学气相沉积工艺在所述图案化半导体层表面沉积形成绝缘层，所述绝缘层为SiO_x，或者SiN_x和SiO_x的复合层，所述绝缘层沉积厚度为1500~4000埃。

[0032] 第二方面，本发明提供一种TFT的制备方法，所述TFT的制备方法包括：

[0033] 提供一衬底；

[0034] 在所述衬底之上沉积缓冲层；

[0035] 在所述缓冲层表面沉积形成半导体层，所述半导体层由金属氧化物材料形成；

[0036] 依次利用黄光工艺和刻蚀工艺对所述半导体层进行处理形成图案化半导体层，在刻蚀工艺中的导体化工艺处理时采用NF₃和特定气体的环境中进行，以利用NF₃产生F*，所述特定气体为惰性气体或者N₂；

[0037] 在所述图案化半导体层表面形成绝缘层，在所述绝缘层之上形成栅极层；

[0038] 通过退火处理将导体化工艺产生的F*掺杂到图案化半导体层中，形成稳定的图案化半导体层；

[0039] 依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层。

[0040] 在一些实施例中，所述依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层，包括：

[0041] 利用导体化工艺制得栅极图案层和绝缘图案层；

[0042] 沉积形成ILD层；

[0043] 在ILD层内制得源漏图案层。

[0044] 在一些实施例中，所述沉积形成ILD层包括：

[0045] 采用等离子增强化学气相沉积工艺沉积层间介质ILD层，并在所述图案化半导

体层的两侧形成掺杂区，所述ILD层覆盖所述缓冲层、所述图案化半导体层、所述栅极图案层和所述绝缘图案层。

[0046] 在一些实施例中，所述在ILD层内制得源漏图案层，包括：

[0047] 对所述ILD层进行挖空；

[0048] 在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层。

[0049] 在一些实施例中，对所述ILD层进行挖空，包括：

[0050] 利用黄光工艺和干湿刻蚀工艺对ILD层进行挖空。

[0051] 在一些实施例中，所述在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层，包括：

[0052] 通过PVD沉积形成在在所述ILD层的挖空区域形成源漏层，厚度为400~1500埃，再依次利用黄光工艺和刻蚀工艺对所述源漏层进行处理制得具有源漏图案层。

[0053] 在一些实施例中，所述在所述衬底之上沉积缓冲层，包括：

[0054] 采用化学气相沉积CVD工艺在所述衬底之上沉积缓冲层，材料为SiO_x，沉积厚度2000~5500埃。

[0055] 在一些实施例中，所述在所述缓冲层表面沉积形成半导体层，包括：

[0056] 采用物理气相沉积PVD工艺在所述缓冲层表面沉积形成300~1000埃厚度的半导体层，在沉积后进行退火处理，退火温度为150~450°C。

[0057] 在一些实施例中，所述在所述图案化半导体层表面形成绝缘层，包括：

[0058] 通过等离子增强化学气相沉积工艺在所述图案化半导体层表面沉积形成绝缘层，所述绝缘层为SiO_x，或者SiN_x和SiO_x的复合层，所述绝缘层沉积厚度为1500~4000埃。

[0059] 在一些实施例中，所述在所述绝缘层之上形成栅极层，包括：

[0060] 采用PVD工艺在所述绝缘层之上沉积形成栅极层，厚度为400~1500埃。

[0061] 在一些实施例中，所述导体化工艺包括黄光工艺和刻蚀工艺，所述利用导体化工艺制得栅极图案层和绝缘图案层，包括：

[0062] 依次利用黄光工艺和刻蚀工艺对所述绝缘层和所述栅极层进行处理，制得栅极

图案层和绝缘图案层，所述刻蚀工艺中的导体化工艺在 NF_3 和所述特定气体的环境中进行，所述特定气体为惰性气体或者 N_2 。

[0063] 在一些实施例中，所述ILD层为 SiO_x ，或者 SiN_x 和 SiO_x 的复合层，所述ILD层沉积厚度为1500~4000埃。

[0064] 在一些实施例中，所述通过退火处理将导体化工艺产生的 F^* 掺杂到图案化半导体层中的退火温度为150~450℃。

[0065] 在一些实施例中，栅极层材料采用AL、MO、CU或TI。

发明的有益效果

有益效果

[0066] 本发明实施例方法采用提供一衬底；在衬底之上沉积缓冲层；在缓冲层表面沉积形成半导体层，半导体层由金属氧化物材料形成；依次利用黄光工艺和刻蚀工艺对半导体层进行处理形成图案化半导体层，在刻蚀工艺中的导体化工艺处理时采用 NF_3 和特定气体的环境中进行，以利用 NF_3 产生 F^* ；在图案化半导体层表面形成绝缘层，在绝缘层之上形成栅极层；通过退火处理将导体化工艺产生的 F^* 掺杂到图案化半导体层中，形成稳定的图案化半导体层；依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层。本发明实施例中利用 F^* 与金属氧化物结合较稳定的原理，在刻蚀工艺的导体化处理时采用 NF_3 和特定气体进行，其中 NF_3 用于对金属氧化物导体化过程中掺杂 F^* ，而特定气体用于保证导体化过程中的粗糙度，降低绝缘层的厚度，形成稳定结构，本发明实施例中制备的TFT中金属离子掺杂氧化均匀，结构稳定，性能稳定。

对附图的简要说明

附图说明

[0067] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0068] 图1是本发明实施例提供一种TFT的制备方法的一个实施例流程示意图；

[0069] 图2是本发明实施例中在衬底之上沉积缓冲层，在缓冲层表面沉积形成半导体

层的结构示意图；

[0070] 图3是本发明实施例中在图案化半导体层表面形成绝缘层，在绝缘层之上形成栅极层后的结构示意图；

[0071] 图4是本发明实施例中步骤S107的一个实施例示意图；

[0072] 图5是本发明实施例中在采用等离子增强化学气相沉积工艺沉积层间介质ILD层，并在图案化半导体层的两侧形成掺杂区后的结构示意图；

[0073] 图6是本发明实施例中对ILD层进行挖空后的结构示意图；

[0074] 图7是本发明实施例中在ILD层的挖空区域沉积形成源漏层后的结构示意图。

发明实施例

本发明的实施方式

[0075] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0076] 薄膜晶体管（Thin-film transistor, TFT）是场效应晶体管的种类之一，大略的制作方式是在基板上沉积各种不同的薄膜，如半导体主动层、介电层和金属电极层。薄膜晶体管对显示器件的工作性能具有十分重要的作用。

[0077] 如图1所示，为本发明实施例中TFT的制备方法的一个实施例示意图，该方法包括：

[0078] S101、提供一衬底；

[0079] 晶体管和集成电路都是在半导体片子的表面上来制作的，这里的半导体片就是衬底，半导体衬底不仅起着电气性能的作用，而且也起着机械支撑的作用。举例而言，衬底为玻璃基板。

[0080] S102、在衬底之上沉积缓冲层。

[0081] 具体的，如图2所示，在衬底之上沉积缓冲层，可以包括：

[0082] 采用化学气相沉积CVD工艺在衬底之上沉积缓冲层，材料为 SiO_x ，沉积厚度2000~5500埃。

[0083] 其中，CVD是Chemical Vapor Deposition的简称，是指高温下的气相反应，例

如，金属卤化物、有机金属、碳氢化合物等的热分解，氢还原或使它的混合气体在高温下发生化学反应以析出金属、氧化物、碳化物等无机材料的方法。

[0084] S103、在缓冲层表面沉积形成半导体层。

[0085] 其中，半导体层由金属氧化物材料形成。在一个实际应用场景中，半导体层为IGZO，可以理解的是，在其他实施例中，半导体层的材料也可以是其他金属氧化物材料，如(SnO₂)、氧化钛(TiO₂)和氧化锌(ZnO)等。

[0086] 具体的，在缓冲层表面沉积形成半导体层，可以包括：

[0087] 采用物理气相沉积PVD工艺在缓冲层表面沉积形成300~1000埃厚度的半导体层，在沉积后进行退火处理，退火温度为150~450℃。

[0088] 其中，物理气相沉积(Physical Vapor Deposition, PVD)指利用物理过程实现物质转移，将原子或分子由源转移到基材表面上的过程。它的作用是可以使某些有特殊性能（强度高、耐磨性、散热性、耐腐蚀性等）的微粒喷涂在性能较低的母体上，使得母体具有更好的性能。

[0089] S104、依次利用黄光工艺和刻蚀工艺对半导体层进行处理形成图案化半导体层。

[0090] 具体的，在刻蚀工艺中的导体化工艺处理时采用NF₃和特定气体的环境中进行，以利用NF₃产生F*。其中，该特定气体为与NF₃不发生反应的气体，例如，该特定气体为惰性气体或者N₂。本发明实施例中F*指的是F离子（氟离子）。

[0091] 本发明实施例中，在刻蚀工艺的导体化处理时采用NF₃和特定气体进行，其中NF₃用于对金属氧化物导体化过程中掺杂F*，而特定气体用于保证导体化过程中的粗糙度，降低绝缘层的厚度，形成稳定结构，本发明实施例中制备的TFT中金属离子掺杂氧化均匀，结构稳定。

[0092] 具体的，本发明实施例中的原理如下：

[0093] 即NF₃中F与金属氧化物中的O_o结合，形成F_o和电子，使得制备的TFT中金属离子掺杂氧化均匀，结构稳定。

[0094] 优选的，该惰性气体为He气。该导体化工艺不仅采用NF₃和特定气体进行，而且通过调整刻蚀工艺，保证GI层可以调整至0.7um,左右，优选NF₃气体和N₂，避免副产物对IGZO薄膜的影响。

[0095] S105、在图案化半导体层表面形成绝缘层，在绝缘层之上形成栅极层。

[0096] 如图3所示，为在图案化半导体层表面形成绝缘层，在绝缘层之上形成栅极层后的结构示意图，在图案化半导体层表面形成绝缘层，在绝缘层之上形成栅极层（gate）。

[0097] 其中，绝缘层指的是GI层，GI层通过一个LTPS中的工艺，叫GI Deposition也就是GI层沉积形成。GI是TFT中，栅极金属和半导体Si之间的绝缘层，通常为SiNx/SiOx称之为Gate Insulator 栅极绝缘层。

[0098] 进一步的，在图案化半导体层表面形成绝缘层，可以包括：

[0099] 通过等离子增强化学气相沉积工艺在所述图案化半导体层表面沉积形成绝缘层，所述绝缘层为SiOx，或者SiNx和SiOx的复合层，该绝缘层沉积厚度为1500~4000埃。

[0100] 进一步的，在绝缘层之上形成栅极层，可以包括：

[0101] 采用PVD工艺在绝缘层之上沉积形成栅极层，厚度为400~1500埃。其中，栅极层材料可以采用AL、MO、CU、TI等金属，本发明实施例中不作具体限定。

[0102] S106、通过退火处理将导体化工艺产生的F*掺杂到图案化半导体层中，形成稳定的图案化半导体层。

[0103] 具体的，该通过退火处理将导体化工艺产生的F*掺杂到图案化半导体层中的退火温度为150~450℃。

[0104] S107、依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层。

[0105] 如图4所示，进一步的，所述步骤S107，具体可以包括：

[0106] S1071、利用导体化工艺制得栅极图案层和绝缘图案层。

[0107] 进一步的，该导体化工艺包括黄光工艺和刻蚀工艺，利用导体化工艺制得栅极图案层和绝缘图案层，可以包括：

[0108] 依次利用黄光工艺和刻蚀工艺对绝缘层和所述栅极层进行处理，制得

[0109] 栅极图案层和绝缘图案层，该刻蚀工艺中的导体化工艺在NF₃和特定气体的环境中进行，该导体化工艺具体可以参照步骤S104中的过程，此处不再赘述。

[0110] 如图5所示，为采用等离子增强化学气相沉积工艺沉积层间介质ILD层，并在图案化半导体层的两侧形成掺杂区后的结构示意图，具体的，采用等离子增强化

学气相沉积工艺沉积层间介质ILD层，并在图案化半导体层的两侧形成掺杂区，其中，ILD叫中间绝缘层，也叫层间介质，层间介质主要提供器件内部的导体区、金属之间的电绝缘以及与周围环境的隔离防护。该ILD层覆盖缓冲层、图案化半导体层、栅极图案层和所述绝缘图案层。进一步的，所述ILD层为SiO_x，或者SiN_x和SiO_x的复合层，所述ILD层沉积厚度为1500~4000埃。

[0111] 本发明实施例中，GI层的存在，使得掺杂区与半导体层之间有一个掺杂过渡区，因而形成一种轻掺杂漏结构即LDD（Lightly Doped Drain）结构，是在沟道中靠近漏极的附近设置一个低掺杂的漏区，让该低掺杂的漏区也承受部分电压，这种结构可防止热电子退化效应。

[0112] S1072、沉积形成ILD层。

[0113] 进一步的，所述沉积形成ILD层包括：

[0114] 采用等离子增强化学气相沉积工艺沉积层间介质ILD层，并在所述图案化半导体层的两侧形成掺杂区，所述ILD层覆盖所述缓冲层、所述图案化半导体层、所述栅极图案层和所述绝缘图案层。

[0115] S1073、在ILD层内制得源漏图案层。

[0116] 进一步的，所述在ILD层内制得源漏图案层，包括：

[0117] 对所述ILD层进行挖空；

[0118] 在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层。

[0119] 如图6所示，为对ILD层进行挖空后的结构示意图，具体的，对ILD层进行挖空，可以包括：

[0120] 利用黄光工艺和干湿刻蚀工艺对ILD层进行挖空。挖空后，挖空区域以供后续形成源漏层。

[0121] 如图7所示，为在ILD层的挖空区域沉积形成源漏层后的结构示意图，进一步的，在ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层，可以包括：

[0122] 通过PVD沉积形成在在ILD层的挖空区域形成源漏层，厚度为400~1500埃，再依次利用黄光工艺和刻蚀工艺对源漏层进行处理制得具有源漏图案层。

[0123] 其中，源漏层材料可以采用AL、MO、CU、TI等金属，本发明实施例中不作具体限定。

[0124] 本发明实施例中TFT制备方法后续还可以采用其他进一步的制程，本发明实施例中不作具体限定。

[0125] 本发明实施例方法采用提供一衬底；在衬底之上沉积缓冲层；在缓冲层表面沉积形成半导体层，半导体层由金属氧化物材料形成；依次利用黄光工艺和刻蚀工艺对半导体层进行处理形成图案化半导体层，在刻蚀工艺中的导体化工艺处理时采用 NF_3 和特定气体的环境中进行，以利用 NF_3 产生 F^* ；在图案化半导体层表面形成绝缘层，在绝缘层之上形成栅极层；通过退火处理将导体化工艺产生的 F^* 掺杂到图案化半导体层中，形成稳定的图案化半导体层；依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层。本发明实施例中利用 F^* 与金属氧化物结合较稳定的原理，在刻蚀工艺的导体化处理时采用 NF_3 和特定气体进行，其中 NF_3 用于对金属氧化物导体化过程中掺杂 F^* ，而特定气体用于保证导体化过程中的粗糙度，降低绝缘层的厚度，形成稳定结构，本发明实施例中制备的TFT中金属离子掺杂氧化均匀，结构稳定，性能稳定。

[0126] 以上对本发明实施例所提供的一种TFT的制备方法进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的方法及其核心思想；同时，对于本领域的技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。

权利要求书

- [权利要求 1] 一种TFT的制备方法，其中，所述方法包括：
- 提供一衬底；
- 在所述衬底之上沉积缓冲层；
- 在所述缓冲层表面沉积形成半导体层，所述半导体层由金属氧化物材料形成；
- 依次利用黄光工艺和刻蚀工艺对所述半导体层进行处理形成图案化半导体层，在刻蚀工艺中的导体化工艺处理时采用 NF_3 和特定气体的环境中进行，以利用 NF_3 产生 F^* ，所述特定气体为惰性气体或者 N_2 ；
- 在所述图案化半导体层表面形成绝缘层，在所述绝缘层之上形成栅极层；
- 通过退火处理将导体化工艺产生的 F^* 掺杂到图案化半导体层中，形成稳定的图案化半导体层；
- 依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层；
- 其中，所述依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层，包括：
- 利用导体化工艺制得栅极图案层和绝缘图案层；
- 沉积形成ILD层；
- 在ILD层内制得源漏图案层；
- 所述在所述衬底之上沉积缓冲层，包括：
- 采用化学气相沉积CVD工艺在所述衬底之上沉积缓冲层，材料为 SiO_x ，沉积厚度2000~5500埃。
- [权利要求 2] 根据权利要求1所述的TFT的制备方法，其中，所述沉积形成ILD层包括：
- 采用等离子增强化学气相沉积工艺沉积层间介质ILD层，并在所述图案化半导体层的两侧形成掺杂区，所述ILD层覆盖所述缓冲层、所述图案化半导体层、所述栅极图案层和所述绝缘图案层。
- [权利要求 3] 根据权利要求2所述的TFT的制备方法，其中，所述在ILD层内制得源

漏图案层，包括：

对所述ILD层进行挖空；

在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层。

[权利要求 4] 根据权利要求3所述的TFT的制备方法，其中，对所述ILD层进行挖空，包括：

利用黄光工艺和干湿刻蚀工艺对ILD层进行挖空。

[权利要求 5] 根据权利要求3所述的TFT的制备方法，其中，所述在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层，包括：

通过PVD沉积形成在在所述ILD层的挖空区域形成源漏层，厚度为400~1500埃，再依次利用黄光工艺和刻蚀工艺对所述源漏层进行处理制得具有源漏图案层。

[权利要求 6] 根据权利要求1所述的TFT的制备方法，其中，所述在所述缓冲层表面沉积形成半导体层，包括：

采用物理气相沉积PVD工艺在所述缓冲层表面沉积形成300~1000埃厚度的半导体层，在沉积后进行退火处理，退火温度为150~450℃。

[权利要求 7] 根据权利要求1所述的TFT的制备方法，其中，所述在所述图案化半导体层表面形成绝缘层，包括：

通过等离子增强化学气相沉积工艺在所述图案化半导体层表面沉积形成绝缘层，所述绝缘层为SiO_x，或者SiN_x和SiO_x的复合层，所述绝缘层沉积厚度为1500~4000埃。

[权利要求 8] 一种TFT的制备方法，其中，所述方法包括：

提供一衬底；

在所述衬底之上沉积缓冲层；

在所述缓冲层表面沉积形成半导体层，所述半导体层由金属氧化物材料形成；

依次利用黄光工艺和刻蚀工艺对所述半导体层进行处理形成图案化半

导体层，在刻蚀工艺中的导体化工艺处理时采用 NF_3 和特定气体的环境中进行，以利用 NF_3 产生 F^* ，所述特定气体为惰性气体或者 N_2 ；在所述图案化半导体层表面形成绝缘层，在所述绝缘层之上形成栅极层；

通过退火处理将导体化工艺产生的 F^* 掺杂到图案化半导体层中，形成稳定的图案化半导体层；

依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层。

[权利要求 9] 根据权利要求8所述的TFT的制备方法，其中，所述依次制得栅极图案层和绝缘图案层、层间介质ILD层和源漏图案层，包括：

利用导体化工艺制得栅极图案层和绝缘图案层；

沉积形成ILD层；

在ILD层内制得源漏图案层。

[权利要求 10] 根据权利要求9所述的TFT的制备方法，其中，所述沉积形成ILD层包括：

采用等离子增强化学气相沉积工艺沉积层间介质ILD层，并在所述图案化半导体层的两侧形成掺杂区，所述ILD层覆盖所述缓冲层、所述图案化半导体层、所述栅极图案层和所述绝缘图案层。

[权利要求 11] 根据权利要求9所述的TFT的制备方法，其中，所述在ILD层内制得源漏图案层，包括：

对所述ILD层进行挖空；

在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层。

[权利要求 12] 根据权利要求11所述的TFT的制备方法，其中，对所述ILD层进行挖空，包括：

利用黄光工艺和干湿刻蚀工艺对ILD层进行挖空。

[权利要求 13] 根据权利要求11所述的TFT的制备方法，其中，所述在所述ILD层的挖空区域沉积形成源漏层，并利用黄光工艺和刻蚀工艺制得源漏图案层，包括：

通过PVD沉积形成在在所述ILD层的挖空区域形成源漏层，厚度为400~1500埃，再依次利用黄光工艺和刻蚀工艺对所述源漏层进行处理制得具有源漏图案层。

[权利要求 14] 根据权利要求8所述的TFT的制备方法，其中，所述在所述衬底之上沉积缓冲层，包括：
采用化学气相沉积CVD工艺在所述衬底之上沉积缓冲层，材料为SiO_x，沉积厚度2000~5500埃。

[权利要求 15] 根据权利要求8所述的TFT的制备方法，其中，所述在所述缓冲层表面沉积形成半导体层，包括：
采用物理气相沉积PVD工艺在所述缓冲层表面沉积形成300~1000埃厚度的半导体层，在沉积后进行退火处理，退火温度为150~450℃。

[权利要求 16] 根据权利要求8所述的TFT的制备方法，其中，所述在所述图案化半导体层表面形成绝缘层，包括：
通过等离子增强化学气相沉积工艺在所述图案化半导体层表面沉积形成绝缘层，所述绝缘层为SiO_x，或者SiN_x和SiO_x的复合层，所述绝缘层沉积厚度为1500~4000埃。

[权利要求 17] 根据权利要求16所述的TFT的制备方法，其中，所述在所述绝缘层之上形成栅极层，包括：
采用PVD工艺在所述绝缘层之上沉积形成栅极层，厚度为400~1500埃。

[权利要求 18] 根据权利要求17所述的TFT的制备方法，其中，所述利用导体化工艺制得栅极图案层和绝缘图案层，包括：
依次利用黄光工艺和刻蚀工艺对所述绝缘层和所述栅极层进行处理，制得
栅极图案层和绝缘图案层，所述刻蚀工艺中的导体化工艺在NF₃和所述特定气体的环境中进行。

[权利要求 19] 根据权利要求8所述的TFT的制备方法，其中，所述通过退火处理将导体化工艺产生的F*掺杂到图案化半导体层中的退火温度为150~450

°C。

[权利要求 20] 根据权利要求8所述的TFT的制备方法，其中，栅极层材料采用AL、MO、CU或TI。



图 1



图 2



图 3

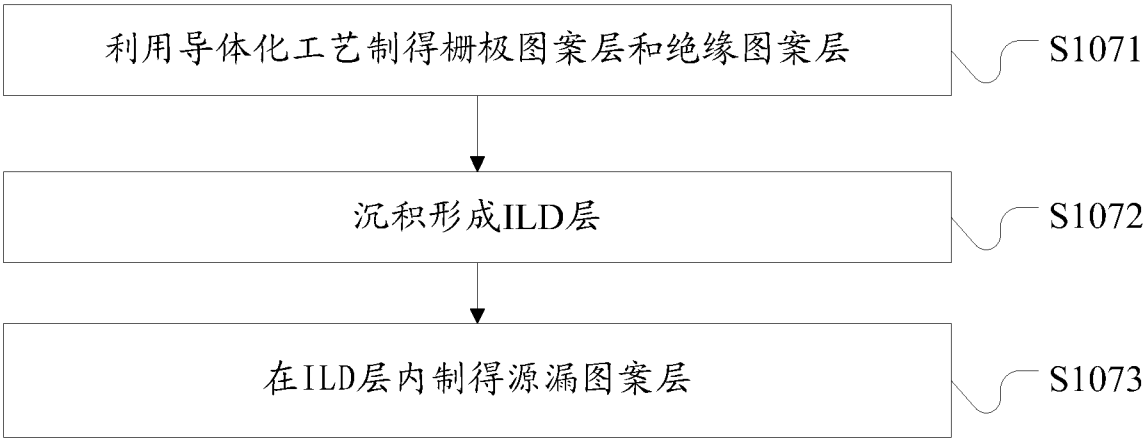


图 4

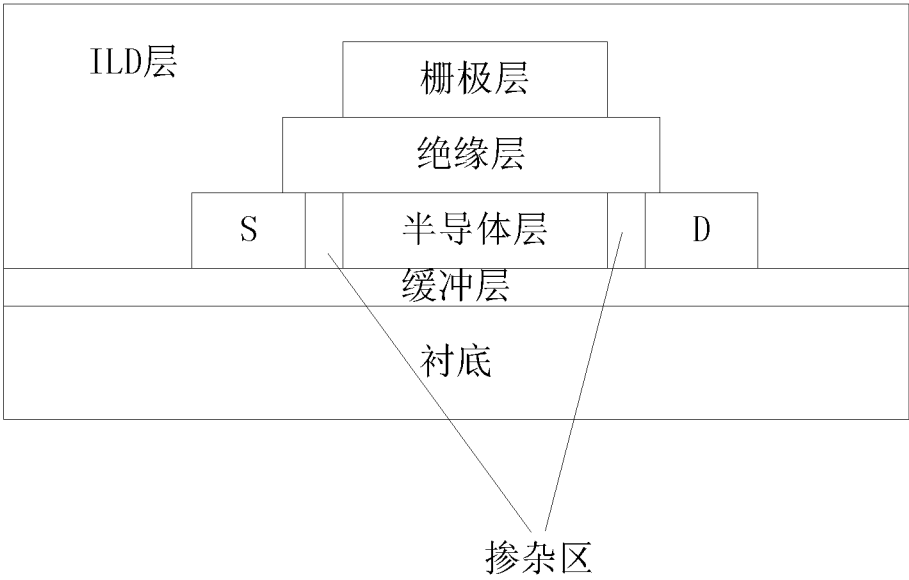


图 5

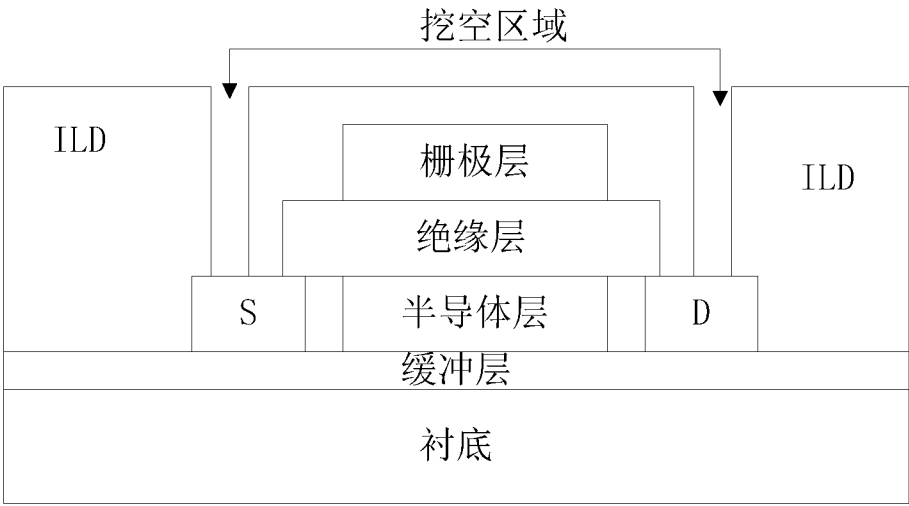


图 6

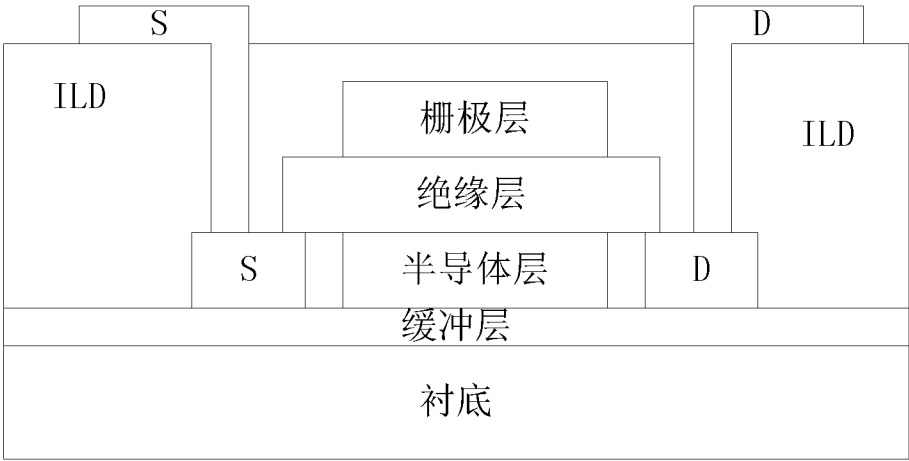


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/117402

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, SIPOABS, DWPI, IEEE: 薄膜晶体管, NF3, TFT, 图案, 掺杂, 半导体层, 源, 漏, 原子, 退火, thin, film, transistor, layer, source, drain, ild, doped, pattern, semiconductor, aneal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103456793 A (SAMSUNG DISPLAY CO., LTD.) 18 December 2013 (2013-12-18) description, paragraphs 81-178	1-20
Y	CN 105428418 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 23 March 2016 (2016-03-23) description, paragraphs 51-101	1-20
A	US 2004112537 A1 (YAMAZAKI ET AL.) 17 June 2004 (2004-06-17) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

15 March 2019

Date of mailing of the international search report

14 June 2019

Name and mailing address of the ISA/CN

**National Intellectual Property Administration, PRC (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/117402

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103456793	A	18 December 2013	US	9093540	B2	28 July 2015
				KR	20130136063	A	12 December 2013
				JP	6184122	B2	23 August 2017
				JP	2013251526	A	12 December 2013
				US	2013320328	A1	05 December 2013
				CN	103456793	B	22 June 2018
				KR	2019043127	A	25 April 2019
CN	105428418	A	23 March 2016	EP	1998373	A2	03 December 2008
				CN	101887858	A	17 November 2010
				JP	5640045	B2	10 December 2014
				JP	2014075592	A	24 April 2014
				JP	2012248862	A	13 December 2012
				CN	103560085	A	05 February 2014
				JP	2016131247	A	21 July 2016
				JP	2012156521	A	16 August 2012
				CN	101887856	B	26 March 2014
				JP	5031109	B2	19 September 2012
				JP	2016195277	A	17 November 2016
				CN	101887919	B	24 April 2013
				JP	6314179	B2	18 April 2018
				EP	1998374	A2	03 December 2008
				EP	1998373	A3	31 October 2012
				JP	2009021612	A	29 January 2009
				CN	101887856	A	17 November 2010
				JP	5640032	B2	10 December 2014
				EP	1998374	A3	18 January 2012
				JP	2015111680	A	18 June 2015
				EP	1998375	A2	03 December 2008
				CN	101887919	A	17 November 2010
				CN	101335275	B	08 February 2012
				JP	2014082503	A	08 May 2014
				JP	5723952	B2	27 May 2015
				CN	101335293	A	31 December 2008
				EP	1770788	A3	21 September 2011
				JP	2011119751	A	16 June 2011
				JP	2013191852	A	26 September 2013
				CN	101887704	B	06 August 2014
				EP	1998375	A3	18 January 2012
				CN	101335275	A	31 December 2008
				JP	2010267975	A	25 November 2010
				EP	1770788	A2	04 April 2007
				JP	5674905	B2	25 February 2015
				JP	5848311	B2	27 January 2016
				CN	101887704	A	17 November 2010
				JP	2014075591	A	24 April 2014
				JP	2012248863	A	13 December 2012
				CN	101552210	A	07 October 2009
				US	2007072439	A1	29 March 2007
				CN	101651105	A	17 February 2010
				JP	5478676	B2	23 April 2014

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/117402

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
		JP 2017201717 A	09 November 2017
		CN 101552210 B	24 April 2013
		JP 5448280 B2	19 March 2014
		JP 2017073563 A	13 April 2017
		EP 1995787 A2	26 November 2008
		US 7674650 B2	09 March 2010
		CN 1941299 B	04 August 2010
		CN 101887918 A	17 November 2010
		JP 2009260378 A	05 November 2009
		CN 105428418 A	23 March 2016
		JP 5064747 B2	31 October 2012
		CN 101335274 B	27 March 2013
		JP 5020190 B2	05 September 2012
		JP 5116804 B2	09 January 2013
		CN 101887918 B	25 December 2013
		CN 102593187 B	20 May 2015
		JP 5978285 B2	24 August 2016
		JP 6360141 B2	18 July 2018
		CN 101335212 A	31 December 2008
		CN 101335274 A	31 December 2008
		CN 101335276 B	01 September 2010
		CN 101887857 A	17 November 2010
		CN 102593187 A	18 July 2012
		JP 2012248861 A	13 December 2012
		CN 101887857 B	27 March 2013
		JP 2007123861 A	17 May 2007
		CN 101335276 A	31 December 2008
		CN 101335304 B	18 May 2011
		CN 101335304 A	31 December 2008
		CN 101651105 B	23 November 2011
		EP P1995787 A3	18 January 2012
		CN 1941299 A	04 April 2007
US 2004112537 A1	17 June 2004	US 7064089 B2	20 June 2006
		JP 2004207708 A	22 July 2004
		JP 4789412 B2	12 October 2011

国际检索报告

国际申请号

PCT/CN2018/117402

A. 主题的分类

H01L 21/34(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, SIPOABS, DWPI, IEEE: 薄膜晶体管, NF3, TFT, 图案, 掺杂, 半导体层, 源, 漏, 原子, 退火, thin, film, transistor, layer, source, drain, ild, doped, pattern, semiconductor, aneal

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 103456793 A (三星显示有限公司) 2013年 12月 18日 (2013 - 12 - 18) 说明书第81-178段	1-20
Y	CN 105428418 A (株式会社半导体能源研究所) 2016年 3月 23日 (2016 - 03 - 23) 说明书51段-101段	1-20
A	US 2004112537 A1 (YAMAZAKI 等) 2004年 6月 17日 (2004 - 06 - 17) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 3月 15日

国际检索报告邮寄日期

2019年 6月 14日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

刘佳秋

传真号 (86-10)62019451

电话号码 62411895

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/117402

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103456793	A	2013年 12月 18日	US	9093540	B2	2015年 7月 28日
				KR	20130136063	A	2013年 12月 12日
				JP	6184122	B2	2017年 8月 23日
				JP	2013251526	A	2013年 12月 12日
				US	2013320328	A1	2013年 12月 5日
				CN	103456793	B	2018年 6月 22日
				KR	2019043127	A	2019年 4月 25日
CN	105428418	A	2016年 3月 23日	EP	1998373	A2	2008年 12月 3日
				CN	101887858	A	2010年 11月 17日
				JP	5640045	B2	2014年 12月 10日
				JP	2014075592	A	2014年 4月 24日
				JP	2012248862	A	2012年 12月 13日
				CN	103560085	A	2014年 2月 5日
				JP	2016131247	A	2016年 7月 21日
				JP	2012156521	A	2012年 8月 16日
				CN	101887856	B	2014年 3月 26日
				JP	5031109	B2	2012年 9月 19日
				JP	2016195277	A	2016年 11月 17日
				CN	101887919	B	2013年 4月 24日
				JP	6314179	B2	2018年 4月 18日
				EP	1998374	A2	2008年 12月 3日
				EP	1998373	A3	2012年 10月 31日
				JP	2009021612	A	2009年 1月 29日
				CN	101887856	A	2010年 11月 17日
				JP	5640032	B2	2014年 12月 10日
				EP	1998374	A3	2012年 1月 18日
				JP	2015111680	A	2015年 6月 18日
				EP	1998375	A2	2008年 12月 3日
				CN	101887919	A	2010年 11月 17日
				CN	101335275	B	2012年 2月 8日
				JP	2014082503	A	2014年 5月 8日
				JP	5723952	B2	2015年 5月 27日
				CN	101335293	A	2008年 12月 31日
				EP	1770788	A3	2011年 9月 21日
				JP	2011119751	A	2011年 6月 16日
				JP	2013191852	A	2013年 9月 26日
				CN	101887704	B	2014年 8月 6日
				EP	1998375	A3	2012年 1月 18日
				CN	101335275	A	2008年 12月 31日
				JP	2010267975	A	2010年 11月 25日
				EP	1770788	A2	2007年 4月 4日
				JP	5674905	B2	2015年 2月 25日
				JP	5848311	B2	2016年 1月 27日
				CN	101887704	A	2010年 11月 17日
				JP	2014075591	A	2014年 4月 24日
				JP	2012248863	A	2012年 12月 13日
				CN	101552210	A	2009年 10月 7日
				US	2007072439	A1	2007年 3月 29日
				CN	101651105	A	2010年 2月 17日
				JP	5478676	B2	2014年 4月 23日

表 PCT/ISA/210 (同族专利附件) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/117402

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
		JP 2017201717 A	2017年 11月 9日
		CN 101552210 B	2013年 4月 24日
		JP 5448280 B2	2014年 3月 19日
		JP 2017073563 A	2017年 4月 13日
		EP 1995787 A2	2008年 11月 26日
		US 7674650 B2	2010年 3月 9日
		CN 1941299 B	2010年 8月 4日
		CN 101887918 A	2010年 11月 17日
		JP 2009260378 A	2009年 11月 5日
		CN 105428418 A	2016年 3月 23日
		JP 5064747 B2	2012年 10月 31日
		CN 101335274 B	2013年 3月 27日
		JP 5020190 B2	2012年 9月 5日
		JP 5116804 B2	2013年 1月 9日
		CN 101887918 B	2013年 12月 25日
		CN 102593187 B	2015年 5月 20日
		JP 5978285 B2	2016年 8月 24日
		JP 6360141 B2	2018年 7月 18日
		CN 101335212 A	2008年 12月 31日
		CN 101335274 A	2008年 12月 31日
		CN 101335276 B	2010年 9月 1日
		CN 101887857 A	2010年 11月 17日
		CN 102593187 A	2012年 7月 18日
		JP 2012248861 A	2012年 12月 13日
		CN 101887857 B	2013年 3月 27日
		JP 2007123861 A	2007年 5月 17日
		CN 101335276 A	2008年 12月 31日
		CN 101335304 B	2011年 5月 18日
		CN 101335304 A	2008年 12月 31日
		CN 101651105 B	2011年 11月 23日
		EP P1995787 A3	2012年 1月 18日
		CN 1941299 A	2007年 4月 4日
US 2004112537 A1	2004年 6月 17日	US 7064089 B2	2006年 6月 20日
		JP 2004207708 A	2004年 7月 22日
		JP 4789412 B2	2011年 10月 12日

表 PCT/ISA/210 (同族专利附件) (2015年1月)