

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3956748号  
(P3956748)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月18日(2007.5.18)

(51) Int.C1.

F 1

<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/36</b>	
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/133</b>	<b>550</b>
<b>G02F</b>	<b>1/1343</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1343</b>	
<b>G02F</b>	<b>1/1365</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1365</b>	
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	<b>G09G</b>	<b>3/20</b>	<b>611A</b>

請求項の数 16 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2002-108533 (P2002-108533)  
 (22) 出願日 平成14年4月10日 (2002.4.10)  
 (65) 公開番号 特開2003-84734 (P2003-84734A)  
 (43) 公開日 平成15年3月19日 (2003.3.19)  
 審査請求日 平成17年2月25日 (2005.2.25)  
 (31) 優先権主張番号 特願2001-192775 (P2001-192775)  
 (32) 優先日 平成13年6月26日 (2001.6.26)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100095728  
 弁理士 上柳 雅善  
 (74) 代理人 100107261  
 弁理士 須澤 修  
 (72) 発明者 山崎 克則  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 濱本 穎広

最終頁に続く

(54) 【発明の名称】表示装置、その駆動回路、その駆動方法および電子機器

## (57) 【特許請求の範囲】

## 【請求項1】

走査線とデータ線との交差に対応して設けられた画素を駆動する表示装置の駆動回路であって、

前記走査線を1本ずつ選択して、当該選択した走査線に対して選択電圧を印加する一方、それ以外の走査線に対して非選択電圧を走査線に印加する走査線駆動回路であって、

前記走査線を複数本まとめてブロック化し、当該ブロック化されたブロックにおいて、前記選択電圧の極性を、前記データ線に印加されるオン電圧およびオフ電圧の中間値を基準として走査線の1本選択する毎に反転するとともに、

前記ブロックにあって最後に選択される走査線の選択電圧と当該ブロックの次のブロックにあって最初に選択される走査線の選択電圧との極性を同一とする走査線駆動回路と、

データ線に対し、

前記走査線が選択されて選択電圧が印加されたときに、当該走査線と当該データ線との交差に対応する画素にて表示すべき内容と当該選択電圧の極性とに応じてオン電圧またはオフ電圧を印加するデータ線駆動回路と

を具備することを特徴とする表示装置の駆動回路。

## 【請求項2】

前記ブロックを構成する走査線数と当該ブロックの次のブロックを構成する走査線数とが異なる

ことを特徴とする請求項1に記載の表示装置の駆動回路。

10

20

**【請求項 3】**

前記データ線駆動回路は、

前記ブロックにあって最初に選択された走査線に選択電圧が印加されたとき、または、前記ブロックにあって最後に選択された走査線に選択電圧が印加されたときの少なくとも一方において、

前記オン電圧または前記オフ電圧を補正する

ことを特徴とする請求項 1 に記載の表示装置の駆動回路。

**【請求項 4】**

前記走査線駆動回路は、

前記ブロックにあって最初に選択された走査線に選択電圧が印加されたとき、または、前記ブロックにあって最後に選択された走査線に選択電圧が印加されたときの少なくとも一方において、

当該選択電圧または当該選択電圧印加時間を補正する

ことを特徴とする請求項 1 に記載の表示装置の駆動回路。

**【請求項 5】**

前記走査線駆動回路は、

前記ブロックの境界が垂直走査期間毎に順次シフトするように、前記走査線のブロック化を実行する

ことを特徴とする請求項 1 に記載の表示装置の駆動回路。

**【請求項 6】**

前記走査線駆動回路は、

前記ブロックにあって最初または最後に選択される走査線に対して、前記選択電圧に替えて前記非選択電圧を印加する

ことを特徴とする請求項 5 に記載の表示装置の駆動回路。

**【請求項 7】**

前記データ線駆動回路は、

前記ブロックにあって最初または最後に選択される走査線に選択電圧が印加されたとき、前記オン電圧または前記オフ電圧を補正する

ことを特徴とする請求項 5 に記載の表示装置の駆動回路。

**【請求項 8】**

前記走査線駆動回路は、

前記ブロックにあって最初に選択された走査線に選択電圧が印加されたとき、または、前記ブロックにあって最後に選択された走査線に選択電圧が印加されたときの少なくとも一方において、

当該選択電圧または当該選択電圧印加時間を補正する

ことを特徴とする請求項 5 に記載の表示装置の駆動回路。

**【請求項 9】**

走査線とデータ線との交差に対応して設けられた画素を駆動する表示装置の駆動方法であって、

前記走査線を 1 本ずつ選択して、当該選択した走査線に対して選択電圧を印加する一方、それ以外の走査線に対して非選択電圧を走査線に印加し、かつ、

前記走査線を複数本まとめてブロック化し、当該ブロック化されたブロックにあっては、前記選択電圧の極性を、前記データ線に印加されるオン電圧およびオフ電圧の中間値を基準として走査線の 1 本選択する毎に反転するとともに、

前記ブロックにあって最後に選択される走査線の選択電圧と当該ブロックの次のブロックにあって最初に選択される走査線の選択電圧との極性を同一とし、

データ線に対し、

前記走査線が選択されて選択電圧が印加されたときに、当該走査線と当該データ線との交差に対応する画素にて表示すべき内容と当該選択電圧の極性とに応じてオン電圧またはオフ電圧を印加する

10

20

30

40

50

ことを特徴とする表示装置の駆動方法。

**【請求項 10】**

走査線とデータ線との交差に対応して設けられた画素を備える表示装置であって、前記走査線を1本ずつ選択して、当該選択した走査線に対して選択電圧を印加する一方、それ以外の走査線に対して非選択電圧を走査線に印加する走査線駆動回路であって、前記走査線を複数本まとめてブロック化し、当該ブロック化されたブロックにあっては、前記選択電圧の極性を、前記データ線に印加されるオン電圧およびオフ電圧の中間値を基準として走査線の1本選択する毎に反転するとともに、

前記ブロックにあって最後に選択される走査線の選択電圧と当該ブロックの次のブロックにあって最初に選択される走査線の選択電圧との極性を同一とする走査線駆動回路と、  
データ線に対し、

前記走査線が選択されて選択電圧が印加されたときに、当該走査線と当該データ線との交差に対応する画素にて表示すべき内容と当該選択電圧の極性とに応じてオン電圧またはオフ電圧を印加するデータ線駆動回路と

を具備することを特徴とする表示装置。

**【請求項 11】**

前記表示装置は、

前記画素のそれぞれは、画素電極と、当該画素電極と前記データ線との間に設けられた二端子型スイッチング素子とを含み、

前記データ線の延在方向において隣接した前記画素電極の間には、当該画素電極と電気的に分離された導電部が介在することを特徴とする請求項10に記載の表示装置。  
20

**【請求項 12】**

前記導電部は、前記データ線の一部を前記データ線の延在方向とは異なる方向に突出させた突出部であることを特徴とする請求項11に記載の表示装置。

**【請求項 13】**

前記データ線とは電気的に分離された状態で、前記データ線の延在方向とは異なる方向に延在し、かつ、それが共通接続された複数の導電線をさらに有し、

前記導電線のそれが前記導電部に相当することを特徴とする請求項11に記載の表示装置。

**【請求項 14】**

前記画素は、

前記走査線または前記データ線のいずれか一方に一端が接続された二端子型スイッチング素子と、

前記走査線または前記データ線のいずれか他方と、前記二端子型スイッチング素子の他端に接続された画素電極との間に電気光学物質が挟持された電気光学容量と

を含むことを特徴とする請求項10に記載の表示装置。

**【請求項 15】**

前記二端子型スイッチング素子は、導電体／絶縁体／導電体の構造を有することを特徴とする請求項14に記載の表示装置。

**【請求項 16】**

請求項10乃至15のいずれかに記載の表示装置を備えることを特徴とする電子機器。  
40

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、例えば、薄膜ダイオードによって画素をスイッチングする構成において、表示品位の低下を抑えつつ低消費電力化を図った表示装置、その駆動回路、その駆動方法、および、電子機器に関する。

**【0002】**

**【従来の技術】**

近年、液晶の電気光学的变化を用いた表示装置が、薄型・小型・低消費電力等といった特長  
50

を生かして、陰極線管（C R T）に代わるディスプレイ・デバイスとして、各種電子機器やテレビジョンなどに広く用いられつつある。

#### 【0003】

この表示装置は、駆動方式等によって分類すると、スイッチングにより画素を駆動するアクティブ・マトリクス型と、スイッチング素子を用いないで画素を駆動するパッシブ・マトリクス型とに大別することができる。このうち、前者に係るアクティブ・マトリクス型では、スイッチング素子の種類によって、さらに、薄膜トランジスタ（T F T : Thin Film Transistor）などの三端子型スイッチング素子を用いる型と、薄膜ダイオード（T F D : Thin Film Diode）などの二端子型スイッチング素子を用いる型とに大別することができるが、後者の二端子型スイッチング素子を用いる型の方が、配線の交差部分がないために、配線間の短絡不良が原理的に発生しない点、成膜工程およびフォトリソグラフィ工程を短縮できる点、さらに低消費電力に向いている点において有利とされている。10

#### 【0004】

一方、二端子型スイッチング素子によって画素をスイッチングする表示装置においては、表示品位を低下させる様々なモードが存在する。ただし、最終的には、データ線（セグメント電極）がとり得る2つの電圧が印加される期間の割合が、いかなるパターンを表示させたとしても半分ずつとなる、という4値駆動法（1/2 Hセレクト、1 H反転）を採用すると、このような表示品位の低下を解消することが知られている。

#### 【0005】

ところで、特にP D A（Personal Digital Assistant）や携帯電話などのような携帯型電子機器にあっては、電池駆動が原則であるため、低消費電力であることの要求が強い。このため、携帯型電子機器に適用される表示装置にも、低消費電力であることが強く求められている。20

#### 【0006】

さらに、この種の携帯型電子機器には、近年、音楽再生のような様々な機能が追加されつつあり、こうした新機能に割り当たられる電力を捻出するためにも、表示装置の消費電力についてはたとえ1 mWでも削減したい、という要求すら存在している状況にある。

#### 【0007】

一方、近年では、表示装置には、単純な黑白表示のみならず、豊かな中間階調で表示を行う高階調表示化も要求されている。30

#### 【0008】

##### 【発明が解決しようとする課題】

しかしながら、上記4値駆動法において、中間階調表示を行うと、データ線の電圧切替頻度が高くなるので、データ線に付随する容量によって無駄に電力が消費される、という欠点があった。一方、上記4値駆動法（1/2 Hセレクト、1 H反転）を採用しないと、今度は、モードによっては、表示品位が低下する、という問題が発生することになる。

#### 【0009】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、表示品位の低下を抑えつつ、低消費電力化を図ることが可能な表示装置、その駆動回路、その駆動方法および電子機器を提供することにある。40

#### 【0010】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明の実施形態に係る表示装置の駆動回路は、走査線とデータ線との交差に対応して設けられた画素を駆動する表示装置の駆動回路であって、前記走査線を1本ずつ選択して、当該選択した走査線に対して選択電圧を印加する一方、それ以外の走査線に対して非選択電圧を走査線に印加する走査線駆動回路であって、前記走査線を複数本まとめてブロック化し、当該ブロック化されたブロックにおいて、前記選択電圧の極性を、前記データ線に印加されるオン電圧およびオフ電圧の中間値を基準として走査線の1本選択する毎に反転するとともに、前記ブロックにあって最後に選択される走査線の選択電圧と当該ブロックの次のブロックにあって最初に選択される走査線の選択電50

圧との極性を同一とする走査線駆動回路と、データ線に対し、前記走査線が選択されて選択電圧が印加されたときに、当該走査線と当該データ線との交差に対応する画素にて表示すべき内容と当該選択電圧の極性とに応じてオン電圧またはオフ電圧を印加するデータ線駆動回路とを具備する構成を特徴としている。

#### 【0011】

この構成によれば、一のデータ線において点灯画素と非点灯画素とが交互に現れる場合であっても、当該データ線に印加される電圧実効値と、他のデータ線に印加される電圧実効値との差が少なくなるので、表示品位の低下が抑えられる。さらに、一のデータ線において中間階調の画素が連続する場合であっても、当該データ線に印加されるデータ電圧の切替頻度が少なくなるので、データ線やその駆動回路に付随する容量の充放電によって無駄に消費される電力が抑えられて、その分、低消費電力化を図ることが可能となる。10

#### 【0012】

なお、本件における点灯電圧とは、ある1本の走査線が選択された期間に着目した場合に、その期間において印加される選択電圧とは逆極性にあるデータ信号電圧をいい、また、非点灯電圧とは、同じくある1本の走査線が選択された期間において印加される選択電圧とは同一極性にあるデータ信号電圧をいう。

#### 【0013】

この構成によれば、一のデータ線において点灯画素と非点灯画素とが交互に現れる場合であっても、当該データ線の電圧実効値に偏りは生じないが、表示パターンによっては、偏りが発生するときがある。例えば、ブロックにおける選択電圧の極性に対応して点灯画素と非点灯画素とが配列するような表示をさせると、データ線の電圧実効値に偏りが発生する。20

#### 【0014】

そこで、上記構成において、前記ブロックを構成する走査線数と当該ブロックの次のブロックを構成する走査線数とが異なる構成が好ましい。このような構成にすると、偏りを発生させるパターンの出現率が低くなるので、表示品位の低下をより抑えることができる。。

#### 【0015】

また、上記駆動回路において、ブロックの境界に相当する走査線では、選択電圧の極性が、他の部分とは異なり同一であるので、表示に差が発生しやすい。そこで、上記構成において、前記データ線駆動回路は、前記ブロックにあって最初に選択された走査線に選択電圧が印加されたとき、または、前記ブロックにあって最後に選択された走査線に選択電圧が印加されたときの少なくとも一方において、前記オン電圧または前記オフ電圧を補正によって、表示の差を少なくすることができる。30

#### 【0016】

このような表示の差を少なくするためには、データ線駆動回路の側における補正のほか、走査線駆動回路の側における補正でも可能である。すなわち、前記走査線駆動回路は、一のブロックにあって最初に選択された走査線に選択電圧が印加されたとき、または、一のブロックにあって最後に選択された走査線に選択電圧が印加されたときの少なくとも一方において、当該選択電圧または当該選択電圧印加時間を補正する構成が好ましい。この構成によれば、選択電圧それ自体、または、選択時間を印加する時間の補正によって、表示の差を少なくすることができる。40

#### 【0017】

一方、走査線駆動回路は、前記ブロックの境界が垂直走査期間毎に順次シフトするように、前記走査線のブロック化を実行する構成も好ましい。この構成によれば、ブロックの境界部分が、時間経過とともに移動するので、当該部分において表示差が発生していても目立たなくなる結果、表示品位の低下として視認されにくい。

#### 【0018】

このようにブロックの境界を順次シフトさせる構成において、走査線駆動回路は、一のブロックにあって最初または最後に選択される走査線に対し、前記選択電圧に替えて前記非

選択電圧を印加しても良い。こうすると、ブロックの境界部分における書込がスキップされるので、表示差の発生を抑えることができる。

#### 【0019】

また、前記データ線駆動回路は、前記ブロックにあって最初または最後に選択される走査線に選択電圧が印加されたとき、前記オン電圧または前記オフ電圧を補正しても、同様に、表示差の発生を抑えることができる。

#### 【0020】

あるいはまた、走査線駆動回路が、一のブロックにあって最初に選択された走査線に選択電圧が印加されたとき、または、一のブロックにあって最後に選択された走査線に選択電圧が印加されたときの少なくとも一方において、当該選択電圧または当該選択電圧印加時間 10 を補正しても、同様に、表示差の発生を抑えることができる。

#### 【0021】

ここで、本発明は、表示装置の駆動方法としても実現できる。すなわち、この駆動方法は、走査線とデータ線との交差に対応して設けられた画素を駆動する表示装置の駆動方法であって、前記走査線を1本ずつ選択して、当該選択した走査線に対して選択電圧を印加する一方、それ以外の走査線に対して非選択電圧を走査線に印加し、かつ、前記走査線を複数本まとめてブロック化し、当該ブロック化されたブロックにあっては、前記選択電圧の極性を、前記データ線に印加されるオン電圧およびオフ電圧の中間値を基準として走査線の1本選択する毎に反転するとともに、前記ブロックにあって最後に選択される走査線の選択電圧との極性を同一とし、データ線に対し、前記走査線が選択されて選択電圧が印加されたときに、当該走査線と当該データ線との交差に対応する画素にて表示すべき内容と当該選択電圧の極性とに応じてオン電圧またはオフ電圧を印加する方法を特徴としている。  
20

#### 【0022】

この方法によれば、一のデータ線に印加される電圧実効値と、他のデータ線に印加される電圧実効値との差が少なく、また、当該データ線に印加されるデータ電圧の切替頻度も低い。このため、表示品位の低下を抑えた上で、低消費電力化を図ることが可能となる。

#### 【0023】

また、上記目的を達成するため、本発明に係る表示装置は、走査線とデータ線との交差に対応して設けられた画素を備える表示装置であって、前記走査線を1本ずつ選択して、当該選択した走査線に対して選択電圧を印加する一方、それ以外の走査線に対して非選択電圧を走査線に印加する走査線駆動回路であって、前記走査線を複数本まとめてブロック化し、当該ブロック化されたブロックにあっては、前記選択電圧の極性を、前記データ線に印加されるオン電圧およびオフ電圧の中間値を基準として走査線の1本選択する毎に反転するとともに、前記ブロックにあって最後に選択される走査線の選択電圧と当該ブロックの次のブロックにあって最初に選択される走査線の選択電圧との極性を同一とする走査線駆動回路と、データ線に対し、前記走査線が選択されて選択電圧が印加されたときに、当該走査線と当該データ線との交差に対応する画素にて表示すべき内容と当該選択電圧の極性とに応じてオン電圧またはオフ電圧を印加するデータ線駆動回路とを具備する構成を特徴としている。  
30

#### 【0024】

この表示装置によれば、上記駆動回路と同様に、一のデータ線に印加される電圧実効値と、他のデータ線に印加される電圧実効値との差が少なく、また、当該データ線に印加されるデータ電圧の切替頻度も低い。このため、表示品位の低下を抑えた上で、低消費電力化を図ることが可能となる。

#### 【0025】

ここで、本発明に係る表示装置は、複数の走査線と、複数のデータ線と、走査線とデータ線との各交差点に対応して設けられた複数の画素とを有し、それぞれの画素は、画素電極と、画素電極とデータ線との間に設けられた二端子型スイッチング素子とを含み、データ線の延在方向において隣接した画素電極の間に、これらの画素電極と電気的に分離された  
50

導電部を介在させることが好ましい。

【0026】

この表示装置によれば、隣接した画素電極の間に介在する導電部が、これらの画素電極間の寄生容量を低減する静電シールドとして機能するため、ブロック境界部における表示むらの発生を抑制する。なお、この導電部は、データ線の一部をデータ線の延在方向とは異なる方向に突出させた突出部であってもよい。また、データ線とは電気的に分離された状態で、データ線の延在方向とは異なる方向に延在し、かつ、それぞれが共通接続された複数の導電線を設けた場合、導電線のそれぞれが導電部に相当する。

【0027】

また、本発明に係る表示装置において、前記画素は、前記走査線または前記データ線のいずれか一方に一端が接続された二端子型スイッチング素子と、前記走査線または前記データ線のいずれか他方と、前記二端子型スイッチング素子の他端に接続された画素電極との間に電気光学物質が挟持された電気光学容量とを含む構成が好ましい。このように二端子型スイッチング素子を用いると、三端子型スイッチング素子を用いた構成と比較して、配線間の短絡不良が原理的に発生しない点や、製造プロセスが簡略化される点などにおいて有利である。

【0028】

さらに、このような二端子型スイッチング素子は、導電体／絶縁体／導電体の構造を有する構成が望ましい。この構成では、いずれかの導電体が、そのまま走査線またはデータ線として用いることが可能であり、また、絶縁体は、該導電体自体を酸化することで形成可能である。

【0029】

また、本発明における電子機器は、上記表示装置を備えるので、表示品位の低下を抑えた上で、低消費電力化等が可能になる。なお、このような電子機器としては、パーソナルコンピュータや、携帯電話、デジタルスチルカメラなどなどが挙げられる。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0031】

<構成>

はじめに、本発明の実施形態に係る表示装置の電気的な構成について説明する。図1は、この構成を示すブロック図である。

【0032】

この図に示されるように、表示装置100には、複数のデータ線（セグメント電極）212が列（Y）方向に延在して形成される一方、複数の走査線（コモン電極）312が行（X）方向に延在して形成されるとともに、データ線212と走査線312との各交差に対応して画素116が形成されている。さらに、各画素116は、液晶容量118と、二端子型スイッチング素子の一例であるTFD（Thin Film Diode：薄膜ダイオード）220との直列接続からなる。このうち、液晶容量118は、後述するように、画素電極と、対向電極として機能する走査線312との間に、電気光学物質の一例たる液晶を挟持した構成となっている。

【0033】

なお、この実施形態にあっては、説明の便宜上、走査線312の総数を160本とし、データ線212の総数を120本として、160行×120列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0034】

次に、Yドライバ350は、一般には走査線駆動回路と呼ばれるものであり、走査信号Y1、Y2、Y3、…、Y160を、それぞれ1行目、2行目、3行目、…、160行目の走査線312に供給するものである。詳細には、Yドライバ350は、160本の走査線312を後述するような順番で1本ずつ選択して、選択した走査線312には選択電圧を

10

20

20

30

40

50

、他の走査線 312 には非選択電圧を、それぞれ供給するものである。

**【0035】**

また、X ドライバ 250 は、一般にはデータ線駆動回路と呼ばれるものであり、Y ドライバ 350 により選択された走査線 312 に位置する画素 116 に対し、データ信号 X1、X2、X3、…、X120 を、表示内容に応じてそれぞれ対応するデータ線 212 を介して供給するものである。なお、X ドライバ 250 および Y ドライバ 350 の詳細構成については後述することとする。

**【0036】**

一方、制御回路 400 は、X ドライバ 250 および Y ドライバ 350 に対して、後述する階調データや、各種制御信号、クロック信号などを供給して、両者を制御するものである。  
10 また、駆動電圧形成回路 500 は、電圧  $\pm V_s$  と電圧  $\pm V_d / 2$  をそれぞれ生成するものである。

**【0037】**

ここで、本実施形態において、電圧  $\pm V_s$  は、走査信号における選択電圧として用いられ、また、電圧  $\pm V_d / 2$  は、走査信号における非選択電圧と、データ信号におけるデータ電圧とで兼用される構成となっている。なお、非選択電圧とデータ電圧とを兼用するのではなく、異ならせてても良いが、駆動電圧形成回路 500 が生成すべき電圧数が増加する分だけ、構成が複雑化する。

**【0038】**

また、本実施形態において、走査線 312 やデータ線 212 に印加される電圧の極性基準 20 は、データ線 212 に印加されるデータ電圧  $\pm V_d / 2$  の中間電圧（仮想電圧）であり、これよりも高電位側を正極とし、低電位側を負極としている。

**【0039】**

<機械的構成>

次に、本実施形態に係る表示装置の機械的な構成について説明する。図 2 は、表示装置 100 の全体構成を示す斜視図であり、図 3 は、この表示装置 100 を X 方向に沿って破断した場合の構成を示す部分断面図である。

**【0040】**

これらの図に示されるように、表示装置 100 は、観察者側に位置する対向基板 300 と、その背面側に位置する素子基板 200 とが、スペーサを兼ねる導電性粒子（導通材）114 の混入されたシール材 110 によって一定の間隙を保って貼り合わせられるとともに、この間隙に例えば TN (Twisted Nematic) 型の液晶 160 が封入された構成となっている。なお、シール材 110 は、図 2 に示されるように、対向基板 300 の内周縁に沿って枠状に形成されるが、液晶 160 を封入するために、その一部が開口している。このため、液晶の封入後に、その開口部分が封止材 112 によって封止された構成となっている。

**【0041】**

さて、対向基板 300 の対向面には、行 (X) 方向に延在して形成される走査線 312 のほか、配向膜 308 が形成されて、所定の方向にラビング処理が施されている。ここで、対向基板 300 に形成された走査線 312 は、図 3 に示されるように、シール材 110 に分散された導電性粒子 114 を介し、各走査線 312 と 1 対 1 に対応する配線 342 であって、素子基板 200 に形成された配線 342 の一端に接続されている。すなわち、対向基板 300 に形成された走査線 312 は、導電性粒子 114 および配線 342 を介して、素子基板 200 側に引き出された構成となっている。  
40

**【0042】**

一方、対向基板 300 の外側（観察側）には偏光子 131 が貼り付けられて（図 2 では省略）、その吸収軸が、配向膜 308 へのラビング処理の方向に対応して設定されている。

**【0043】**

また、素子基板 300 の対向面には、Y (列) 方向に延在して形成されるデータ線 212 に隣接して矩形状の画素電極 234 が形成されるほか、配向膜 208 が形成されて、所定  
50

の方向にラビング処理が施されている。一方、素子基板 200 の外側（観察側の反対側）には偏光子 121 が貼り付けられて（図 2 では省略）、その吸収軸が、配向膜 208 へのラビング処理の方向に対応して設定されている。このほかに、素子基板 200 の外側には、均一に光を照射するバックライトユニットが設けられるが、本件とは直接に関係しないので、図示を省略している。

#### 【0044】

続いて表示領域外について説明すると、図 2 に示されるように、素子基板 200 にあって対向基板 300 から張り出した 2 辺には、データ線 212 を駆動するための X ドライバ 250、および、走査線 312 を駆動するための Y ドライバ 350 が、それぞれ COG (Chip On Glass) 技術により実装されている。これにより、X ドライバ 250 は、データ線 212 にデータ信号を直接的に供給する一方、Y ドライバ 350 は、配線 342 および導電性粒子 114 を介し、走査線 312 に走査信号を間接的に供給する構成となっている。10

#### 【0045】

また、X ドライバ 250 が実装される領域の外側近傍には、FPC (Flexible Printed Circuit) 基板 150 が接合されて、制御回路 400 など（図 1 参照）による各種信号や電圧信号などが、Y ドライバ 350 および X ドライバ 250 にそれぞれ供給される構成となっている。

#### 【0046】

なお、図 1 における X ドライバ 250 および Y ドライバ 350 は、図 2 とは異なり、それぞれ表示装置 100 の左側および上側にそれぞれ位置しているが、これは、電気的な構成を説明するための便宜上の措置に過ぎない。また、X ドライバ 250 および Y ドライバ 350 を、それぞれ素子基板 200 に COG 実装する替わりに、例えば、TAB (Tape Automated Bonding) 技術を用いて、各ドライバが実装された TCP (Tape Carrier Package) を、異方性導電膜により電気的に接続する構成としても良い。20

#### 【0047】

##### <画素の構成>

次に表示装置における画素 116 の詳細構成について説明する。図 4 は、その構造を示す部分破断斜視図である。なお、この図では、説明理解のために、図 3 における配向膜 208、308 および偏光子 121、131 が省略されている。

#### 【0048】

さて、図 4 に示されるように、素子基板 200 の対向面には、ITO (Indium Tin Oxide) などの透明導電体からなる矩形状の画素電極 234 がマトリクス状に配列しており、このうち、同一列にて配列する画素電極 234 が、1 本のデータ線 212 に、それぞれ TFD 220 を介して共通接続されている。ここで、TFD 220 は、基板側からみると、タンタル単体やタンタル合金などから形成され、かつ、データ線 212 から T 字状に枝分かれした第 1 の導電体 222 と、この第 1 の導電体 222 を陽極酸化させた絶縁体 224 と、クロム等などの第 2 の導電体 226 とから構成されて、導電体 / 絶縁体 / 導電体のサンダイッヂ構造を探る。このため、TFD 220 は、電流 - 電圧特性が正負双方向にわたって非線形となるダイオードスイッチング特性を有することになる。30

#### 【0049】

なお、素子基板 200 の上面には、下地として透明性を有する絶縁膜 201 が形成されている。詳細には、この絶縁膜 201 は、第 2 の導電体 226 の堆積後における熱処理により、第 1 の導電体 222 が剥離しないようにするために、および、第 1 の導電体 222 に不純物が拡散しないようにするために、設けられている。したがって、これらが問題とならない場合には、絶縁膜 201 は省略可能である。40

#### 【0050】

一方、対向基板 300 の対向面には、ITO などからなる走査線 312 が、データ線 212 とは直交する行方向に延在し、かつ、画素電極 234 の対向する位置に配列している。これにより、走査線 312 は、画素電極 234 の対向電極として機能することになる。したがって、図 1 における液晶容量 118 は、データ線 212 と走査線 312 との交差にお50

いて、当該走査線 312 と、画素電極 234 と、両者の間に挟持された液晶 160 とによって構成されることになる。

#### 【0051】

このような構成において、データ線 212 に印加されているデータ電圧にかかわらず、TFD220 がオンする選択電圧を走査線 312 に印加すると、当該走査線 312 および当該データ線 212 の交差に対応する TFD220 がオンして、オンした TFD220 に接続された液晶容量 118 に、当該選択電圧および当該データ電圧の差に応じた電荷が蓄積される。電荷蓄積後、走査線 312 に非選択電圧を印加して、当該 TFD220 をオフさせても、液晶容量 118 における電荷の蓄積が維持される。

ここで、液晶容量 118 に蓄積される電荷量に応じて、液晶 160 の配向状態が変化するので、偏光子 121、131 を通過する光量も、蓄積された電荷量に応じて変化する。したがって、選択電圧が印加されたときのデータ電圧によって、液晶容量 118 における電荷の蓄積量を画素毎に制御することで、所定の階調表示が可能になる。10

#### 【0052】

<駆動>

ところで、上述した画素 116 の 1 個分は、図 14(a) に示されるような等価回路で表すことができる。すなわち、一般的に、 $i$  ( $i$  は、1  $\sim$  160 を満たす整数) 行目の走査線 312 と、 $j$  ( $j$  は、1  $\sim$  120 を満たす整数) 列目のデータ線 212 との交差に対応する画素 116 は、同図に示されるように、抵抗  $R_T$  および容量  $C_T$  の並列回路で示される TFD220 と、抵抗  $R_{LC}$  および容量  $C_{LC}$  の並列回路で示される液晶容量 118 との直列回路により表すことができる。20

#### 【0053】

ここで、一般的な駆動方法たる 4 値駆動法 (1H セレクト、1H 反転) について説明する。図 15 は、この 4 値駆動法 (1H セレクト、1H 反転) において、 $i$  行  $j$  列の画素 116 に印加される走査信号  $Y_i$  とデータ信号  $X_j$  との波形例を示す図である。

#### 【0054】

この駆動法では、走査信号  $Y_i$  として、1 水平走査期間 (1H) に選択電圧 +  $V_s$  を印加した後、非選択 (保持) 期間に非選択電圧 +  $V_D/2$  を印加するとともに、前回の選択から 1 垂直走査期間 (1F) 経過すると、今度は選択電圧 -  $V_s$  を印加して、非選択期間に非選択電圧 -  $V_D/2$  を印加する、という動作を繰り返す一方、データ信号  $X_j$  として電圧  $\pm V_D/2$  のいずれかを印加する、というものである。30

#### 【0055】

この際、ある走査線 312 への走査信号  $Y_i$  として選択電圧 +  $V_s$  を印加すると、その次行に位置する走査線 312 への走査信号  $Y_{i+1}$  として選択電圧 -  $V_s$  を印加する、というように 1 水平走査期間 (1H) 每に選択電圧の極性が反転される動作も行われる。

#### 【0056】

一方、データ信号  $X_j$  の電圧は、選択電圧 +  $V_s$  を印加する場合であって、画素 116 を、ノーマリー ホワイトモードにおいて黒色表示とするときには -  $V_D/2$  となり、画素 116 を白色表示とするときには +  $V_D/2$  となる。また、選択電圧 -  $V_s$  を印加する場合であって、画素 116 を黒色表示とするときには +  $V_D/2$  となり、画素 116 を白色表示とするときには -  $V_D/2$  となる。40

#### 【0057】

ところで、この 4 値駆動法 (1H セレクト、1H 反転) では、例えば図 16 に示されるように、表示画面 100a の一部領域 A において、1 行毎の白色および黒色からなるゼブラ表示とし、それ以外の領域では単なる例えば白色表示とする場合に、クロストークが発生する、という問題、すなわち濃淡差を伴う白色表示が、領域 A に対して Y 方向に発生する、という問題が知られている。

#### 【0058】

この発生原因を簡単に説明すれば次のような理由による。

#### 【0059】

まず、画素 116 の等価回路は、図 14 (a) で示される通りである。すなわち、非選択期間において TFD220 はオフになるから、その抵抗  $R_T$  は十分に大きくなり、また、液晶容量 118 の抵抗  $R_{LC}$  は、TFD220 のオンオフにかかわらず十分に大きい。このため、非選択期間（保持期間）における画素 116 の等価回路では、これらの抵抗を無視して、容量  $C_T$  および容量  $C_{LC}$  の直列接続回路と表すことができる。このため、容量  $C_{LC}$  の両端には、容量  $C_T$  および容量  $C_{LC}$  の容量比で決まる電圧が印加されることになる。

#### 【0060】

次に、非選択期間での走査線の電圧（非選択電圧）は一定であるが、データ線の電圧は一般的には電圧  $\pm V_D / 2$  の両方間で変化する。このため、容量  $C_{LC}$  についてみれば、容量  $C_T$  および容量  $C_{LC}$  の容量比で決まる電圧変化の影響を受ける。例えば、電圧変化が正方向の場合、容量  $C_{LC}$  が走査線 Y<sub>i</sub> 側を基準にして正に充電されていると、容量  $C_{LC}$  に印加される電圧の絶対値は大きくなり、容量  $C_{LC}$  が負に充電されていると、容量  $C_{LC}$  に印加される電圧の絶対値は小さくなる。

#### 【0061】

ここで、図 16 に戻り、領域 A においてゼブラ表示を行うと、領域 A にかかるデータ線へのデータ信号においては、電圧  $\pm V_D / 2$  の切替周期が走査信号の反転周期と一致してしまうので、そのデータ信号は、領域 A にかかる走査線が選択される期間にわたって、電圧  $\pm V_D / 2$  のいずれか一方に固定されてしまう。これを、領域 A に対して Y 方向に隣接する領域の画素からみれば、保持期間のうち、領域 A に対応するデータ信号が供給される特定期間において、電圧  $\pm V_D / 2$  のいずれか一方に固定されることを意味する。

#### 【0062】

そして、相隣接する走査線での選択電圧は、上述したように互いに反対極性であり、容量  $C_{LC}$  が充電される極性も反対極性となる。よって、データ信号の電圧が一方に固定されると、その固定された期間中、印加される電圧の絶対値が大きくなつた容量  $C_{LC}$  の行と、小さくなつた容量  $C_{LC}$  の行とが交互に現れることになる。

#### 【0063】

したがつて、領域 A に対し Y 方向に隣接する領域の画素に印加される電圧実効値は、奇数行と偶数行とにおいて互いに異なつてしまつ。この結果、領域 A に対して Y 方向に隣接する領域において、奇数行の画素 116 と偶数行の画素 116 とにおいて濃度差が生じて、上述したようなクロストークが発生してしまうのである。なお、このようなクロストークは、ゼブラ表示のほか、市松模様を表示させる場合にも同様な理由によって発生する。

#### 【0064】

そこで、このクロストークを解消するために、4 値駆動法（1/2H セレクト、1H 反転）という駆動方法が用いられる。この駆動法は、図 17 に示されるように、4 値駆動法（1H セレクト、1H 反転）における 1 水平走査期間（1H）を 2 分割して前半期間と後半期間とに分け、このうちの一方の期間、例えば後半期間 1/2H において走査線に選択電圧を印加するとともに、1 水平走査期間 1H にわたつて、データ信号に電圧  $-V_D / 2$  と  $+V_D / 2$  を印加する期間の割合をそれぞれ 50% としたものである。この 4 値駆動法（1/2H セレクト、1H 反転）によれば、いかなるパターンを表示させたとしても、データ信号 X<sub>j</sub> において、電圧  $-V_D / 2$  が印加される期間と電圧  $+V_D / 2$  が印加される期間とが互いに半分ずつとなるので、上述したクロストークの発生が防止されることとなる。

#### 【0065】

しかしながら、この 4 値駆動法（1/2H セレクト、1H 反転）いう駆動方法では、特に階調表示を行うと、データ信号 X<sub>j</sub> の電圧切替頻度が高くなる、という問題がある。例えば、j 列目のデータ線 212 に供給されるデータ信号 X<sub>j</sub> の電圧は、図 17 に示されるように、中間階調（灰色）とすべき画素が列方向に連続していると、走査線 312 を 1 本選択する毎（1 水平走査期間毎）に 3 回の割合にて切り替わる。

#### 【0066】

ここで、データ信号 X<sub>j</sub> の電圧切替頻度が高くなることに伴う問題について説明するため

10

20

30

40

50

、 1 垂直走査期間 ( 1 F ) の大部分を占める非選択期間に着目する。この非選択期間では、 T F D 2 2 0 がオフになるから、その抵抗  $R_T$  ( 図 1 4 ( a ) 参照 ) は十分に大きくなる。また、液晶容量 1 1 8 の抵抗  $R_{LC}$  は、 T F D 2 2 0 のオンオフにかかわらず十分に大きい。このため、保持期間における画素 1 1 6 の等価回路は、図 1 8 ( a ) または同図 ( b ) に示されるように、容量  $C_T$  および容量  $C_{LC}$  の直列合成容量からなる容量  $C_{pix}$  で表すことができる。なお、容量  $C_{pix}$  は、  $( C_T \cdot C_{LC} ) / ( C_T + C_{LC} )$  である。

#### 【 0 0 6 7 】

次に、図 1 8 ( a ) に示されるように、例えば i 行目の走査線 3 1 2 が非選択であって、当該走査線への走査信号  $Y_i$  が例えば非選択電圧  $+ V_D / 2$  に保持されている場合に、 j 列目のデータ線 2 1 2 へのデータ信号  $X_j$  の電圧が  $+ V_D / 2$  である状態とする。この状態から、データ信号  $X_j$  の電圧が、図 1 8 ( b ) に示されるように  $- V_D / 2$  に切り替わると、1つの画素 1 1 6 に  $C_{pix} \cdot V_D$  の電荷が供給される。したがって、非選択期間においてデータ信号  $X_j$  に電圧切替が発生すると、 j 列目のデータ線 2 1 2 に接続されるほぼすべての画素 1 1 6 の容量  $C_{pix}$  にわたって、充電または放電が行われることになる ( 選択走査線との交差に対応する画素は除かれる ) 。なお、ここでは、画素 1 1 6 における容量  $C_{pix}$  について説明したが、データ線には、このほかにも種々の容量が寄生する。例えば、図 3 および図 4 に示されるように、各走査線 3 1 2 と各データ線 2 1 2 とは、液晶 1 6 0 等を挟んで互いに交差対向しているため、液晶 1 6 0 等を誘電体とする寄生容量を形成する。

#### 【 0 0 6 8 】

このため、データ信号  $X_j$  の電圧切替頻度が高いと、容量  $C_{pix}$  とともに種々の寄生容量においてそれだけ頻繁に充放電が行われて、電力が消費されてしまうので、低消費電力を阻害する大きな要因となる。

#### 【 0 0 6 9 】

そこで、本実施形態に係る表示装置は、クロストークの発生を抑えた上で、データ信号  $X_j$  の電圧切替頻度を少なくするため、1水平走査期間を前半期間と後半期間とに分割することをやめて、1水平走査期間の全域にわたって選択電圧を印加する方式を採用するが、第 1 に、複数本の走査線をまとめてブロック化し、第 2 に、同一ブロックにあっては、選択電圧の極性を、走査線を1本選択する毎に反転する一方、あるブロックにあって最後に選択される走査線の選択電圧と、次のブロックにあって最初に選択される走査線の選択電圧との極性を同一とする構成とした。ここで、説明の便宜上、本実施形態にあっては、1ブロックを構成する走査線数を「4」として、走査信号やデータ信号を供給するための回路について説明する。

#### 【 0 0 7 0 】

##### < 制御回路 >

まず、図 1 における制御回路 4 0 0 によって生成される制御信号やクロック信号などの各種信号のうち、 Y ( 垂直走査 ) 側に用いられる信号について説明する。

#### 【 0 0 7 1 】

第 1 に、スタートパルス  $D_Y$  は、図 6 に示されるように、1垂直走査期間 ( 1 F ) の最初に出力されるパルスである。

#### 【 0 0 7 2 】

第 2 に、クロック信号  $YCK$  は、 Y 側の基準信号であり、同図に示されるように、1水平走査期間 ( 1 H ) の周期を有する。

#### 【 0 0 7 3 】

第 3 に、極性指示信号  $POL$  は、走査信号における選択電圧の極性を指示するための信号であり、図 8 に示されるテーブルにしたがって出力されて、図 6 に示されるような論理レベルをとる。詳細には、極性指示信号  $POL$  にあって、1ブロックを構成する4本の走査線が選択される4水平走査期間 ( ブロック期間 ) では、1水平走査期間 ( 1 H ) 每に論理レベルが反転し、次のブロック期間において最初の1水平走査期間での論理レベルは、直前ブロックにおいて最後の1水平走査期間での論理レベルと同一となっている。さらに、

10

20

30

40

50

極性指示信号 P O L では、交流駆動化のために、ある垂直走査期間（フレーム）と、その直前・直後の垂直走査期間とにおいても、論理レベルが反転した関係となっている。なお、図 6において「+」は、正極の選択電圧を印加することを意味し、「-」は、負極の選択電圧を印加することを意味する。

【0074】

次に、X（水平走査）側に用いられる信号について説明する。

【0075】

第1に、スタートパルス D X は、図 10 に示されるように、1行分の階調データ D pix の供給開始タイミングにおいて出力されるパルスである。ここで、階調データ D pix は、画素の階調を指示するデータであり、本実施形態では、便宜上、3ビットする。10 したがって、本実施形態に係る表示装置は、3ビットの階調データ D pix にしたがって 8 (= 2<sup>3</sup>) 階調の濃淡表示を画素毎に行うものとなる。

【0076】

第2に、クロック信号 X C K は、X 側の基準信号であり、その周期は、同図に示されるように、階調データ D pix の1画素分が供給される期間に相当している。

【0077】

第3に、ラッチパルス L P は、1 水平走査期間 (1 H) の開始時に立ち上がるパルスであって、図 10 に示されるように、1行分の階調データ D pix が供給された後のタイミングにて出力されるパルスである。

【0078】

第4に、階調コードパルス G C P は、図 11 に示されるように、1 水平走査期間 (1 H) において、中間階調に応じた期間の位置にそれぞれ配列するパルスである。ここで、本実施形態において、3ビットの階調データ D pix が、(000) であれば白色表示を指示する一方、(111) であれば黒色表示を指示するものとすると、階調コードパルス G C P は、1 水平走査期間 (1 H) において、白色または黒色を除く灰色の (110)、(101)、(100)、(011)、(010)、(001) の 6 個に対応してパルスを配列したものとなっている。なお、図 11 において、階調コードパルス G C P は、実際には、画素の印加電圧 - 濃度特性 (V - I 特性) を考慮して設定される。20

【0079】

< Y ドライバ >30  
次に、Y ドライバ 350 の詳細について説明する。図 5 は、この Y ドライバ 350 の構成を示すブロック図である。この図において、シフトレジスタ 352 は、走査線 312 に総数に対応した 160 ビットシフトレジスタである。

【0080】

詳細には、シフトレジスタ 352 は、1 垂直走査期間の最初に供給されるスタートパルス D Y をクロック信号 Y C K にしたがって順次シフトして、転送信号 Y S 1、Y S 2、Y S 3、…、Y S 160 として順次出力するものである。ここで、転送信号 Y S 1、Y S 2、Y S 3、…、Y S 160 は、それぞれ 1 行目、2 行目、3 行目、…、160 行目の走査線 312 にそれぞれ 1 対 1 に対応するものであって、いずれかの転送信号が H レベルになると、それに対応する走査線 312 を選択すべきであることを意味する。40

【0081】

次に、転送信号 Y S 1、Y S 2、Y S 3、…、Y S 160 は、それぞれ各行に対応して設けられた A N D 回路 353 の一端に供給されている。一方、各行の A N D 回路 353 の他端には、制御信号 I N H の反転信号が共通に供給されている。ただし、本実施形態において制御信号 I N H は、常時 L レベルであるので、各行の A N D 回路 353 の出力は、それぞれ転送信号 Y S 1、Y S 2、Y S 3、…、Y S 160、そのままとなる。なお、制御信号 I N H を用いる構成については、後述の応用例において説明することにする。

【0082】

続いて、電圧選択信号形成回路 354 は、転送信号 Y S 1、Y S 2、Y S 3、…、Y S 160 のほか、極性指示信号 P O L から、走査線 312 に印加すべき電圧を定める電圧選択50

信号 a、b、c、d のいずれかを、走査線 312 毎に出力するものである。

**【0083】**

ここで、本実施形態において、走査線 312 に印加される走査信号の電圧は、上述したように  $+V_s$  (正極側選択電圧)、 $+V_d/2$  (正極側非選択電圧)、 $-V_s$  (負極側非選択電圧)、 $-V_d/2$  (負極側選択電圧) の 4 値であり、このうち、非選択電圧は、選択電圧  $+V_s$  が印加された後では  $+V_d/2$  であり、選択電圧  $-V_s$  が印加された後では  $-V_d/2$  であって、直前の選択電圧により一義的に定まっている。

**【0084】**

このため、電圧選択信号形成回路 354 は、走査信号の電圧レベルが次の関係になるように、1 本の走査線において、電圧選択信号 a、b、c、d のいずれかを出力する。すなわち、転送信号  $Y_{S1}$ 、 $Y_{S2}$ 、…、 $Y_{S160}$  のいずれか H レベルになって、それに対応する走査線 312 を選択すべき水平走査期間である旨が指示されると、電圧選択信号形成回路 354 は、当該走査線 312 への走査信号の電圧レベルを、第 1 に、極性指示信号  $POL$  の信号レベルに対応した極性の選択電圧とし、第 2 に、当該転送信号が L レベルに遷移すると、当該選択電圧に対応する非選択電圧となるように電圧選択信号を生成する。10

**【0085】**

具体的には、電圧選択信号形成回路 354 は、転送信号が H レベルになったときに、極性指示信号  $POL$  が H レベルであれば、当該転送信号に対応する行であって、正極側選択電圧  $+V_s$  を選択させる電圧選択信号 a を当該期間に出力し、この後、当該転送信号が L レベルになれば、正極側非選択電圧  $+V_d/2$  を選択させる電圧選択信号 b を出力する一方、転送信号が H レベルになったときに、極性指示信号  $POL$  が L レベルであれば、当該転送信号に対応する行であって、負極側選択電圧  $-V_s$  を選択させる電圧選択信号 c を当該期間に出力し、この後、当該転送信号が L レベルになれば、負極側非選択電圧  $-V_d/2$  を選択させる電圧選択信号 d を出力することになる。20

**【0086】**

次に、レベルシフタ 356 は、電圧選択信号形成回路 354 によって出力される電圧選択信号 a、b、c、d の電圧振幅をそれぞれ拡大するものである。

**【0087】**

そして、セレクタ 358 は、電圧振幅が拡大された電圧選択信号  $a'$ 、 $b'$ 、 $c'$ 、 $d'$  によって指示される電圧を、実際に選択して、対応する走査線 312 の各々に走査信号として印加するものである。30

**【0088】**

<走査信号の電圧波形>

次に、走査信号の電圧波形を説明するために、 $Y$  ドライバ 350 の動作について検討する。

**【0089】**

まず、図 6 に示されるように、1 垂直走査期間 (1F) のはじめに、スタートパルス  $DY$  が供給されると、当該スタートパルス  $DY$  は、シフトレジスタ 352 によりクロック信号  $YCK$  にしたがって転送される結果、転送信号は、 $YS1$ 、 $YS2$ 、 $YS3$ 、…、 $YS160$  の順番にて排他的に H レベルとなる。40

**【0090】**

一方、走査信号の電圧は、上述したように、対応する転送信号が H レベルとなったときににおける極性指示信号  $POL$  の論理レベルによって指示される。ここで、一般的に  $i$  行目の走査線 312 について着目すると、当該走査線に供給される走査信号  $Y_i$  は、転送信号  $YS_i$  が H レベルになったときに、極性指示信号  $POL$  が H レベルであれば、正極側選択電圧  $+V_s$  となって、その後、正極側非選択電圧  $+V_d/2$  に保持される一方、転送信号  $YS_i$  が H レベルになったときに、極性指示信号  $POL$  が L レベルであれば、負極側選択電圧  $-V_s$  となって、その後、負極側非選択電圧  $-V_d/2$  に保持される。

**【0091】**

さらに、極性指示信号  $POL$  は、制御回路 400 によって図 8 に示されるようなタイムテ

50

ーブルにしたがって出力される。このため、各走査信号の電圧波形は、図7に示される通りとなる。

#### 【0092】

すなわち、極性指示信号POLは、1ブロックを構成する4本の走査線312が選択される期間については、1水平走査期間毎にレベル反転する（図6参照）、走査信号の極性は、1本毎に極性反転されることになる。すなわち、正極側選択電圧または負極側選択電圧が1水平走査期間（1H）毎に交互に選択される。

#### 【0093】

くわえて、極性指示信号POLは、あるブロックにおいて最後に走査線312が選択される期間の論理レベルと、当該ブロックの次のブロックにおいて最初に走査線312が選択される期間の論理レベルとは同一とされる。このため、ブロックの境界に位置する2本の走査線312に供給される選択電圧は、互い同一極性となる。10

#### 【0094】

また、同一の走査線312に着目すると、極性指示信号POLの論理レベルは、1垂直走査期間毎に反転する（図6、図8参照）、ある垂直走査期間において、ある走査線が選択されたときの選択電圧が、例えば正側選択電圧+Vsであったとすると、次の垂直走査期間において、当該走査線が選択されたときの選択電圧は、負側選択電圧-Vsとなる。。11

#### 【0095】

< X ドライバ >

20

次に、Xドライバ250の詳細について説明する。図9は、このXドライバ250の構成を示すブロック図である。この図において、シフトレジスタ25100は、1行分の階調データDpixの供給開始タイミングにおいて出力されるスタートパルスDXを、クロック信号XCKの立ち上がり毎に順次シフトして、サンプリング制御信号Xs1、Xs2、Xs3、…、Xs120として出力するものである。

#### 【0096】

続いて、レジスタ（Reg）2520は、データ線212と1対1に対応して設けられ、クロック信号XCKに同期して供給される3ビット階調データDpixを、サンプリング制御信号の立ち上がりにてサンプリングして、保持するものである。さらに、ラッチ回路（L）2530は、レジスタ2520と1対1に対応して設けられ、対応するレジスタ2520によって保持された階調データDpixを、水平走査期間の開始時に立ち上がるラッチパルスLPによってラッチして出力するものである。30

#### 【0097】

一方、カウンタ2540は、ラッチパルスLPの立ち上がりにて、階調データの黒色表示に相当する（111）を初期値としてセットするとともに、該初期値を階調コードパルスGCPが立ち上がる毎にダウンカウントして、その計数結果Cを出力するものである。

#### 【0098】

次に、コンパレータ（CMP）2550は、ラッチ回路2530と1対1に対応して設けられ、カウンタ2540による計数結果Cと、対応するラッチ回路2530によりラッチされた階調データDpixとを比較して、後者が前者以上となったときに、Hレベルとなる信号を出力するものである。40

#### 【0099】

また、スイッチ2560は、極性指示信号POLがHレベルであれば、図において実線で示される位置をとって、データ電圧+Vd/2を電圧供給線2562に、データ電圧-Vd/2を電圧供給線2564に、それぞれ供給する一方、極性指示信号POLがLレベルであれば、図において破線で示される位置をとって、データ電圧+Vd/2を電圧供給線2564に、データ電圧-Vd/2を電圧供給線2562に、それぞれ供給するものである。。

#### 【0100】

そして、スイッチ2570は、コンパレータ2550と1対1に対応して、すなわち、デ50

ータ線 212 と 1 対 1 に対応して設けられるものである。詳細には、スイッチ 2570 は、コンパレータ 2550 による比較結果を示す信号が L レベルであれば、図において実線で示されるように電圧供給線 2562 を選択する一方、該信号が H レベルであれば、図において破線で示されるように電圧供給線 2564 を選択して、それぞれ選択した電圧供給線に供給されているデータ電圧を、データ信号として、対応するデータ線 212 に印加するものである。

#### 【0101】

##### <データ信号の電圧波形>

次に、データ信号の電圧波形を説明するために、X ドライバ 350 の動作について検討する。

10

#### 【0102】

まず、図 10 に示されるように、スタートパルス DX が H レベルに立ち上ると、いずれかの行における 1 列目、2 列目、3 列目、…、120 列目の画素に対応する階調データ D pix が順番に供給される。

#### 【0103】

このうち、1 列目の画素に対応する階調データ D pix が供給されるタイミングにおいて、シフトレジスタ 2510 から出力されるサンプリング制御信号 X s 1 が H レベルに立ち上ると、当該階調データが、1 列目に対応するレジスタ 2520 によってサンプリングされる。

20

#### 【0104】

次に、2 列目の画素に対応する階調データ D pix が供給されるタイミングにおいて、サンプリング制御信号 X s 2 が H レベルに立ち上ると、当該階調データが、2 列目に対応するレジスタ 2520 によってサンプリングされる。以下同様にして、3 列目、4 列目、…、120 列目の画素に対応する階調データ D pix の各々が、それぞれ 3 列目、4 列目、…、120 列目に対応するレジスタ 2520 によってサンプリングされることになる。

#### 【0105】

続いて、ラッチパルス LP が出力されると（その論理レベルが H レベルに立ち上ると）、それぞれ各列のレジスタ 2520 によってサンプリングされた階調データ D pix が、それぞれの列に対応するラッチ回路 2530 によって一斉にラッチされる。そして、このようにラッチされた階調データ D pix と、カウンタ 2540 による計数結果 C とが、コンパレータ 2550 によってそれぞれ比較されることになる。

30

#### 【0106】

一方、計数結果 C は、図 11 に示されるように、ラッチパルス LP の立ち上がりによってセットされた（111）を、階調コードパルス GCP が立ち上がる毎に、カウンタ 2550 によってダウンカウントした値となる。

#### 【0107】

ここで、一般的に j 列目のラッチ回路 2530 によってラッチされた階調データ D pix が、白色に相当する（000）である場合を想定する。この場合、ラッチパルス LP が出力されてから階調コードパルス GCP が 6 回出力されても、計数結果 C が、ラッチされた（000）以下にならないので、j 列目のコンパレータ 2550 による出力信号は、当該ラッチパルス LP によって規定される 1 水平走査期間にわたって L レベルを維持する。このため、j 列目のスイッチ 2570 では、電圧供給線 2562 の選択が維持される。

40

#### 【0108】

そして、当該水平走査期間において極性指示信号 POL が H レベルであれば、スイッチ 2560 によって電圧 + V<sub>D</sub> / 2 が電圧供給線 2562 に供給されるので、データ信号 X<sub>j</sub> は、図 11 に示されるように、該水平走査期間にわたって電圧 + V<sub>D</sub> / 2 のままとなる。

#### 【0109】

反対に、当該水平走査期間において極性指示信号 POL が L レベルであれば、スイッチ 2560 によって電圧 - V<sub>D</sub> / 2 が電圧供給線 2562 に供給されるので、データ信号 X<sub>j</sub> は、同図に示されるように、該水平走査期間にわたって電圧 - V<sub>D</sub> / 2 のままとなる。

50

## 【0110】

次に、一般的に j 列目のラッチ回路 2530 によってラッチされた階調データ Dpix が、例えば灰色に相当する (100) である場合を想定する。この場合、ラッチパルス LP が出力されてから階調コードパルス GCP が 3 回出力された時点にて、計数結果 C が、ラッチされた (100) 以下になるので、当該時点にて、j 列目のコンパレータ 2550 による出力信号は、L レベルから H レベルに遷移する。このため、j 列目のスイッチ 2570 における選択は、当該時点にて、電圧供給線 2562 から電圧供給線 2564 に選択が切り替わる。

## 【0111】

そして、当該水平走査期間において極性指示信号 POL が H レベルであれば、スイッチ 2560 によって、電圧  $+V_D/2$  が電圧供給線 2562 に、電圧  $-V_D/2$  が電圧供給線 2564 に、それぞれ供給されるので、データ信号 Xj は、図 11 に示されるように、当該時点にて電圧  $+V_D/2$  から電圧  $-V_D/2$  に切り替わる。10

## 【0112】

反対に、当該水平走査期間において極性指示信号 POL が L レベルであれば、スイッチ 2560 によって、電圧  $-V_D/2$  が電圧供給線 2562 に、電圧  $+V_D/2$  が電圧供給線 2564 に、それぞれ供給されるので、データ信号 Xj は、同図に示されるように、当該時点にて電圧  $-V_D/2$  から電圧  $+V_D/2$  に切り替わる。

## 【0113】

なお、ラッチされた階調データ Dpix が、(100) 以外の灰色に相当する場合でも、コンパレータ 2550 による出力信号の遷移タイミングが異なる点を除いて、同様となる。20

## 【0114】

さらに、一般的に j 列目のラッチ回路 2530 によってラッチされた階調データ Dpix が、黒色に相当する (111) である場合を想定する。この場合、ラッチパルス LP が output された時点にて、直ちに、計数結果 C がラッチされた (111) 以下になるので、j 列目のコンパレータ 2550 による出力信号は、当該ラッチパルス LP によって規定される 1 水平走査期間にわたって H レベルを維持する。このため、j 列目のスイッチ 2570 では、電圧供給線 2564 の選択が維持される。

## 【0115】

そして、当該水平走査期間において極性指示信号 POL が H レベルであれば、スイッチ 2560 によって電圧  $-V_D/2$  が電圧供給線 2564 に供給されるので、データ信号 Xj は、図 11 に示されるように、該水平走査期間にわたって電圧  $-V_D/2$  のまとなる。30

## 【0116】

反対に、当該水平走査期間において極性指示信号 POL が L レベルであれば、スイッチ 2560 によって電圧  $+V_D/2$  が電圧供給線 2562 に供給されるので、データ信号 Xj は、同図に示されるように、該水平走査期間にわたって電圧  $+V_D/2$  のまとなる。

## 【0117】

したがって、ラッチ回路 2530 によってラッチされた階調データ Dpix が同一である場合に、極性指示信号 POL が H レベルである場合におけるデータ信号 Xj と、極性指示信号 POL が L レベルである場合におけるデータ信号 Xj とは、データ電圧  $\pm V_D/2$  の中心電圧（極性の基準電圧）に対して、互いに反転した関係になる。40

## 【0118】

<データ電圧の切替頻度の低減、クロストークの抑制>

ここで、本実施形態に係る表示装置において、上述したようにブロック化された走査線に走査信号を供給したときに、データ電圧の切替頻度が低減される点と、上述したクロストークが抑制される点について、図 12 を参照して説明する。図 12 は、本実施形態において、同一ブロックに属する i 行目から (i + 3) 行目までの走査線 312、および、当該ブロックの次のブロックにおいて最初に選択される (i + 4) 行目の走査線 312 に供給される走査信号、並びに、データ信号との電圧波形を一般的に示す図である。

## 【0119】

この図に示されるように、一般的に  $j$  列目において灰色画素（白または黒以外の画素）が連続する場合に、4本の走査線 3 1 2 を選択するのに要する4水平走査期間において、当該データ線 2 1 2 に供給されるデータ信号  $X_j$  の電圧切替回数は10回であり、これを1本の走査線 3 1 2 を選択するのに要する1水平走査期間当たりで換算すると、1.25回である。したがって、本実施形態では、図17に示される4値駆動法（1/2Hセレクト、1H反転）の3回と比較して大幅に低減されるので、その分、低消費電力化が可能となる。

#### 【0120】

さらに、 $j$  列目において、白画素および黒画素が交互に配列するパターンを表示する場合、図15に示される4値駆動法（1Hセレクト、1H反転）では、選択電圧の極性に応じて、データ信号  $X_j$  が電圧  $+V_D/2$  または  $-V_D/2$  の一方に寄ってしまう。そして、これが図16に示されるクロストークの原因となるのは、上述した通りである。10

#### 【0121】

これに対し、 $j$  列目において白画素および黒画素が交互に配列するパターンを表示する場合であっても、本実施形態では、図12に示されるように、データ信号  $X_j$  が電圧  $+V_D/2$  となる期間と、電圧  $-V_D/2$  となる期間とが半分ずつとなるので、図17に示される4値駆動法（1/2Hセレクト、1H反転）と同様に、クロストークの発生が防止されることとなる。

#### 【0122】

<連続選択走査線数>20  
上述した実施形態では、連続して選択する走査線の本数を、便宜上「4」にしたが、本発明は、これに限られない。ここで、連続して選択する走査線の本数を「 $k$ 」とすると、データ信号の電圧切替回数は、1水平走査期間（1本の走査線の選択）当たりに換算すると、 $(k+1)/k$ （回）と表すことができる。このため、図13に示されるように、連続選択走査線  $k$  を大きく設定するにつれて、データ信号の電圧切替頻度を、低減させることができることが可能となる。

#### 【0123】

ここで、上述した4値駆動法（1/2Hセレクト、1H反転）において、中間階調の表示を行うときのデータ信号の電圧切替頻度は3回である（図17参照）、本実施形態では、例えば、連続選択走査線  $k$  を「10」以上に設定すると、データ信号の電圧切替頻度を、4値駆動法（1/2Hセレクト、1H反転）の約36.7%まで減少させることができる。30

#### 【0124】

<実施形態の応用等>  
本発明は、上述した実施形態に限られず、次のような種々の応用や変形が可能である。

#### 【0125】

<ブロックを構成する走査線数の変更>  
ブロックを構成する走査線数を「4」とした実施形態によれば、列方向に白画素と黒画素とが交互に配列するパターンであっても、データ信号が電圧  $+V_D/2$  となる期間と、電圧  $-V_D/2$  となる期間とが半分ずつとなるので、クロストークの発生が防止されることになった。40

#### 【0126】

しかしながら、実施形態にあっては、選択電圧の極性に対応した画素が列方向に配列すると、データ信号が電圧  $+V_D/2$  または  $-V_D/2$  の一方に寄ってしまう傾向がある。例えば、実施例において、 $j$  列目の画素が黑白黑白、白黑白黒、...、という繰り返しパターンになると、対応するデータ線 2 1 2 に供給すべきデータ信号は、図12に示されるように、電圧  $+V_D/2$  または  $-V_D/2$  の一方に寄ってしまう。このため、図15に示される4値駆動法（1Hセレクト、1H反転）と同様に、クロストークの発生してしまうことになる。

#### 【0127】

10

20

30

40

50

そこで、このようにデータ信号の電圧が寄ってしまうのを防止するためには、ブロックを構成する走査線数をブロック毎に異ならせれば良い、と考える。例えば、図19に示されるように、ブロックを構成する走査線数を上から順に「5」、「4」、「7」とすれば、データ信号の電圧が寄ってしまうパターンの出現率が低下するので、それだけクロストークの発生が抑制されることになる。もちろん、ブロックを構成する走査線数については、「5」、「4」、「7」に限らず、これよりも少数または多数としても良いし、ランダム化しても良い。さらに、ブロックの境界に位置する画素に対して、次に述べるような補正を実行する構成としても良い。

#### 【0128】

##### <データ信号の補正、選択電圧の補正等>

上述した実施形態によれば、同一ブロック内では選択電圧の極性が1本の走査線312毎に反転されるが、あるブロックの最後に選択される走査線312と、次のブロックの最初に選択される走査線312とに供給される選択電圧は同一極性となるので、他の部分とは異なってしまう。このため、走査線312等の配線抵抗・容量等に起因した波形の鈍化や電界等の相違により、ブロックの境界に沿って（ブロックの端部に位置する走査線312に沿って）、スジ状のムラが発生する場合がある。例えば一面にわたって同一階調（特に中間階調）の表示を行う場合に、ブロックの最初に選択される走査線312に位置する画素は、他の部分と比較して、やや明るくなることが、本件発明者によって確認されている。ここで、画素が明るくなるということは、ノーマリー・ホワイトモードであれば、液晶容量118に印加される電圧実効値が、本来的な値よりも小さくなってしまうことを意味する。

#### 【0129】

そこで、このブロックの境界においては、次に述べるように、データ信号の補正や、走査信号の補正を単独で、または、適宜組み合わせて実行することが好ましい、と考える。

#### 【0130】

まず、データ信号を補正する構成としては、ブロックの最後に選択される走査線312に位置する画素、または、ブロックの最初に選択される走査線312に位置する画素の少なくとも一方の階調データを、ある値に相当する分だけ一律に加減算して、当該加減算された階調データを、Xドライバ250に供給する構成が考えられる。例えば、上述のようにブロックの最初に選択される走査線312に位置する画素が他の部分と比較して明るくなるのであれば、ブロックの最初に選択される走査線312に位置する画素の階調データについては、明るくなる分に相当する量を、補正量として予め加算しておくのである。

#### 【0131】

スジ状のムラが発生するのは、その部分が他の部分と異なる濃度となってしまうからであるが、このような補正によれば、濃度の異なってしまう分が補正量として予め見越して加算（または減算）されるので、ブロックの境界においては結果的に略同一濃度となる。このため、ムラの発生が抑えられることになる。

#### 【0132】

なお、ムラの発生する箇所については、ブロックの最初に選択される走査線312に位置する画素の方が、ブロックの最後に選択される走査線312に位置する画素よりも目立つことが、本件発明者によって確認されている。このため、ブロックの最初に選択される走査線312に位置する画素について、上述した階調データの補正を実行するのが望ましい、と考える。すなわち、図8において斜線が付された走査線312を選択する場合に、対応する階調データを補正する構成が望ましい。なお、図8において、1行目の走査線312には、斜線が付与されていないが、これは、1垂直走査期間の最初に選択されるために、直前に選択される走査線312が存在しないのでムラが発生しない、または、その影響を無視することができる、と考えられるためである。

#### 【0133】

さて、データ信号を補正する構成については、濃度の異なってしまう分を補正量として予め見越して加算（または減算）する構成のほかに、図11に示される階調コードパルスG

10

20

30

40

50

C P のパルス配列を時間的にシフトさせる構成も考えられる。すなわち、ブロックの最初に選択される走査線 312 に位置する画素に対してデータ信号を印加する場合には、点灯電圧の印加時間が、他の走査線に位置する同一階調の画素よりも少し長くなるように、階調コードパルス G C P の配列を変更した構成とするのである。

#### 【 0 1 3 4 】

一方、走査信号を補正する構成としては、選択電圧それ自体を補正することが考えられる。ただし、選択電圧自体を補正する構成とすることは、駆動電圧形成回路 500 ( 図 1 参照 ) にて生成すべき電圧数がそれだけ増加するので、構成が複雑化することになる。

#### 【 0 1 3 5 】

そこで、1 水平走査期間における選択電圧の印加時間について、ブロックの最初に位置する走査線 312 と、それ以外の走査線 312 とで異なるように設定すれば良い。具体的には、ノーマリー ホワイトモードにおいてブロックの最初に選択される走査線 312 に位置する画素が他の走査線に位置する画素と比較して明るくなるのであれば、ブロックの最初に選択される走査線 312 に対しては、当該走査線 312 が選択される 1 水平走査期間の全域にわたって選択電圧を印加する一方、それ以外の走査線 312 に対しては、前縁または後縁において ( 当該選択期間の途中まで、または、当該選択期間の途中から ) 選択電圧の替わりに非選択電圧を印加する構成が考えられる。すなわち、ブロックの最初に選択される走査線に選択電圧が印加される時間を相対的に延長して、電圧実効値の不足分を補うのである。

#### 【 0 1 3 6 】

このような構成は、図 5 の Y ドライバ 350 に供給する制御信号 I N H を、ブロックの最初に位置する走査線 312 を選択する 1 水平走査期間の途中まで H レベルとする、または、途中から H レベルに遷移させることで実現可能である。

#### 【 0 1 3 7 】

なお、データ信号を補正するにしても、走査信号を補正するにしても、実際に補正すべき量は、表示装置 100 の個体差による影響が大きい、と考えられる。このため、補正量については、個々の装置毎に設定すること望ましい。

#### 【 0 1 3 8 】

##### < ブロックのシフト >

さて、ブロックの境界が垂直走査期間 ( フレーム ) に対して同一位置であると、ムラの発生箇所が固定的となり、ムラとして視認されやすくなる。また、ブロックの境界において補正を行う構成にしても、ムラを完全になくすことは困難な場合がある。

#### 【 0 1 3 9 】

そこで、ブロックの境界がフレーム毎に異なるようにすれば、たとえムラが発生したとしても、視認されにくくなる。例えば、極性指示信号 P O L を、図 20 に示されるテーブルにしたがって出力する構成とすれば、ブロックの境界がフレーム毎に移動する。このため、数フレームを単位としてみれば、肉眼ではムラが平均化されて見えるので、ムラとしては視認されにくくなる。

#### 【 0 1 4 0 】

無論、移動方向は、図 20 にあっては下方向であるが、上方向でも構わない。また、このようにブロックの境界を移動させる構成においても、ブロックの境界において補正を行う構成にしても良いし、ブロックを構成する走査線数を適宜変更した構成としても良い。

#### 【 0 1 4 1 】

このうち、前者に係るブロック境界における補正を行う構成においては、選択電圧を印加する替わりに、非選択電圧を供給する構成としても良い。すなわち、あるフレームにおいてムラの発生するような書きを実行しないようにするのである。ブロックの境界はシフトしているので、あるフレームにおいて書きが実行されなくても、次 ( または前 ) のフレームにおいて書きを実行すれば、表示にそれほど影響を与えることはないからである。

#### 【 0 1 4 2 】

ここで、ブロックの境界をシフトさせる場合であって、ブロックにおいて最初に選択され

10

20

30

40

50

る走査線 312 に対し、選択電圧の替わりに、非選択電圧を供給する構成について説明する。

#### 【0143】

この構成では、極性指示信号 P O L は、図 21 に示されるテーブルにしたがって出力される。なお、このテーブル自体は、図 20 に示したものと同一である。ただし、ブロックにおいて最初に走査線 312 が選択されるべき水平走査期間において、詳細には、図 21 において印が付されている期間にて、制御回路 400 は、制御信号 I N H を H レベルにさせる。

#### 【0144】

制御信号 I N H が H レベルであれば、A N D 回路 353 ( 図 5 参照 ) が閉じるので、転送信号が H レベルになっても、当該転送信号は、電圧形成回路 354 に供給されない。電圧形成回路 354 は、上述したように供給される転送信号が H レベルにならないと、それに対応する走査線 312 を選択すべき水平走査期間である旨を認識しないので、直前フレームにおける非選択電圧を維持するような電圧選択信号 b または c を出力することになる。

10

#### 【0145】

したがって、この構成における走査信号は、例えば図 23 に示されるように、1 フレームにあっては、1 行目、5 行目、9 行目、... の走査線 312 には、選択電圧が印加されないで、直前の非選択電圧が維持されることになる。また、続く、2 フレームにあっては、2 行目、6 行目、( 10 行目 ) 、... の走査線 312 には、選択電圧が印加されないで、直前の非選択電圧が維持されることになる。

20

#### 【0146】

よって、この構成において、ムラを発生させるような書き込みは、そもそも実行されないので、表示品位の低下を抑えることが可能となる。

なお、この例では、ブロックの最初に選択される走査線には選択電圧に替えて非選択電圧を与えており、ブロックの境界を上方向へシフトさせる場合には、ブロックの最後に選択される走査線には選択電圧に替えて非選択電圧を与えることとなる。

#### 【0147】

ただし、書き込みを実行しないことに起因するクロストークが発生する可能性があるので、例えば書き込みをスキップさせてから 1 フレーム経過した選択時において、詳細には、図 24 において印が付されている期間において、データ信号や走査信号を補正して、画素に印加される電圧実効値を、当該クロストークをなくす方向に修正しても良い。なお、補正を行うのは、書き込みをスキップさせる期間の 1 フレーム前でも良いが、いずれにしても、書き込みをスキップする期間と、補正を実行する期間とは、時間的に離れていない方が望ましい、と考える。

30

#### 【0148】

また、制御回路 400 が、極性指示信号 P O L を、図 24 に示されるテーブルにしたがって出力するとともに、制御信号 I N H を、同図において印が付されている期間にて H レベルにさせる構成としても良い。この構成では、ブロックの最後に位置する走査線 312 が選択される水平走査期間において当該走査線に印加される電圧と、その前行・後行の走査線に印加される電圧とは、いずれも非選択電圧のままとなる。このため、次に選択される次ブロックの最初の走査線に影響を与えるノイズ等が少ない、と考える。

40

#### 【0149】

よって、この構成においても、ブロック境界のスジ状のムラは小さくなる。なお、選択電圧の印加をスキップすることに対する補正は、スキップさせる期間の 1 フレーム前または後に行えば良い。

#### 【0150】

また、この例では、ブロックの最後に選択される走査線には、選択電圧に替えて非選択電圧を与えており、ブロックの境界を上方向へシフトさせる場合には、ブロックの最初に選択される走査線には選択電圧に替えて非選択電圧を与えることとなる。いずれにしても、書き込みをスキップする期間と、補正を実行する期間とは、時間的に離れていない方が望ま

50

しい点は同様である。

**【0151】**

<選択の順番、飛び越し走査>

また、実施形態にあっては、走査線312を上から順番に1本ずつ選択して選択電圧を供給する構成としたが、選択の順番についてはこれに限られない。例えば、フレームではなく、奇数フィールドと偶数フィールドとに分割し、奇数フィールドについては、例えば奇数行目の走査線312を順番に選択する一方、偶数フィールドについては、例えば偶数行目の走査線312を順番に選択する構成（インタース）としても良い。このような構成とすれば、1フィールドにおいて選択すべき走査線数が半分になるので、動作周波数が半分で済み、その分、低消費電力化を図ることが可能となる。

10

**【0152】**

また、1以上の走査線312おきに飛び越し走査をしても良いし、また、1画面を水平走査方向に沿って複数の領域に分割するとともに、分割領域を順番に選択しつつ、選択した分割領域において例えば上から走査線312を順番に選択しても良い。

**【0153】**

<実施形態のまとめ>

なお、上述した実施形態では、階調データを3ビットとして、8階調表示をする場合について説明したが、本発明はこれに限らず、単なる1ビットによる階調（オンオフ）データによる2値表示としても良いし、2ビットの階調データによる4階調表示としても良いし、また、4ビット、5ビット、6ビット、…、nビットの階調データによる16、32、64、…、 $2^n$ 階調表示としても良い。さらに、R（赤）、G（緑）、B（青）の3画素で1ドットを構成して、カラー表示を行うとしても良い。

20

**【0154】**

さらに、実施形態にあっては、液晶容量の電圧無印加状態において白色表示を行うノーマリーホワイトモードとして説明したが、同状態において黒色表示となるノーマリーブラックモードとしても良い。

**【0155】**

くわえて、実施形態にあっては、透過型としたが、反射型としても良いし、両者を併用した半透過半反射型としても良い。

**【0156】**

30

一方、実施形態におけるXドライバ250は、図9に示されるように、カウンタ2540によるカウンタ結果Cを列毎に共用する構成としたが、列毎にカウンタを設けて、ラッチされた階調データとの大小比較を実行する構成としても良い。

**【0157】**

また、実施形態にあっては、選択電圧が印加されたときに、黒色表示に寄与する点灯電圧を、時間的に後方に寄せて印加する構成としたが、時間的に前方に印加する構成としても良い。

**【0158】**

くわえて、実施形態では、画素の表示色と走査線の選択電圧とに応じてデータ電圧 $\pm V_D$ /2の印加期間を調整してデータ信号としたが、画素の表示色と走査線の選択電圧とに応じて電圧そのものを規定したデータ信号を供給しても良い。

40

**【0159】**

さらに、実施形態にあっては、液晶容量の書込極性を1垂直走査期間毎に反転する構成としたが、これに限られず、例えば2垂直走査期間以上の周期で反転駆動する構成としても良い。

**【0160】**

また、上述した表示装置100におけるT.F.D.220は、データ線212の側に接続され、液晶容量118が走査線312の側に接続されているが、これとは逆に、T.F.D.220が走査線312の側に、液晶層118がデータ線212の側にそれぞれ接続される構成でも良い。

50

**【 0 1 6 1 】**

さらに、T F D 2 2 0 は、二端子型スイッチング素子の一例であり、他に、Z n O (酸化亜鉛) バリストアや、M S I (Metal Semi-Insulator)などを用いた素子のほか、これら素子を2つ逆向きに直列接続または並列接続したものなどを、二端子型スイッチング素子として用いることが可能である。

**【 0 1 6 2 】**

また、T F D 2 2 0 などのようなスイッチング素子を用いずに、画素を駆動するパッシブ・マトリクス型の表示装置にも適用可能である。

**【 0 1 6 3 】**

さらに、実施形態にあっては、液晶としてT N型やS T N型とした場合について説明したが、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料(ゲスト)を一定の分子配列の液晶(ホスト)に溶解して、染料分子を液晶分子と平行に配列させたゲストホスト型などの液晶を用いても良い。10

**【 0 1 6 4 】**

くわえて、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向(ホメオトロピック配向)の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行(水平)配向(ホモジニアス配向)の構成としても良い。

**【 0 1 6 5 】**

このように、本発明の駆動方法に適合するものであれば、液晶や配向方式として、種々のものを用いることが可能である。20

**【 0 1 6 6 】****<表示装置の改良構造>**

次に、表示品位の一層の向上を意図した表示装置100の改良構造について説明する。上述した実施形態によれば、図16に示したクロストークの発生を抑えつつ、表示装置100の低消費電力化を図ることが可能である。しかしながら、画素電極間の容量結合に起因して、複数本の走査線をまとめたブロックの境界部に、横筋状のむらが表示される可能性がある。そこで、表示装置100自体の構造に改良を施すことで、このような表示むらの発生を抑制する。以下、表示装置100の一部を構成する素子基板200に関して、3つの改良構造を例示する。これらの改良構造に共通することは、隣接した画素電極234の間に、データ線212または導電線280といった導電性を有する導電部を、画素電極234と電気的に分離した状態で介在させている点である。30

**【 0 1 6 7 】****<第1の改良構造>**

図28は、第1の改良構造に係る素子基板200の上面図である。同図において、上述した実施形態と同様の部材については、同一の符号を付することにより、詳細な説明を省略する。上述した実施形態と同様、この素子基板200の対向面上には、データ線212とT F D 2 2 0 と画素電極234とが設けられている。

**【 0 1 6 8 】**

この素子基板200の構造上の特徴は、データ線212の一部を「ト」の字状に突出することにより、データ線212に突出部212aが設けられている点にある。具体的には、突出部212aは、データ線212の延在方向(Y方向)とは異なるX方向(横(右)方向)に突出し、Y方向において隣接した2つの画素電極234の間に介在している。突出部212aおよび画素電極234は、素子基板200の対向面上で両者を離間することにより、或いは、絶縁膜を介して積層することにより、電気的に分離されている。また、突出部212aは、素子基板200上に存在する全ての隣接画素電極間に介在している。あるデータ線212に設けられた突出部212aの先端は、その直右のデータ線212と離間しているため、隣接した左右のデータ線212は、互いに電気的に分離されている。40

**【 0 1 6 9 】**

このように、Y方向に隣接する2つの画素電極234の間に突出部212aを入り込ませることで、突出部212aは、隣接した画素電極234との間の寄生容量を低減する静電シールドとして機能する。これにより、ブロック境界部に表示される横筋状のむらを有效地に抑制する。

#### 【0170】

まず、横筋状の表示むらの発生メカニズムについて説明する。図29は、突出部212aを設けない構造における画素間の寄生容量モデルを示す図である。同図において、 $C_m$ は、画素電極とデータ線との間の寄生容量、 $C_p$ は、画素電極と走査線との間の寄生容量、そして、 $C_{pp}$ は、隣接した2つの画素電極間の寄生容量である。図29に示したモデルは、図30に示す等価回路で表すことができる。同図において、画素p1には、走査線(図中、コモン1)の電圧とデータ線(図中、セグメント)の電圧とが印加されている。また、画素p1とX方向に隣接した画素p2には、コモン1とは異なる走査線(図中、コモン2)の電圧とデータ線(セグメント)の電圧とが印加されている。

#### 【0171】

一般に、一方の画素電極の電圧 $V_b$ が $V_b$ だけ変化した場合、これと隣接した他方の画素電極の電圧 $V_a$ の変化量 $V_a$ は、 $(V_{pp}/(C_m + C_p + C_{pp})) \cdot V_b$ として表される。コモン1上の画素p1の書き込みが終了した時点における画素電圧を $-V_{p1}$ とし、コモン2上の画素p2書き込みが終了した状態を考える。まず、画素p1と画素p2との書き極性が逆の場合(逆極性書き込み)、書き込みの前後で、画素p2の画素電圧は $-V_{p2}$ から $V_{p2}$ へと変化し、その保持電圧は $V_{hold}/2$ から $-V_{hold}/2$ へと変化する(図31参照)。

#### 【0172】

これを図30に示した一方の画素電極の電圧 $V_b$ の変化とみなすと、 $(V_{hold}/2 - V_{p2})$ から $(V_{p2} - V_{hold}/2)$ への変化となり、 $V_b$ は $(2V_{p2} - V_{hold})$ となる。したがって、 $2V_{p2} < V_{hold}$ の場合には、 $V_a$ は負側に変化するため、画素p1の画素電圧の絶対値が増す(表示が暗くなる)。

#### 【0173】

一方、画素p1と画素p2との書き極性が同一の場合(同極性書き込み)、書き込みの前後で、画素p2の画素電圧は、 $V_{p2}$ から $-V_{p2}$ へと変化し、その保持電圧は、 $-V_{hold}/2$ から $V_{hold}/2$ へと変化する(図32参照)。

#### 【0174】

これを図30に示した一方の画素電極の電圧 $V_b$ の変化とみなすと、 $(V_{hold}/2 - V_{p2})$ から $(V_{p2} - V_{hold}/2)$ への変化となり、 $V_b$ は $(V_{hold} - 2V_{p2})$ となる。したがって、 $2V_{p2} < V_{hold}$ の場合には、 $V_a$ は正側に変化するため、画素p1の画素電圧の絶対値が減る(表示が明るくなる)。

#### 【0175】

画素電圧が1V(off)~3V(on)程度で、保持電圧 $V_{hold}$ が4V程度を想定した場合、 $V_b$ は、 $\pm 2 \cdot |V_{p2} - V_{hold}| = \pm 2V$ となる。また、 $(C_{pp}/(C_m + C_p + C_{pp}))$ を0.01程度と仮定した場合、逆極性書き込みと同極性書き込みでは、実効電圧に $40\text{mV}$ ( $20\text{mV} \times 2$ )の差が生じて、表示むらが発生する。このことは、ある書き込み行の画素の濃さは、次の行の書き込み行の書き極性によって異なってしまうことを意味する。本実施形態に係る駆動方式によれば、同一のブロック内では常に逆極性になり、ブロック境界部では同一極性になる。その結果、ブロック境界部において、横筋むらが発生する。

#### 【0176】

これに対して、データ線212に突出部212aを設けた場合、隣接した2つの画素の等価回路は、図33に示すようになる。それぞれの画素電極234と突出部212aとの間に寄生容量 $C_{pc}$ が新たに形成される。この寄生容量 $C_{pc}$ を設けることで、隣接した画素電極234の間の寄生容量 $C_{pp}$ が低減する。これにより、 $(C_{pp}/(C_m + C_p + C_{pp}))$ の値も十分に小さくなるので、一方の画素電極234の電圧変化に起因した他方の画素電極234の電圧変動が緩和される。つまり、突出部212aは、寄生容量 $C_{pp}$ に起因した画素電極の電圧変動を緩和する静電シールドとして機能する。その結果、駆動回路による補

10

20

30

40

50

正を行わなくても、ブロック境界部における横筋むらの発生を有効に低減できる。

**【0177】**

<第2の改良構造>

図34は、第2の改良構造に係る素子基板200の上面図である。この素子基板200の構造上の特徴は、データ線212の一部を略十字状に突出させることにより、データ線212に突出部212b, 212cが設けられている点にある。具体的には、右突出部212bは右側に向かって突出しており、左突出部212cは左側に向かって突出している。これらの突出部212b, 212cは、第1の改良構造と同様に、Y方向に隣接した2つの画素電極234の間に介在しており、画素電極234と電気的に分離されている。また、突出部212b, 212cの少なくとも一方は、素子基板200上に存在する全ての隣接画素電極間に介在している。あるデータ線212に設けられた右突出部212bの先端は、その直右のデータ線212に設けられた左突出部212cの先端と離間しているため、隣接した上下のデータ線212は、互いに電気的に分離されている。

**【0178】**

このような構成によれば、突出部212b, 212cと画素電極234と間に寄生容量C<sub>pc</sub>が形成されるので、突出部212a, 212bが静電シールドとして機能する。その結果、第1の改良構造と同様に、寄生容量C<sub>pp</sub>に起因した隣接する画素電極234の電圧変動が小さくなる。その結果、駆動回路による補正を行わなくても、ブロック境界部における横筋むらの発生を有効に低減できる。

**【0179】**

<第3の改良構造>

図35は、第3の改良構造に係る素子基板200の上面図である。この素子基板200の構造上の特徴は、複数の導電線280がデータ線212とは別部材で設けられている点にある。具体的には、それぞれの導電線280は、データ線212とは異なる方向に延在しており、かつ、データ線212とは絶縁膜を介して電気的に分離されている。それぞれの導電線280は、Y方向に隣接する2つの画素電極234の間に介在している。また、複数の導電線280は、図35の左端で共通接続されている。導電線280の材料としては、酸化インジウムまたは酸化錫等の透明な導電材料を用いることが好ましい。これにより、表示が暗くなるのを防止する。

**【0180】**

このような構成によれば、導電線280と画素電極234と間に新たに寄生容量C<sub>pc</sub>が形成される。したがって、それぞれの導電線280が静電シールドとして機能するため、駆動回路による補正を行わなくても、ブロック境界部における横筋むらの発生を有効に低減できる。なお、導電線280にはある電圧（一定電圧である必要はない）が常時印加されることが好ましいが、多数の導電線280が共通接続された構造（容量結合の影響を受け難い構造）では、導電線280はフロー・ティングであってもよい。

**【0181】**

<電子機器>

次に、上述した実施形態に係る表示装置を電子機器に用いた例について説明する。

**【0182】**

<その1：モバイル型パーソナルコンピュータ>

まず、上述した表示装置100を、パーソナルコンピュータの表示部に適用した例について説明する。図25は、このパーソナルコンピュータの構成を示す斜視図である。

**【0183】**

図において、コンピュータ1100は、キーボード1102を備えた本体部1104と、表示部として用いられる表示装置100とを備えている。なお、表示装置100として透過型液晶装置を用いる場合には、暗所での視認性を確保するため、背面にバックライト（図示省略）が設けられる。

**【0184】**

<その2：携帯電話>

10

20

30

40

50

さらに、上述した表示装置 100 を、携帯電話の表示部に適用した例について説明する。図 26 は、この携帯電話の構成を示す斜視図である。

#### 【0185】

図において、携帯電話 1200 は、複数の操作ボタン 1202 のほか、受話口 1204、送話口 1206 とともに、上述した表示装置 100 を備えるものである。なお、表示装置 100 として、液晶装置を用いる場合には、暗所での視認性を確保するため、透過型や半透過半反射型であれば、バックライトが、反射型であればフロントライト（いずれも図示省略）が、それぞれ設けられる。

#### 【0186】

<その 3：デジタルスチルカメラ >

10

次に、上述した表示装置を、ファインダに用いたデジタルスチルカメラについて説明する。

#### 【0187】

図 27 は、このデジタルスチルカメラの背面を示す斜視図である。通常の銀塩カメラは、被写体の光像によってフィルムを感光させるのに対し、デジタルスチルカメラ 1300 は、被写体の光像を CCD (Charge Coupled Device) などの撮像素子により光電変換して撮像信号を生成するものである。ここで、デジタルスチルカメラ 1300 におけるケース 1302 の背面には、上述した表示装置 100 が設けられ、CCD による撮像信号に基づいて、表示を行う構成となっている。このため、表示装置 100 は、被写体を表示するファインダとして機能することになる。また、ケース 1302 の前面側（図 28 においては裏面側）には、光学レンズや CCD などを含んだ受光ユニット 1304 が設けられている。

20

#### 【0188】

ここで、撮影者が表示装置 100 に表示された被写体像を確認して、シャッターボタン 1306 を押下すると、その時点における CCD の撮像信号が、回路基板 1308 のメモリに転送・格納される。

#### 【0189】

また、このデジタルスチルカメラ 1300 にあっては、ケース 1302 の側面には、外部表示を行うために、ビデオ信号出力端子 1312 と、データ通信用の入出力端子 1314 とが設けられている。

30

#### 【0190】

なお、電子機器としては、図 25 のパーソナルコンピュータや、図 26 の携帯電話、図 27 のデジタルスチルカメラの他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、上述した表示装置が適用可能なのは言うまでもない。

#### 【0191】

##### 【発明の効果】

以上説明したように本発明によれば、表示示品位の低下を抑えつつ、低消費電力化を図ることが可能となる。

40

##### 【図面の簡単な説明】

【図 1】 本発明の実施形態に係る表示装置の電気的な構成を示すブロック図である。

【図 2】 同表示装置の構成を示す斜視図である。

【図 3】 同表示装置を X 方向で破断した場合の構成を示す部分断面図である。

【図 4】 同表示装置の要部構成を示す部分破断斜視図である。

【図 5】 同表示装置における Y ドライバの構成を示すブロック図である。

【図 6】 同 Y ドライバの動作を説明するためのタイミングチャートである。

【図 7】 同 Y ドライバによる走査信号の電圧波形を説明するための図である。

【図 8】 同表示装置において、各行に印加される選択電圧の極性を示すタイムテーブル

50

である。

【図 9】 同表示装置における X ドライバの構成を示すブロック図である。

【図 10】 同 X ドライバの動作を説明するためのタイミングチャートである。

【図 11】 同 X ドライバによるデータ信号の電圧波形を説明するためのタイミングチャートである。

【図 12】 同表示装置の画素に印加される電圧波形等を示す図である。

【図 13】 走査線を連続して選択する本数と電圧切替回数（消費電力）との関係を示す図である。

【図 14】 (a) および (b) は、それぞれ実施形態に係る表示装置における画素の等価回路を示す図である。 10

【図 15】 4 値駆動法（1 H セレクト、1 H 反転）における走査信号  $Y_i$ 、 $Y_{i+1}$  およびデータ信号  $X_j$  の波形例を示す図である。

【図 16】 表示の不具合を説明するための図である。

【図 17】 4 値駆動法（1 / 2 H セレクト、1 H 反転）における走査信号  $Y_i$ 、 $Y_{i+1}$  およびデータ信号  $X_j$  の波形例を示す図である。

【図 18】 (a)、(b) は、それぞれ非選択期間（保持期間）におけるデータ信号  $X_j$  の電圧切り替わりによる電力消費を説明するための図である。

【図 19】 本発明の応用例に係る表示装置において、各行に印加される選択電圧の極性を示すタイムテーブルである。 20

【図 20】 本発明の応用例に係る表示装置において、各行に印加される選択電圧の極性を示すタイムテーブルである。

【図 21】 本発明の応用例に係る表示装置において、各行に印加される選択電圧の極性等を示すタイムテーブルである。

【図 22】 同表示装置において、制御信号 INH 等を示すタイミングチャートである。

【図 23】 同表示装置における走査信号の電圧波形を説明するための図である。

【図 24】 本発明の応用例に係る表示装置において、各行に印加される選択電圧の極性等を示すタイムテーブルである。

【図 25】 実施形態に係る表示装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。 30

【図 26】 同表示装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図 27】 同表示装置を適用した電子機器の一例たるデジタルスチルカメラの背面構成を示す斜視図である。

【図 28】 第 1 の改良構造に係る素子基板の上面図である。

【図 29】 突出部を設けない構造における画素間の寄生容量モデルの図である。

【図 30】 突出部を設けない構造における隣接した二画素の等価回路を示す図である。

【図 31】 画素電圧および保持電圧の電圧変化を示す図である。

【図 32】 画素電極および保持電圧の電圧変化を示す図である。

【図 33】 突出部を設けた構造における隣接した二画素の等価回路を示す図である。

【図 34】 第 2 の改良構造に係る素子基板の上面図である。 40

【図 35】 第 3 の改良構造に係る素子基板の上面図である。

#### 【符号の説明】

100 表示装置

105 液晶

116 画素

118 液晶

200 素子基板

212 データ線

212 a 突出部

212 b 上突出部

10

20

30

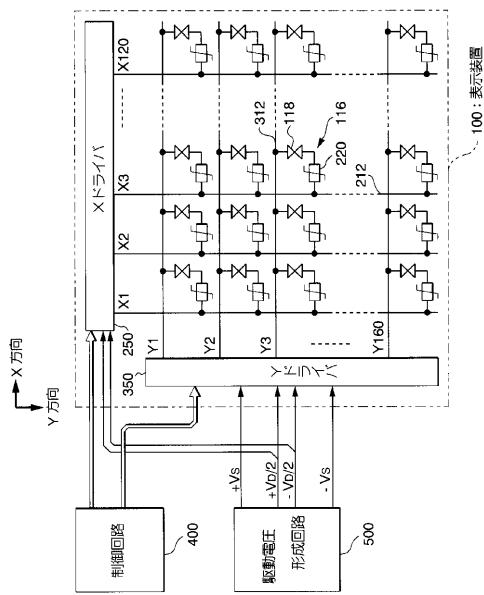
40

50

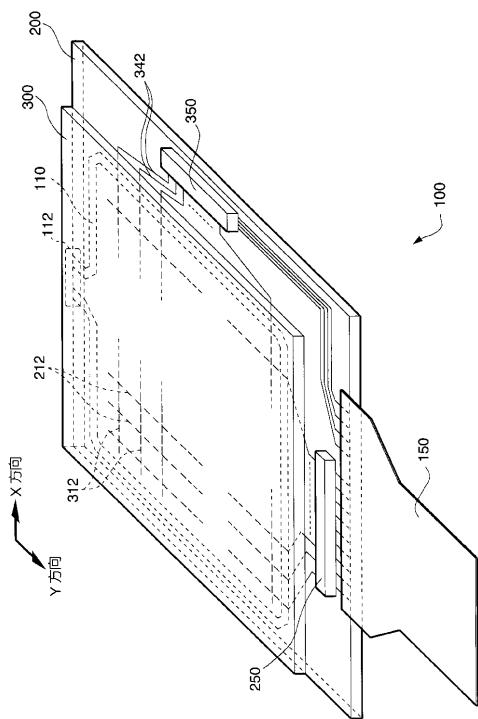
2 1 2 c 下突出部  
 2 2 0 T F D  
 2 3 4 画素電極  
 2 5 0 X ドライバ (データ線駆動回路)  
 2 8 0 導電線  
 3 0 0 対向基板  
 3 1 2 走査線  
 3 5 0 Y ドライバ (走査線駆動回路)  
 1 1 0 0 パーソナルコンピュータ  
 1 2 0 0 携帯電話  
 1 3 0 0 デジタルスチルカメラ  
 2 5 4 0 カウンタ  
 2 5 5 0 コンパレータ

10

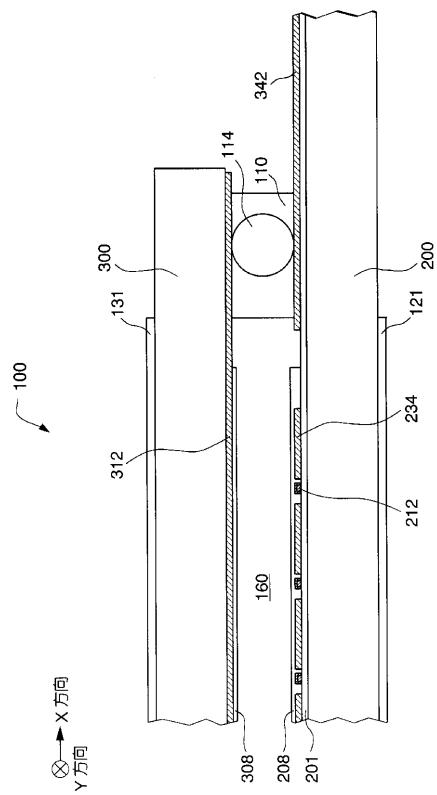
【図1】



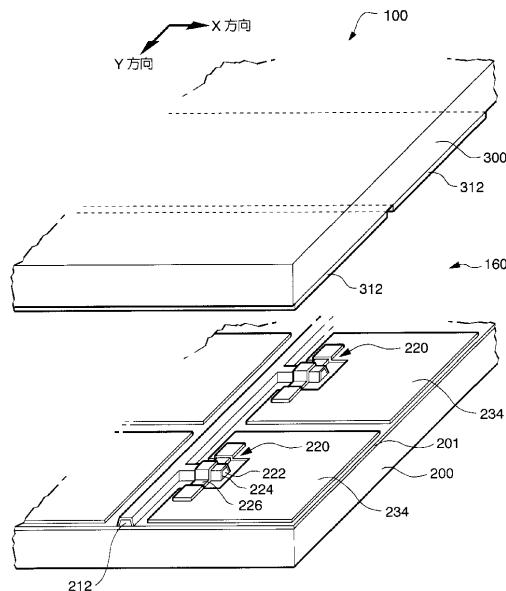
【図2】



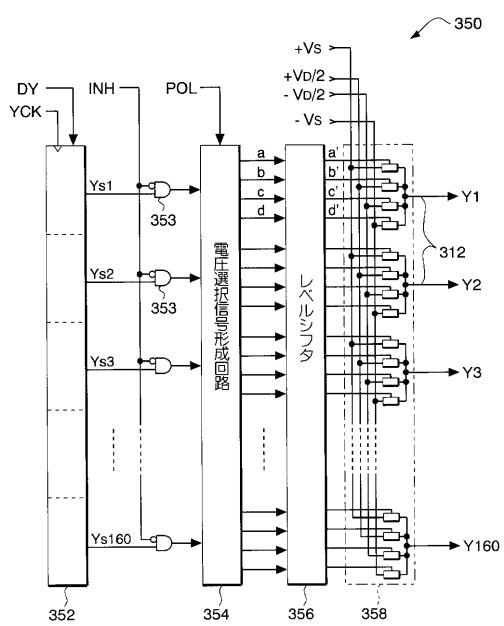
【図3】



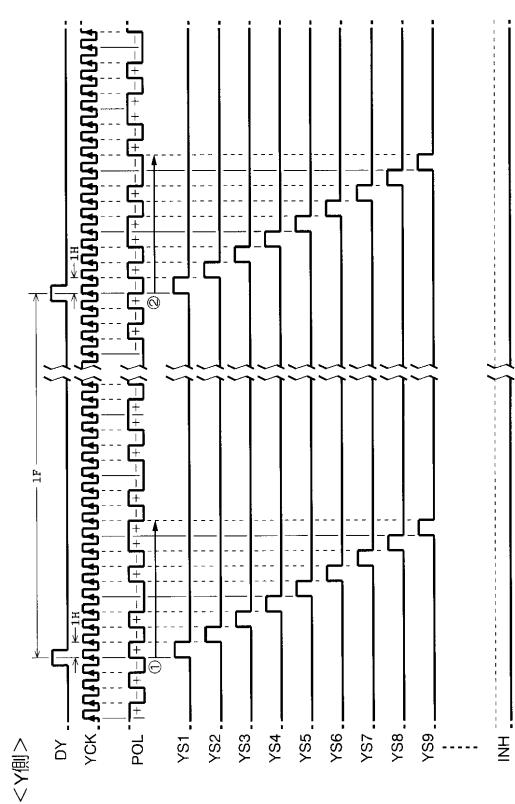
【図4】



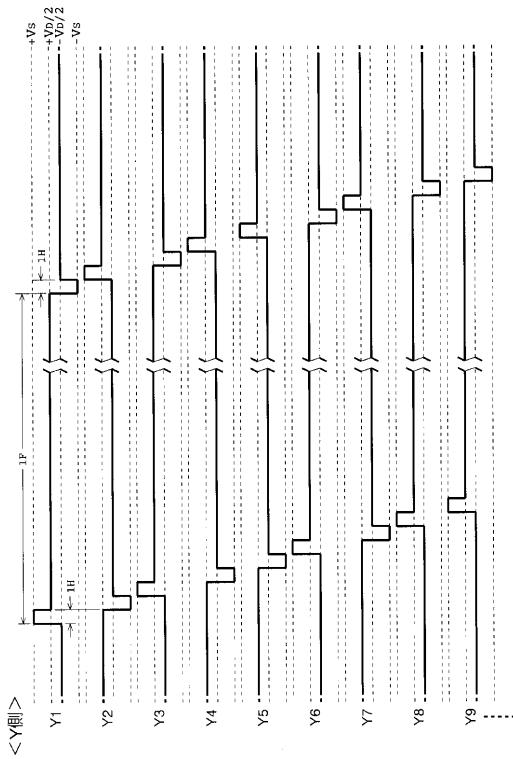
【図5】



【図6】

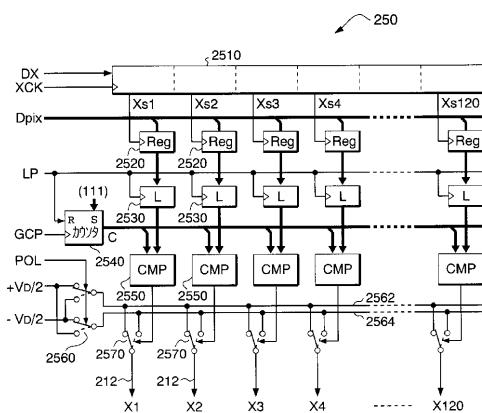


【 図 7 】

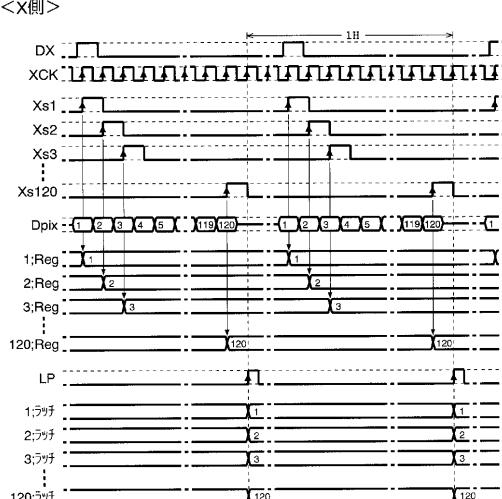


【 四 8 】

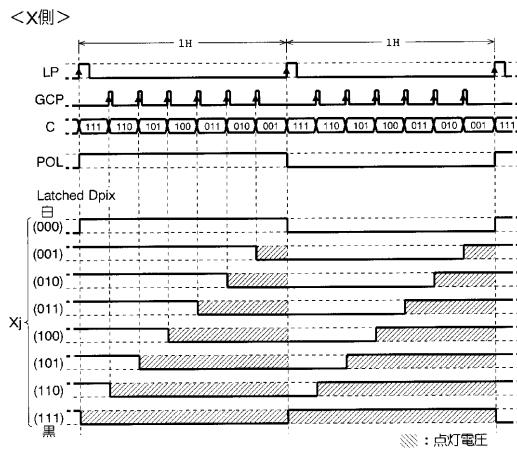
【図9】



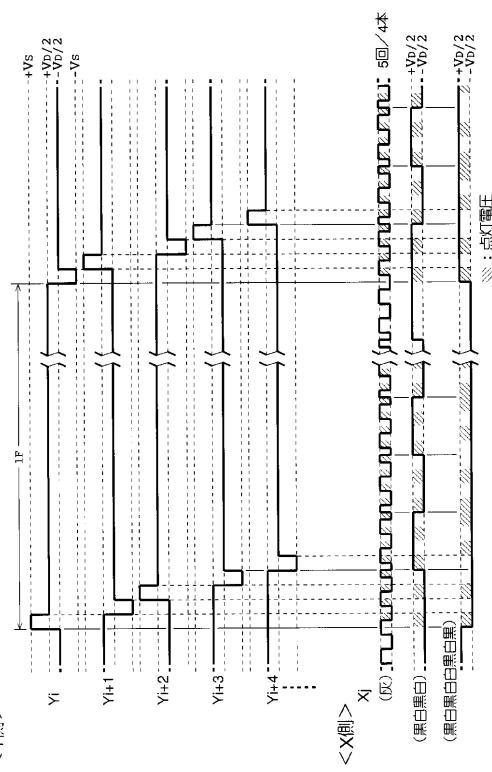
【 図 1 0 】



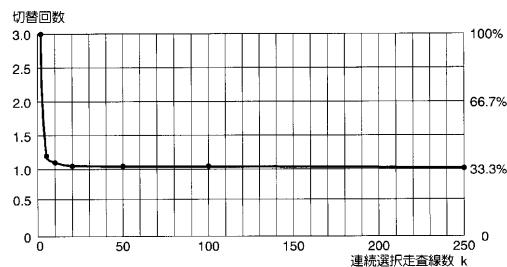
【図11】



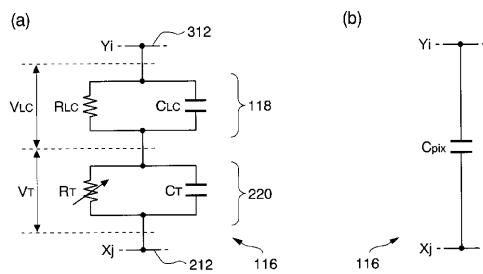
【図12】



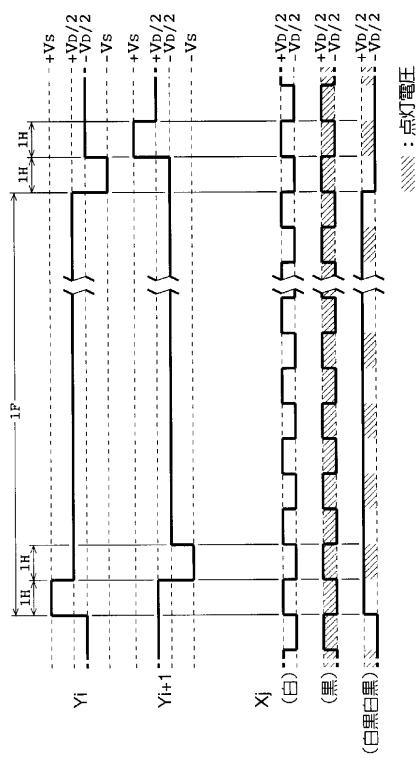
【図13】



【図14】

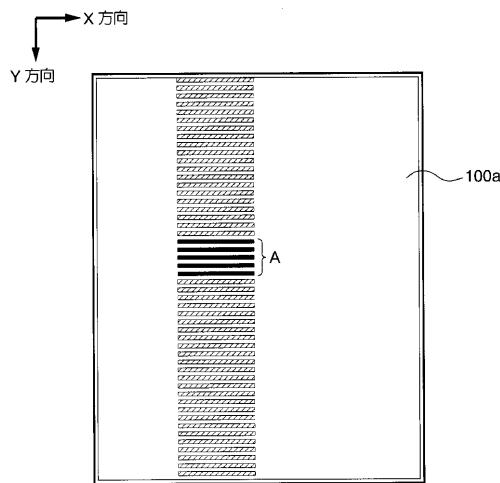


&lt;4値駆動法(1Hセレクト、1H反転)&gt;

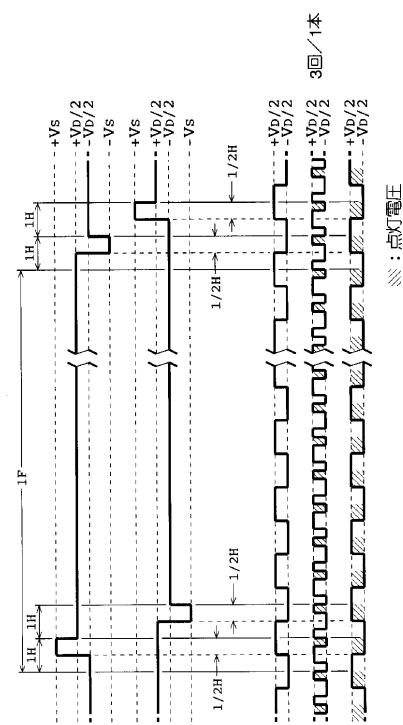


【図15】

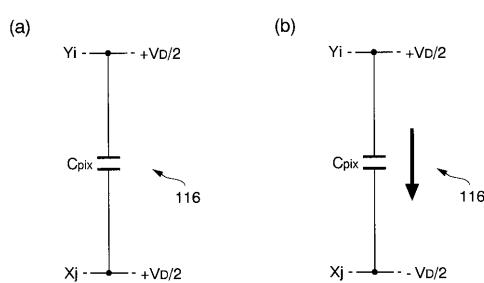
【 図 1 6 】



【 図 1 7 】



【図18】



【図19】

【図20】

&lt;選択電圧の極性&gt;

	1	2	3	4	5	6	7	8	9	10	11	12	13
1行目	+	+	-	+	-	-	-	+	+	+	-	+	-
2行目	-	-	+	-	-	+	-	-	-	-	-	-	+
3行目	+	-	+	+	+	-	-	-	-	-	-	-	-
4行目	-	-	-	-	+	+	-	-	-	-	-	-	+
5行目	-	-	-	-	-	-	+	-	-	-	-	-	-
6行目	-	-	-	-	-	-	-	+	-	-	-	-	-
7行目	-	-	-	-	-	-	-	-	+	-	-	-	-
8行目	+	-	-	-	-	-	-	-	-	-	-	-	-
9行目	+	-	-	-	-	-	-	-	-	-	-	-	-
10行目	-	-	-	-	-	-	-	-	-	-	-	-	-
11行目	-	-	-	-	-	-	-	-	-	-	-	-	-
12行目	-	-	-	-	-	-	-	-	-	-	-	-	-
13行目	-	-	-	-	-	-	-	-	-	-	-	-	-
14行目	-	-	-	-	-	-	-	-	-	-	-	-	-
15行目	-	-	-	-	-	-	-	-	-	-	-	-	-
16行目	-	-	-	-	-	-	-	-	-	-	-	-	-
17行目	-	-	-	-	-	-	-	-	-	-	-	-	-
18行目	-	-	-	-	-	-	-	-	-	-	-	-	-
19行目	-	-	-	-	-	-	-	-	-	-	-	-	-
20行目	-	-	-	-	-	-	-	-	-	-	-	-	-
21行目	-	-	-	-	-	-	-	-	-	-	-	-	-
22行目	-	-	-	-	-	-	-	-	-	-	-	-	-
23行目	-	-	-	-	-	-	-	-	-	-	-	-	-
24行目	-	-	-	-	-	-	-	-	-	-	-	-	-
25行目	-	-	-	-	-	-	-	-	-	-	-	-	-
26行目	-	-	-	-	-	-	-	-	-	-	-	-	-
27行目	-	-	-	-	-	-	-	-	-	-	-	-	-
28行目	-	-	-	-	-	-	-	-	-	-	-	-	-
29行目	-	-	-	-	-	-	-	-	-	-	-	-	-
30行目	-	-	-	-	-	-	-	-	-	-	-	-	-
31行目	-	-	-	-	-	-	-	-	-	-	-	-	-
32行目	-	-	-	-	-	-	-	-	-	-	-	-	-
33行目	-	-	-	-	-	-	-	-	-	-	-	-	-

縦軸付

フレーム→

【図21】

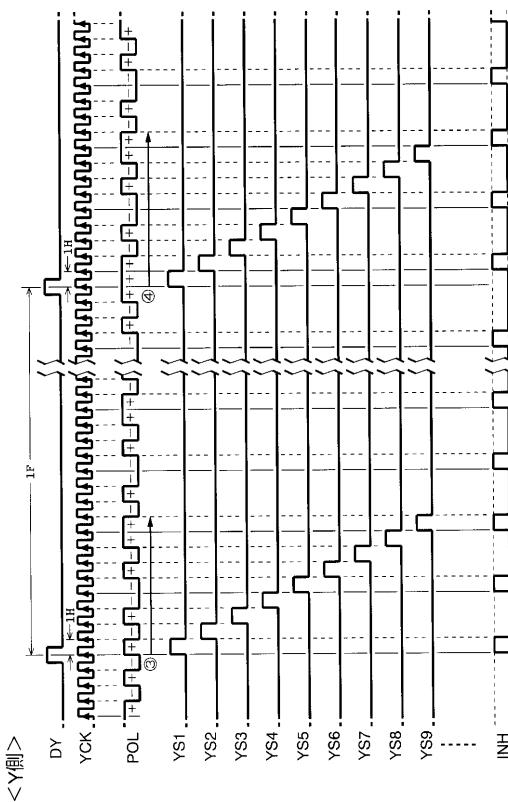
&lt;選択電圧の極性&gt;

	1	2	3	4	5	6	7	8	9	10	11	12	13
1行目	(+)	+	-	+	-	-	-	(+)	-	-	(+)	-	-
2行目	-	(+)	+	-	-	-	-	(+)	-	-	(+)	-	-
3行目	+	(+)	-	+	-	-	-	(+)	-	-	(+)	-	-
4行目	-	(+)	-	+	-	-	-	(+)	-	-	(+)	-	-
5行目	(1)	-	(+)	-	-	-	-	(+)	-	-	(+)	-	-
6行目	+	(1)	-	(+)	-	-	-	(+)	-	-	(+)	-	-
7行目	-	(+)	(1)	-	-	-	-	(+)	-	-	(+)	-	-
8行目	(+)	-	(1)	-	-	-	-	(+)	-	-	(+)	-	-
9行目	(+)	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
10行目	(+)	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
11行目	+	-	(+)	-	-	-	-	(+)	-	-	(+)	-	-
12行目	-	-	(+)	-	-	-	-	(+)	-	-	(+)	-	-
13行目	(1)	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
14行目	(+)	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
15行目	-	-	(+)	(1)	-	-	-	(+)	-	-	(+)	-	-
16行目	-	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
17行目	(+)	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
18行目	-	-	(+)	-	-	-	-	(+)	-	-	(+)	-	-
19行目	-	-	(+)	-	-	-	-	(+)	-	-	(+)	-	-
20行目	-	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
21行目	(1)	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
22行目	-	-	(+)	(1)	-	-	-	(+)	-	-	(+)	-	-
23行目	-	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
24行目	-	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
25行目	(+)	-	-	-	(+)	-	-	(+)	-	-	(+)	-	-
26行目	-	-	(+)	-	(+)	-	-	(+)	-	-	(+)	-	-
27行目	-	-	-	(+)	-	(+)	-	(+)	-	-	(+)	-	-
28行目	-	-	-	-	(+)	-	(+)	-	-	(+)	-	-	-
29行目	(1)	-	-	-	(+)	-	(+)	-	-	(+)	-	-	-
30行目	-	-	-	(1)	-	-	(+)	-	-	(+)	-	-	-
31行目	-	-	(+)	(1)	-	-	-	(+)	-	-	(+)	-	-
32行目	-	-	-	(+)	-	-	-	(+)	-	-	(+)	-	-
33行目	(+)	-	-	-	(+)	-	-	(+)	-	-	(+)	-	-

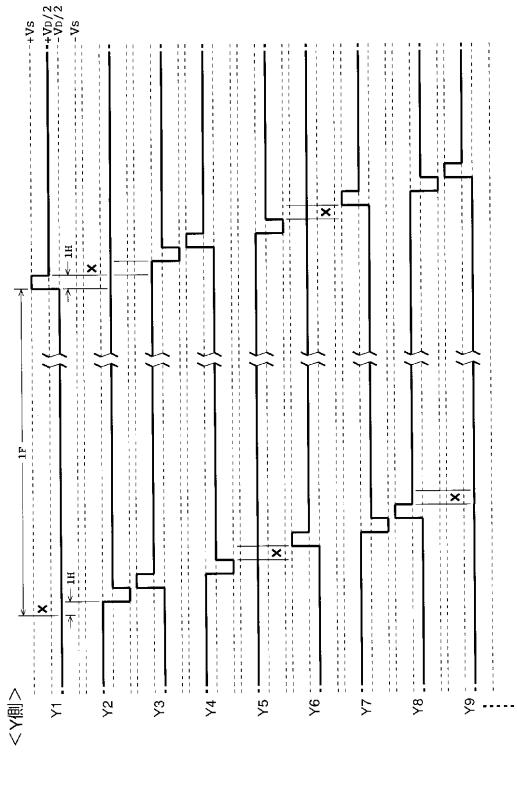
縦軸付

フレーム→

【図22】



【図23】



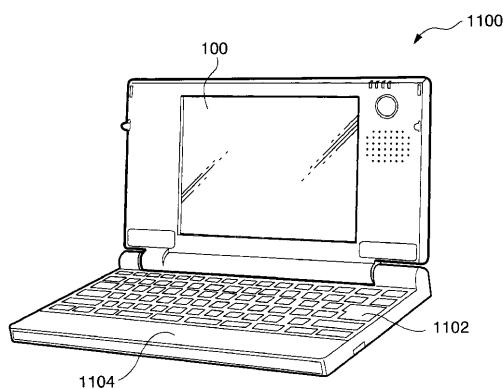
【図24】

&lt;選択電圧の極性&gt;

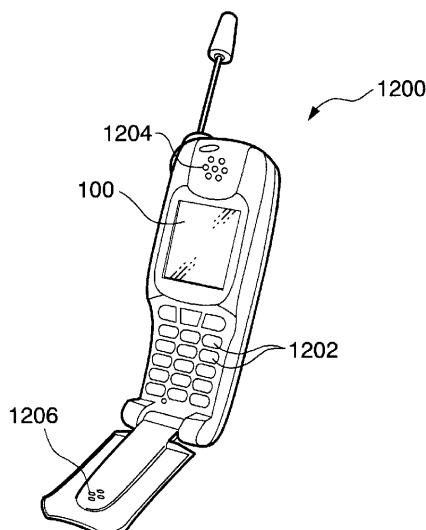
	1	2	3	4	5	6	7	8	9	10	11	12	13
1行目	+	(+)	-	+	-	(-)	+	-	+	(+)	-	+	-
2行目	-	(+)	-	+	-	(-)	(+)	-	+	(+)	-	+	-
3行目	+	-	(+)	-	+	-	(-)	+	-	+	(+)	-	-
4行目	(-)	+	-	(+)	-	+	-	(-)	+	-	+	(+)	-
5行目	-	(-)	+	-	(+)	-	+	-	(-)	+	-	+	-
6行目	+	-	(-)	+	-	(+)	-	+	-	(-)	+	-	-
7行目	-	+	-	(-)	+	-	(+)	-	+	-	(-)	+	-
8行目	(+)	-	+	-	(+)	-	(+)	-	(+)	-	+	-	(-)
9行目	+	(+)	-	+	-	(-)	+	-	(+)	-	+	-	-
10行目	-	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-	-
11行目	+	-	(+)	-	+	-	(-)	+	-	+	(+)	-	-
12行目	(-)	+	-	(+)	-	+	-	(-)	+	-	(+)	-	-
13行目	-	(+)	-	+	(+)	-	+	-	(-)	+	-	+	-
14行目	+	-	(-)	+	-	(+)	-	+	-	(-)	+	-	-
15行目	-	+	-	(-)	+	-	(+)	-	+	-	(-)	+	-
16行目	(+)	-	+	-	(-)	+	-	(+)	-	+	-	(+)	-
17行目	+	(+)	-	+	-	(-)	+	-	(+)	-	+	-	-
18行目	-	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-	-
19行目	+	-	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-
20行目	(-)	+	-	(+)	-	+	-	(-)	+	-	(+)	-	(+)
21行目	-	(-)	+	(+)	-	+	-	(-)	+	-	(+)	-	-
22行目	+	-	(-)	+	(+)	-	+	-	(-)	+	-	(+)	-
23行目	-	+	-	(-)	+	(+)	-	+	-	(+)	-	(+)	-
24行目	(+)	-	+	(-)	+	-	(+)	-	(+)	-	(-)	-	-
25行目	+	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-	-
26行目	-	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-	-
27行目	+	-	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-
28行目	(-)	+	-	(+)	-	+	-	(-)	+	-	(+)	-	(+)
29行目	-	(-)	+	-	(+)	-	+	-	(-)	+	-	(+)	-
30行目	+	-	(-)	+	-	(+)	-	+	-	(-)	+	-	-
31行目	-	+	-	(-)	+	-	(+)	-	+	-	(-)	+	-
32行目	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-	(-)	-
33行目	+	(+)	-	+	-	(-)	+	-	(+)	-	(+)	-	-

走査線↓

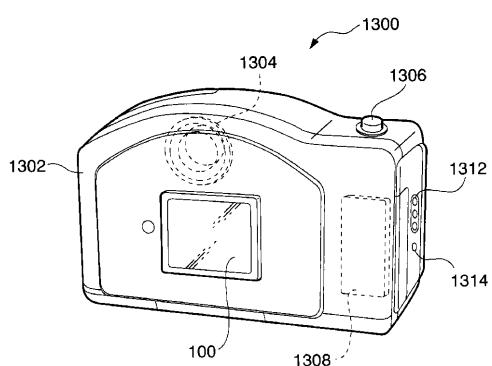
【図25】



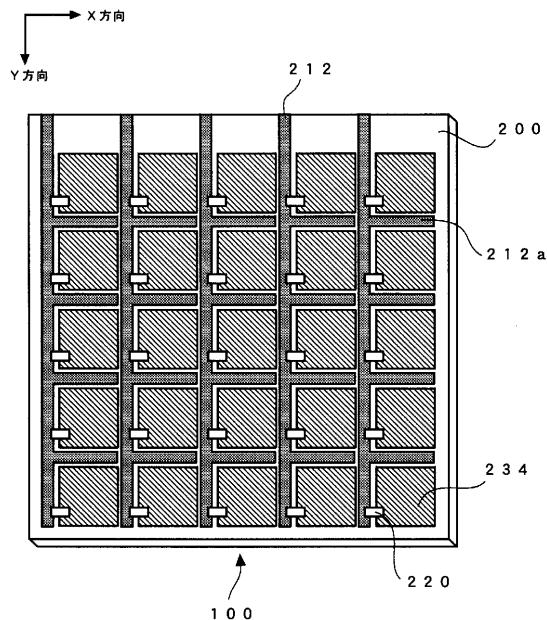
【図26】



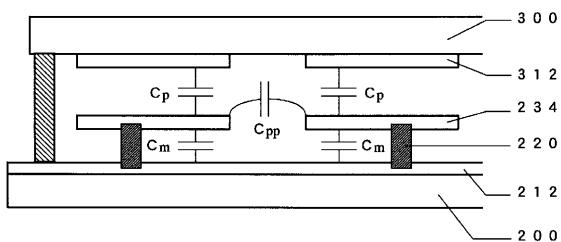
【図27】



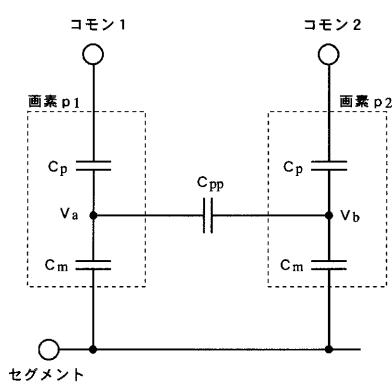
【図28】



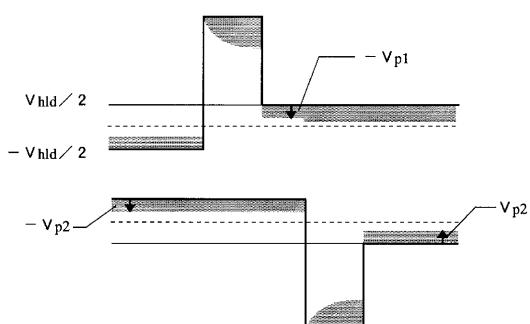
【図29】



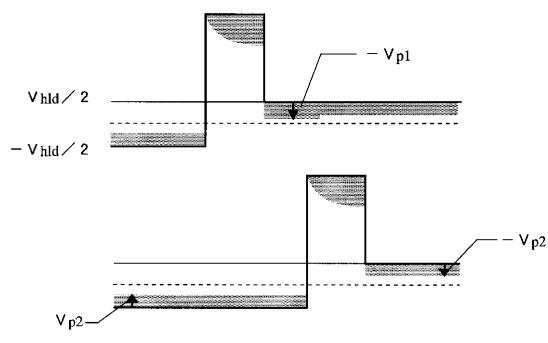
【図30】



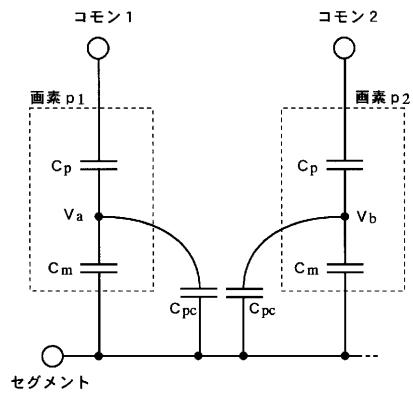
【図31】



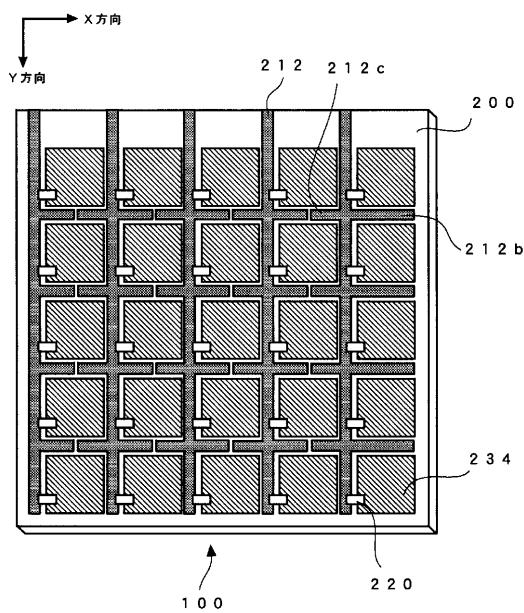
【図3-2】



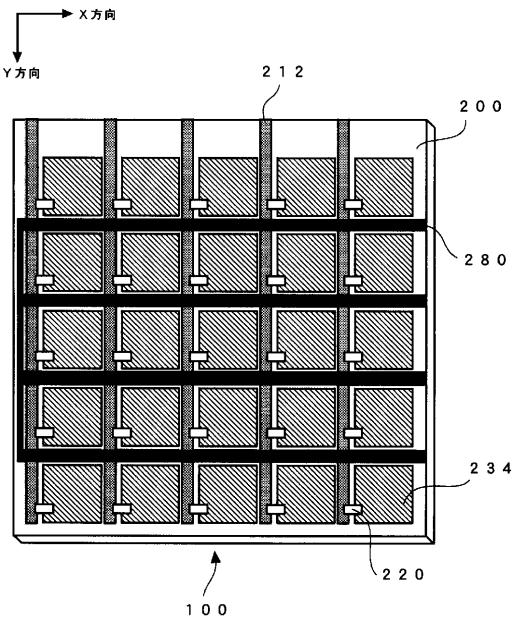
【図3-3】



【図3-4】



【図3-5】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 2 2 J
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 4 2 A

(56)参考文献 特開平11-352938 (JP, A)

特開平11-202288 (JP, A)

特開2001-147670 (JP, A)

特開平04-307520 (JP, A)

特開平03-007914 (JP, A)

特開平04-069622 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133