



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월16일
(11) 등록번호 10-1022867
(24) 등록일자 2011년03월09일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2005-7006029
(22) 출원일자(국제출원일자) 2003년10월06일
심사청구일자 2008년10월06일
(85) 번역문제출일자 2005년04월07일
(65) 공개번호 10-2005-0075351
(43) 공개일자 2005년07월20일
(86) 국제출원번호 PCT/US2003/031603
(87) 국제공개번호 WO 2004/034432
국제공개일자 2004년04월22일

(30) 우선권주장
10/601,121 2003년06월19일 미국(US)
60/416,942 2002년10월08일 미국(US)

(56) 선행기술조사문헌
US20030036256 A1*
US0668338 A
US0671044 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

그레이트 웰 세미컨덕터

미국, 아리조나 85285-4619, 템프, 사우스런 애버
뉴, 피.오.박스 24619

(72) 발명자

쟁 쉐

미국, 미시간 48105, 앤 아버, 파인 브래 드라이브
438

(74) 대리인

최홍걸, 강명구

전체 청구항 수 : 총 6 항

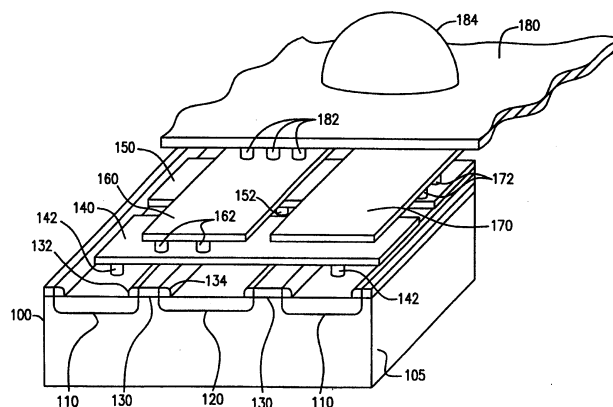
심사관 : 구분재

(54) 파워 MOSFET

(57) 요약

집적 반도체 또는 이산 컴포넌트에서 영역들을 상호 연결시키기 위한 시스템. 제 1전도도 층이 제 1연결 판 및 제 2 연결 판을 가져서 다수의 제 1 및 제 2 영역들을 상호 연결시키도록 한다. 제 2 전도도층은 제 3 연결판을 가져서 제 2 연결판을상호 연결시키기위해 제 1 연결고리와 제 4연결판을상호 연결시키도록 한다. 제 3 전도도 층은 상기 제 3 연결고리에 연결된 제 1 패드를 가지며 상기 제 4 연결고리에 연결된 제 2 패드를 가진다. 땀납 범프(bumps)가 상기 제 1 및 제 2 패드상에서 사용되어 상기 패드들을 다른 회로들로 연결시키도록 한다.

대표도 - 도1a



특허청구의 범위

청구항 1

래터럴 파워 MOSFET 반도체 장치에 있어서, 상기 래터럴 파워 MOSFET 반도체 장치는

- a. 반도체 기판;
- b. 다수의 소스 요소를 형성하는 상기 반도체 기판 내의 다수의 제 1 도핑 영역으로서, 이때, 상기 소스 요소는 실리사이드의 층으로 형성된 하나 이상의 로우(row)로 배열되는 상기 제 1 도핑 영역,
- c. 다수의 드레인 요소를 형성하는 상기 반도체 기판 내의 다수의 제 2 도핑 영역으로서, 이때, 상기 드레인 요소는 실리사이드의 층으로 형성되는 하나 이상의 로우(row)로 배열되고, 상기 다수의 소스 요소의 로우(row)와 교대 삽입(interleave)되는 상기 제 2 도핑 영역,
- d. 소스 및 드레인 요소의 상기 로우(row)에 직교하고, 서로 평행하는 다수의 제 1 연결판(runner) 및 다수의 제 2 연결판을 포함하는 제 1 연결 층으로서, 이때, 상기 다수의 제 1 연결판은 상기 다수의 소스 요소의 로우로 연결되고, 상기 다수의 제 2 연결판은 상기 다수의 드레인 요소의 로우로 연결되며, 상기 다수의 제 1 연결판은 상기 다수의 제 2 연결판과 교대 삽입되는 상기 제 1 연결 층,
- e. 상기 제 1 연결판 및 제 2 연결판과 직교하는 다수의 제 3 연결판 및 다수의 제 4 연결판을 포함하는 제 2 연결 층으로서, 이때, 상기 다수의 제 3 연결판은 상기 다수의 제 1 연결판으로 다중-연결(multiply connected)되며, 상기 다수의 제 4 연결판은 상기 다수의 제 2 연결판으로 다중-연결되며, 상기 다수의 제 3 연결판은 상기 다수의 제 4 연결판과 교대 삽입되는 상기 제 2 연결 층,
- f. 상기 다수의 제 3 연결판으로 다중-연결되는 다수의 제 1 패드(pad)와 상기 다수의 제 4 연결판으로 다중-연결되는 다수의 제 2 패드를 포함하는 제 3 연결 층으로서, 이때, 상기 래터럴 파워 MOSFET 반도체 장치를 형성하기 위해, 제 1 패드 및 제 2 패드는 체커판 패턴(checkerboard pattern)으로 배열되는 상기 제 3 연결 층을 포함하며, 이때,

최소의 저항을 갖는 하나의 전기 경로를 따라서 전기 전류가 상기 소스 및 드레인 요소 각각으로 흐르도록 상기 소스 및 드레인 요소로의 다수의 전기적 경로가 존재하는 것을 특징으로 하는 래터럴 파워 MOSFET 반도체 장치.

청구항 2

제 1 항에 있어서, 하나 이상의 상기 제 1 패드는 하나 이상의 제 1 땀납 범프(solder bump)를 가지며, 하나 이상의 상기 제 2 패드는 하나 이상의 제 2 땀납 범프를 갖는 것을 특징으로 하는 래터럴 파워 MOSFET 반도체 장치.

청구항 3

래터럴 파워 MOSFET 반도체 장치에 있어서, 상기 래터럴 파워 MOSFET 반도체 장치는

- a. 반도체 기판;
- b. 다수의 소스 요소를 형성하는 상기 반도체 기판 내의 다수의 제 1 도핑 영역으로서, 이때, 상기 소스 요소는 실리사이드의 층으로 형성된 하나 이상의 로우(row)로 배열되는 상기 제 1 도핑 영역,
- c. 다수의 드레인 요소를 형성하는 상기 반도체 기판 내의 다수의 제 2 도핑 영역으로서, 이때, 상기 드레인 요소는 실리사이드의 층으로 형성되는 하나 이상의 로우(row)로 배열되고, 상기 다수의 소스 요소의 로우(row)와 교대 삽입(interleave)되는 상기 제 2 도핑 영역,
- d. 소스 및 드레인 요소의 상기 로우(row)에 직교하고, 서로 평행하는 다수의 제 1 연결판(runner) 및 다수의 제 2 연결판을 포함하는 제 1 연결 층으로서, 이때, 상기 다수의 제 1 연결판은 상기 다수의 소스 요소의 로우로 연결되고, 상기 다수의 제 2 연결판은 상기 다수의 드레인 요소의 로우로 연결되며, 상기 다수의 제 1 연결판은 상기 다수의 제 2 연결판과 교대 삽입되는 상기 제 1 연결 층,
- e. 상기 다수의 제 2 연결판으로 다중-연결되는(multiply connected) 다수의 제 1 패드와 상기 다수의 제 3 연

결판으로 다중-연결되는 다수의 제 2 패드를 갖는 제 2 연결 층으로서, 이때, 상기 래터럴 파워 MOSFET 반도체 장치를 형성하기 위해, 제 1 패드 및 제 2 패드는 체커판 패턴(checkerboard pattern)으로 배열되는 상기 제 2 연결 층

을 포함하며, 이때, 최소의 저항을 갖는 하나의 전기 경로를 따라서 전기 전류가 상기 소스 및 드레인 요소 각각으로 흐르도록 상기 소스 및 드레인 요소로의 다수의 전기적 경로가 존재하는 것을 특징으로 하는 래터럴 파워 MOSFET 반도체 장치.

청구항 4

제 3 항에 있어서, 하나 이상의 상기 제 1 패드는 하나 이상의 제 1 땀납 범프(solder bump)를 가지며, 하나 이상의 상기 제 2 패드는 하나 이상의 제 2 땀납 범프를 갖는 것을 특징으로 하는 래터럴 파워 MOSFET 반도체 장치.

청구항 5

래터럴 파워 MOSFET 반도체 장치에 있어서, 상기 래터럴 파워 MOSFET 반도체 장치는

- a. 반도체 기판;
- b. 다수의 소스 요소를 형성하는 상기 반도체 기판 내의 다수의 제 1 도핑 영역으로서, 이때, 상기 소스 요소는 실리사이드의 층으로 형성된 하나 이상의 로우(row)로 배열되는 상기 제 1 도핑 영역,
- c. 다수의 드레인 요소를 형성하는 상기 반도체 기판 내의 다수의 제 2 도핑 영역으로서, 이때, 상기 드레인 요소는 실리사이드의 층으로 형성되는 하나 이상의 로우(row)로 배열되고, 상기 다수의 소스 요소의 로우(row)와 교대 삽입(interleave)되는 상기 제 2 도핑 영역,
- d. 소스 및 드레인 요소의 상기 로우(row)에 직교하고, 서로 평행하는 다수의 제 1 연결판(runner) 및 다수의 제 2 연결판을 포함하는 제 1 연결 층으로서, 이때, 상기 다수의 제 1 연결판은 상기 다수의 소스 요소의 로우로 연결되고, 상기 다수의 제 2 연결판은 상기 다수의 드레인 요소의 로우로 연결되며, 상기 다수의 제 1 연결판은 상기 다수의 제 2 연결판과 교대 삽입되는 상기 제 1 연결 층,
- e. 상기 제 1 연결판 및 제 2 연결판과 직교하는 다수의 제 3 연결판 및 다수의 제 4 연결판을 포함하는 제 2 연결 층으로서, 이때, 상기 다수의 제 3 연결판은 상기 다수의 제 1 연결판으로 다중-연결(multiply connecte d)되며, 상기 다수의 제 4 연결판은 상기 다수의 제 2 연결판으로 다중-연결되며, 상기 다수의 제 3 연결판은 상기 다수의 제 4 연결판과 교대 삽입되는 상기 제 2 연결 층,
- f. 상기 다수의 제 3 연결판으로 다중-연결되는 다수의 제 1 패드(pad)와 상기 다수의 제 4 연결판으로 다중-연결되는 다수의 제 2 패드를 포함하는 제 3 연결 층으로서, 이때, 상기 래터럴 파워 MOSFET 반도체 장치를 형성하기 위해, 제 1 패드 및 제 2 패드는 줄무늬 패턴(striped pattern)으로 배열되는 상기 제 3 연결 층

을 포함하며, 이때,

최소의 저항을 갖는 하나의 전기 경로를 따라서 전기 전류가 상기 소스 및 드레인 요소 각각으로 흐르도록 상기 소스 및 드레인 요소로의 다수의 전기적 경로가 존재하는 것을 특징으로 하는 래터럴 파워 MOSFET 반도체 장치.

청구항 6

제 5 항에 있어서, 하나 이상의 상기 제 1 패드는 하나 이상의 제 1 땀납 범프(solder bump)를 가지며, 하나 이상의 상기 제 2 패드는 하나 이상의 제 2 땀납 범프를 갖는 것을 특징으로 하는 래터럴 파워 MOSFET 반도체 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

명세서

기술분야

[0001] 본원은 2002년 10월 8일자 미국 가 특허 출원 제 60/416,942호 "파워 MOSFET"을 기초로한 출원이다. 본 발명은 반도체 소자 및 이들을 상호 연결시키는 방법 분야에 대한 것이다.

배경 기술

- [0002] 종래의 래터럴 파워(lateral power) 모스 전계 효과 트랜지스터("MOSFETs")가 현재 사용되고 있다. 그러나, 이들 종래의 래터럴 파워 MOSFET는 금속 상호연결의 기생 저항으로 인한 높은 온-상태(on-state) 저항의 문제를 나타낸다. 이는 트랜지스터 셀들을 연결시키는 데에 사용되며 그리고 소자의 외부 리드(leads)에 연결시키는 데 사용되는 길고 얇은 인터커넥트(interconnects)에 의해 발생된다. 이 같은 문제는 상기 트랜지스터 다이 크기가 커지고 많은 숫자의 트랜지스터 셀들이 큰 부하를 처리하기 위하여 병렬로 연결되는 때 심각하게 된다.
- [0003] 또한 종래의 래터럴 파워 MOSFET는 상보적인 금속-산화물 반도체("CMOS") 공정을 사용하여 형성된다. 종래의 공정은 3개의 금속 층 처리를 위하여 18개의 마스크를 필요로 한다. 이같은 공정의 복잡성은 제작 비용, 오류, 그리고 래치-업(latch-up)과 관련된 문제를 증가시킨다.
- [0004] 쌍극성 소자 또한 유사한 이유로 상기 금속 상호 연결의 기생 저항으로 인한 높은 온-상태 저항을 갖는 MOSFET에서와 같은 문제를 갖게된다.
- [0005] 따라서, 온-상태 저항을 줄이기 위해 인터커넥트의 기생 저항이 적은, MOSFET 및 쌍극성 소자와 같은 래터럴 파워 소자를 제공할 필요가 있게 된다.

발명의 상세한 설명

- [0006] 본 발명은 체커판 또는 상호 역은 형태로 배치된 전도성 패드상에서 와이드 금속 연결판 또는 평면 상호 연결 층, 그리고 다수의 뎀납 범프를 사용하여 반도체 기판상에서 영역들을 상호 연결시키어, 기생저항을 줄이기 위한 시스템을 공개한다. 상기 상호연결은 집적된 소자 뿐 아니라 이산 소자들을 상호 연결시키기 위해 사용될 수 있다. 하기에서는 첨부도면을 참조하여 본원 발명을 상세히 설명한다.

실시 예

- [0007] 도 1-6은 본발명에 따라 본 발명의 다양한 특징들을 설명하는 도면.
- [0008] 본원 발명의 설명을 명료하게 하기 위하여 도면에 도시된 소자들은 실제의 크기로 도시되지 않는다. 가령, 몇몇 소자의 크기는 다른 소자들에 비하여 크게 확대되어 도시된다. 또한, 필요에 따라서는 해당하는 또는 유사한 요소들을 나타내기 위하여 도면 부호가 반복하여 사용되어 지기도한다.
- [0009] 본 발명의 바람직한 실시예는 종래의 CMOS 제조 공정을 사용하여 생산 비용을 줄이기 위해 본 발명을 실시하는 반도체 소자를 만들도록 한다. 그러나, 본 발명의 한 특징에 따라, 단지 한 종류의 MOSFET (n-채널 이거나 p-채널 MOSFET)가 다이상에 만들어진다. 본발명의 소자가 병렬 n-채널 이거나 p-채널로만 구성되기 때문에, 래치-업의 문제는 피하여 진다.
- [0010] 두 개이상의 트랜지스터가 다이상에 있다면 다른 선택적 실시가 전계 임플란트(field implants)를 사용할 수 있으나, 또다른 바람직한 실시예에서는 어떠한 전계 임플란트도 사용되지 않는다.
- [0011] 본 발명의 또다른 실시예에서, 바람직한 실시예가 다이마다 단 하나의 소자만을 갖도록 구성되기 때문에 어떠한 로컬 전계 산화물층도 존재하지 않는다.
- [0012] 본 발명의 다른 한 실시예에서, 자동-정렬 실리사이드가 트랜지스터의 소스, 드레인, 그리고 게이트상에서 형성된다.
- [0013] 상기 간단한 공정 흐름을 사용하는 한가지 장점은 상기 처리 마스크가 3 개의 금속 층 공정에 대하여 18 개 마스크에서 10 개의 마스크로 준다는 것이다.
- [0014] 본 발명의 바람직한 실시예에서, 상기 트랜지스터 셀은 종래기술의 장치와 비교하여 짧고 와이드한 판연결에 의해 상호 연결된다.
- [0015] 도 1a는 본 발명 실시예의 한 사시도를 도시한 도면이다. 특히, 두 개의 소스(110)와 한 개의 드레인(120)을 갖는 반도체 소자(100) 일부가 도시된다. 도시된 실시예에서, 상기 반도체 소자(100)는 P-기판(105)으로 도시된다. 또다른 실시예에서, P 기판(105)은 P-기판의 상부에 증착된다.
- [0016] 소스(110)와 드레인(120)은 P 기판(105)내로 주입된 n-타입 도핑 임플란트인 것이 바람직하다. 상기 소스 및 드레인의 디자인 변경은 당업자에게 자명한 것이며, 본원 발명의 범위에 속하는 것이다. 가령, 소스(110) 그리고

드레인(120)이 N 기판(105)내에 삽입되는 p-타입 도핑 임플란트일 수 있다.

- [0017] 또다른 실시예로서, 도 1b는 N+로 도핑된 영역(112), P+로 도핑된 영역(114), 그리고 N으로 도핑된 영역(116)으로 구성된다. 한 선택적 실시예로서, 소스(110B)는 P+로 도핑된 영역으로 구성되며, 영역(112)(116)은 P+ 영역(114)의 어느 한측면에 인접한 N+ 임플란트이다. 또다른 실시예에서, 영역(112)(114)는 한 영역(118)을 갖기도 한다. 영역(118)은 약하게 도핑된 N-임플란트이고, 나머지 영역(112)(114)는 N+이다. 영역(118)의 약하게 도핑된 N-임플란트는 약하게 도핑된 드레인으로 작용한다.
- [0018] 도 1b에서, 드레인(120B)는 N+로 도핑된 영역(124) 그리고 N으로 도핑된 영역(124)(126)으로 구성된다. 상기 소스(110B)에서 처럼, 상기 도핑을 변경시키는 것은 당업자에게 자명한 것이다.
- [0019] 다시 도 1a에서 도시된 실시예에서, 게이트(130)는 SiO₂ 또는 Si₃N₄ 절연층(도시되지 않음)위의 폴리실리콘 게이트로 구성되며, 소스(110)와 드레인(120)사이에 위치하게 된다. SiO₂ 또는 Si₃N₄로 구성되는 스페이서(132)(134)가 게이트(130)에 인접하여 있으며, 소스(110)와 드레인(120) 각각을 지나 연장된다. (도 1b 또한 영역(118)(122)을 지나 연장되는 스페이서(132)134)을 도시한다. 스페이서는 또한 영역(126)을 지나 연장되기도 한다.)
- [0020] 소스 연결 판(140) 그리고 드레인 연결 판(150)는 제 1 상호 연결 층상에서 형성되며, 다른 전도성 재가 사용될 수 있기는 하나 금속으로 만들어 지는 것이 바람직하다. 특히, 멀티플 소스(110)는 바이어스(142)를 사용하여 소스 연결 고리(140)에 의해 상호 연결된다. 바람직하게는 소스 연결 고리(140)가 소스(110) 및 드레인(120)과 직교하는 방향인 것이나, 직교가 아닌 다른 오리엔테이션(방향 관계)(가령 예각이거나 평행한)이 사용될 수 있기도 하다.
- [0021] 드레인(120)은 바이어스(152)를 사용하여 드레인 연결 판(150)에 의해 상호 연결된다. 바람직하게는, 드레인 연결 판(150)이 드레인(120)과 직교하는 방향인 것이나, 직교가 아닌 다른 오리엔테이션(방향 관계)(가령 예각이거나 평행한)이 사용될 수 있기도 하다.
- [0022] 설명의 명료함을 위하여, 도 1a는 단 하나의 드레인(20)만을 도시하나, 바람직한 실시예에서는 멀티플 드레인(120)이 멀티플 소스(110)사이에서 인터리브되어질 수 있다. 마찬가지로, 단 하나의 소스 연결 판(140) 그리고 드레인 연결 판(150)이 도시되나, 바람직한 실시예에서, 멀티플 소스 그리고 드레인 연결 판(140)(150)이 서로 인터리브되어 사용될 수 있는 것이다.
- [0023] 도 1a는 또한 상기 제 2 상호 연결 층상에 형성되며, 비록 다른 전도성 재가 사용될 수 있으나 금속으로 구성되는 것이 바람직하다. 소스 연결 판(160)은 바이어스(162)를 사용하여 소스 연결 판(140)을 상호 연결 시킨다. 소스 연결 판(160)이 소스(110)와 관련하여서 평행한 방향으로 되어 있으나, 평행하지 않은(가령 예각을 이루는) 다른 오리엔테이션 관계가 사용될 수 있기도 하다.
- [0024] 드레인 연결 판(150)은 바이어스(172)를 사용하여 상호 연결된다. 바람직하게는, 드레인 연결 판(170)이 드레인(120)과 관련하여 평행한 오리엔테이션으로 되어 있으나, 평행하지 않은(가령 예각을 이루는) 다른 오리엔테이션 관계가 사용될 수 있기도 하다.
- [0025] 상기 제 1 상호 연결 층에서와 같이, 단하나의 소스 및 드레인 연결 판(160)(170) 각각만이 도시되어 있으나, 바람직한 실시예에서 멀티플 소스 및 드레인 연결 판(160)(170)이 사용될 수 있으며, 서로 인터리브되어지는 것이 바람직하다.
- [0026] 도 1a에서 도시된 상기 연결 판이 비록 동일한 너비와 장방형을 갖도록 되어 있으나, 상기 연결 고리는 어떠한 형상을 할 수도 있는 것이다. 가령, 연결 판이 동일하지 않은 너비를 갖을 수 있는 것이며 이같은 연결 판이 가변하는 좁고 넓은 부분 그리고 둥근 코너를 가질 수 있다.
- [0027] 도 1a는 비록 다른 전도성 재료가 사용될 수 있지만 금속으로 만들어지는 것이 바람직한 제 3 인터커넥트 층상에 형성된 소스 패드(180)를 도시한다. 소스 패드(180)는 바이어스(182)를 사용하여 소스 연결 고리(160)에 연결된다. 소스 패드(180)상에 형성된 땀납 범프(184)가 또한 도시되어 있다. 설명의 명료함을 위하여 도1a에서는 도시되어 있지 않지만, 유사한 드레인 패드(일예로서 도 1c, 드레인 패드(190)참조) 그리고 땀납 범프가 땀납 범프를 통하여 드레인 연결 판(170)을 연결시키며, 이같은 관계는 게이트 패드 그리고 땀납 범프의 경우에도 마찬가지이다. 이들 땀납 범프는 소스(110), 드레인(120), 그리고 게이트(130)를 외부 회로에 연결시킨다.
- [0028] 바람직한 실시예에서, 상기 바이어스(가령 바이어스(142, 152, 162, 172 그리고 182))가 전도성 인터커넥트를 형

성시키며, 비록 다른 전도성 재료가 사용될 수 있기도 하나 텅스텐으로 만들어지는 것이 바람직하다. 이들은 당업자에게 잘 알려진 방법으로 형성된다.

- [0029] 또다른 실시예에서, 어떠한 제 2의 인터커넥트 층도 연결 판을위해 사용되지 않는다. 일례로서, 도 1c는 소스 연결 판(160) 그리고 드레인 연결 판(170)을 형성시키는 어떠한 제 2의 인터커넥트 층도 사용되지 않는 다는 것을 제외하고는, 도 1a에서의 실시와 유사한 실시인 것이다. 대신, 드레인 패드(190)가 제 2 인터커넥트 층상에 형성되며 바이어스(172)에 의하여 드레인 연결 판(150)에 연결된다. 명료함을 위하여 도 1c에서는 도시되지 않지만, 유사한 소스 패드 그리고 댄납 범프가 소스 연결 판(140)를 연결시킨다.
- [0030] 도 2에서는 도 1a에서 도시된 실시예의 평면도가 도시되며, 추가의 소스(110), 드레인(120) 그리고 제 1 층 인터커넥트 소스 연결 판(140) 그리고 드레인 연결 판(150)을 도시한다. 소스(110)와 드레인(120)은 수직한 오리엔테이션 관계를 가지며, 소스 연결 판(140)과 드레인 연결 판(150)은 수평한 오리엔테이션 관계를 갖는 것으로 도시된다. 또한 바이어스(142)(152)는 상기 소스 연결 판(140) 및 드레인 연결 판(150)을 소스(110)와 드레인(120) 각각에 연결시키는 것으로 도시된다. 가령 도 2는 연결 포인트에서 두개의 바이어스를 사용하는 것으로 도시하고 있으나, 도 3a에서 도시된 바와같이 하나만의 바이어스가 사용될 수 있으며, 도 1a에서 바이어스(182)로 도시된 바와같이 세 개 이상의 바이어스가 사용될 수 있기도 하다.
- [0031] 도 3a에서는, 제 1 상호 연결 층(소스 연결 판(140) 그리고 드레인 연결 판(150)을 형성시키는), 제 2 상호 연결 층(소스 연결판(160) 그리고 드레인 연결판(170)을 형성시키는) 그리고 소스 패드(180)(윤곽 형태로)를 형성시키는 제 3 연결 층을 도시하는 도 1a실시예 평면도가 도시된다.
- [0032] 소스 연결판(140) 및 드레인 연결판(150)은 수평한 오리엔테이션관계로 배치된다. 소스 연결판(160)은 소스 연결판(140)위에 놓이며 바이어스(162)를 사용하여 상호 연결된다. 드레인 연결판(170)은 드레인 연결판(150)위에 놓이며 바이어스(172)를 사용하여 상호 연결된다. 소스 패드(180)는 소스 연결판(160) 그리고 드레인 연결판(170)위에 놓이는 것으로 도 3a에 도시되나, 바이어스(182)에 의해 소스 연결판(160)에 연결된 뿐이다.
- [0033] 도 3b는 제 1 상호 연결 층(소스 연결판(140) 그리고 드레인 연결판(150)을 형성시키는), 제 2 상호 연결층(소스 연결판(160) 그리고 드레인 연결판(170)을 형성시키는), 그리고 드레인 패드(190)(윤곽 형태로)를 형성시키는 제 3 상호 연결층을 도시하는 도 1a 실시예의 평면도를 도시한다.
- [0034] 소스 연결판(140) 그리고 드레인 연결판(150)은 수평한 오리엔테이션 관계로 배열된다. 소스 연결판(160)은 소스 연결판(170)위에 놓이며, 바이어스(162)를 이용하여 소스 연결판을 상호 연결시킨다. 드레인 연결판(170)은 드레인 연결판(170)위에 놓이며, 바이어스(172)를 이용하여 드레인 연결판을 상호 연결시킨다. 드레인 패드(190)는 소스 연결판(160) 그리고 드레인 연결판(170)위에 놓이는 것으로 도시되나, 바이어스(192)에 의하여 드레인 연결판(170)에만에 연결된다.
- [0035] 도 4a는 드레인 패드(300) 및 게이트 패드(400)에 유사한 소스 패드(3180)를 갖는 소자(100)의 상부를 도시한다. 소스 패드를 위한 댄납 범프(184) 그리고 상기 드레인 패드를 위한 댄납 범프(304)가 또한 도시된다. 도 4에서 도시된 실시예에서, 상기 소스 및 드레인 패드가 체크판 배열로 배치된다.
- [0036] 도 4b는 선택적 배열을 도시하는 것이며, 소스 패드(410) 그리고 드레인 패드(420) 각각이 “스트립”형상으로 되어 있으며, 서로 인터리브된다. 바람직한 실시예에서, 게이트 패드(430)는 필요에 따라 짧은 소스 패드(410)와 짧은 드레인 패드(420)와 함께 놓이게 된다.
- [0037] 본 발명의 또다른 실시예가 도 5에서 도시된다. 이 실시예에서, 소스(520) 및 드레인(530)이 “체크판” 패턴으로 배열된다. 첫 번째 상호 연결 층이 바이어스(504)를 사용하여 소스(520)를 상호 연결시키는 소스 연결 층(500)을 형성시킨다.
- [0038] 제 2 상호 연결층은 바이어스(514)를 통하여 드레인(530)을 연결시키는 드레인 연결층(510)을 형성시키며, 상기 제 1 상호연결층내 오픈닝을 통하여 그리고 그 같은 제 1층의 절단부를 사용하여 연결(502)을 형성시키도록 한다. 다음에 드레인 연결 층(510)이 바이어스(516)를 사용하여 연결(502)에 연결된다.
- [0039] 제 3 상호 연결 층(도시되지 않음)은 또한 바이어스(506), 연결(512) 그리고 연결(512)에 연결된 바이어스(도시되지 않음)을 사용하여 소스 연결층(500)에 연결된다. 바람직하게 소스 연결층(500), 드레인 연결층(510) 그리고 제 3 상호 연결층은 금속 또는 다른 전도성 재료로 구성되며, 상기 바이어스는 텅스텐 또는 다른 전도성 재료로 구성된다. 상기 제 3 상호 연결층은 도 1a에서 도시된 것과 유사한 방법으로 댄납 범프에 연결될 수 있다.
- [0040] 도 6a 및 6b는 평면도를 도시하는 것이다. 특히, 도 6a는 드레인 연결 층(510)으로부터 드레인(530)으로의 연결

을 허용하기위해 오픈닝 및 절단부(502)를 갖는 소스 연결층(500)을 도시한다. 도 6b는 소스(520)로 연결되는 소스 연결층(500)으로의 접근 및 접촉을 허용하기위해, 오픈닝 및 절단부(512)를 갖는 드레인 연결층(510)을 도시한다.

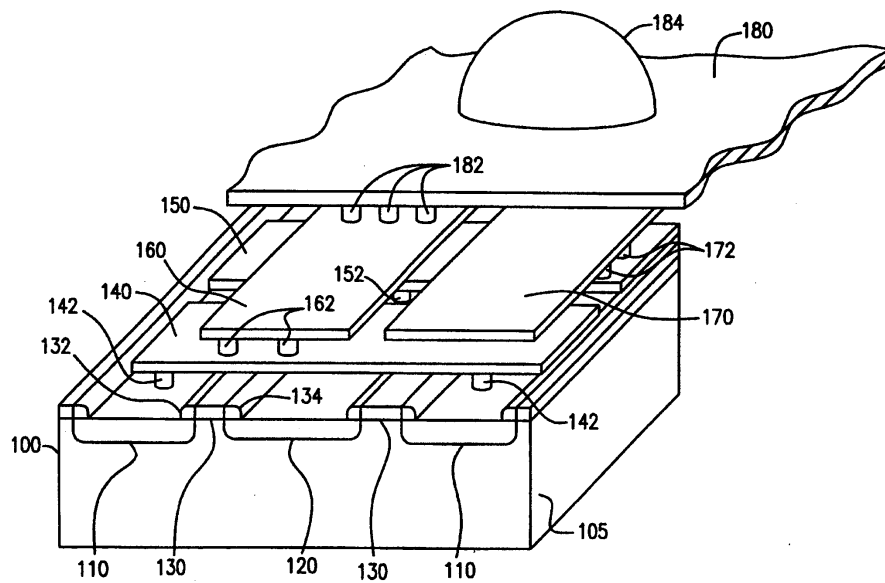
산업상 이용 가능성

[0041]

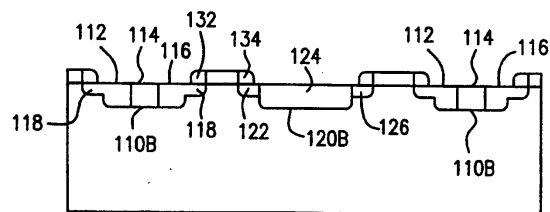
본 발명은 집적회로(520)로 제한 되지 않는 것임을 알 수 있다. 이산 컴포넌트들을 상호 연결시키는 한 예로서 도 5를 사용하여, 소스(520)와 드레인(530)이 이산 컴포넌트이라면, 이들 컴포넌트들은 한 집적회로로서 도 5와 관련하여 상기 상세하게 설명된 방법으로 본 발명을 사용하여 상호 연결된다. 또한, 셋 이상 또는 넷 이상의 상호 연결층들이 사용될 수 있으며, 가령 제 1 및 제 2 상호 연결층 또는 제 2 및 제 3 상호 연결층사이의 중간 상호 연결층이 있을 수 있다.

도면

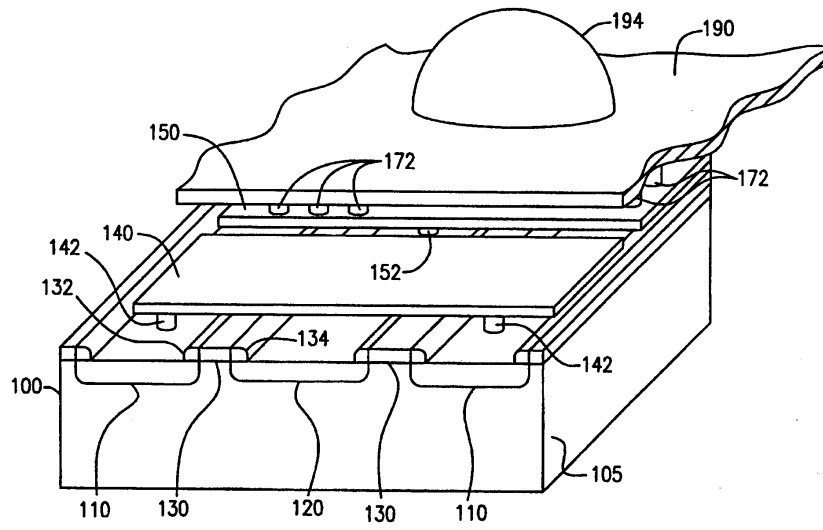
도면1a



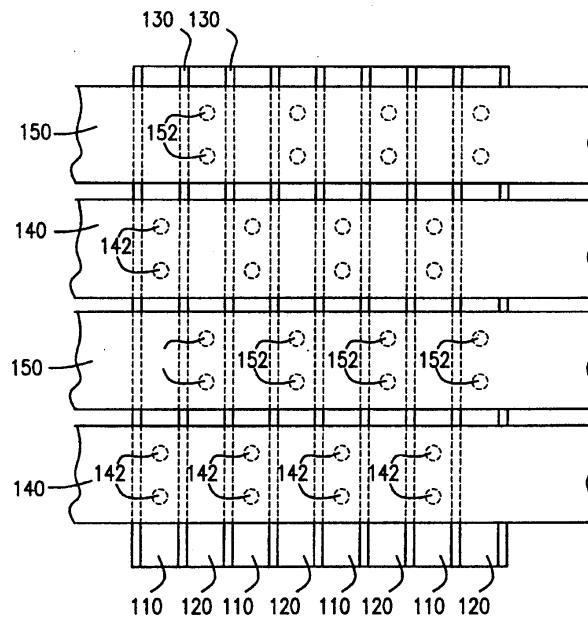
도면1b



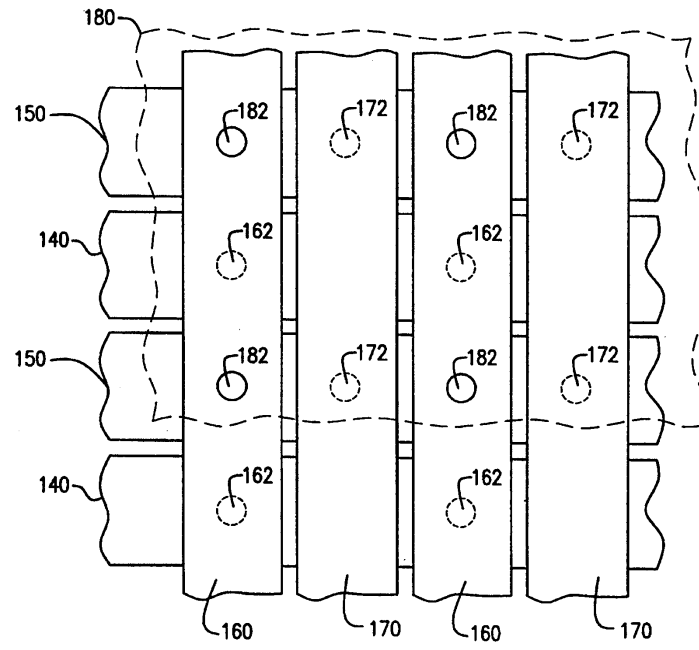
도면1c



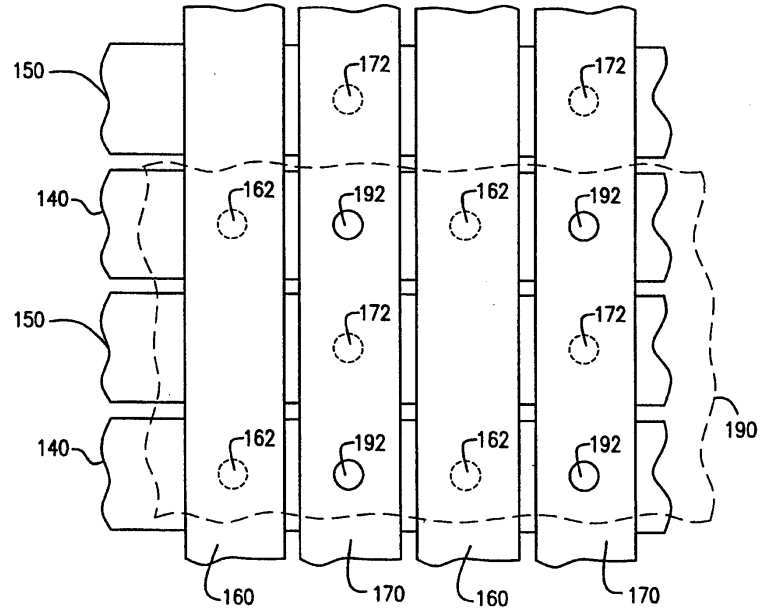
도면2



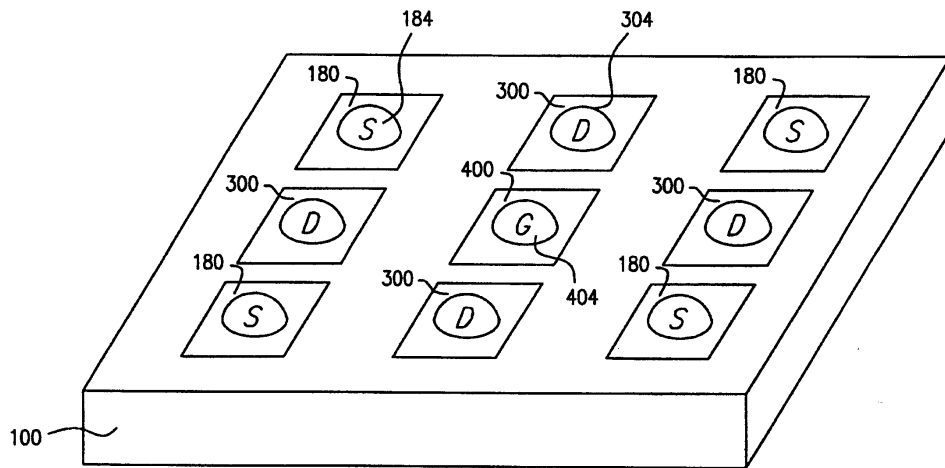
도면3a



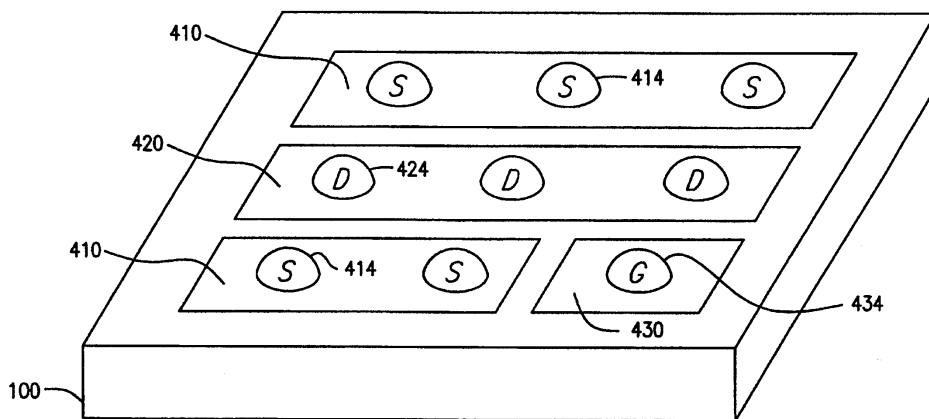
도면3b



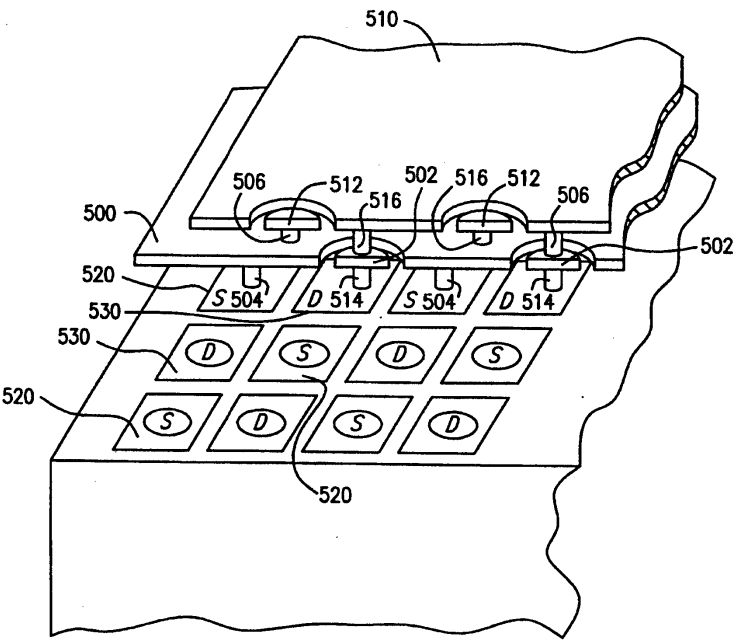
도면4a



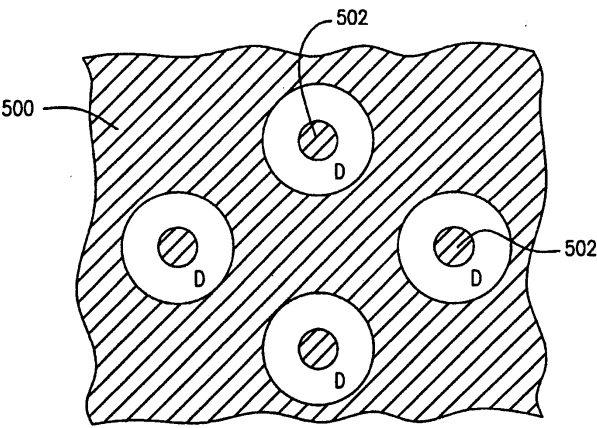
도면4b



도면5



도면6a



도면6b

