

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年4月19日(2018.4.19)

【公開番号】特開2015-188213(P2015-188213A)

【公開日】平成27年10月29日(2015.10.29)

【年通号数】公開・登録公報2015-066

【出願番号】特願2015-45474(P2015-45474)

【国際特許分類】

H 03 K 19/177 (2006.01)

H 03 K 3/356 (2006.01)

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

H 01 L 21/82 (2006.01)

【F I】

H 03 K 19/177

H 03 K 3/356 B

H 01 L 27/04 D

H 01 L 21/82 A

【手続補正書】

【提出日】平成30年3月6日(2018.3.6)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のロジックエレメントと、第2のロジックエレメントと、第1の回路と、第1の配線と、を有し、

前記第1の回路は、第2の回路と、第3の回路と、を有し、

前記第2の回路は、第1乃至第3のトランジスタと、第1の容量素子と、を有し、

前記第3の回路は、第4乃至第6のトランジスタと、第2の容量素子と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電気的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及び前記第5のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電気的に接続され、

前記第1の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有し、

前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1のコンフィギュレーションデータを格納することができる機能を有し、

前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第2のコンフィギュレーションデータを格納することができる機能を有することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記第1のロジックエレメントは、ルックアップテーブルと、レジスタと、AND回路と、を有し、

前記AND回路は、第1の入力端子と、第2の入力端子と、を有し、

前記レジスタには、前記ルックアップテーブルからの出力信号が入力され、

前記第1の入力端子には、前記レジスタからの出力信号が入力され、

前記第3の期間において、前記第2の入力端子には、低レベルの信号が入力されることを特徴とする半導体装置。

【請求項3】

第1のロジックエレメントと、第2のロジックエレメントと、第1の回路と、第4の回路と、第1の配線と、第2の配線と、を有し、

前記第1の回路は、第2の回路と、第3の回路と、を有し、

前記第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量素子と、を有し、

前記第3の回路は、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第2の容量素子と、を有し、

前記第4の回路は、第7のトランジスタと、インバータと、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第4の回路と電気的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及び前記第5のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第4の回路と電気的に接続され、

前記第4の回路は、前記第2のロジックエレメントと電気的に接続され、
前記第7のトランジスタのソースまたはドレインの一方は、前記第3のトランジスタのソースまたはドレインの他方、前記第6のトランジスタのソースまたはドレインの他方、
及び前記インバータの入力端子と電気的に接続され、

前記第7のトランジスタのソースまたはドレインの他方は、前記第2の配線と電気的に接続され、

前記第7のトランジスタのゲートは、前記インバータの出力端子と電気的に接続され、
前記インバータの入力端子は、前記第2のロジックエレメントと電気的に接続され、

前記第1の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有し

前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1のコンフィギュレーションデータを格納することができる機能を有し、

前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第2のコンフィギュレーションデータを格納することができる機能を有することを特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一において、
前記第1のトランジスタ及び前記第4のトランジスタは、酸化物半導体層を有することを特徴とする半導体装置。

【請求項5】

第1のロジックエレメントと、第2のロジックエレメントと、第1の回路と、第1の配線と、を有し、

前記第1の回路は、第2の回路と、第3の回路と、を有し、

前記第2の回路は、第1乃至第3のトランジスタと、第1の容量素子と、を有し、

前記第3の回路は、第4乃至第6のトランジスタと、第2の容量素子と、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電気的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及び前記第5のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第2のロジックエレメントと電気的に接続され、

前記第1の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有し、

前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1のコンフィギュレーションデータを格納することができる機

能を有し、

前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第2のコンフィギュレーションデータを格納することができる機能を有する半導体装置の駆動方法であって、

前記第2の回路に格納されている前記第1のコンフィギュレーションデータに基づいて、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1の期間を有し、

前記第1の期間において、前記第3の回路に前記第2のコンフィギュレーションデータを書き込む第2の期間を有し、

前記第2の期間において、前記第6のトランジスタを非導通状態とするとともに、前記第4のトランジスタを導通状態とする第3の期間を有し、

前記第3の期間において、前記第5のトランジスタのソースまたはドレインの一方に低レベルの信号を入力するとともに、前記第1の配線を介して前記第4のトランジスタのソースまたはドレインの一方に高レベルの信号を入力し、

前記第3の期間において、前記第1のロジックエレメントに入力されるクロック信号の供給を止めることを特徴とする半導体装置の駆動方法。

【請求項6】

請求項5において、

前記第1のロジックエレメントは、ルックアップテーブルと、レジスタと、AND回路と、を有し、

前記AND回路は、第1の入力端子と、第2の入力端子と、を有し、

前記レジスタには、前記ルックアップテーブルからの出力信号が入力され、

前記第1の入力端子には、前記レジスタからの出力信号が入力され、

前記第3の期間において、前記第2の入力端子には、低レベルの信号が入力されることを特徴とする半導体装置の駆動方法。

【請求項7】

第1のロジックエレメントと、第2のロジックエレメントと、第1の回路と、第4の回路と、第1の配線と、第2の配線と、を有し、

前記第1の回路は、第2の回路と、第3の回路と、を有し、

前記第2の回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第1の容量素子と、を有し、

前記第3の回路は、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、第2の容量素子と、を有し、

前記第4の回路は、第7のトランジスタと、インバータと、を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第1のトランジスタのソースまたはドレインの他方は、前記第1の容量素子の一方の電極及び前記第2のトランジスタのゲートと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第2のトランジスタのソースまたはドレインの他方は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第3のトランジスタのソースまたはドレインの他方は、前記第4の回路と電気的に接続され、

前記第4のトランジスタのソースまたはドレインの一方は、前記第1の配線と電気的に接続され、

前記第4のトランジスタのソースまたはドレインの他方は、前記第2の容量素子の一方の電極及び前記第5のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの一方は、前記第1のロジックエレメントと電気的に接続され、

前記第5のトランジスタのソースまたはドレインの他方は、前記第6のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第6のトランジスタのソースまたはドレインの他方は、前記第4の回路と電気的に接続され、

前記第4の回路は、前記第2のロジックエレメントと電気的に接続され、

前記第7のトランジスタのソースまたはドレインの一方は、前記第3のトランジスタのソースまたはドレインの他方、前記第6のトランジスタのソースまたはドレインの他方、及び前記インバータの入力端子と電気的に接続され、

前記第7のトランジスタのソースまたはドレインの他方は、前記第2の配線と電気的に接続され、

前記第7のトランジスタのゲートは、前記インバータの出力端子と電気的に接続され、

前記インバータの入力端子は、前記第2のロジックエレメントと電気的に接続され、

前記第1の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する機能を有し

前記第2の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1のコンフィギュレーションデータを格納することができる機能を有し、

前記第3の回路は、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第2のコンフィギュレーションデータを格納することができる機能を有する半導体装置の駆動方法であって、

前記第2の回路に格納されている前記第1のコンフィギュレーションデータに基づいて、前記第1のロジックエレメント及び前記第2のロジックエレメント間の導通状態を制御する第1の期間を有し、

前記第1の期間において、前記第3の回路に前記第2のコンフィギュレーションデータを書き込む第2の期間を有し、

前記第2の期間において、前記第6のトランジスタを非導通状態とするとともに、前記第4のトランジスタを導通状態とする第3の期間を有し、

前記第3の期間において、前記第5のトランジスタのソースまたはドレインの一方に低レベルの信号を入力するとともに、前記第1の配線を介して前記第4のトランジスタのソースまたはドレインの一方に高レベルの信号を入力し、

前記第3の期間において、前記第3のトランジスタを非導通状態とすることを特徴とする半導体装置の駆動方法。