【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成27年4月2日(2015.4.2)

【公開番号】特開2012-216776(P2012-216776A)
【公開日】平成24年11月8日(2012.11.8)
【年通号数】公開・登録公報2012-046
【出願番号】特願2012-25310(P2012-25310)
【国際特許分類】
Ｈ０１Ｌ　21/8238　(2006.01)
Ｈ０１Ｌ　27/092　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
Ｈ０１Ｌ　21/336　(2006.01)
Ｈ０１Ｌ　29/78　(2006.01)
Ｈ０１Ｌ　21/768　(2006.01)
Ｈ０１Ｌ　21/28　(2006.01)
Ｈ０１Ｌ　29/423　(2006.01)
Ｈ０１Ｌ　29/49　(2006.01)
Ｈ０１Ｌ　23/532　(2006.01)
Ｈ０１Ｌ　27/00　(2006.01)
Ｈ０１Ｌ　27/08　(2006.01)
Ｈ０１Ｌ　21/338　(2006.01)
Ｈ０１Ｌ　29/778　(2006.01)
Ｈ０１Ｌ　29/812　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/08　３２１Ｇ
Ｈ０１Ｌ　29/78　６１３Ｚ
Ｈ０１Ｌ　29/78　６２７Ｄ
Ｈ０１Ｌ　29/78　６１８Ｃ
Ｈ０１Ｌ　29/78　３０１Ｃ
Ｈ０１Ｌ　21/90　Ａ
Ｈ０１Ｌ　21/28　３０１Ｒ
Ｈ０１Ｌ　29/58　Ｇ
Ｈ０１Ｌ　21/90　Ｍ
Ｈ０１Ｌ　27/00　３０１Ｂ
Ｈ０１Ｌ　27/08　３２１Ｆ
Ｈ０１Ｌ　27/00　３０１Ｃ
Ｈ０１Ｌ　27/08　３２１Ｃ
Ｈ０１Ｌ　27/08　３３１Ｅ
Ｈ０１Ｌ　29/80　Ｈ

【手続補正書】
【提出日】平成27年2月6日(2015.2.6)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００１０
【補正方法】変更
【補正の内容】
【００１０】
【非特許文献１】Ｈ．Ｓ．Ｙａｎｇ，ｅｔ　ａｌ．，”Ｄｕａｌ　Ｓｔｒｅｓｓ　Ｌｉｎ

er for High Performance sub－45nm Gate Length SOI CMOS Manufacturing”, IEDM Tech. Dig., p.1075, 2004
【非特許文献2】M. Yang, et al., ”High performance CMOS Fabricated on Hybrid Substrate With Different Crystal Orientation”, IEDM, P.453～456, 2003
【非特許文献3】L. Witters et al., ”8Å Tinv Gate－First Dual Channel Technology Achieving Low－Vt High Performance”, IEEE, 2010
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００２１
【補正方法】変更
【補正の内容】
【００２１】
【図１】図１は、実施形態１において、半導体装置の要部を示す図である。
【図２】図２は、実施形態１において、半導体装置の要部を示す図である。
【図３】図３は、実施形態１において、半導体装置の要部を示す図である。
【図４】図４は、実施形態１において、半導体装置の要部を示す図である。
【図５】図５は、実施形態１において、半導体装置の要部を示す図である。
【図６】図６は、実施形態１において、半導体装置の一部を構成するｎ型ＭＯＳＦＥＴの要部を示す図である。
【図７】図７は、実施形態１において、半導体装置の一部を構成するｐ型ＭＯＳＦＥＴの要部を示す図である。
【図８】図８は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図９】図９は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１０】図１０は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１１】図１１は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１２】図１２は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１３】図１３は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１４】図１４は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１５】図１５は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１６】図１６は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１７】図１７は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１８】図１８は、実施形態１において、半導体装置の製造方法の要部を示す図である。
【図１９】図１９は、実施形態２において、半導体装置の製造方法の要部を示す図である。
【図２０】図２０は、実施形態３において、半導体装置の要部を示す図である。
【図２１】図２１は、実施形態３において、半導体装置の製造方法の要部を示す図である。

【図２２】図２２は、実施形態３において、半導体装置の製造方法の要部を示す図である。
【図２３】図２３は、実施形態３において、半導体装置の製造方法の要部を示す図である。
【図２４】図２４は、実施形態４において、半導体装置の要部を示す図である。
【図２５】図２５は、実施形態５において、半導体装置の要部を示す図である。
【図２６】図２６は、実施形態５において、半導体装置の要部を示す図である。
【図２７】図２７は、実施形態５において、半導体装置の要部を示す図である。
【図２８】図２８は、実施形態６において、半導体装置の要部を示す図である。
【図２９】図２９は、実施形態６において、半導体装置の要部を示す図である。
【図３０】図３０は、実施形態６において、半導体装置の要部を示す図である。
【図３１】図３１は、実施形態７において、半導体装置の要部を示す図である。
【図３２】図３２は、実施形態７において、半導体装置の要部を示す図である。
【図３３】図３３は、実施形態７において、半導体装置の要部を示す図である。
【図３４】図３４は、実施形態８において、半導体装置の要部を示す図である。
【図３５】図３５は、実施形態８において、半導体装置の要部を示す図である。
【図３６】図３６は、実施形態８において、半導体装置の要部を示す図である。
【図３７】図３７は、実施形態８において、半導体装置の要部を示す図である。
【図３８】図３８は、実施形態９において、半導体装置の要部を示す図である。
【図３９】図３９は、実施形態１０において、半導体装置の要部を示す図である。
【図４０】図４０は、実施形態１０において、半導体装置の要部を示す図である。
【図４１】図４１は、実施形態１０において、半導体装置の要部を示す図である。
【図４２】図４２は、実施形態１０において、半導体装置の要部を示す図である。
【図４３】図４３は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４４】図４４は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４５】図４５は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４６】図４６は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４７】図４７は、実施形態１０において、半導体装置の製造方法の要部を示す図である。
【図４８】図４８は、実施形態１１において、半導体装置の要部を示す図である。
【図４９】図４９は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５０】図５０は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５１】図５１は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５２】図５２は、実施形態１１において、半導体装置の製造方法の要部を示す図である。
【図５３】図５３は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５４】図５４は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５５】図５５は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５６】図５６は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。

【図５７】図５７は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５８】図５８は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図５９】図５９は、実施形態１２において、半導体装置の構造および製造方法の要部を示す図である。
【図６０】図６０は、実施形態１３において、半導体装置の要部を示す図である。
【図６１】図６１は、実施形態１３において、半導体装置の要部を示す図である。
【図６２】図６２は、実施形態１３において、半導体装置の製造方法の要部を示す図である。
【図６３】図６３は、実施形態１３において、半導体装置の製造方法の要部を示す図である。
【図６４】図６４は、実施形態１４において、半導体装置の製造方法の要部を示す図である。
【図６５】図６５は、実施形態１４において、半導体装置の構造および製造方法の要部を示す図である。
【図６６】図６６は、実施形態１４のバリエーション、その１を示す図である。
【図６７】図６７は、実施形態１４のバリエーション、その２を示す図である。
【図６８】図６８は、実施形態１４のバリエーション、その３を示す図である。
【図６９】図６９は、変形例１の要部を示す図である。
【図７０】図７０は、変形例１の要部を示す図である。
【図７１】図７１は、変形例２の要部を示す図である。
【図７２】図７２は、変形形態において、ｎ型ＭＯＳＦＥＴのゲート電極を示す断面図である。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００３１
【補正方法】変更
【補正の内容】
【００３１】
　また、ｎ型ＭＯＳＦＥＴ１１１Ｎのドレインと、ｐ型ＭＯＳＦＥＴ２１１Ｐのドレインが電気的に接続されていると共に、出力端子（Ｏｕｔ）が電気的に接続されている。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００４５
【補正方法】変更
【補正の内容】
【００４５】
　ここでは、素子分離層１１０は、たとえば、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）構造になるように設けられている。具体的には、第１基板１０１の面（ｘｙ面）においてｎ型ＭＯＳＦＥＴ１１１Ｎを形成する領域を区画するように、第１基板１０１の面にトレンチ（図示無し）を形成する。その後、たとえば、シリコン酸化物などの絶縁体を、そのトレンチ（図示無し）に埋め込むことによって、素子分離層１１０が形成される。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００９６
【補正方法】変更
【補正の内容】
【００９６】

そして、図５に示すように、多層配線層３１０において、１層目の絶縁層３１１の上面に設けられた配線層３２４Ｈは、コンタクトＣ１２を介して、第１基板１０１に設けられた配線層１１１ＨＢに電気的に接続されている。これと共に、この配線層３２１Ｈは、コンタクトＣ２２を介して、第２基板２０１に設けられた配線層２１１ＨＡに電気的に接続されている。配線層３２４Ｈは、図６，図７に示すように、平面形状が、矩形状になるように形成されている。また、図５に示すように、この配線層３２４Ｈは、３層目の絶縁層３１３の上面に設けられた配線層３４４Ｈにコンタクト３３４Ｃを介して接続されている。そして、配線層３４４Ｈは、５層目の絶縁層３１５の上面に設けられた配線層３６４Ｈにコンタクト３５４Ｃを介して接続されている。そして、配線層３６４Ｈは、出力端子（Ｏｕｔ）に電気的に接続されている。このように、多層配線層３１０は、ｎ型ＭＯＳＦＥＴ１１１Ｎの他方のソース・ドレイン領域１１１Ｂと、ｐ型ＭＯＳＦＥＴ２１１Ｐの一方のソース・ドレイン領域２１１Ａとを互いに電気的に接続している（図１参照）。これと共に、ｎ型ＭＯＳＦＥＴ１１１Ｎの他方のソース・ドレイン領域１１１Ｂと、ｐ型ＭＯＳＦＥＴ２１１Ｐの一方のソース・ドレイン領域２１１Ａとの両者を、出力端子（Ｏｕｔ）に電気的に接続している（図１参照）。

【手続補正６】
【補正対象書類名】明細書
【補正対象項目名】０１０６
【補正方法】変更
【補正の内容】
【０１０６】
本実施形態では、ゲート絶縁膜１１１Ｚについて、高誘電率（ｈｉｇｈ－ｋ）材料を用いて形成する。そして、ゲート電極１１１Ｇについては、仕事関数が伝導帯の端に位置するような金属材料を用いて形成する。

たとえば、下記のような条件で、ゲート絶縁膜１１１Ｚ，ゲート電極１１１Ｇを形成することが好適である。

（ゲート絶縁膜１１１Ｚの形成条件）
・材料：HfO_2
・厚み：０．５～２ｎｍ
・成膜法：ＣＶＤ法、または、スパッタ法

（ゲート電極１１１Ｇの形成条件）
・下層：Ａｌ含有のＴｉＮ（Ａｌの含有割合：０．５～５ａｔｏｍ％），厚み１～２ｎｍ
・上層：ＡｌまたはＷ，厚み２０～４０ｎｍ
・成膜法：ＣＶＤ法、または、スパッタ法

なお、上記のHfO_2の他に、ＨｆＳｉＯＮ，Ta_2O_3などの様々なｈｉｇｈ－ｋ材料を用いて、ゲート絶縁膜１１１Ｚを形成しても良い。

【手続補正７】
【補正対象書類名】明細書
【補正対象項目名】０１０９
【補正方法】変更
【補正の内容】
【０１０９】
本実施形態では、第１基板１０１と格子定数が異なる材料であって、チャネル領域に引っ張り応力を与える材料を用いて、高濃度不純物領域１１１ＡＨ，１１１ＢＨを形成する。

高濃度不純物領域１１１ＡＨ，１１１ＢＨについては、たとえば、下記のような条件で形成することが好適である。

（高濃度不純物領域１１１ＡＨ，１１１ＢＨの形成条件）
・材料：ＳｉＣ（Ｃ濃度が３ａｔｏｍ％以下）

・深さ：５０～１００ｎｍ
・成膜法：ＣＶＤ法
・不純物濃度：１×１０^{15}ｃｍ$^{-2}$台
【手続補正８】
【補正対象書類名】明細書
【補正対象項目名】０１２７
【補正方法】変更
【補正の内容】
【０１２７】
たとえば、下記のような条件で、高濃度不純物領域２１１ＡＨ，２１１ＢＨを形成することが好適である。
（高濃度不純物領域２１１ＡＨ，２１１ＢＨの形成条件）
・材料：ＳｉＧｅ（Ｇｅ濃度：１０～４５ａｔｏｍ％）
・深さ：５０～１００ｎｍ
・成膜法：ＣＶＤ法
・不純物濃度：１×１０^{15}ｃｍ$^{-2}$台
【手続補正９】
【補正対象書類名】明細書
【補正対象項目名】０１６２
【補正方法】変更
【補正の内容】
【０１６２】
そして、ｎ型ＭＯＳＦＥＴ１１１Ｎの電子移動度を高めるために、その一対のソース・ドレイン領域１１１Ａ，１１１Ｂについて、引張応力を与えるＳｉＣなどの材料を用いて形成することが容易にできる。また、ｐ型ＭＯＳＦＥＴ２１１Ｐのホール移動度を高めるために、その一対のソース・ドレイン領域２１１Ａ，２１１Ｂについて、圧縮応力を与えるＳｉＧｅなどの材料を用いて形成することが容易にできる。つまり、応力の方向が異なる、ｎ型ＭＯＳＦＥＴ１１１Ｎの一対のソース・ドレイン領域１１１Ａ，１１１Ｂと、ｐ型ＭＯＳＦＥＴ２１１Ｐの一対のソース・ドレイン領域２１１Ａ，２１１Ｂとについて、複雑なプロセスを経ずに容易に形成することができる。
【手続補正１０】
【補正対象書類名】明細書
【補正対象項目名】０２０３
【補正方法】変更
【補正の内容】
【０２０３】
たとえば、プラズマ接合によって、両者を接合させて貼り合わせる。なお、層間絶縁膜１３２，２３２を構成する材料自身が－ＯＨ基を含まない場合には、H_2O，H_2などを用いたプラズマ処理を、層間絶縁膜１３２，２３２に対して実施して、表面に－ＯＨ基を導入した後に、接合を実施する。つまり、プラズマ接合時に脱水縮合反応が可能な表面状態になるように、層間絶縁膜１３２，２３２を処理する。
【手続補正１１】
【補正対象書類名】明細書
【補正対象項目名】０２５１
【補正方法】変更
【補正の内容】
【０２５１】
配線層３２４Ｈは、図２８～図３０に示すように、コンタクトＣ１２を介して、配線層１１１ＨＢに電気的に接続されている。これと共に、この配線層３２４Ｈは、コンタクトＣ２２を介して、配線層２１１ＨＡに電気的に接続されている。配線層３２４Ｈは、平面

形状が、矩形状になるように形成されている。そして、配線層３２４Ｈは、実施形態１と同様に、他の配線とコンタクトとを介して、出力端子（Ｏｕｔ）に電気的に接続されている。

【手続補正１２】
【補正対象書類名】明細書
【補正対象項目名】０２７０
【補正方法】変更
【補正の内容】
【０２７０】
［Ａ－２］ｐ型ＭＯＳＦＥＴ２１１Ｐについて
ｐ型ＭＯＳＦＥＴ２１１Ｐは、図３３に示すように、ゲート電極２１１Ｇの長手方向が、実施形態６（図３０参照）の場合と同様に、ｙ方向へ沿うように延在している。

【手続補正１３】
【補正対象書類名】明細書
【補正対象項目名】０２７１
【補正方法】変更
【補正の内容】
【０２７１】
そして、図３３に示すように、一対のソース・ドレイン領域２１１Ａ，２１１Ｂの長手方向がｙ方向へ沿うように延在しており、ゲート電極２１１Ｇを介して、ｘ方向へ並ぶように設けられている。

【手続補正１４】
【補正対象書類名】明細書
【補正対象項目名】０２７７
【補正方法】変更
【補正の内容】
【０２７７】
具体的には、図３２に示すように、配線層１１１ＨＧは、入力端子（Ｉｎ）に電気的に接続されている。配線層１１１ＨＡは、グランド（ＧＮＤ）に電気的に接続されている。配線層１１１ＨＢは、出力端子（Ｏｕｔ）に電気的に接続されている。これらの電気的な接続は、実施形態６の場合と同様に、多層配線層（図示無し）内の各配線および各コンタクトを介して実現されている。

【手続補正１５】
【補正対象書類名】明細書
【補正対象項目名】０２７９
【補正方法】変更
【補正の内容】
【０２７９】
具体的には、図３３に示すように、配線層２１１ＨＧは、入力端子（Ｉｎ）に電気的に接続されている。配線層２１１ＨＡは、出力端子（Ｏｕｔ）に電気的に接続されている。配線層２１１ＨＢは、電源電圧の端子（Ｖｄｄ）に電気的に接続されている。これらの電気的な接続は、実施形態６の場合と同様に、多層配線層（図示無し）内の各配線および各コンタクトを介して実現されている。

【手続補正１６】
【補正対象書類名】明細書
【補正対象項目名】０２８３
【補正方法】変更
【補正の内容】
【０２８３】
特に、本実施形態では、ｎ型ＭＯＳＦＥＴ１１１Ｎとｐ型ＭＯＳＦＥＴ２１１Ｐは、互

いのチャネル方向が交差するように設けられている。このため、第１基板１０１に設けた配線層（１１１ＨＡなど）と、第２基板２０１に設けた配線層（２１１ＨＡなど）とは、実施形態１などの場合よりも、互いに対向する面の面積が小さくなる。よって、両者の間で発生するカップリング容量を低減できるので、遅延などの不具合の発生を防止し、装置の信頼性を更に向上できる。

また、下記の場合には、第１基板１０１と第２基板２０１とに予め設けられている各ノッチの間を位置合わせして両者を貼り合わせることで、本実施形態の半導体装置を製造できるため、好適である。

・第１基板１０１：（１００）基板
・ｎＭＯＳＦＥＴ１１１Ｎのチャネル方向：＜１１０＞
・第２基板２０１：（１００）基板
・ｐＭＯＳＦＥＴ２１１Ｐのチャネル方向：＜１００＞

【手続補正１７】
【補正対象書類名】明細書
【補正対象項目名】０２９４
【補正方法】変更
【補正の内容】
【０２９４】

また、第１のｎ型ＭＯＳＦＥＴ１１１Ｎのソースと、第１および第２のｐ型ＭＯＳＦＥＴ２１１Ｐ，２１２Ｐのドレインとのそれぞれが、互いに電気的に接続されていると共に、出力端子（Ｏｕｔ）が電気的に接続されている。

【手続補正１８】
【補正対象書類名】明細書
【補正対象項目名】０３２２
【補正方法】変更
【補正の内容】
【０３２２】

具体的には、図３６に示すように、配線層１１１ＨＧは、第１の入力端子（ＩｎＡ）に電気的に接続されている。配線層１１１ＨＡは、出力端子（Ｏｕｔ）に電気的に接続されている。配線層１１２ＨＧは、第２の入力端子（ＩｎＢ）に電気的に接続されている。配線層１１２ＨＢは、グランド（ＧＮＤ）に電気的に接続されている。これらの電気的な接続は、実施形態１の場合と同様に、多層配線層（図示無し）内の各配線および各コンタクトを介して実現されている。

【手続補正１９】
【補正対象書類名】明細書
【補正対象項目名】０３９６
【補正方法】変更
【補正の内容】
【０３９６】

基板貼り合わせによって、第１基板１０１側の配線層１１１ＨＢが、第２基板２０１側の配線層２１１ＨＡと低抵抗で接触し、両者の電気的接続がなされる。また、第１基板１０１側の配線層１１１ＨＧが、第２基板２０１側の０配線層２１１ＨＧと低抵抗で接触し、両者の電気的接続がなされる。

【手続補正２０】
【補正対象書類名】明細書
【補正対象項目名】０４０４
【補正方法】変更
【補正の内容】
【０４０４】

例えば図３９を参照して、この利点を述べる。図３９に示す実施形態１０の場合、例え

ば、ｐ型ＭＯＳＦＥＴ２１１Ｐのソースに電源電圧Ｖｄｄを供給する配線層３２２Ｈは、ソース・ドレイン領域（おおよそ中央の大きな四角部分）の外側でコンタクトが取られる。つまり、配線層２１１ＨＢは、Ｌ字状に曲げて配線し、その先端側で電源電圧Ｖｄｄを供給するためのコンタクトが設けられている。

これに対し、本実施形態では、フルシリサイド化されたソース・ドレイン領域の直上にコンタクトＣ３１を配置し、ここに電源電圧Ｖｄｄを供給するためのコンタクトを設けることが可能である。そのため、配線層２１１ＨＢの配置スペースを省略でき、回路のサイズ縮小が図れる。このことは、出力（Ｏｕｔ）をとるためのコンタクトでも同様である。

【手続補正２１】
【補正対象書類名】明細書
【補正対象項目名】０４１３
【補正方法】変更
【補正の内容】
【０４１３】

図３９に示す実施形態１０では、パターンにより接合と非接合を確保していた。

これに対し、本実施形態では、パターンの重ね方、あるいは、配線層Ｍ１と絶縁膜ＩＦ２をコンタクトメタル層ＣＭの長さ方向のどちら側に設けるかによって、配線層の接合と非接合を選択することができる。

【手続補正２２】
【補正対象書類名】明細書
【補正対象項目名】０４１９
【補正方法】変更
【補正の内容】
【０４１９】

これに対し、ドレイン側の配線層１１１ＨＢ（Ｍ１）と配線層２１１ＨＡ（Ｍ１）は全面で直接接合する。また、ゲート側の配線層１１１ＨＧ（Ｍ１）と配線層２１１ＨＧ（Ｍ１）も全面で直接接合する。

図５５（Ａ）において、４箇所にコンタクトＣ２１を形成し、図５５（Ｂ）で上層の配線層（配線層１１１ＨＢ等）を形成することで、当該装置構成１が完成する。その後は、実施形態１と同様にして多層配線を行うことで、当該半導体装置を完成させる。

【手続補正２３】
【補正対象書類名】明細書
【補正対象項目名】０４２３
【補正方法】変更
【補正の内容】
【０４２３】

ここで、図５６（Ｂ）に示すｎ型ＭＯＳＦＥＴ１１１Ｎを有する第１基板１０１を右回りに９０°回転させることを前提とする。

この前提の下では、図５６（Ｂ）に示すｎ型ＭＯＳＦＥＴ１１１Ｎは、ｘ方向負側に配線層１１１ＨＢ（Ｍ１）を配置し、ｘ方向正側に配線層１１１ＨＡ（Ｍ１）を配置する必要がある。

この関係は、図５４（Ｂ）と逆であることに注意を要する。

【手続補正２４】
【補正対象書類名】明細書
【補正対象項目名】０４２８
【補正方法】変更
【補正の内容】
【０４２８】

図５８（Ａ）から図５９（Ｂ）は、実施形態１２の装置構成３において、半導体装置の要部を製造工程順に示す図である。

図５８（Ａ）と図５８（Ｂ）がｐ型ＭＯＳＦＥＴとｎ型ＭＯＳＦＥＴの個別の図である。図５９（Ｂ）が完成図であり、図５８（Ｃ）から図５９（Ａ）はその製造途中の図である。なお、２つのＭＯＳＦＥＴを重ね合わせた図においては、他の実施形態の図と同様に、視認性向上のため、２つの基板にそれぞれ形成されたパターン同士を図の左右（ｘ方向）および上下（ｙ方向）に少しずらして示している。

【手続補正２５】
【補正対象書類名】明細書
【補正対象項目名】０４３２
【補正方法】変更
【補正の内容】
【０４３２】
本実施形態では、実施形態１０と同様な利点が得られる。
さらに、実施形態６と同様に、アライメントずれに強いレイアウトとすることができる。
チャネル方向が平行に配置する装置構成１では、直接接合の配線層の幅方向の大きなアライメントずれが生じると、接合抵抗が高くなり、接続がとれなくなる可能性が否定できない。
これに対し、本装置構成３では、交差接合であるためｘ方向、ｙ方向の両方で大きなアライメントずれがあっても配線層同士の接合を低抵抗で良好に行うことができる。

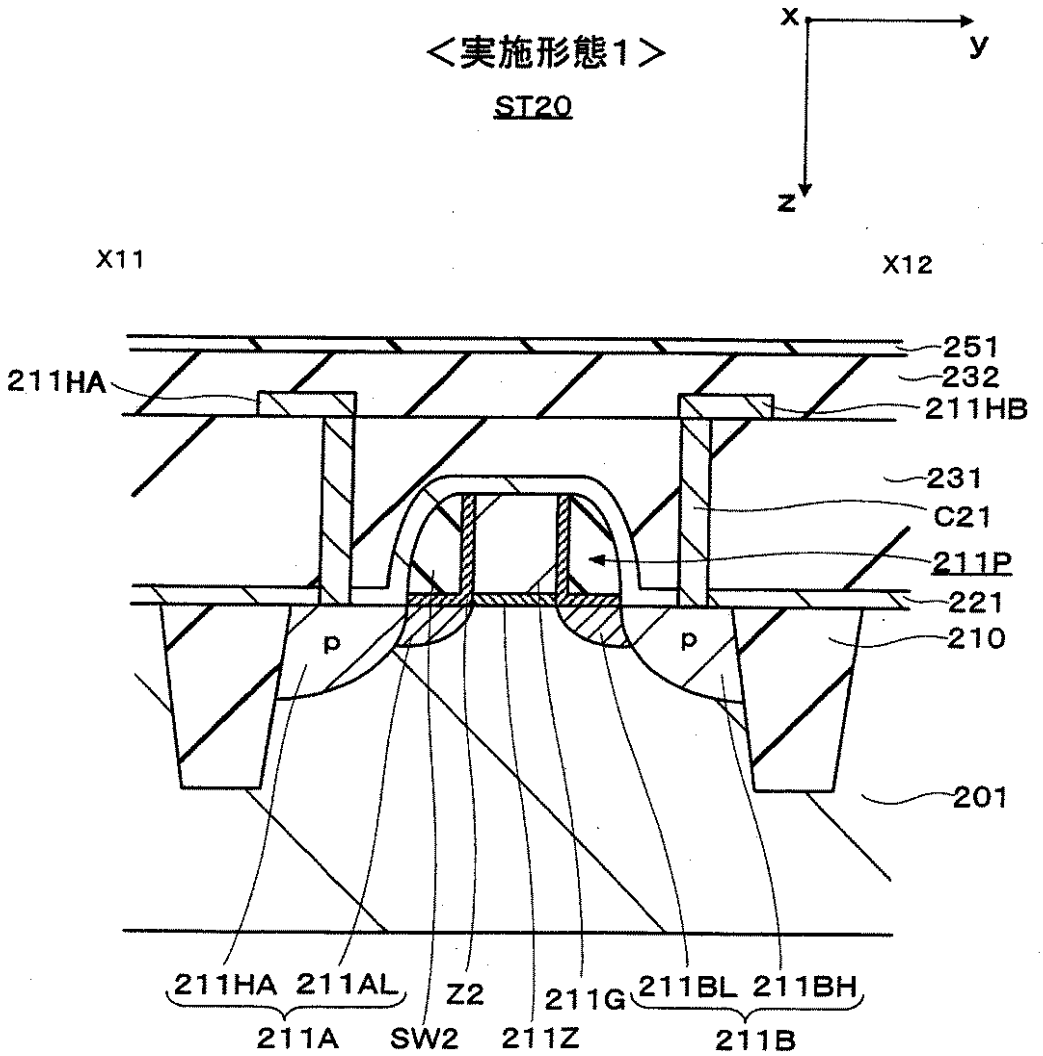
【手続補正２６】
【補正対象書類名】明細書
【補正対象項目名】０４３５
【補正方法】変更
【補正の内容】
【０４３５】
図６０は、図４０等の半導体装置の片側の基板に形成する１つのフィン型ＭＯＳＦＥＴ（ｆｉｎＦＥＴ）を示す断面図である。図４０と同じ機能の構成は、同一符号を付して、説明を簡略化する。
図６１は、ｆｉｎＦＥＥＴの斜視図であり、また、図６１に示す面Ｓｘｙが、図６０の断面に相当する。なお、各図においては、図示の都合で、各部の形状（幅など）を各図の間で適宜変更している。

【手続補正２７】
【補正対象書類名】明細書
【補正対象項目名】０４５１
【補正方法】変更
【補正の内容】
【０４５１】
ｐ型ＦＥＴ２１１ＰＦが形成された第２基板２０１の上下を反転させ、ｎ型ＦＥＴ１１１ＮＦが形成された第１基板１０１と貼り合わせる。
これにより、実施形態１０，１１と同様にトランジスタ接続配線層の直接接合が達成される。

【手続補正２８】
【補正対象書類名】明細書
【補正対象項目名】０５０４
【補正方法】変更
【補正の内容】
【０５０４】
また、ｎ型ＭＯＳＦＥＴとｐ型ＭＯＳＦＥＴとの各ソース・ドレイン領域について、いわゆるレイズド・ソース・ドレイン（Ｒａｉｓｅｄ　Ｓｏｕｒｃｅ　Ｄｒａｉｎ）構造で形成しても良い。また、レイズド・ソース・ドレイン・エクステンション（Ｅｘｔｅｎｓ

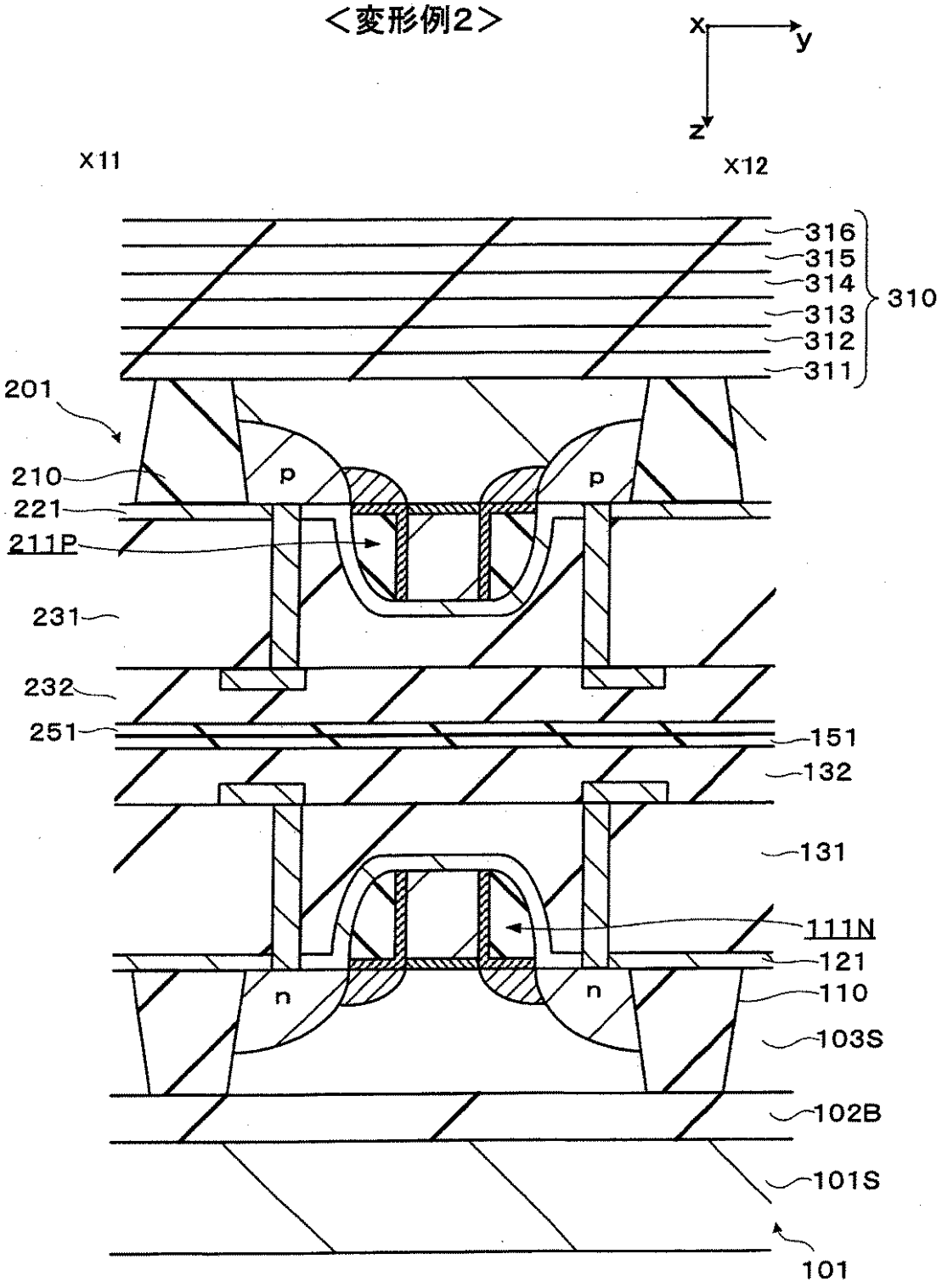
ｉｏｎ）構造で形成しても良い。

【手続補正２９】
【補正対象書類名】図面
【補正対象項目名】図１０
【補正方法】変更
【補正の内容】
【図１０】



【手続補正３０】
【補正対象書類名】図面
【補正対象項目名】図７１
【補正方法】変更
【補正の内容】

【図７１】


<変形例2>
x
y
z
X11
X12
316
315
314
313
312
311
310
201
210
221
211P
231
232
251
151
132
131
111N
121
110
103S
102B
101S
101
p
p
n
n