(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3746604号
(P3746604)

(45)発行日　平成18年2月15日(2006.2.15)　(24)登録日　平成17年12月2日(2005.12.2)

| (51)Int.Cl. | | F I | | |
|---|---|---|---|---|
| H01L 29/78 | (2006.01) | H01L | 29/78 | 657E |
| H01L 27/04 | (2006.01) | H01L | 27/04 | A |
| H01L 21/822 | (2006.01) | H01L | 27/08 | 102F |
| H01L 27/088 | (2006.01) | H01L | 29/78 | 658L |
| H01L 21/8234 | (2006.01) | | | |

請求項の数 18　(全 35 頁)　最終頁に続く

(21)出願番号　特願平9-338673
(22)出願日　平成9年12月9日(1997.12.9)
(65)公開番号　特開平11-177087
(43)公開日　平成11年7月2日(1999.7.2)
審査請求日　平成16年2月26日(2004.2.26)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　藤城　敦
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　飯島　哲郎
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内

審査官　小野田　誠

(56)参考文献　実開平０４－００８４５０（ＪＰ，Ｕ）
最終頁に続く

(54)【発明の名称】半導体装置およびその製造方法

(57)【特許請求の範囲】

【請求項１】

第１リードと、

第１端子、第２端子および制御端子を有して上記第１端子がそのボディに接続されたＭＩＳトランジスタと、第１電源端子および第２電源端子を有する上記ＭＩＳトランジスタの保護回路とを集積した半導体チップとを有し、

上記半導体チップにおいて、上記制御端子と上記第１電源端子とは電気的に絶縁されて配置され、

上記第１リードと上記制御端子と上記第１電源端子とはボンディングワイヤにより接続され、

上記ボンディングワイヤの一端は上記第１リードに接続し、

上記ボンディングワイヤの他端は、上記制御端子と上記第１電源端子との両方を跨ぐように接合された半導体装置。

【請求項２】

請求項１において、

第２リードを有し、

上記半導体チップにおいて、上記第１端子と上記第２電源端子とは電気的に絶縁されて配置され、

上記第２リードと上記第１端子と上記第２電源端子とはボンディングワイヤにより接続された半導体装置。

【請求項３】
請求項２において、
上記第１リードにその一端が接続された第１ボンディングワイヤと、
上記第２リードにその一端が接続された第２ボンディングワイヤとを有し、
上記第１ボンディングワイヤの他端は、上記制御端子および上記第１電源端子の両方を跨ぐように接合され、
上記第２ボンディングワイヤの他端は、上記第１端子および上記第２電源端子の両方を跨ぐように接合された半導体装置。
【請求項４】
請求項２において、
上記第１リードにその一端が接続された第１ボンディングワイヤと、
上記第２リードにその一端が接続された第２ボンディングワイヤと、
ジャンパーワイヤとを有し、
上記第１ボンディングワイヤの他端は、上記制御端子および上記第１電源端子の両方を跨ぐように接合され、
上記第２ボンディングワイヤの他端は、上記第１端子に接続され、
上記第１端子と上記第２電源端子とは、上記ジャンパーワイヤにより接続された半導体装置。
【請求項５】
請求項１において、
第２リードを有し、
上記半導体チップにおいて、上記第１端子と上記第２電源端子とは共通の端子として形成され、
上記第２リードと上記共通の端子とはボンディングワイヤにより接続された半導体装置。
【請求項６】
請求項１～５のいずれかにおいて、
上記半導体チップが搭載されるチップ搭載領域から延在する第３リードを有し、
上記第２端子は、上記半導体チップにおいて、上記第１端子、上記制御端子、上記第１電源端子および上記第２電源端子が形成される面と対向する面に形成され、
上記第２端子は上記チップ搭載領域に電気的に接続された半導体装置。
【請求項７】
請求項１～６のいずれかにおいて、
上記保護回路は、上記第１電源端子と上記第２電源端子との間に接続され、上記ＭＩＳトランジスタのゲート絶縁膜を保護するための保護ダイオードを有する半導体装置。
【請求項８】
請求項１～７のいずれかにおいて、
上記保護回路は、温度検出用ダイオードと温度検出回路とを有し、
上記温度検出回路が上記温度検出用ダイオードのジャンクション温度が一定以上になったことを検出すると、上記保護回路は上記ＭＩＳトランジスタをオフさせる半導体装置。
【請求項９】
それぞれ、第１端子、第２端子および制御端子を有して上記第１端子がそのボディに接続されたＭＩＳトランジスタと上記ＭＩＳトランジスタの保護回路とを電気的に分離して構成された複数の半導体チップを半導体ウエハ上に形成する前工程と、
上記前工程後に、上記複数の半導体チップの各々に対して上記ＭＩＳトランジスタの上記第１端子と上記制御端子との間にスクリーニング電圧を印加するスクリーニング工程と、
上記スクリーニング工程後に、上記半導体チップの上記ＭＩＳトランジスタと上記保護回路とを電気的に接続するワイヤボンディング工程とを有する半導体装置の製造方法であって、

上記保護回路は第１電源端子および第２電源端子を有し、
上記半導体チップにおいて上記制御端子と上記第１電源端子とは電気的に絶縁されて配置されており、
上記ワイヤボンディング工程において、第１リードに第１ボンディングワイヤの一端を接続し、上記第１ボンディングワイヤの他端を上記制御端子および上記第１電源端子の両方を跨ぐように接合する半導体装置の製造方法。
【請求項１０】
請求項９において、
上記半導体チップにおいて上記第１端子と上記第２電源端子とは電気的に絶縁されて配置されており、
上記ワイヤボンディング工程において、第２リードに第２ボンディングワイヤの一端を接続し、上記第２ボンディングワイヤの他端を上記第１端子および上記第２電源端子の両方を跨ぐように接合する半導体装置の製造方法。
【請求項１１】
請求項９において、
上記半導体チップにおいて上記第１端子と上記第２電源端子とは電気的に絶縁されて配置されており、
上記ワイヤボンディング工程において、第２リードに第２ボンディングワイヤの一端を接続し、上記第２ボンディングワイヤの他端を上記第１端子に接続し、上記第１端子と上記第２電源端子とをジャンパーワイヤにより接続する半導体装置の製造方法。
【請求項１２】
請求項９において、
上記半導体チップにおいて上記第１端子と上記第２電源端子とは共通の端子として形成されており、
上記ワイヤボンディング工程において、上記第２リードに第２ボンディングワイヤの一端を接続し、上記第２ボンディングワイヤの他端を上記共通の端子に接続する半導体装置の製造方法。
【請求項１３】
請求項９～１２のいずれかにおいて、
上記半導体チップにおいて、上記第２端子は、上記第１端子、上記制御端子、上記第１電源端子および上記第２電源端子が形成される面と対向する面に形成されており、
上記第２端子をリードフレームのチップ搭載面に電気的に接続するダイボンディング工程を有する半導体装置の製造方法。
【請求項１４】
第１および第２リードと、
第１端子、第２端子および制御端子を有して上記第１端子がそのボディに接続されたＭＩＳトランジスタと、
第１電源端子および第２電源端子を有する上記ＭＩＳトランジスタの保護回路とを集積した半導体チップとを有し、
上記半導体チップにおいて、上記制御端子と上記第１電源端子とは電気的に絶縁されて配置され、
上記半導体チップにおいて、上記第１端子と上記第２電源端子とは電気的に絶縁されて配置され、
上記第１リードと上記制御端子と上記第１電源端子とは第１ボンディングワイヤにより接続され、
上記第２リードと上記第１端子と上記第２電源端子とは第２ボンディングワイヤにより接続された半導体装置。
【請求項１５】
請求項１４において、
上記第１ボンディングワイヤの他端は、上記制御端子および上記第１電源端子の両方を

跨ぐように接合された半導体装置。
【請求項１６】
請求項１４において、
上記第２ボンディングワイヤの他端は、上記第１端子および上記第２電源端子の両方を跨ぐように接合された半導体装置。
【請求項１７】
請求項１４において、
上記保護回路は、上記第１電源端子と上記第２電源端子との間に接続され、
上記ＭＩＳトランジスタのゲート絶縁膜を保護するための保護ダイオードを有する半導体装置。
【請求項１８】
請求項１４において、
上記保護回路は、温度検出用ダイオードと温度検出回路とを有し、
上記温度検出回路が上記温度検出用ダイオードのジャンクション温度が一定以上になったことを検出すると、上記保護回路は上記ＭＩＳトランジスタをオフさせる半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、大電力を使用する回路に用いる、いわゆるパワーＭＩＳ（Metal Insulator Semiconductor)トランジスタ（パワーＭＯＳ(Metal Oxide Semiconductor) トランジスタ含）を有する半導体集積回路装置の製造方法および半導体集積回路装置技術に適用して有効な技術に関するものである。
【０００２】
【従来の技術】
パワーＭＩＳトランジスタは、破壊耐量、熱的安定性および利得が大きく、電力増幅の構成も簡単であることから、スイッチング電源用パワーデバイス、電動機制御用パワーデバイス、車両用パワーデバイス等に広く使用されており、近年、より一層の高性能を実現するために微細化が進められている。
【０００３】
このパワーＭＩＳトランジスタにおいては、静電破壊強度をある程度確保する観点から、パワーＭＩＳトランジスタが形成された半導体チップ内に保護ダイオード（ツェナーダイオード）を設け、それをパワーＭＩＳトランジスタのゲート・ソース間に電気的に接続する場合が多い。
【０００４】
また、保護機能を内蔵するパワーＭＩＳトランジスタにおいては、保護ダイオードのみではなく、パワーＭＩＳトランジスタが形成された半導体チップ内に温度検出回路等のような他の保護回路を設け、それをパワーＭＩＳトランジスタのゲート・ソース間に電気的に接続するものもある。
【０００５】
このようなパワーＭＩＳトランジスタのパッケージの構造は、一般的に３端子構造のパッケージが採用されている。この場合、パワーＭＩＳトランジスタが形成された半導体チップの主面上にゲート端子およびソース端子が配置され、半導体チップの裏面にドレイン端子が配置される構造となっている。
【０００６】
【発明が解決しようとする課題】
ところが、上述のような同一半導体チップ内にパワーＭＩＳトランジスタおよび他の素子や回路を設けている半導体集積回路装置技術においては、以下の課題があることを本発明者は見出した。
【０００７】

すなわち、パワーＭＩＳトランジスタの前段に保護回路等が接続されているために、パワーＭＩＳトランジスタのスクリーニング工程に際して、パワーＭＩＳトランジスタ自体のスクリーニングに必要な電圧を印加することができず、充分なスクリーニング効果が期待できないという問題である。

【０００８】

パワーＭＩＳトランジスタのようなゲート絶縁膜の面積の大きなデバイスの場合、そのゲート絶縁膜の欠陥が素子の破壊あるいは特性不良につながることが多く、そのゲート絶縁膜の信頼性を確保することが重要である。通常、５００Å程度のゲート絶縁膜（酸化シリコン膜）では真性耐圧は約４０Ｖであり、スクリーニング電圧としては３０Ｖ程度を必要としている。しかし、ゲート・ソース間に保護ダイオード等が電気的に接続されたパワーＭＩＳトランジスタでは、静電破壊耐量を充分なレベルにするためにはできるだけ保証耐圧に近い値でツェナー耐圧を下げるため２２Ｖ程度しかスクリーニング電圧を印加することができない。また、保護回路を内蔵するパワーＭＩＳトランジスタではツェナーダイオードによりゲート電圧がクランプされるのと同時に、他の回路を構成する横型のパワーＭＩＳトランジスタの耐圧にも制限されるので、２４Ｖ程度しかスクリーニング電圧を印加することができない。

【０００９】

また、このような問題を回避する方法として印加時間を長くすることが考えられるが、低い電圧で充分なスクリーニングを行うには、スクリーニング電圧の印加時間を非常に長くする必要があり検査時間が長くなるという問題が生じる。

【００１０】

このようなパワーＭＩＳトランジスタの問題を考慮した技術として、例えば特開平５－６７６６１号公報、特開平７－１４２７１１号公報および特開平７－２８３３７０号公報がある。

【００１１】

上記した特開平５－６７６６１号公報には、パワーＭＯＳＦＥＴ(Metal OxideSemiconductor Field Effect Transistor)のゲート・ソース間に耐圧の異なる２個の定電圧ダイオードを設け、スクリーニング時にはスイッチング素子をオフにして耐圧の低い定電圧ダイオードをパワーＭＯＳＦＥＴから切り離した状態でパワーＭＯＳ・ＦＥＴのゲート・ソース間にスクリーニング電圧を印加し、スクリーニング後はスイッチング素子をオンして耐圧の低い低電圧ダイオードもパワーＭＯＳＦＥＴのゲート・ソース間に電気的に接続するようにした構造が開示されている。しかし、この技術では、半導体チップから引き出される端子の数が増え、通常の３端子形のパッケージとの整合性が問題となるとともに、素子数が増え回路構成が複雑になる。

【００１２】

また、上記した特開平７－１４２７１１号公報には、パワーＭＯＳＦＥＴのゲート前段にゲート電圧印加回路を設ける構造が開示されている。この技術では、使用時のゲート電圧を設定するツェナーダイオードとゲート耐圧検査時に電圧を加算して印加するツェナーダイオードとを直列に接続し、ゲート耐圧検査時においては、スイッチング素子をオフすることで双方のツェナーダイオードのツェナー電圧を加算した電圧を印加するようにしている。しかし、この技術の場合も、半導体チップから引き出される端子の数が増え、通常の３端子形のパッケージとの整合性が問題となるとともに、素子数が増え回路構成が複雑になる。

【００１３】

さらに、上記した特開平７－２８３３７０号公報においては、パワーＭＯＳＦＥＴのゲート電極に試験用ゲート端子を設けてその端子に高い電圧を印加してゲートチェック試験を行うようにし、かつ、制御回路側に高い電圧が印加されるのを防ぐべく制御回路に印加される電圧を低くするためのレベルシフト回路部を設ける技術が開示されている。しかし、この技術の場合も、半導体チップから引き出される端子の数が増え、通常の３端子形のパッケージとの整合性が問題となるとともに、レベルシフト回路部を新たに付け加えるため

素子数が増え回路構成も複雑になる。
【００１４】
本発明の目的は、同一半導体基板上にパワーＭＩＳトランジスタおよび他の回路を設けている半導体集積回路装置のスクリーニングを短時間でしかも効果的に行うことのできる技術を提供することにある。
【００１５】
また、本発明の他の目的は、同一半導体基板上にパワーＭＩＳトランジスタおよび他の回路を設けている半導体集積回路装置のスクリーニングを、回路構成を複雑にすることなく、短時間でしかも効果的に行うことのできる技術を提供することにある。
【００１６】
また、本発明の他の目的は、同一半導体基板上にパワーＭＩＳトランジスタおよび他の回路を設けている半導体集積回路装置の信頼性を向上させることのできる技術を提供することにある。
【００１７】
また、本発明の他の目的は、同一半導体基板上にパワーＭＩＳトランジスタおよび他の回路を設けている半導体集積回路装置の品質管理能力を向上させることのできる技術を提供することにある。
【００１８】
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【００１９】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。
【００２０】
本発明の半導体集積回路装置の製造方法は、パワーＭＩＳトランジスタと周辺回路とを同一の半導体基板に設けている半導体集積回路装置の製造方法であって、
（ａ）前記パワーＭＩＳトランジスタと前記周辺回路とを電気的に分離した構成で前記半導体基板上に形成する工程と、
（ｂ）前記（ａ）工程の後、前記周辺回路とは電気的に分離されているパワーＭＩＳトランジスタのゲート電極およびソース電極間にスクリーニング電圧を印加するスクリーニング工程と、
（ｃ）前記（ｂ）工程の後、前記パワーＭＩＳトランジスタと周辺回路とを電気的に接続する工程とを有するものである。
【００２１】
また、本発明の半導体集積回路装置の製造方法は、前記（ｃ）工程において、前記パワーＭＩＳトランジスタと周辺回路とをボンディングワイヤにより電気的に接続する工程を有するものである。
【００２２】
また、本発明の半導体集積回路装置の製造方法は、
前記パワーＭＩＳトランジスタと前記周辺回路とを電気的に分離した構成が、前記パワーＭＩＳトランジスタのゲート電極に電気的に接続されたパワーＭＩＳトランジスタ用ゲート端子と、
前記周辺回路に電気的に接続された周辺回路用電源端子と、
前記パワーＭＩＳトランジスタのソース電極に電気的に接続されたパワーＭＩＳトランジスタ用ソース端子と、
前記周辺回路に電気的に接続された周辺回路用ＧＮＤ端子とを互いに電気的に分離した状態で設けることで構成され、
前記周辺回路用ＧＮＤ端子を、前記パワーＭＩＳトランジスタの形成領域内において、前記半導体基板上のフィールド絶縁膜上に設けたものである。

【００２３】
また、本発明の半導体集積回路装置の製造方法は、前記チャネル領域の不純物と同一導電形で、かつ、それよりも低い不純物濃度の第１半導体領域を前記半導体基板のエピタキシャル層に設け、その第１半導体領域内に、前記周辺回路を構成する横形のＭＩＳトランジスタのソース・ドレイン用の半導体領域を形成したものである。
【００２４】
【発明の実施の形態】
以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する）。
【００２５】
（実施の形態１）
図１は本発明の一実施の形態である半導体集積回路装置の製造工程を示すフロー図、図２は図１の半導体集積回路装置の製造工程中における半導体集積回路装置の等価回路図、図３は図１の半導体集積回路装置の製造工程中の半導体ウエハにおける半導体チップの平面図、図４は図３の半導体集積回路装置の要部断面図、図５は図４の半導体集積回路装置の要部拡大断面図、図６はスクリーニング工程時に寄生する素子を示すための半導体集積回路装置の等価回路図、図７はスクリーニング工程時における半導体ウエハの半導体チップの平面図、図８はスクリーニング工程時に半導体集積回路装置の各部に印加する電圧の説明図、図９はワイヤボンディング工程後の半導体集積回路装置の要部平面図、図１０は図９の半導体集積回路装置の要部拡大平面図、図１１は図１０のＹ－Ｙ線の要部拡大断面図、図１２は完成した半導体集積回路装置の全体斜視図、図１３（ａ）～（ｄ）は図１２の半導体集積回路装置のゲート電圧とゲート絶縁破壊発生度数との関係を説明するための説明図、図１４（ａ）～（ｃ）は本発明者が検討した通常のパワーＩＣのゲート電圧とゲート絶縁破壊発生度数との関係を説明するための説明図である。
【００２６】
本実施の形態１の半導体集積回路装置は、例えば自動車のヘッドランプのスイッチやエンジンのイグニッションの電源スイッチ等に用いられる過熱遮断回路（付加回路）内蔵形のパワーＩＣ（Integrated Circuit）である。
【００２７】
まず、本実施の形態１のパワーＩＣの製造工程を図１により説明する。この製造工程自体は通常のパワーＩＣの製造工程と同一である。すなわち、前工程１０１の後、スクリーニン工程１０２およびプローブ選別工程１０３等の試験工程を経て、ダイボンディング工程１０４、ワイヤボンディング工程１０５、モールド工程１０６およびセパレート工程１０７等の組立工程に移行し、その組立の完成の後、組立選別工程１０８を経て製品の製造を終了するものである。
【００２８】
このうち、前工程１０１は、半導体ウエハを出発材料として、その半導体ウエハに素子および電極配線を形成し、表面保護膜で被覆した後、半導体ウエハ上に形成された複数の半導体チップの各々についてプローバ等により電気的特性試験を行える状態にするまでの工程である。
【００２９】
また、スクリーニング工程１０２は、製品の品質および信頼性レベルを得るため、半導体ウエハに形成された複数の半導体チップの各々に対して故障メカニズムに則した試験を施すことにより潜在欠陥を有する製品を除去する工程である。
【００３０】
また、プローブ選別工程１０３は、半導体ウエハに形成された複数の半導体チップの各々に対して電気的特性に関する試験を行うことにより良品チップと不良品チップとを選別する工程である。
【００３１】

また、セパレート工程１０７はモールド工程１０６後にリードフレーム上に一体的に連なって形成されている複数のパワーＩＣパッケージを個々のパッケージに分離する工程であり、組立選別工程１０８はパワーＩＣパッケージの外観および電気的特性を検査することにより良品パッケージと不良品パッケージとを選別する工程である。

【００３２】

次に、上記した前工程１０１後であってスクリーニング工程１０２の直前におけるパワーＩＣの構造について説明する。この段階のパワーＩＣの等価回路を図２に示す。

【００３３】

このパワーＩＣ１は、ゲート端子２Ｇと、ドレイン端子２Ｄと、ソース端子２Ｓと、保護回路（周辺回路）３とパワーＭＯＳ・ＦＥＴＱｐとを有しているが、この段階では保護回路３がパワーＭＯＳ・ＦＥＴＱｐのゲート・ソース電極間に電気的に接続されておらず、全体的には完成されていない状態となっている。なお、図２では回路図の簡略化のために１個のパワーＭＯＳ・ＦＥＴＱｐが代表されて記されているが、実際には、後述するように、複数個のパワーＭＯＳ・ＦＥＴＱｐが形成されている。

【００３４】

ゲート端子２Ｇは、パワーＩＣ１に入力信号を供給するための端子であり、この段階では、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 との２つに分割されている。一方のパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 は、パワーＭＯＳ・ＦＥＴＱｐにスクリーニング電圧を印加するための端子であり、配線を通じてパワーＭＯＳ・ＦＥＴＱｐのゲート電極と電気的に接続されている。他方の周辺回路用電源端子２Ｇ2 は、配線を通じて保護回路３と電気的に接続されている。このパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とは、いずれも後述する半導体チップ上に配置されており、スクリーニング処理の後に電気的に接続されるようになっている。

【００３５】

ドレイン端子２Ｄは、パワーＩＣ１に高電位の電源電圧を供給するための端子であり、パワーＭＯＳ・ＦＥＴＱｐのドレイン電極および保護回路３と電気的に接続されている。このドレイン端子２Ｄは、後述するように、分割されずに半導体チップの裏面に形成されている。

【００３６】

ソース端子２Ｓは、パワーＩＣ１に基準電位（例えば0 Ｖ）を供給するための端子であり、この段階では、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 との２つに分割されている。一方のパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 はパワーＭＯＳ・ＦＥＴＱｐのソース電極と電気的に接続されている。他方の周辺回路用ＧＮＤ端子２Ｓ2 は、保護回路３と電気的に接続されている。このパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とは、いずれも後述する半導体チップ上に配置されており、スクリーニング処理の後に電気的に接続されるようになっている。

【００３７】

このソース端子２Ｓを分割した理由は、次の通りである。すなわち、パワーＩＣ1 の保護回路３内にはパワーＭＯＳ・ＦＥＴＱｐよりも耐圧の小さいＭＯＳ・ＦＥＴが組み込まれているが、その耐圧の小さいＭＯＳ・ＦＥＴをスクリーニング工程およびプローブ選別工程時にはパワーＩＣ回路から切り離しておかないとそのスクリーニング工程およびプローブ選別工程時に破壊してしまうので、それを防ぐためである。

【００３８】

保護回路３は、保護ダイオードＤ1a～Ｄ1d、保護ダイオードＤ2 、保護抵抗Ｒ1 、抵抗Ｒ2,Ｒ3 、ダイオードＤ3a～Ｄ3fと、温度検出回路部３Ａ、ラッチ回路部３Ｂ、ゲート遮断回路部３Ｃおよび電流制限回路部３Ｄを有している。

【００３９】

保護ダイオードＤ1a～Ｄ1dは、パワーＭＯＳ・ＦＥＴＱｐのゲート絶縁膜を過電圧（過電流）から保護するための素子であり、周辺回路用電源端子２Ｇ2 と周辺回路用ＧＮＤ端子２Ｓ2 との間（最終的にはゲート端子２Ｇとソース端子２Ｓとの間）に直列に接続されて

いる。このうちの保護ダイオードＤ1bは、保護ダイオードＤ2 の耐圧よりも低い耐圧を有するものからなり、他の保護ダイオードＤ1a,1c,1dとは逆向きに接続されてゲート端子２Ｇに流れた過電流を周辺回路用ＧＮＤ端子２Ｓ2 に逃がす機能を有している。

【００４０】

保護ダイオードＤ２および保護抵抗Ｒ1 は、周辺回路用電源端子２Ｇ2 とノードＡとの間（最終的にはゲート端子２ＧとノードＡとの間）に端子側から順に直列に接続されている。また、抵抗Ｒ2,Ｒ3 およびダイオードＤ3a～Ｄ3fは、温度検出回路部３Ａの入力電圧および電源電圧の設定に寄与する素子であり、ノードＡ，Ｂ間、すなわち、周辺回路用電源端子２Ｇ2 と周辺回路用ＧＮＤ端子２Ｓ2 との間（最終的にはゲート端子２ＧとソースＳ端子２Ｓとの間）に直列に接続されている。

【００４１】

パワーＩＣ１の温度検出回路部３Ａは、パワーＩＣ１の動作時の温度を検出し、その検出値が所定値（所定温度）以上となった場合にパワーＩＣ１をオフさせる回路部であり、ｎチャネル形のＭＯＳ・ＦＥＴＱｓ1 と、抵抗Ｒ4 ～Ｒ6 と、温度検出用のダイオードＤ4a～Ｄ4gとを有している。

【００４２】

このＭＯＳ・ＦＥＴＱｓ1 は、そのドレイン電極が抵抗Ｒ5,Ｒ6 を介して抵抗Ｒ２，Ｒ3 間のノードＣと電気的に接続され、そのゲート電極が抵抗Ｒ4 を介して抵抗Ｒ3 とダイオードＤ3aとの間のノードＤと電気的に接続され、そのソース電極が周辺回路用ＧＮＤ端子２Ｓ（最終的にはソース端子２Ｓ）と電気的に接続された状態で回路に組み込まれている。抵抗Ｒ4 は、ＭＯＳ・ＦＥＴＱｓ1 に流れる電流を制限するための素子である。抵抗Ｒ5,Ｒ6 は、温度検出回路部３Ａの出力電圧を設定するための素子である。

【００４３】

また、ＭＯＳ・ＦＥＴＱＳ1 のゲート・ソース間には温度検出用のダイオードＤ4a～Ｄ4gが電気的に接続されている。このダイオードＤ4a～Ｄ4gは、そのジャンクション温度が、例えば１５０℃以内の正常な状態の場合、その順方向電圧がＭＯＳ・ＦＥＴＱｓ１のしきい値以上になるようになっている。この状態ではパワーＩＣ１はオンとなっている。一方、このダイオードＤ4a～Ｄ4gの順方向電圧は負の温度特性を有しているため、そのジャンクション温度が、例えば１５０℃以上の異常な状態となると、その順方向電圧がＭＯＳ・ＦＥＴＱｓ1 のしきい値よりも低くなるようになっている。この状態ではパワーＩＣ１はオフするようになる。

【００４４】

パワーＩＣ１のラッチ回路部３Ｂは、温度検出回路部３Ａの出力データを保持する回路部であり、ｎチャネル形のＭＯＳ・ＦＥＴＱL1，ＱL2と、抵抗Ｒ７a,７b と、ｎチャネル形のＭＯＳ・ＦＥＴＱｓ2 とを有している。

【００４５】

このＭＯＳ・ＦＥＴＱL1，ＱL2および抵抗Ｒ７a,７b は、データラッチのための素子である。このＭＯＳ・ＦＥＴＱL1，ＱL2のドレイン電極は、それぞれ抵抗７a,７b を介して周辺回路用電源端子２Ｇ2 （最終的にはゲート端子２Ｇ）と電気的に接続されている。また、ＭＯＳ・ＦＥＴＱL1のゲート電極はＭＯＳ・ＦＥＴＱL2のドレイン電極と電気的に接続され、ＭＯＳ・ＦＥＴＱL2のゲート電極はＭＯＳ・ＦＥＴＱL1と電気的に接続されている。さらに、ＭＯＳ・ＦＥＴＱL1，ＱL2のソース電極は、周辺回路用ＧＮＤ端子２Ｓ2 （最終的にはソース端子２Ｓ）と電気的に接続されている。

【００４６】

また、ＭＯＳ・ＦＥＴＱｓ2 は、温度検出回路部３Ａで検出された検出値が所定値（所定温度）以上となった場合に、それまでのラッチ回路３Ａの出力を反転させるための素子である。このＭＯＳ・ＦＥＴＱｓ2 は、そのドレイン電極がＭＯＳ・ＦＥＴＱL1のゲート電極と電気的に接続され、そのゲート電極が温度検出回路部３Ａの出力と電気的に接続され（すなわち、ＭＯＳ・ＦＥＴＱL2が先にオンするようになっている）、そのソース電極が周辺回路用ＧＮＤ端子２Ｓ2 （最終的にはソース端子２Ｓ）に電気的に接続された状態で

回路に組み込まれている。

【００４７】

パワーＩＣ１のゲート遮断回路部３Ｃは、温度検出回路部３Ａで検出された検出値が所定値（所定温度）以上となった場合に、パワーＭＯＳ・ＦＥＴＱｐのドレイン電流を遮断してパワーＭＯＳ・ＦＥＴＱｐをオフする回路部であり、ｎチャネル形のＭＯＳ・ＦＥＴＱｓ3 と、抵抗Ｒ8 と、ダイオードＤ5 とを有している。

【００４８】

ＭＯＳ・ＦＥＴＱｓ3 は、そのドレイン電極がダイオードＤ5 を介して抵抗Ｒ8 とパワーＭＯＳ・ＦＥＴＱｐのゲート電極との間のノードＥと電気的に接続され、ＭＯＳ・ＦＥＴＱｓ3 のゲート電極がラッチ回路部３Ｂの出力と電気的に接続され、ＭＯＳ・ＦＥＴＱｓ3 のソース電極が周辺回路用ＧＮＤ端子２Ｓ（最終的にはソース端子２Ｓ）と電気的に接続された状態で回路に組み込まれている。

【００４９】

抵抗Ｒ8 は、所定温度以上となった場合にパワーＭＯＳ・ＦＥＴＱｐの入力電圧を降下させるための素子であり、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 とパワーＭＯＳ・ＦＥＴＱｐのゲート電極との間に電気的に接続されている。ダイオードＤ5 は、パワーＭＯＳ・ＦＥＴＱｐのソース電極からゲート電極にリーク電流が流れるのを抑えるための素子である。

【００５０】

パワーＩＣ１の電流制限回路３Ｄは、パワーＭＯＳ・ＦＥＴＱｐに流れるドレイン電流を制限する回路部であり、ｎチャネル形のＭＯＳ・ＦＥＴＱａ と、検出回路部３ｄ1 と、ｎチャネル形のＭＯＳ・ＦＥＴＱｓ4 と、ダイオードＤ6 とを有している。

【００５１】

このＭＯＳ・ＦＥＴＱａ は、パワーＭＯＳ・ＦＥＴＱｐと並列に接続されている。すなわち、ＭＯＳ・ＦＥＴＱａ は、そのドレイン電極がドレイン端子２Ｄと電気的に接続され、そのゲート電極がパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 （最終的にはゲート端子２Ｇ）と電気的に接続され、そのソース電極が検出回路部３ｄ1 を介して周辺回路用ＧＮＤ端子２Ｓ2 と電気的に接続された状態で回路に組み込まれている。

【００５２】

このＭＯＳ・ＦＥＴＱａ は、パワーＭＯＳ・ＦＥＴＱｐと同じ構造となっている。ただし、その大きさや数が、パワーＭＯＳ・ＦＥＴＱｐよりも小さく、かつ、パワーＭＯＳ・ＦＥＴＱｐの寸法や数に対して所定の比を確保するように形成されている。

【００５３】

ＭＯＳ・ＦＥＴＱｓ4 は、そのドレイン電極がダイオードＤ6 を介して抵抗Ｒ8 とパワーＭＯＳ・ＦＥＴＱｐのゲート電極との間のノードＦに電気的に接続され、そのゲート電極がＭＯＳ・ＦＥＴＱａ のソース電極と検出回路部３ｄ1 との間のノードＧに電気的に接続され、そのソース電極が周辺回路用ＧＮＤ端子２Ｓ2 に電気的に接続された状態で回路に組み込まれている。

【００５４】

この検出回路部３ｄ1 は、例えばダイオードまたは抵抗からなり、ＭＯＳ・ＦＥＴＱｓ4 のゲート・ソース電極間に電気的に接続され、ＭＯＳ・ＦＥＴＱａ から流れてきたドレイン電流に基づいてＭＯＳ・ＦＥＴＱｓ４のオンオフ動作を行う回路部である。ダイオードＤ6 は、パワーＭＯＳ・ＦＥＴＱｐのソース電極からゲート電極にリーク電流が流れるのを抑えるための素子である。

【００５５】

次に、このようなパワーＩＣ１の完成後（パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを電気的に接続し、かつ、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とを電気的に接続した状態）の回路動作を通常動作と保護動作に分けて説明する。

【００５６】

なお、通常動作とはパワーＩＣ１の動作時の温度が正常な状態の場合におけるパワーＩＣ１の動作をいい、保護動作とは、例えば負荷が短絡しパワーＭＯＳ・ＦＥＴＱｐが大電流を流した状態でドレイン電圧が印加されたり、周囲の温度が異常に上昇したりすることでパワーＩＣ１の動作時の温度が異常な状態になった場合におけるパワーＩＣ１の動作をいう。

【００５７】

まず、通常動作時においては、例えば次のようになる。ゲート端子２Ｇにオン信号が入力されると、ラッチ回路３ＢのＭＯＳ・ＦＥＴＱL1，ＱL2のうちのＭＯＳ・ＦＥＴＱL1が先にオンすることにより、ゲート遮断回路部３ＣのＭＯＳ・ＦＥＴＱｓ3 のゲート電圧はロウ（ＬＯＷ）レベルとなる。これにより、ＭＯＳ・ＦＥＴＱｓ3 はオフとなるので、パワーＭＯＳ・ＦＥＴＱｐのゲート電極にオン信号がそのまま伝わる。

【００５８】

ここで、温度検出用のダイオードＤ4a～Ｄ4gのジャンクション温度が、例えば１５０℃以内の正常な状態の場合、温度検出回路部３Ａのダイオード Ｄ4a～Ｄ4fの順方向電圧がＭＯＳ・ＦＥＴＱｓ1 のしきい値以上となり、ＭＯＳ・ＦＥＴＱｓ1 がオンする。すると、ラッチ回路部３ＢのＭＯＳ・ＦＥＴＱｓ2 のゲート電極電位はＬＯＷレベルとなりＭＯＳ・ＦＥＴＱｓ2 はオフ状態を保つ。これにより、ラッチ回路部３Ｂの出力は常にＬＯＷレベルとなっている。

【００５９】

次に、保護動作時においては、例えば次のようになる。温度検出用のダイオードＤ4a～Ｄ4gのジャンクション温度が、上述のような原因等により、例えば１５０℃以上となるような異常な状態が発生した場合、ダイオードＤ4a～Ｄ4fの順方向電圧は負の温度特性を有しているため温度上昇とともに低下していく。

【００６０】

ここで、ダイオードＤ4a～Ｄ4fの順方向電圧が温度検出回路部３ＡのＭＯＳ・ＦＥＴＱｓ1 のしきい値以下となるとＭＯＳ・ＦＥＴＱｓ1 はオフし、ラッチ回路部３ＢのＭＯＳ・ＦＥＴＱｓ2 のゲート電極電位はハイ（Ｈｉｇｈ）レベルとなる。

【００６１】

これにより、ＭＯＳ・ＦＥＴＱｓ2 がオンすると、ＭＯＳ・ＦＥＴＱL1のゲート電極電位をＬＯＷレベルに反転させるためラッチ回路部３Ａの出力も反転し、ゲート遮断回路部３ＣのＭＯＳ・ＦＥＴＱｓ3 のゲート電極電位がＨｉｇｈレベルとなる。

【００６２】

これにより、ＭＯＳ・ＦＥＴＱｓ3 がオンすると、抵抗Ｒ8 により電圧降下が生じるためパワーＭＯＳ・ＦＥＴＱｐのゲート電極は外部の入力信号に関わらずＬＯＷレベルとなりパワーＭＯＳ・ＦＥＴＱｐのドレイン電流を遮断する。

【００６３】

ただし、一旦遮断状態となると、ラッチ回路部３Ｂが遮断状態を保持し続けるため、温度が下降しても、外部入力信号をＬＯＷレベルにし、かつ、リセットしない限り、その遮断状態が続くようになる。

【００６４】

また、電流制限回路３Ｄにより、次のような動作が行われる。すなわち、パワーＭＯＳ・ＦＥＴＱｐと同じ構造を持つＭＯＳ・ＦＥＴＱa のドレイン電流が検出回路部３ｄを介してソース端子２Ｓに流れると、その流れた電流量に応じて検出回路部３ｄで電圧降下が生じ、ＭＯＳ・ＦＥＴＱｓ4 のゲート・ソース電極間の電位が変動する。この場合に、そのゲート・ソース電極間の電位がＭＯＳ・ＦＥＴＱｓ4 のしきい値以下であればＭＯＳ・ＦＥＴＱｓ4 はオフとなり、パワーＭＯＳ・ＦＥＴＱｐは通常動作を行う。一方、そのゲート・ソース電極間の電位がＭＯＳ・ＦＥＴＱｓ4 のしきい値以上であれば（すなわち、ＭＯＳ・ＦＥＴＱa （パワーＭＯＳ・ＦＥＴＱｐ）に過電流が流れていることを検出すると）ＭＯＳ・ＦＥＴＱｓ4 はオンとなり、パワーＭＯＳ・ＦＥＴＱｐに流れる電流を制限する。

【００６５】
次に、この段階（前工程１０１後であってスクリーニング工程１０２直前）におけるパワーＩＣ１の半導体チップの平面図を図３に示す。なお、この段階では、半導体チップが半導体ウエハから分割されていないが、図３には、説明を簡単にするために、１個の半導体チップ４のみが示されている。
【００６６】
半導体チップ４は、例えば平面四角形状に形成されており、その主面には、パワーＭＯＳ・ＦＥＴ領域ＰＡ、温度検出回路領域ＴＡ、ゲート遮断回路領域ＧＡ、制御回路領域ＣＡ、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ１、周辺回路用電源端子２Ｇ２、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１、周辺回路用ＧＮＤ端子２Ｓ２および配線Ｌ1,Ｌ2,Ｌ3a，Ｌ3b，Ｌ4が配置されている。
【００６７】
パワーＭＯＳ・ＦＥＴ領域ＰＡ（図３の薄い網掛け領域）は、半導体チップ４の主面の大半を占めている。このパワーＭＯＳ・ＦＥＴ領域ＰＡには、上記した複数個のパワーＭＯＳ・ＦＥＴＱｐが形成されている。個々のパワーＭＯＳ・ＦＥＴＱｐの縦構造については後述する。
【００６８】
また、図３の薄い網掛け領域は、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１（ソース端子２Ｓ）形成用の導体膜パターンでもある。この導体膜は、例えば厚さ3.５μｍ程度のアルミニウム（Ａｌ）、Ａｌ－Ｓｉ合金、Ａｌ－Ｃｕ合金またはＡｌ－Ｓｉ－Ｃｕ合金等からなり、後述するように、パワーＭＯＳ・ＦＥＴＱｐのソース領域と電気的に接続されている。
【００６９】
この導体膜の表面および半導体基板４ｓの上面は表面保護膜で覆われているが、その一部には２つの開口部５ａが形成されており、その各々から導体膜の一部が露出している。その導体膜の露出部分がパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１（ソース端子２Ｓ）を形成している。
【００７０】
パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１（ソース端子２Ｓ）を１つの半導体チップ４上に２箇所設けた理由は、ソース端子２Ｓに接続されるボンディングワイヤの本数を増やすことでソース端子２Ｓの抵抗を下げるためであり、また、負荷短絡時にソース端子２Ｓに電流が集中するのを抑えることでパワーＭＯＳ・ＦＥＴＱｐの破壊耐圧を向上させるため等の理由からである。
【００７１】
本実施の形態１においては、その各々のパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１のほぼ中央を横切るように、かつ、その各々のパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１とは電気的に絶縁された状態で、上記した周辺回路用ＧＮＤ端子２Ｓ２（２Ｓ2a）が形成されている。
【００７２】
この周辺回路用ＧＮＤ端子２Ｓ2aがパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１を横切るように形成されている理由は、次の通りである。すなわち、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１と周辺回路用ＧＮＤ端子２Ｓ2aとは、この段階において互いに絶縁されているが、スクリーニング工程後に後述するように互いに電気的に接続されることになるので、双方が比較的近い位置に配置されている方がその双方の接続を容易にすることが可能となるからである。
【００７３】
また、この周辺回路用ＧＮＤ端子２Ｓ2aは、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ１に比して幅の狭い帯状のパターンで形成されている。これは、後述するように、周辺回路用ＧＮＤ端子２Ｓ2aの下方にはパワーＭＯＳ・ＦＥＴＱｐを形成できないので、このパターンをあまり太くしてしまうとパワーＭＯＳ・ＦＥＴＱｐの数が減ってしまうからである。

なお、特に限定されないが、周辺回路用ＧＮＤ端子２Ｓ2aの幅は、例えば２０～５０μｍ程度である。

【００７４】

この周辺回路用ＧＮＤ端子２Ｓ2aは、配線Ｌ1 を通じて、パワーＭＯＳ・ＦＥＴＱｐ以外の保護回路３（図１参照）（すなわち、温度検出回路部、ラッチ回路部、ゲート遮断回路部および電流制限回路部等）および周辺回路用ＧＮＤ端子２Ｓ2b用の導体膜パターンと互いに電気的に接続されている。その導体膜の表面および半導体基板４ｓの上面は表面保護膜で覆われているが、その一部に開口された開口部５ｂからその導体膜の一部が露出している。その露出領域が、周辺回路用ＧＮＤ端子２Ｓ2bを形成している。

【００７５】

この周辺回路用ＧＮＤ端子２Ｓ2bは、スクリーニング工程時およびプローブ選別工程時にプローブ針を接触され所定電位の電圧が供給される端子である。このため、周辺回路用ＧＮＤ端子２Ｓ2bは、プローブ針が接触可能な程度の大きさで形成されており、パターン面積を比較的大きくとっても問題の生じないパワーＭＯＳ・ＦＥＴ領域ＰＡ以外の領域に設けられている。

【００７６】

すなわち、パワーＭＯＳ・ＦＥＴ領域ＰＡの周辺回路用ＧＮＤ端子２Ｓ2aは上記した理由からあまり大面積とすることができないので、そのプローブ針を接触させることができない。これでは、当該試験工程時に所定電位の電圧を供給することができないので、その周辺回路用ＧＮＤ端子２Ｓ2aと電気的に接続された周辺回路用ＧＮＤ端子２Ｓ2bを、パターン面積を比較的大きくとっても問題の生じないパワーＭＯＳ・ＦＥＴ領域ＰＡ以外の領域にプローブ針が接触可能な程度の大きさで設け、この周辺回路用ＧＮＤ端子２Ｓ2bを通じて所定電位の電圧を供給するようにしている。

【００７７】

この周辺回路用ＧＮＤ端子２Ｓ2 （２Ｓ2a，２Ｓ2b）は、例えば厚さ3.５μｍ程度のアルミニウム（Ａｌ）、Ａｌ－Ｓｉ合金、Ａｌ－Ｃｕ合金またはＡｌ－Ｓｉ－Ｃｕ合金等からなり、例えばフォトリソグラフィ技術およびドライエッチング技術によりパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 を形成する際に同じ導体膜から同時にパターン形成されている。

【００７８】

このようなパワーＭＯＳ・ＦＥＴ領域ＰＡの中央（すなわち、ソース端子２Ｓ用の導体膜パターンの中央）には、温度検出回路領域ＴＡが配置されている。ただし、この温度検出回路領域ＴＡには、温度検出用のダイオードＤ4a～Ｄ4gが形成されており、それ以外の温度検出回路用の素子は制御回路領域ＣＡに形成されている。この温度検出回路領域ＴＡの温度検出回路用の素子と制御回路領域ＣＡ内の温度検出回路用の素子とは、配線Ｌ2 を通じて電気的に接続されている。なお、制御回路領域ＣＡには、温度検出回路用の素子の他に、上記したラッチ回路用の素子および電流制限回路用の素子等も配置されている。

【００７９】

温度検出回路領域ＴＡをパワーＭＯＳ・ＦＥＴ領域ＰＡの中央に配置した理由は、パワーＩＣ１の動作時に温度が最も高くなるパワーＭＯＳ・ＦＥＴ領域ＰＡの中央に温度検出回路領域ＴＡを配置することにより、温度検出感度を向上させることができ、パワーＩＣ１の保護動作を適正な時に確実に行うことが可能となるからである。

【００８０】

半導体チップ２の主面において、パワーＭＯＳ・ＦＥＴ領域ＰＡ以外の領域（図３において半導体チップ４の左上側の角部近傍）には、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 および周辺回路用電源端子２Ｇ2 を形成する導体膜のパターンが、互いに近接した状態で、かつ、電気的に絶縁された状態で形成されている。

【００８１】

パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 用の導体膜のパターンは、例えば平面長方形状に形成され、周辺回路用電源端子２Ｇ2 用の導体膜のパターンは、そのパワーＭＯＳ・Ｆ

ＥＴ用ゲート端子２Ｇ1 の一部を取り囲むように、例えば平面凹状に形成されている。

【００８２】

これらの導体膜は、例えば厚さ3.５μｍ程度のＡｌ、Ａｌ－Ｓｉ合金、Ａｌ－Ｃｕ合金またはＡｌ－Ｓｉ－Ｃｕ合金等からなり、例えばフォトリソグラフィ技術およびドライエッチング技術により、上記したパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 および周辺回路用ＧＮＤ端子２Ｓ2 と同時にパターン形成されている。

【００８３】

そして、これらの導体膜の表面および半導体基板４ｓの上面は表面保護膜で覆われているが、その一部に開口された開口部５ｃからその各々の導体膜の一部が露出している。その各々の導体膜の露出領域が、それぞれパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 および周辺回路用電源端子２Ｇ2 である。すなわち、１つの開口部５ｂからパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 および周辺回路用電源端子２Ｇ2 が露出されている。

【００８４】

このようにパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを近接して配置した理由は、次の通りである。すなわち、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とは、この段階において互いに絶縁されているが、スクリーニング処理後に後述するように互いに電気的に接続されることになるので、双方が比較的近い位置に配置されている方がその双方の接続を容易にすることが可能となるからである。

【００８５】

パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 は、配線Ｌ3a，Ｌ3bを通じてゲート遮断回路領域ＧＡ内の素子およびパワーＭＯＳ・ＦＥＴ領域ＰＡ内のパワーＭＯＳ・ＦＥＴＱｐのゲート電極と電気的に接続されている。また、周辺回路用電源端子２Ｇ2 は、配線Ｌ4 を通じて制御回路ＣＡ内の素子と電気的に接続されている。

【００８６】

次に、この段階（前工程１０１後であってスクリーニング工程１０２直前）におけるパワーＩＣ１のパワーＭＯＳ・ＦＥＴＱｐおよびその他のＭＯＳ・ＦＥＴの縦構造例を、半導体チップ４の要部断面図を示した図４および図５により説明する。なお、図４は図３のＹ－Ｙ線の断面図である。

【００８７】

半導体基板４ｓは、例えば比抵抗0.004 Ωのｎ$^{+}$ 形シリコン（Ｓｉ）単結晶からなる半導体基板本体４ｓ1 上に、例えば比抵抗0.８Ω、厚さ１０μｍ程度のｎ$^{-}$ 形Ｓｉ単結晶からなるエピタキシャル層４ｓ2 が形成されてなる。

【００８８】

この半導体基板４ｓ（エピタキシャル層４ｓ２）の主面には、例えば酸化シリコンからなるフィールド絶縁膜６が選択的に形成されている。また、この半導体基板４ｓ（半導体基板本体４ｓ１）の裏面には上記したパワーＭＯＳ・ＦＥＴＱｐのドレイン端子２Ｄが形成されている。このドレイン端子２Ｄは、分割されずに半導体基板４ｓの裏面全面に導体膜７が被着されて形成されている。

【００８９】

ここで、パワーＭＯＳ・ＦＥＴＱｐの構造について説明する。個々のパワーＭＯＳ・ＦＥＴＱｐ（図４および図５の左側）は、縦形のＭＯＳ・ＦＥＴ構造で形成されている。そのドレイン領域は、半導体基板本体４ｓ1 およびエピタキシャル層４ｓ2 部分で形成され、全てのパワーＭＯＳ・ＦＥＴＱｐに共通となっている。

【００９０】

パワーＭＯＳ・ＦＥＴＱｐのチャネル領域は、パワーＭＯＳ・ＦＥＴＱｐのゲート電極８ｇ直下のｐ形半導体領域８ｃ部分に形成される。このｐ形半導体領域８ｃは、例えばｐ形不純物のホウ素が導入されてなり、ゲート電極８ｇの両端側に形成され、その領域の端部が平面的にゲート電極８ｇの端部に重なるような状態でエピタキシャル層４ｓ2 の上部に形成されている。

【００９１】
また、このｐ形半導体領域８ｃの上部には、$p^+$ 形半導体領域８ｃ１が形成されている。この$p^+$ 形半導体領域８ｃ１は、例えばｐ形不純物のホウ素がｐ形半導体領域８ｃよりも高濃度になるように導入されてなる。
【００９２】
パワーＭＯＳ・ＦＥＴＱｐのソース領域は、$n^+$ 形半導体領域８ｓにより形成されている。この$n^+$ 形半導体領域８ｓは、例えばｎ形不純物のリンまたヒ素（Ａｓ）が導入されてなり、一端が上記した$p^+$ 形半導体領域８ｃ１に隣接し、かつ、他端が平面的にゲート電極の端部に若干重なるような状態で、ｐ形半導体領域８ｃの領域内の上部に形成されている。
【００９３】
パワーＭＯＳ・ＦＥＴＱｐのゲート電極８ｇは、例えば低抵抗ポリシリコンの単体膜または低抵抗ポリシリコン膜上にタングステンシリサイド等のようなシリサイド膜を形成してなる積層膜等からなり、半導体基板４ｓの主面上のゲート絶縁膜８ｉ上に形成されている。ゲート絶縁膜８ｉは、例えば厚さ５００Å程度の酸化シリコン膜等からなり、その真性耐圧は約４０Ｖ程度である。
【００９４】
次に、半導体チップ４に形成された保護回路用のＭＯＳ・ＦＥＴの構造の一例を説明する。図４および図５の右側には、上記したゲート遮断回路領域ＧＡの一部が示されている。エピタキシャル層４Ｓ2 の上部には、$p^-$ 形半導体領域（第１半導体領域）９が形成されている。この$p^-$ 形半導体領域９内に上記したゲート遮断回路部のＭＯＳ・ＦＥＴＱｓ3 が形成されている。
【００９５】
このＭＯＳ・ＦＥＴＱｓ3 は横形構造で形成されている。そのドレイン領域は、$n^-$ 形半導体領域１０ｄ1 および$n^+$ 形半導体領域１０ｄ2 で構成されている。この$n^-$ 形半導体領域１０ｄ1 および$n^+$ 形半導体領域１０ｄ2 は、例えばｎ形不純物のリンまたはＡｓが導入されてなり、エピタキシャル層４ｓ2 の上部に形成されている。
【００９６】
$n^-$ 形半導体領域１０ｄ1 は、ドレイン領域での電界集中を緩和するための低不純物濃度領域であり、その一端側はＭＯＳ・ＦＥＴＱｓ3 のゲート電極１０ｇに平面的に重なるように形成され、その他端側は$n^+$ 形半導体領域１０ｄ2 と重なり電気的に接続されている。
【００９７】
また、ＭＯＳ・ＦＥＴＱｓ3 のソース領域は、$n^+$ 形半導体領域１０ｓで構成されている。この$n^+$ 形半導体領域１０ｓは、例えばｎ形不純物のリンまたはＡｓが導入されてなり、エピタキシャル層４ｓ2 の上部において上記した$n^+$ 形半導体領域１０ｄ2 と同じ深さで形成されている。
【００９８】
この$n^+$ 形半導体領域１０ｓの一端は平面的にゲート電極１０ｇに重なるように形成され、他端は$p^+$ 形半導体領域９ａに接した状態で形成されている。この$p^+$ 形半導体領域９ａは、例えばｐ形不純物のホウ素が導入されてなり、$p^-$ 形半導体領域９と電気的に接続されている。
【００９９】
このＭＯＳ・ＦＥＴＱｓ3 のチャネル領域は、このような$n^-$ 形半導体領域１０ｄ1 と$n^+$ 形半導体領域１０ｓとの間であって、ゲート電極１０ｇの直下における$p^-$ 形半導体領域９の上部に形成されるようになっている。
【０１００】
また、このＭＯＳ・ＦＥＴＱｓ3 のゲート電極１０ｇは、例えば低抵抗ポリシリコンの単体膜または低抵抗ポリシリコン膜上にタングステンシリサイド等のようなシリサイド膜を形成してなる積層膜等からなり、半導体基板４ｓの主面上のゲート絶縁膜１０ｉ上に形成

されている。ゲート絶縁膜１０ｉは、例えば厚さ５００Å程度の酸化シリコン膜等からなり、その真性耐圧は約４０Ｖ程度である。なお、ゲート電極１０ｇは、上記したゲート電極８ｇと同時にパターン形成されている。

【０１０１】

このような半導体基板４ｓの主面上には、例えば酸化シリコン膜からなる層間絶縁膜１１ａが形成されており、これにより、ゲート電極８ｇ，１０ｇ等が被覆されている。この層間絶縁膜１１ａの主面上には、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 用の導体膜パターン１２ｓ１、周辺回路用ＧＮＤ端子２Ｓ2 用の導体膜パターン１２ｓ２、ゲート引出し電極用の導体膜パターン１２ｇ１、ソース電極用の導体膜パターン１２ｓ2 およびドレイン電極用の導体膜パターン１２ｄ等が形成されている。

【０１０２】

これらの導体膜パターン１２ｓ1,１２ｓ2,１２ｇ1,１２ｄは、例えば厚さ3.５μｍ程度のアルミニウム（Ａｌ）またはＡｌ－Ｓｉ－Ｃｕ合金等のようなＡｌ合金からなり、例えばフォトリソグラフィ技術およびドライエッチング技術により同時にパターン形成されている。

【０１０３】

パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 用の導体膜パターン１２ｓ１は、層間絶縁膜１１ａに穿孔された接続孔１３ａを通じてパワーＭＯＳ・ＦＥＴＱｐのｎ$^+$ 形半導体領域８ｓおよびｐ$^+$ 形半導体領域８ｃ1 と電気的に接続されている。これにより、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 は、パワーＭＯＳ・ＦＥＴＱｐのソース領域およびチャネル領域と電気的に接続されている。

【０１０４】

また、パワーＭＯＳ・ＦＥＴ領域ＰＡにおいて周辺回路用ＧＮＤ端子２Ｓ2 用の導体膜パターン１２ｓ2 は、フィールド絶縁膜６上に層間絶縁膜１１ａを介して形成されている。この導体膜パターン１２ｓ2 をフィールド絶縁膜６上に形成した理由は、例えば次の通りである。

【０１０５】

すなわち、この導体膜パターン１２ｓ1 と導体膜パターン１２ｓ2 とは、後述するように、それらパターンの両方を跨ぐようにボンディングワイヤを圧着することで接続するが、その際に、導体膜パターン１２ｓ2 の直下に加わる圧力により半導体基板４ｓが受けるダメージを緩和するためであり、また、導体膜パターン１２ｓ2 が比較的幅の狭いパターンであってもその導体膜パターン１２ｓ2 の上部高さを導体膜パターン１２ｓ1 の上部高さよりも高くすることで、導体膜パターン１２ｓ1 と導体膜パターン１２ｓ2 との接続不良を防止するためである。

【０１０６】

ゲート引出し電極用の導体膜パターン１２ｇ1 は、層間絶縁膜１１ａに穿孔された接続孔１３ｂを通じてパワーＭＯＳ・ＦＥＴＱｐのゲート電極８ｇと電気的に接続されている。この導体膜パターン１２ｇ1 は、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と電気的に接続されている。これにより、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 は、抵抗Ｒ8 を介してパワーＭＯＳ・ＦＥＴＱｐのゲート電極８ｇと電気的に接続されている。

【０１０７】

ソース電極用の導体膜パターン１２ｓ2 は、接続孔１３ｃを通じてＭＯＳ・ＦＥＴＱｓ3 のソース用のｎ$^+$ 形半導体領域１０ｓおよびチャネル接続用のｐ$^+$ 形半導体領域９ａと電気的に接続されている。また、この導体膜パターン１２ｓ2 は、周辺回路用ＧＮＤ端子２ｓ2 と電気的に接続されている。これにより、周辺回路用ＧＮＤ端子２ｓ2 は、ＭＯＳ・ＦＥＴＱｓ3 のソース領域およびチャネル領域と電気的に接続されている。

【０１０８】

ドレイン電極用の導体膜パターン１２ｄは、接続孔１３ｄを通じてＭＯＳ・ＦＥＴＱｓ3 のドレイン用のｎ$^+$ 形半導体領域１０ｄ2 と電気的に接続されている。また、この導体膜パターン１２ｄは、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と電気的に接続されている

。これにより、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 は、抵抗Ｒ8 を介してＭＯＳ・ＦＥＴＱｓ3 のドレイン領域と電気的に接続されている。

【０１０９】

なお、Ｑｘ1,Ｑｘ2 は、寄生バイポーラトランジスタを示している。この寄生バイポーラトランジスタＱｘ1,Ｑｘ2 は電気的には図６の破線に示すように接続される。

【０１１０】

この寄生バイポーラトランジスタＱｘ2 は、後述するスクリーニング工程時にベースオープンでバイアス電圧が印加されることになる。したがって、寄生バイポーラトランジスタＱｘ2 のＶCEO 耐圧について考慮する必要がある。

【０１１１】

本実施の形態１では、この寄生バイポーラトランジスタＱｘ２が形成される半導体領域（ｐ⁻ 形半導体領域９）の不純物濃度がパワーＭＯＳ・ＦＥＴＱｐのｐ形半導体領域８ｃの不純物濃度よりも低く設定されており、ＶCEO 耐圧をスクリーニング電圧よりも充分大きくすることができるので、半導体基板２ｓの厚さ方向にリーク電流が流れてしまう問題が生じないようになっている。

【０１１２】

次に、本実施の形態１のパワーＩＣ１のスクリーニング工程およびプローブ選別工程（試験工程）について説明する。

【０１１３】

図７は当該試験工程時におけるプローブ針１４ａ～１４ｄの配置例を示している。すなわち、プローブ針１４ａは、周辺回路用電源端子２Ｇ2 に接触され電気的に接続される。プローブ針１４ｂは、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 に接触され電気的に接続される。プローブ針１４ｃは、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 に接触され電気的に接続される。さらに、プローブ針１４ｄは、周辺回路用ＧＮＤ端子２Ｓ2bに接触され電気的に接続される。

【０１１４】

また、図８は各試験工程における各端子への電圧の印加状態を示している。まず、スクリーニング工程時においては、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 にプローブ針１４ｂを接触させて、例えば３０Ｖ程度のゲート電圧ＶＧを印加し、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 にプローブ針１４ｃを接触させてＧＮＤ電位の電圧を印加し、ゲート・ドレイン間の酸化膜もスクリーニングする必要があるので裏面ステージ（半導体ウエハの裏面、すなわち、ドレイン端子）にＧＮＤ電位の電圧を印加する。そして、周辺回路用電源端子２Ｇ2 および周辺回路用ＧＮＤ端子２Ｓ2bにはプローブ針１４ａを接触させずオープンとする。

【０１１５】

すなわち、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 とパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 との間にスクリーニング電圧を印加する。この際、本実施の形態１においては、保護回路３がパワーＭＯＳ・ＦＥＴＱｐから電気的に切り離されるているので、スクリーニング電圧が保護回路３に印加されない。

【０１１６】

したがって、スクリーニング工程に際して、保護回路３による制限を受けることなく、パワーＭＯＳ・ＦＥＴＱｐのスクリーニングに必要な比較的高い電圧（例えば３０Ｖ程度）をパワーＭＯＳ・ＦＥＴＱｐのゲート絶縁膜に印加することが可能となっている。

【０１１７】

これにより、潜在欠陥を有するパワーＭＯＳ・ＦＥＴＱｐを確実に除去することが可能となり、最終的に信頼性の高いパワーＩＣ１を提供することが可能となる。また、スクリーニング電圧を高くできるので、スクリーニングの加速性を向上させることができ、スクリーニング時間を短縮することが可能となる。

【０１１８】

続いて、プローブ選別工程時においては、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 およ

び周辺回路用電源端子２Ｇ2 にそれぞれプローブ針１４ｂ，１４ａを接触させて、例えば０～２０Ｖ程度のゲート電圧ＶＧを印加し、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 および周辺回路用ＧＮＤ端子２Ｓ2bにそれぞれプローブ針１４ｃ，１４ｄを接触させてＧＮＤ電位の電圧を印加し、裏面ステージ（半導体ウエハの裏面、すなわち、ドレイン端子）に、例えば０～７０Ｖ程度のドレイン電圧ＶＤの電圧を印加する。

【０１１９】

すなわち、パワーＩＣ1 のゲート端子２Ｇとソース端子２Ｓとの間にプローブ選別工程用の試験電圧を印加する。この際、本実施の形態１においては、パワーＭＯＳ・ＦＥＴＱｐと保護回路３とを電気的に切り離しているからといってプローブ選別工程時に特に新たな構成を付加したり変更を生じたりすることなく、プローブ針１４ａ～１４ｄと端子との接続の仕方や印加電圧を変えるだけでプローブ選別工程を行うことが可能となっている。

【０１２０】

次に、本実施の形態１のパワーＩＣ１のダイボンディング工程およびワイヤボンディング工程について説明する。

【０１２１】

図９はダイボンディング工程およびワイヤボンディング工程後の半導体チップ４を示している。なお、図９には説明を簡単にするため１個の半導体チップ４分のリードフレーム１５部分のみが示されている。なお、リードフレーム１５は、例えばＣｕからなる。

【０１２２】

ダイボンディング工程では、上記したスクリーニング工程およびプローブ選別工程によって判定された良品チップを半導体ウエハから切り出した後、リードフレーム１５のチップ搭載領域１５ａにろう材によって接合する。このチップ搭載領域１５ａの一部はリード１５ＬＤ と一体的に形成されている。すなわち、半導体チップ４の裏面のドレイン端子はチップ搭載領域１５ａと電気的に接続され、さらにリード１５ＬＤ により引き出される構造となっている。

【０１２３】

続く、ワイヤボンディング工程では、半導体チップ４のゲート端子２Ｇとリードフレーム１５のリード１５（第１リード）ＬＧ とをボンディングワイヤ１６ａによって電気的に接続する。これにより、パワーＩＣ１のゲート端子２Ｇをリード１５ＬＧ から引き出すことが可能となる。

【０１２４】

また、半導体チップ４のソース端子２Ｓとリードフレームのリード（第２リード）１５ＬＳ とを２本のボンディングワイヤ１６ｂによって電気的に接続する。これにより、パワーＩＣ１の２箇所のソース端子２Ｓを１本のリード１５ＬＳ から引き出すことが可能となる。

【０１２５】

ボンディングワイヤ１６ａ，１６ｂは、例えば直径５００μｍ程度のＡｌからなる。ただし、ボンディングワイヤ１６ａ，１６ｂの材料は、Ａｌに限定されるものではなく種々変更可能であり、例えばＡｕまたはＣｕ等でも良い。

【０１２６】

図１０は図９のボンディングワイヤ接続部の拡大平面図を示しており、図１１は図１０のＹ－Ｙ線の断面図を示している。本実施の形態１においては、このワイヤボンディング工程時に、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを接続し、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とを接続する。

【０１２７】

すなわち、ボンディングワイヤ１６ａを、その端部がパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 との両方に跨るように接合してパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを互いに電気的に接続することにより、パワーＩＣ１のゲート端子２Ｇとする。また、ボンディングワイヤ１６ｂを、その端部

がパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 との両方に跨るように接合してパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とを互いに電気的に接続することにより、パワーＩＣ１のソース端子２Ｓとする。これにより、パワーＭＯＳ・ＦＥＴＱｐと保護回路３とが一体となり電気的に接続される。

【０１２８】

このワイヤボンディング工程に際して、上記したように周辺回路用電源端子２Ｇ2aをフィールド絶縁膜６上に設けているので、ボンディングワイヤ接合時のダメージを緩和させることができ、また、周辺回路用電源端子２Ｇ2aの上部高さがパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 の上部高さよりも高くなり検査用ゲート電極２Ｇ1 と周辺回路用電源端子２Ｇ2aとの接続不良を防止することができる。

【０１２９】

このように、本実施の形態１においては、従来から行われているワイヤボンディング工程時に、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを接続し、また、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とを接続することにより、製造工程の増加を招かない。また、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを接続し、また、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とを接続するために、ボンディングワイヤの接続技術の変更も必要としないし、新たな組立技術を導入する必要もない。したがって、パワーＩＣ1 の製造コストも増加しない。

【０１３０】

次に、本実施の形態１のパワーＩＣ１のモールド工程から組立品選別工程について説明する。

【０１３１】

まず、複数個の半導体チップが搭載されたリードフレームを樹脂封止金型にセッティングした後、個々の半導体チップを封止樹脂によってモールドした後、封止されたパワーＩＣ１を個々に分割することにより、図１２に示すパッケージ１７の構造のパワーＩＣを組み立てる。

【０１３２】

パッケージ１７は、例えばエポキシ系樹脂等からなり、その下面からはリード１５ＬＧ,１５ＬＤ,１５ＬＳ がその下面に垂直に突出している。また、パッケージ１７の下面の対向面からもリードフレームの一部が突出している。この突出部分は放熱機能等を有しており、その厚さ方向に貫通孔が形成されている。

【０１３３】

続く、組立品選別工程では、パッケージングされたパワーＩＣ１に対して外観検査および電気的特性検査を施し、良品および不良品の選別を行い製品の製造を終了する。なお、組立工程後の電気的特性検査においては、印加電圧が保護回路３に制限されるようになり、パワーＭＯＳ・ＦＥＴＱｐのゲート絶縁膜のみに高電圧を印加することはできない。

【０１３４】

図１３は本実施の形態１におけるゲート電圧とゲート絶縁破壊発生度数との関係を示している。また、図１４は本発明者が検討した通常のパワーＩＣにおけるゲート電圧とゲート絶縁破壊発生度数との関係を示している。

【０１３５】

図１３（ａ）および図１４（ａ）は前工程後であってスクリーニング工程前のゲート電圧とゲート絶縁破壊発生度数との関係を示している。波形はゲート電圧に対するゲート絶縁破壊発生分布を示している。

【０１３６】

図１３（ａ）および図１４（ａ）はスクリーニング工程後のゲート電圧とゲート絶縁破壊発生度数との関係を示している。図１３（ａ）では、保護回路の耐圧以上のスクリーニング電圧を印加できるので、潜在欠陥を有する製品を除去できる。図１４（ｂ）では保護回路が接続されているので保護回路の耐圧以上のスクリーニング電圧を印加できず、潜在不

良を有する製品を充分に除去できないことが判る。
【０１３７】
図１３（ｃ）はワイヤボンディング工程後のゲート電圧とゲート絶縁破壊発生度数との関係を示している。図中の波形は保護回路の電圧特性を示している。
【０１３８】
図１３（ｄ）はゲート電極にサージ電圧が印加された場合のゲート電圧とゲート絶縁破壊発生度数との関係を示している。本実施の形態１によれば、スクリーニング時に保護回路の耐圧以上の電圧を印加でき、その際に潜在欠陥を有するパワーＩＣを確実に除去することができるので、この段階でサージ電圧が印加されてもゲート絶縁破壊がほとんど発生しない。
【０１３９】
これに対して図１４（ｃ）では、スクリーニング時に保護回路の耐圧以上の電圧を印加できず、潜在欠陥を有するパワーＩＣを確実に除去することができないので、この段階でサージ電圧が印加されるとゲート絶縁破壊が発生する場合がある。
【０１４０】
このように、本実施の形態１によれば、以下の効果を得ることが可能となる。
【０１４１】
(1).スクリーニング工程に際して、保護回路３による制限を受けることなく、パワーＭＯＳ・ＦＥＴＱｐのスクリーニングに必要な比較的高い電圧をパワーＭＯＳ・ＦＥＴＱｐのゲート絶縁膜に印加することが可能となる。
【０１４２】
(2).上記(1) により、潜在欠陥を有するパワーＭＯＳ・ＦＥＴＱｐを確実に除去することできるので、最終的に信頼性の高いパワーＩＣ１を提供することが可能となる。
【０１４３】
(3).上記(1) により、スクリーニング電圧を高くできるので、スクリーニングの加速性を向上させることができ、スクリーニング時間を短縮することが可能となる。
【０１４４】
(4).従来から行われているワイヤボンディング工程時に、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを接続し、また、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とを接続することにより、製造工程の変更や増加を招いたり、新たな組立技術を導入したりすることなく、信頼性の高いパワーＩＣを製造することが可能となる。
【０１４５】
(5).上記(4) により、製造コストの大幅な増加を招くことなく、信頼性の高いパワーＩＣを製造することが可能となる。
【０１４６】
(6). パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを接続の自由度の高いボンディングワイヤにより接続し、また、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とを接続の自由度の高いボンディングワイヤにより接続することにより、それら端子間を容易に接続することが可能となる。
【０１４７】
(7).周辺回路用ＧＮＤ端子２Ｓ2aをフィールド絶縁膜６上に設けたことにより、ワイヤボンディング工程に際して、ボンディングワイヤ接合時のダメージを緩和させることが可能となる。
【０１４８】
(8).周辺回路用ＧＮＤ端子２Ｓ2aをフィールド絶縁膜６上に設けたことにより、周辺回路用ＧＮＤ端子２Ｓ2aの上部高さがパワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 の上部高さよりも高くすることができるので、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2aとの接続不良を防止することが可能となる。
【０１４９】

（実施の形態２）
図１５は本発明の他の実施の形態である半導体集積回路装置の全体斜視図、図１６は図１５の半導体集積回路装置の半導体チップとパッケージリードとの接続関係を説明するための説明図、図１７は図１６のボンディングワイヤと端子との接続部における要部拡大平面図である。
【０１５０】
図１５は本実施の形態２のパワーＩＣ1 の全体斜視図である。本実施の形態２においては、例えばＳＯＰ（Small Outline Package ）形のパッケージ構造となっている。
【０１５１】
パッケージ１７は、例えばエポキシ系樹脂からなり、その上面には、このパッケージ１７を配線基板に搭載する際の方向を示すためのマーク１７ｍが形成されている。また、パッケージ１７の両側面の各々からは４本づつリード１５Ｌが突出されている。このリード１５Ｌのうち、１本はパワーＩＣ１のゲート用のリード１５ＬG であり、３本はパワーＩＣ１のソース用のリード１５ＬS であり、４本はパワーＩＣ１のドレイン用のリード１５ＬD である。
【０１５２】
図１６は図１５の半導体集積回路装置のパッケージ１７の内部を示している。また、図１７はその要部拡大平面図を示している。
【０１５３】
上記した４本のドレイン用のリード１５ＬD は、チップ搭載領域１５ａと一体的に成形されている。これにより、各リード１５ＬD 同士および各リード１５ＬD とチップ搭載領域１５ａとは互いに電気的に接続されている。
【０１５４】
このチップ搭載領域１５ａ上には、半導体チップ４がその裏面をチップ搭載領域１５ａに接合させた状態で搭載されている。これにより、半導体チップ４の裏面のドレイン端子はリード１５ＬD と電気的に接続されている。
【０１５５】
半導体チップ４には前記実施の形態１と同様のパワーＩＣ回路が形成されている。パワーＭＯＳ・ＦＥＴ用ゲート端子２G1 と周辺回路用電源端子２G2 とは、前記実施の形態１と同様に、互いに隣接した位置に絶縁された状態で配置されている。なお、パワーＭＯＳ・ＦＥＴ用ゲート端子２G1 および周辺回路用電源端子２G2 の各々のパワーＩＣ回路における接続状態は前記実施の形態１と同じである。
【０１５６】
そして、このパワーＭＯＳ・ＦＥＴ用ゲート端子２G1 と周辺回路用電源端子２G2 とは、前記実施の形態１と同様のスクリーニング工程を経た後、半導体チップ４上においてボンディングワイヤ１６ａによって互いに電気的に接続されて１つのゲート端子２Ｇをなし、そのボンディングワイヤ１６ａを通じてリード（第１リード）１５ＬG と電気的に接続されている。
【０１５７】
また、本実施の形態２においては、パワーＭＯＳ・ＦＥＴ用ソース端子２S1 と周辺回路用ＧＮＤ端子２S2 とが半導体チップ４の主面上において互いに離れた位置に絶縁された状態で配置されている。なお、パワーＭＯＳ・ＦＥＴ用ソース端子２S1 および周辺回路用ＧＮＤ端子２S2 の各々のパワーＩＣ回路における接続状態は前記実施の形態１と同じである。
【０１５８】
そして、この半導体チップ４上で互いに分離されているパワーＭＯＳ・ＦＥＴ用ソース端子２S1 と周辺回路用ＧＮＤ端子２S2 とは、前記実施の形態１と同様のスクリーニング工程を経た後、パワーＭＯＳ・ＦＥＴ用ソース端子２S1 に接続されたボンディングワイヤ１６ｃと、周辺回路用ＧＮＤ端子２S2 に接続されたボンディングワイヤ１６ｄとが１つのリード（第２リード）１５ＬS に接続されることによって、互いに電気的に接続され

ている。
【０１５９】
すなわち、本実施の形態２においては、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とが、半導体チップ４上で電気的に接続されるのではなく、１つのリード１５ＬＳ 上において互いに電気的に接続されている。
【０１６０】
なお、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とを別々のボンディングワイヤで引き出し、その各々のボンディングワイヤを１つのリード１５ＬＧに接合することで、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とをリード１５ＬＧ 上で互いに電気的に接続するようにしても良い。
【０１６１】
このような本実施の形態２においても前記実施の形態１で得られた(1) ～(5) の効果を得ることが可能となる。
【０１６２】
（実施の形態３）
図１８は本発明の他の実施の形態である半導体集積回路装置の説明図である。
【０１６３】
本実施の形態３においては、図１８に示すように、パワーＭＯＳ・ＦＥＴ用ソース端子２Ｓ1 と周辺回路用ＧＮＤ端子２Ｓ2 とが、半導体チップ４の主面上において互いに離れた位置に絶縁された状態で形成され、かつ、半導体チップ４の主面上において互いにジャンパーワイヤ１６ｅによって電気的に接続されている。これ以外は、前記実施の形態１と同じである。
【０１６４】
このジャンパワイヤ１６ｅは、例えば直径１２５～５００μｍ程度のＡｌ等からなり、前記実施の形態１と同様にスクリーニング工程を経た後、ワイヤボンディング工程に際して、すなわち、ボンディングワイヤ１６ａ，１６ｂの接合時に、同時に接合されている。なお、ジャンパワイヤ１６ｅは、Ａｌに限定されるものではなく種々変更可能であり、例えばＡｕまたはＣｕでも良い。
【０１６５】
このような本実施の形態３においても前記実施の形態１で得られた(1) ～(5) の効果を得ることが可能となる。
【０１６６】
（実施の形態４）
図１９は本発明の他の実施の形態である半導体集積回路装置の製造工程中における半導体チップの平面図、図２０は半導体集積回路装置の製造工程中における半導体チップの要部拡大断面図である。
【０１６７】
本実施の形態４においても基本的には前記実施の形態１と同じである。異なるのは、次の構成である。
【０１６８】
図１９はスクリーニング工程前におけるパワーＩＣ１の半導体チップ４の平面図を示している。この段階では、前記実施の形態１と同様に、保護回路３のＧＮＤ用の配線Ｌ5 とソース端子２Ｓとが電気的に接続されておらず、保護回路３がパワーＩＣ１の回路に組み込まれていない。
【０１６９】
すなわち、保護回路３のＧＮＤ用の配線Ｌ5 の端部と、ソース端子２Ｓに接続された配線Ｌ6 の端部とは、パワーＭＯＳ・ＦＥＴ領域ＰＡ以外の領域において、互いに絶縁された状態で近接して配置されている。そして、その双方の配線Ｌ5,Ｌ6 の端部は、表面保護膜に穿孔された１つの開口部５ｄから露出されている。
【０１７０】

スクリーニング工程時には、前記実施の形態１と同様に、パワーＭＯＳ・ＦＥＴ用ゲート端子２G1 とソース端子２Ｓとの間にスクリーニング電圧が印加される。したがって、保護回路３の制限を受けることなく、比較的高いスクリーニング電圧を印加できるので、潜在欠陥を有するパワーＩＣを確実に除去することができ、信頼性の高いパワーＩＣを提供できる。

【０１７１】

スクリーニング後の配線Ｌ5,Ｌ6 間の接続は、図１９に示すように、ボンディングボール（導体バンプ）１８で行う。このボンディングボール１８は、例えばＡｕ等からなる。このボンディングボール１８の形成方法は、例えば次のようにする。

【０１７２】

すなわち、ワイヤボンディング工程に際して、例えば直径５０μｍ程度のＡｕ等からなるボンディングワイヤの端部を配線Ｌ5,Ｌ6 間に接合した後、そのボンディングワイヤの端部のボール状の接合部分だけが残されるようにボンディングワイヤを切断することで形成されている。

【０１７３】

ここで、Ａｕワイヤを選択している理由は、ＡｕワイヤはＡｌワイヤよりも細くでき、微細な配線Ｌ5,Ｌ6 間を接続するのに好都合であるとともに、それら配線間の接続抵抗も上げないで済むからである。

【０１７４】

また、そのボンディングボール１８の接合部は、半導体基板４ｓのフィールド絶縁膜６上に配置されている。これは、ボンディングボール１８を接合する際に半導体基板４ｓがダメージを受けるのを防止するためである。なお、図１９の符号１９は表面保護膜を示している。

【０１７５】

このような本実施の形態４においては、前記実施の形態１で得られた(1) ～(5) の効果の他に、以下の効果を得ることが可能となる。

【０１７６】

すなわち、保護回路３のＧＮＤ用の配線Ｌ5 をパワーＭＯＳＦＥＴソース端子２Ｓの領域に作る必要がないため、パワーＭＯＳＦＥＴ素子数を犠牲にすることなく、オン抵抗を低減できる。

【０１７７】

（実施の形態５）

図２１は本発明の他の実施の形態である半導体集積回路装置の製造工程中における等価回路図、図２１の半導体集積回路装置の組立工程後の等価回路図である。

【０１７８】

図２１はスクリーニング工程前におけるパワーＩＣ１の等価回路を示している。本実施の形態５においては、パワーＭＯＳ・ＦＥＴＱｐのソース端子と保護回路３のソース端子とが共通になっている。すなわち、この段階においてパワーＭＯＳ・ＦＥＴＱｐのソース端子と保護回路３のソース端子とが分割されていない。

【０１７９】

このような構造では、周辺回路用電源端子２G1,２G3 ～２G5 が半導体チップ上に設けられている。パワーＭＯＳ・ＦＥＴ用ゲート端子２G1 は、スクリーニング工程時にパワーＭＯＳ・ＦＥＴＱｐのゲート電極にスクリーニング電圧を印加するための端子であり、パワーＭＯＳ・ＦＥＴＱｐのゲート電極と電気的に接続されている。

【０１８０】

ただし、パワーＭＯＳ・ＦＥＴ用ゲート端子２G1 には、ゲート遮断回路部３Ｃや電流制限回路部３Ｄは電気的に接続されていない。これは、本実施の形態５ではソース端子２ＳがパワーＭＯＳ・ＦＥＴＱｐと保護回路３とで共通となっており、仮にパワーＭＯＳ・ＦＥＴ用ゲート端子２G1 にゲート遮断回路部３Ｃや電流制限回路部３Ｄを電気的に接続した状態で、検査用ゲート電極２G1 とソース端子２Ｓとの間に高いスクリーニング電圧を

印加すると、ゲート遮断回路部３Ｃや電流制限回路部３ＤのＭＯＳ・ＦＥＴはパワーＭＯＳ・ＦＥＴＱｐに比べて耐圧が小さいので破壊されてしまう恐れがあるので、それを防止するためからである。

【０１８１】

次に、周辺回路用電源端子２Ｇ3 は、抵抗Ｒ8 とノードＥとの間の配線に電気的に接続され保護回路３と電気的に接続されている。この周辺回路用電源端子２Ｇ3 は、スクリーニング工程後にパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 に電気的に接続されるべくパワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 に隣接した状態で互いに絶縁されて配置されている。

【０１８２】

周辺回路用電源端子２Ｇ4 は、抵抗8 を介して保護回路３と電気的に接続されている。周辺回路用電源端子２Ｇ5 は、ゲート保護回路部と、温度検出回路部３Ａと、ラッチ回路部３Ｂと電気的に接続されている。この周辺回路用電源端子２Ｇ4,２Ｇ5 は、スクリーニング工程後に互いに電気的に接続されるべく互いに隣接した状態で絶縁されて配置されている。

【０１８３】

なお、ゲート保護回路部には、前記実施の形態１（図２参照）等で説明したダイオードＤ1a～Ｄ1d、Ｄ2 、抵抗Ｒ2 等が形成されている。

【０１８４】

図２２はスクリーニング工程後のパワーＩＣ１の等価回路図を示している。図２２に示すように、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ3 とは電気的に接続されている。これは前記実施の形態４で説明したようにボンディングボールによって電気的に接続すると良い。

【０１８５】

また、周辺回路用電源端子２Ｇ4,２Ｇ5 は互いに電気的に接続され、さらに、ゲート端子２Ｇと電気的に接続されている。これは前記実施の形態１で説明したようにボンディングワイヤによって電気的に接続すると良い。これにより、パワーＩＣ１のゲート端子２ＧはパワーＭＯＳ・ＦＥＴＱｐのゲート電極および保護回路３と電気的に接続され、パワーＩＣ１が形成されている。

【０１８６】

このような本実施の形態５においては、前記実施の形態１で得られた(1) ～(6) の効果を得ることが可能となる。

【０１８７】

（実施の形態６）

図２３は本発明の他の実施の形態である半導体集積回路装置の製造工程中における等価回路図である。

【０１８８】

本実施の形態６は、ゲート保護回路部は有するが、前記した温度検出回路部、ラッチ回路部および電流制限回路部を有しない基本的なパワーＩＣについて説明する。

【０１８９】

図２３はスクリーニング工程直前における本実施の形態６のパワーＩＣ１の等価回路図を示している。

【０１９０】

検査用ゲート電極２Ｇ1 は、ゲート保護回路用の保護抵抗Ｒ2 を介してパワーＭＯＳ・ＦＥＴＱｐのゲート電極に電気的に接続されている。周辺回路用電源端子２Ｇ2 は、ゲート保護回路用の保護ダイオードＤ5 を介してソース端子２Ｓと電気的に接続されている。なお、このソース端子２Ｓは分割されていない。

【０１９１】

スクリーニング工程に際しては、検査用ゲート電極２Ｇ1 とソース端子２Ｓ間にスクリーニング電圧を印加する。この際、周辺回路用電源端子２Ｇ2 は開放とする。これにより、保護回路用のダイオードＤ5 の電圧特性の制限を受けることなく、高いスクリーニング電

圧をパワーＭＯＳ・ＦＥＴＱｐに印加することが可能となる。
【０１９２】
スクリーニング工程後は、パワーＭＯＳ・ＦＥＴ用ゲート端子２Ｇ1 と周辺回路用電源端子２Ｇ2 とは、前記実施の形態１～５等で説明したように電気的に接続されてパワーＩＣ１のゲート端子２Ｇを構成するようになっている。
【０１９３】
このような本実施の形態６においては、前記実施の形態１で得られた(1) ～(8) の効果を得ることが可能となる。
【０１９４】
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
【０１９５】
例えば前記実施の形態１等においては、温度検出回路部の温度検出素子をパワーＭＯＳＦＥＴ領域の中央に配置したが、これに限定されるものではなく、例えばパワーＭＯＳ・ＦＥＴ領域の近傍に配置しても良い。
【０１９６】
以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるパワーＭＯＳ・ＦＥＴを有する半導体集積回路装置技術に適用した場合について説明したが、それに限定されるものではなく、例えば絶縁ゲート形バイポーラトランジスタを有する半導体集積回路装置技術等に適用できる。
【０１９７】
【発明の効果】
本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。
【０１９８】
(1).本発明によれば、スクリーニング工程に際して、周辺回路による制限を受けることなく、パワーＭＩＳトランジスタのスクリーニングに必要な比較的高い電圧をパワーＭＩＳトランジスタのゲート・ソース間に印加することが可能となる。
【０１９９】
(2).上記(1) により、潜在欠陥を有するパワーＭＩＳトランジスタを確実に除去することできるので、最終的に信頼性の高いパワーＭＩＳトランジスタを有する半導体集積回路装置を提供することが可能となる。
【０２００】
(3).上記(1) により、スクリーニング電圧を高くできるので、スクリーニングの加速性を向上させることができ、スクリーニング時間を短縮することが可能となる。
【０２０１】
(4).本発明によれば、従来から行われているワイヤボンディング工程時にパワーＭＩＳトランジスタと周辺回路とを電気的に接続することにより、製造工程の変更や増加を招いたり、新たな組立技術を導入したりすることなく、その接続が可能となる。すなわち、製造工程の変更・増加や新たな組立技術の導入を伴うことなく、信頼性の高いパワーＭＩＳトランジスタを有する半導体集積回路装置を製造することが可能となる。
【０２０２】
(5).上記(4) により、製造コストの大幅な増加を招くことなく、信頼性の高いパワーＭＩＳトランジスタを有する半導体集積回路装置を製造することが可能となる。
【０２０３】
(6).本発明によれば、周辺回路用ＧＮＤ端子をフィールド絶縁膜上に設けたことにより、ワイヤボンディング工程に際して、ボンディングワイヤ接合時のダメージを緩和させることが可能となる。
【０２０４】

(7).本発明によれば、周辺回路用ＧＮＤ端子をフィールド絶縁膜上に設けたことにより、周辺回路用ＧＮＤ端子の上部高さがパワーＭＩＳトランジスタ用ソース端子の上部高さよりも高くすることができるので、周辺回路用ＧＮＤ端子とパワーＭＩＳトランジスタ用ソース端子との接続不良を防止することが可能となる。

【０２０５】

(8).本発明によれば、横形のＭＩＳトランジスタのドレイン側に形成される寄生バイポーラトランジスタのベース領域が、パワーＭＩＳトランジスタのチャネル領域よりも低い不純物濃度の第１半導体領域に形成されるので、その寄生バイポーラトランジスタのＶCEO耐圧をスクリーニング電圧よりも充分大きくすることができるので、その寄生バイポーラトランジスタによるリーク電流の問題を回避することが可能となっている。

【図面の簡単な説明】

【図１】本発明の一実施の形態である半導体集積回路装置の製造工程を示すフロー図である。

【図２】図１の半導体集積回路装置の製造工程中における半導体集積回路装置の等価回路図である。

【図３】図１の半導体集積回路装置の製造工程中の半導体ウエハにおける半導体チップの平面図である。

【図４】図３の半導体集積回路装置の要部断面図である。

【図５】図４の半導体集積回路装置の要部拡大断面図である。

【図６】スクリーニング工程時に寄生する素子を示すための半導体集積回路装置の等価回路図である。

【図７】スクリーニング工程時における半導体ウエハの半導体チップの平面図である。

【図８】スクリーニング工程時に半導体集積回路装置の各部に印加する電圧の説明図である。

【図９】ワイヤボンディング工程後の半導体集積回路装置の要部平面図である。

【図１０】図９の半導体集積回路装置の要部拡大平面図である。

【図１１】図１０のＹ－Ｙ線の要部拡大断面図である。

【図１２】完成した半導体集積回路装置の全体斜視図である。

【図１３】（ａ）～（ｄ）は図１２の半導体集積回路装置のゲート電圧とゲート絶縁破壊発生度数との関係を説明するための説明図である。

【図１４】（ａ）～（ｃ）は本発明者が検討した通常のパワーＩＣのゲート電圧とゲート絶縁破壊発生度数との関係を説明するための説明図である。

【図１５】本発明の他の実施の形態である半導体集積回路装置の全体斜視図である。

【図１６】図１５の半導体集積回路装置の半導体チップとパッケージリードとの接続関係を説明するための説明図である。

【図１７】図１６のボンディングワイヤと端子との接続部における要部拡大平面図である。

【図１８】本発明の他の実施の形態である半導体集積回路装置の説明図である。

【図１９】本発明の他の実施の形態である半導体集積回路装置の製造工程中における半導体チップの平面図である。

【図２０】半導体集積回路装置の製造工程中における半導体チップの要部拡大断面図である。

【図２１】本発明の他の実施の形態である半導体集積回路装置の製造工程中における等価回路図である。

【図２２】図２１の半導体集積回路装置の組立工程後の等価回路図である。

【図２３】本発明の他の実施の形態である半導体集積回路装置の製造工程中における等価回路図である。

【符号の説明】

１　パワーＩＣ

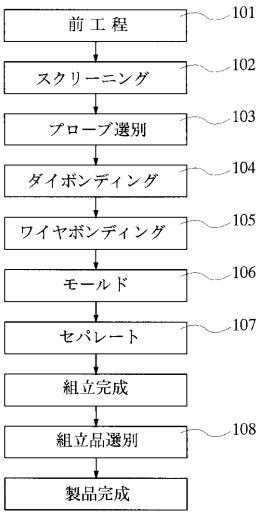
２Ｇ　ゲート端子

２Ｇ１　パワーＭＯＳ・ＦＥＴ用ゲート端子
２Ｇ２　周辺回路用電源端子
２Ｇ2a，２Ｇ2b　周辺回路用電源端子
２Ｄ　ドレイン端子
２Ｓ　ソース端子
２Ｓ１　パワーＭＯＳ・ＦＥＴ用ソース端子
２Ｓ２　周辺回路用ＧＮＤ端子
３　保護回路
３Ａ　温度検出回路部
３Ｂ　ラッチ回路部
３Ｃ　ゲート遮断回路部
３Ｄ　電流制限回路部
３ｄ１　検出回路部
４　半導体チップ
４ｓ　半導体基板
５ａ，５ｂ，５ｃ　開口部
６　フィールド絶縁膜
７　導体膜
８ｃ　ｐ形半導体領域
８ｃ１　$p^+$ 形半導体領域
８ｓ　$n^+$ 形半導体領域
８ｇ　ゲート電極
８ｉ　ゲート絶縁膜
９　$p^-$ 形半導体領域（第１半導体領域）
９ａ　$p^+$ 形半導体領域
１０ｄ１　$n^-$ 形半導体領域
１０ｄ２　$n^+$ 形半導体領域
１０ｓ　$n^+$ 形半導体領域
１０ｇ　ゲート電極
１０ｉ　ゲート絶縁膜
１１ａ　層間絶縁膜
１２ｓ1,１２ｓ2,１２ｇ1,１２ｄ　導体膜パターン
１３ａ～１３ｄ　接続孔
１４ａ～１４ｄ　プローブ針
１５　リードフレーム
１５ａ　チップ搭載領域
１５Ｌ　リード
１５ＬＤ　リード
１５ＬＧ　リード（第１リード）
１５ＬＳ　リード（第２リード）
１６ａ～１６ｄ　ボンディングワイヤ
１７　パッケージ
１８　ボンディングボール（導体バンプ）
１９　表面保護膜
Ｑｐ　パワーＭＯＳ・ＦＥＴ
Ｑａ　ＭＯＳ・ＦＥＴ
Ｑｓ１～Ｑｓ４　ＭＯＳ・ＦＥＴ
Ｄ１　保護ダイオード
Ｄ1a～Ｄ1d　保護ダイオード
Ｄ２　保護ダイオード

Ｄ3a～Ｄ3f　ダイオード
Ｄ4a～Ｄ4g　温度検出用のダイオード
Ｄ5　保護ダイオード
Ｒ1　保護抵抗
Ｒ2　保護抵抗
Ｒ3,Ｒ4,Ｒ5,Ｒ6　抵抗
Ｒ7a，Ｒ7b　抵抗
Ｒ8　抵抗
ＰＡ　パワーＭＯＳ・ＦＥＴ領域
ＴＡ　温度検出回路領域
ＧＡ　ゲート遮断回路領域
ＣＡ　制御回路領域
Ｌ1,Ｌ2,Ｌ3a，Ｌ3b，Ｌ4,Ｌ5,Ｌ6　配線

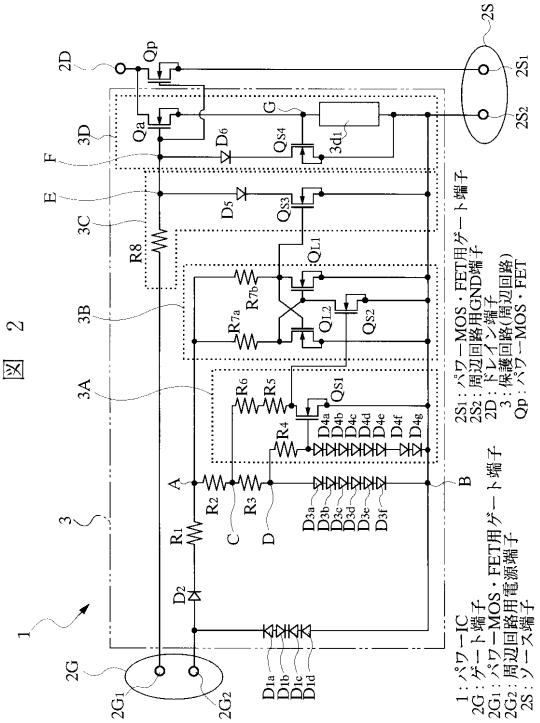
【図１】

図　1



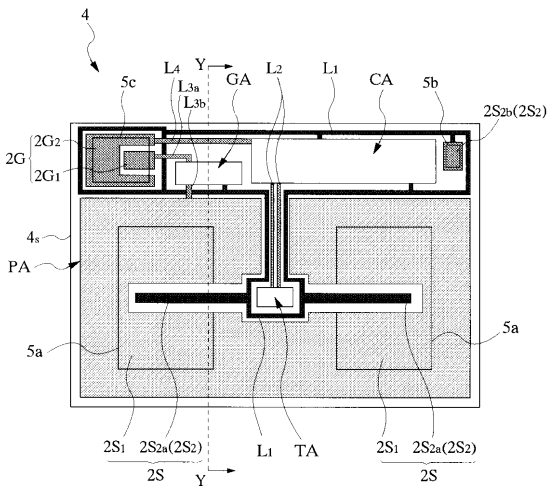

【図２】

図　2



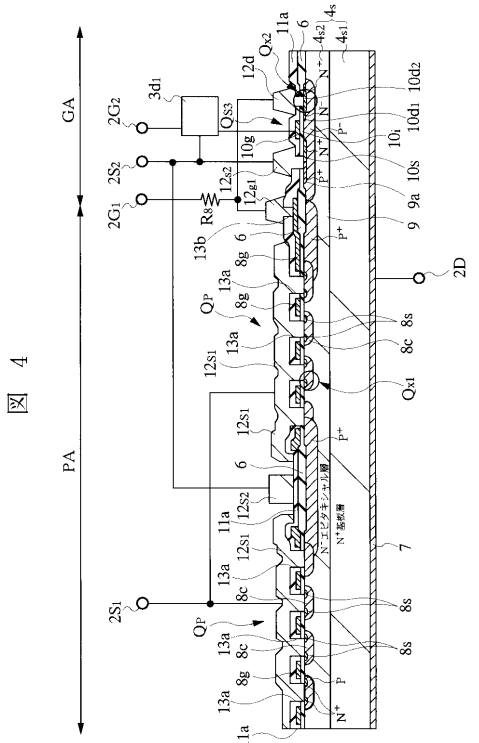
【図３】

図 3



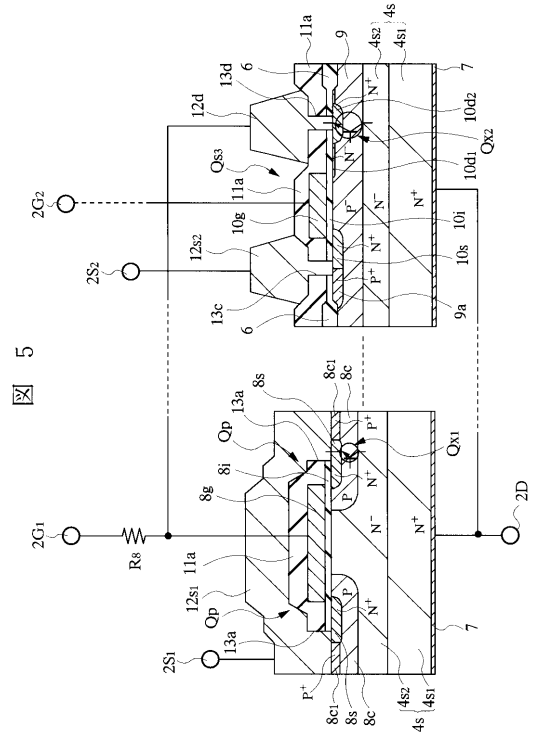

【図４】

図 4



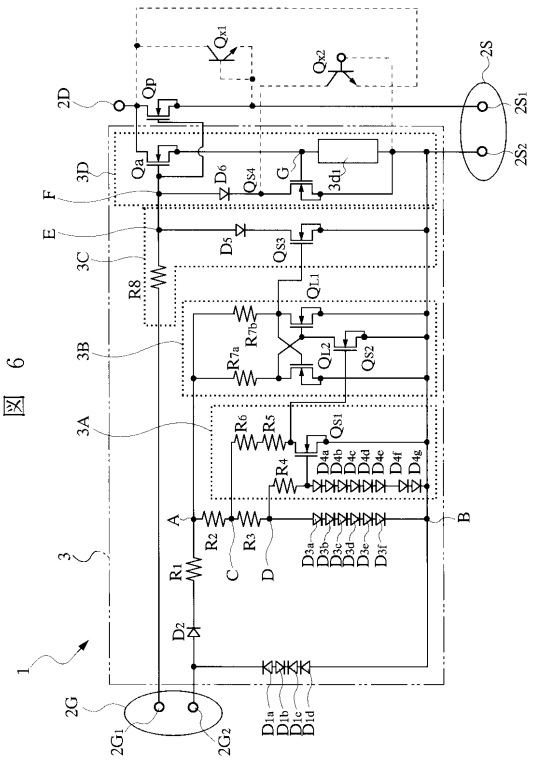

【図５】

図 5



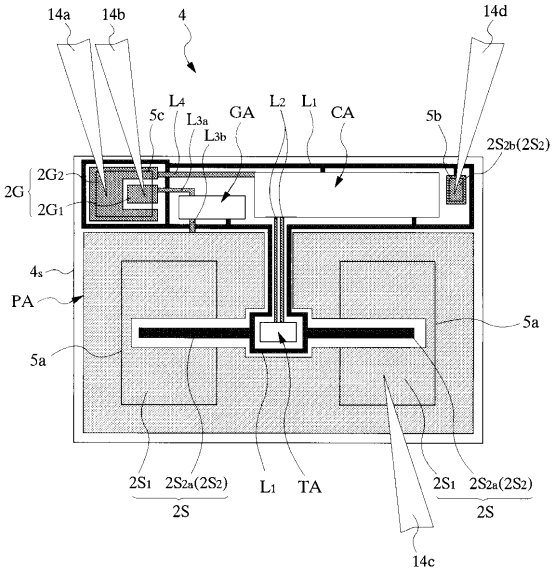

【図６】

図 6



【図７】

図 7



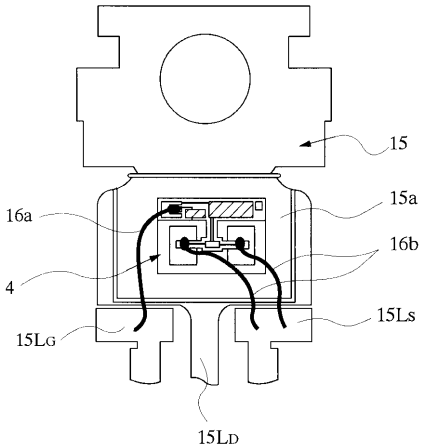

【図８】

図 8

| | スクリーニング | プローブ選別 |
|---|---|---|
| プローブ針1 14a | OPEN | VG |
| プローブ針2 14b | VG | VG |
| プローブ針3 14c | GND | GND |
| プローブ針4 14d | OPEN | GND |
| 裏面ステージ | GND | VD |

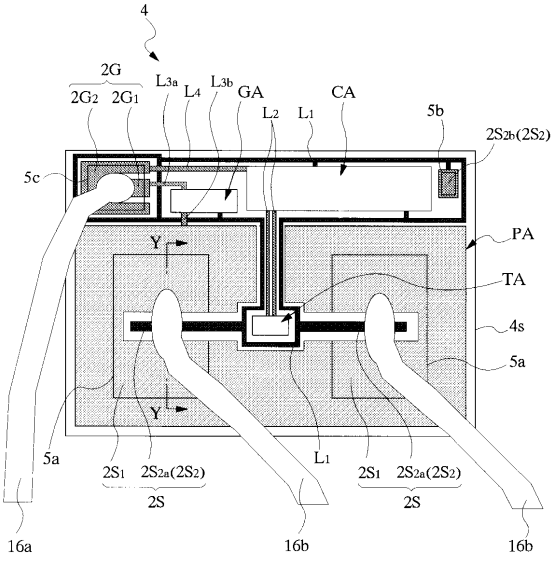
【図９】

図 9



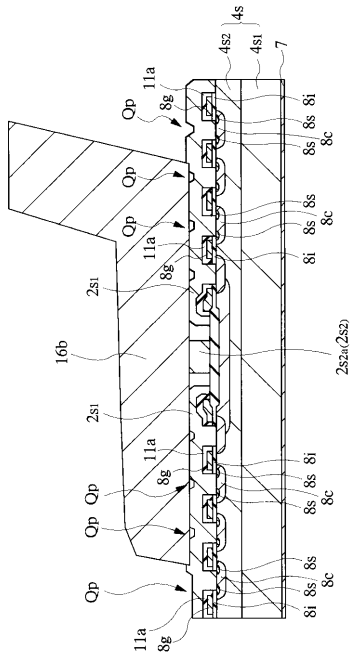

【図１０】

図 10



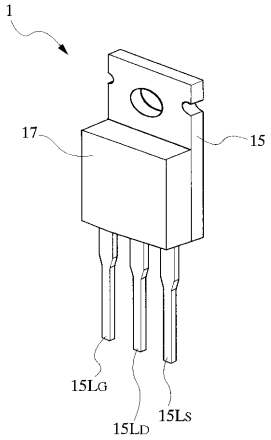
【図１１】

図 11



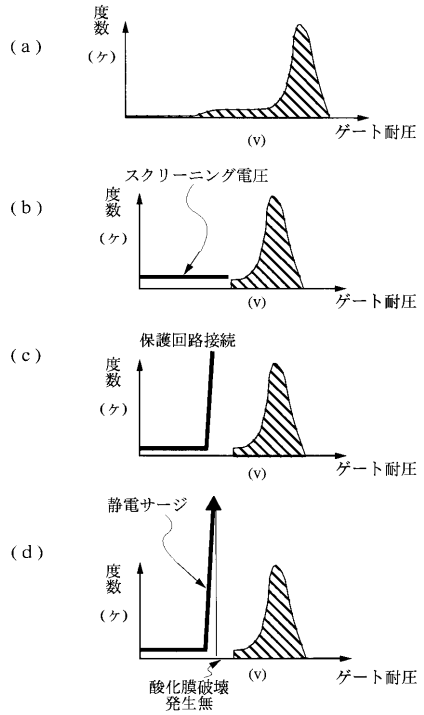

【図１２】

図 12



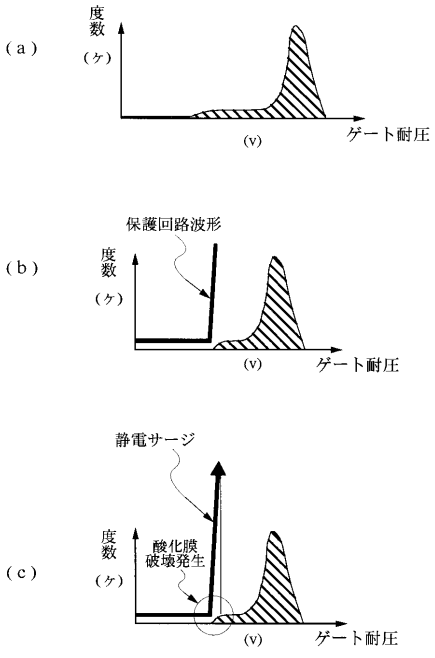

【図１３】

図 13



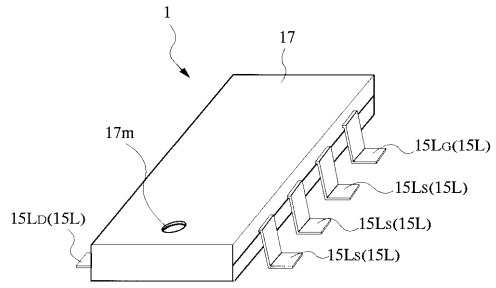

【図１４】

図 14



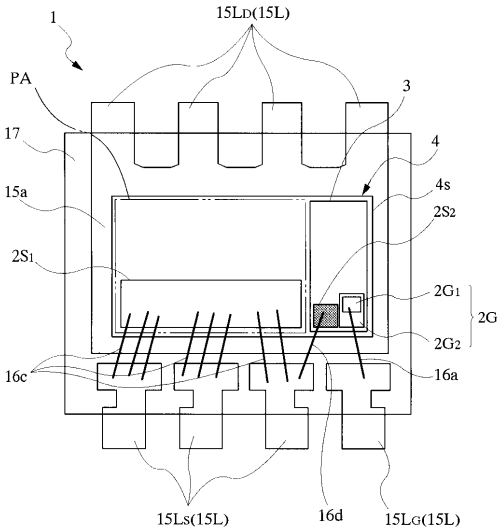
【図１５】

図 15



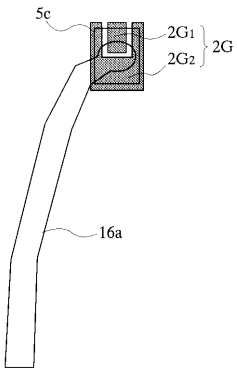

【図１６】

図 16



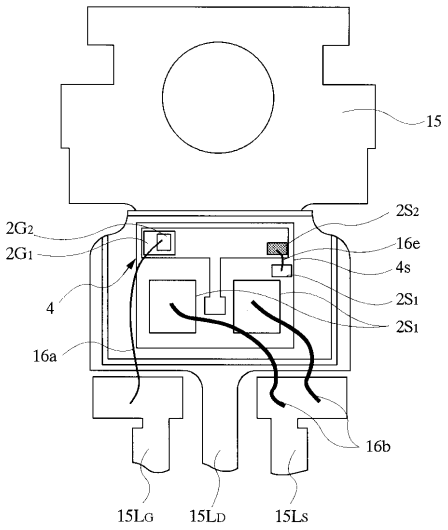

【図１７】

図 17



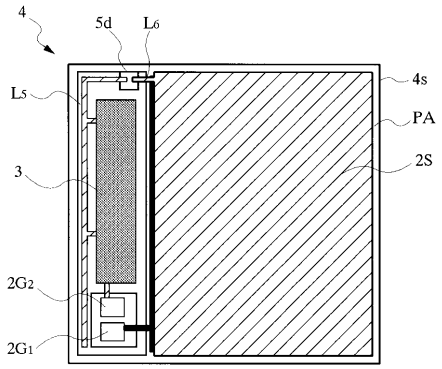

【図１８】

図 18



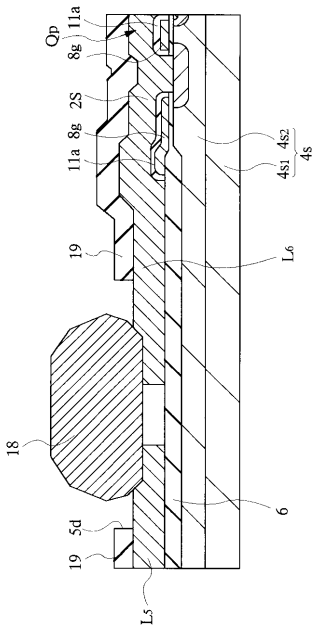
【図１９】

図 19



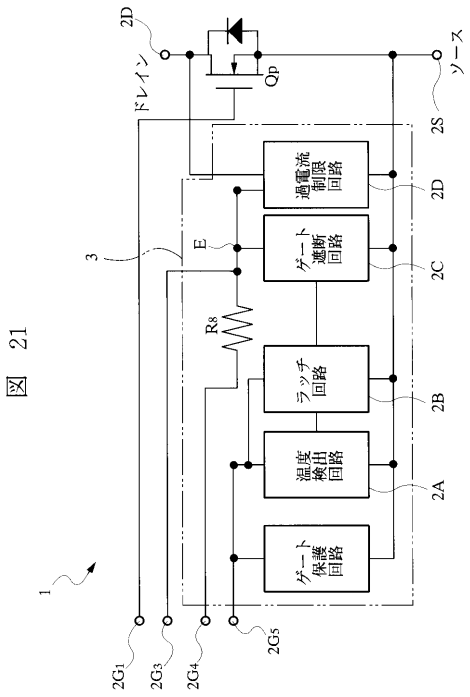

【図２０】

図 20



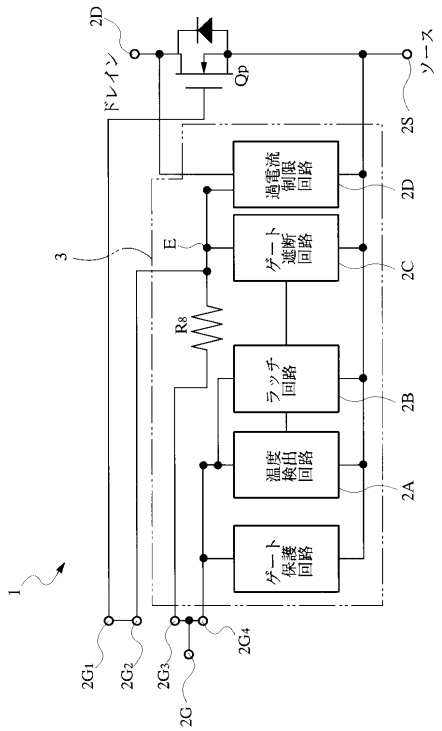

【図２１】

図 21



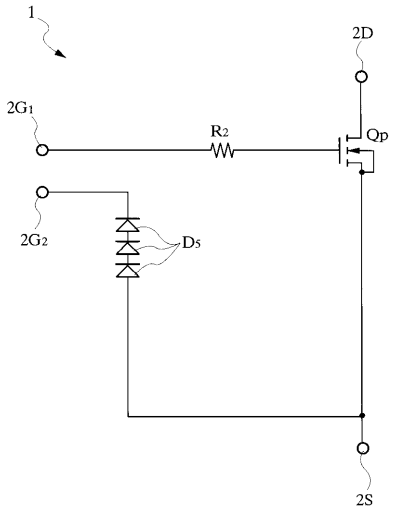

【図２２】

図 22



【図２３】

図 23



フロントページの続き

(51)Int.Cl. F I

***H01L 21/336 (2006.01)***

(58)調査した分野(Int.Cl., DB名)

H01L 29/78
H01L 21/336
H01L 21/822
H01L 21/8234
H01L 27/04
H01L 27/088