

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7267270号

(P7267270)

(45)発行日 令和5年5月1日(2023.5.1)

(24)登録日 令和5年4月21日(2023.4.21)

(51)国際特許分類

F I

H 0 1 L 29/786 (2006.01)

H 0 1 L 29/78 6 1 4

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 B

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/04 F

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/04 G

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/06 1 0 2 A

請求項の数 8 (全78頁) 最終頁に続く

(21)出願番号 特願2020-521636(P2020-521636)

(86)(22)出願日 令和1年5月23日(2019.5.23)

(86)国際出願番号 PCT/IB2019/054254

(87)国際公開番号 WO2019/229593

(87)国際公開日 令和1年12月5日(2019.12.5)

審査請求日 令和4年5月10日(2022.5.10)

(31)優先権主張番号 特願2018-104736(P2018-104736)

(32)優先日 平成30年5月31日(2018.5.31)

(33)優先権主張国・地域又は機関

日本国(JP)

(73)特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小林 英智

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 池田 隆之

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 中川 貴史

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

(72)発明者 廣瀬 丈也

神奈川県厚木市長谷398番地 株式会

社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1電流源回路と、第2電流源回路と、を有し、

前記第2電流源回路は、前記第1電流源回路と同一の構成を有し、

前記第1電流源回路は、第1乃至第4トランジスタと、第1容量素子と、第2容量素子と、第1乃至第3ノードと、を有し、

前記第1トランジスタの第1端子は、前記第2トランジスタの第1端子と、前記第1ノードと、に電氣的に接続され、

前記第1トランジスタのバックゲートは、前記第3トランジスタの第1端子と、前記第1容量素子の第1端子と、に電氣的に接続され、

前記第3トランジスタの第2端子は、前記第2ノードに電氣的に接続され、

前記第1トランジスタのゲートは、前記第3ノードに電氣的に接続され、

前記第1容量素子の第2端子は、前記第1トランジスタの第2端子に電氣的に接続され、

前記第2トランジスタのゲートは、前記第4トランジスタの第1端子と、前記第2容量素子の第1端子と、に電氣的に接続され、

前記第2容量素子の第2端子は、前記第2トランジスタの第1端子に電氣的に接続され、

前記第1電流源回路は、

前記第3トランジスタがオン状態のときに、前記第2ノードから前記第1トランジスタのバックゲートに第1補正電圧を書き込んで、前記第1トランジスタのしきい値電圧を変動させる機能と、

前記第 3 トランジスタがオフ状態のときに、前記第 1 容量素子によって前記第 1 トランジスタの第 2 端子とバックゲートとの間の電圧を保持する機能と、を有し、

前記第 1 電流源回路の前記第 1 ノードは、前記第 1 電流源回路の前記第 3 ノードと、前記第 2 電流源回路の前記第 3 ノードと、に電氣的に接続されている、半導体装置。

【請求項 2】

第 1 電流源回路と、第 2 電流源回路と、を有し、

前記第 2 電流源回路は、前記第 1 電流源回路と同一の構成を有し、

前記第 1 電流源回路は、第 1 乃至第 5 トランジスタと、第 1 容量素子と、第 2 容量素子と、第 1 乃至第 5 ノードと、を有し、

前記第 1 トランジスタの第 1 端子は、前記第 5 トランジスタの第 1 端子と、前記第 5 ノードと、に電氣的に接続され、

前記第 2 トランジスタの第 1 端子は、前記第 5 トランジスタの第 2 端子と、前記第 1 ノードと、に電氣的に接続され、

前記第 1 トランジスタのバックゲートは、前記第 3 トランジスタの第 1 端子と、前記第 1 容量素子の第 1 端子と、に電氣的に接続され、

前記第 3 トランジスタの第 2 端子は、前記第 2 ノードに電氣的に接続され、

前記第 1 トランジスタのゲートは、前記第 3 ノードに電氣的に接続され、

前記第 1 容量素子の第 2 端子は、前記第 1 トランジスタの第 2 端子に電氣的に接続され、

前記第 5 トランジスタのゲートは、前記第 4 ノードに電氣的に接続され、

前記第 2 トランジスタのゲートは、前記第 4 トランジスタの第 1 端子と、前記第 2 容量素子の第 1 端子と、に電氣的に接続され、

前記第 2 容量素子の第 2 端子は、前記第 2 トランジスタの第 1 端子に電氣的に接続され、

前記第 1 電流源回路は、

前記第 3 トランジスタがオン状態のときに、前記第 2 ノードから前記第 1 トランジスタのバックゲートに第 1 補正電圧が書き込まれることで、前記第 1 トランジスタのしきい値電圧を変動させる機能と、

前記第 3 トランジスタがオフ状態のときに、前記第 1 容量素子によって前記第 1 トランジスタの第 2 端子とバックゲートとの間の電圧を保持する機能と、を有し、

前記第 1 電流源回路の前記第 1 ノードは、前記第 1 電流源回路の前記第 4 ノードと、前記第 2 電流源回路の前記第 4 ノードと、に電氣的に接続され、

前記第 1 電流源回路の前記第 5 ノードは、前記第 1 電流源回路の前記第 3 ノードと、前記第 2 電流源回路の前記第 3 ノードと、に電氣的に接続されている、半導体装置。

【請求項 3】

請求項 2 において、

前記第 1 電流源回路は、第 6 トランジスタを有し、

前記第 6 トランジスタの第 1 端子は、前記第 1 トランジスタの第 1 端子に電氣的に接続され、

前記第 5 トランジスタをオフ状態にし、前記第 6 トランジスタをオン状態にして、前記第 1 トランジスタの第 2 端子と前記第 6 トランジスタの第 2 端子との間に流れる電流をモニターすることで、前記電流に応じて前記第 1 補正電圧を定める機能を有する、半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

第 1 回路と、第 2 回路と、読み出し回路を有し、

前記第 1 回路は、前記第 1 電流源回路の前記第 1 ノードに電氣的に接続され、

前記第 2 回路は、前記第 2 電流源回路の前記第 1 ノードに電氣的に接続され、

前記読み出し回路は、前記第 2 電流源回路の前記第 1 ノードに電氣的に接続され、

前記第 1 回路は、前記第 1 電流源回路の前記第 1 ノードから第 1 電流、又は第 2 電流を吸出する機能を有し、

前記第 2 回路は、前記第 2 電流源回路の前記第 1 ノードから第 3 電流、又は第 4 電流を

10

20

30

40

50

吸出する機能を有し、

前記第 1 電流源回路の前記第 2 トランジスタは、前記第 1 電流源回路の前記第 1 ノードから前記第 1 電流が吸出されたときに、前記第 1 電流源回路の前記第 2 トランジスタのゲート - ソース電圧に応じた、第 5 電流を流す機能を有し、

前記第 1 電流源回路の前記第 1 トランジスタは、

前記第 1 電流源回路の前記第 1 ノードから前記第 1 電流が吸出されたときに、前記第 5 電流と前記第 1 電流との第 1 差分電流を流す機能と、

前記第 1 電流源回路の前記第 1 ノードから前記第 2 電流が吸出されたときに、前記第 5 電流と前記第 2 電流との第 2 差分電流を流す機能と、を有し、

前記第 2 電流源回路の前記第 1 トランジスタは、

前記第 1 電流源回路の前記第 1 ノードから前記第 1 電流が吸出されたときに、前記第 1 差分電流を流す機能と、

前記第 1 電流源回路の前記第 1 ノードから前記第 2 電流が吸出されたときに、前記第 2 差分電流を流す機能と、を有し、

前記第 2 電流源回路の前記第 2 トランジスタは、前記第 2 電流源回路の前記第 1 ノードから前記第 3 電流及び前記第 1 差分電流が吸出されたときに、前記第 2 電流源回路の前記第 2 トランジスタのゲート - ソース電圧に応じた、第 6 電流を流す機能を有し、

前記第 1 電流源回路の前記第 1 ノードから吸出されている前記第 1 電流が前記第 2 電流に変動し、かつ前記第 2 電流源回路の前記第 1 ノードから吸出されている前記第 3 電流が前記第 4 電流に変動したとき、前記読み出し回路は、前記第 6 電流から、前記第 2 差分電流と前記第 4 電流との和を差し引いた第 7 電流を吸出する機能を有する、半導体装置。

【請求項 5】

請求項 4 において、

前記第 2 回路は、前記第 1 回路と同一の構成を有し、

前記第 1 回路は、第 7 トランジスタと、第 8 トランジスタと、第 3 容量素子と、を有し、

前記第 7 トランジスタのゲートは、前記第 8 トランジスタの第 1 端子と、前記第 3 容量素子の第 1 端子と、に電氣的に接続され、

前記第 1 回路の前記第 7 トランジスタの第 1 端子は、前記第 1 電流源回路の前記第 1 ノードに電氣的に接続され、

前記第 2 回路の前記第 7 トランジスタの第 1 端子は、前記第 2 電流源回路の前記第 1 ノードに電氣的に接続され、

前記第 1 回路の前記第 7 トランジスタは、

前記第 1 回路の前記第 7 トランジスタのゲートに第 1 電位が印加され、かつ前記第 3 容量素子の第 2 端子に第 2 電位が印加されたときに、前記第 1 電流を流す機能と、

前記第 1 回路の前記第 7 トランジスタのゲートに前記第 1 電位が印加され、かつ前記第 3 容量素子の第 2 端子に第 3 電位が印加されたときに、前記第 2 電流を流す機能と、を有し、

前記第 2 回路の前記第 7 トランジスタは、

前記第 2 回路の前記第 7 トランジスタのゲートに第 4 電位が印加され、かつ前記第 3 容量素子の第 2 端子に前記第 2 電位が印加されたときに、前記第 3 電流を流す機能と、

前記第 2 回路の前記第 7 トランジスタのゲートに前記第 4 電位が印加され、かつ前記第 3 容量素子の第 2 端子に前記第 3 電位が印加されたときに、前記第 4 電流を流す機能と、を有し、

前記第 1 電位と前記第 4 電位との差は、第 1 データに応じた電位差であり、

前記第 2 電位と前記第 3 電位との差は、第 2 データに応じた電位差であり、

前記第 7 電流は、前記第 1 データと前記第 2 データとの積に応じた電流である、半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記第 1 電流源回路は、第 5 容量素子を有し、

10

20

30

40

50

前記第 5 容量素子の第 1 端子は、前記第 2 トランジスタのゲートに電氣的に接続されている、半導体装置。

【請求項 7】

請求項 1 乃至請求項 5 のいずれかーにおいて、

前記第 1 回路は、第 10 トランジスタを有し、

前記第 10 トランジスタのソースとドレインとは、互いに電氣的に接続され、

前記第 10 トランジスタのゲート、又は、ソースの一方は、前記第 2 トランジスタのゲートに電氣的に接続され、

前記第 10 トランジスタのチャネル幅は、前記第 4 トランジスタのチャネル幅の 0.5 倍以下である、半導体装置。

10

【請求項 8】

請求項 1 乃至請求項 7 のいずれかーの半導体装置に含まれている全てのトランジスタは、チャネル形成領域に金属酸化物を有し、かつ互いに同一の極性である、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願明細書では、半導体装置、並びにこれらの動作方法と作製方法等について説明する。例えば、本発明の一形態の技術分野としては、半導体装置、記憶装置、プロセッサ、撮像装置、スイッチ回路（例えば、パワースイッチ、配線スイッチ等）、表示装置（例えば、液晶表示装置、有機エレクトルミネッセンス表示装置等）、発光装置、照明装置、蓄電装置、入力装置等を挙げることができる。又は、それらの動作方法、それらの作製方法、それらの使用方法等を挙げることができる。

20

【背景技術】

【0002】

トランジスタに適用可能な半導体として金属酸化物が注目されている。“IGZO”等と呼ばれる In-Ga-Zn 酸化物は、多元系金属酸化物の代表的なものである。IGZO に関する研究において、単結晶でも非晶質でもない、CAAC (c-axis aligned crystalline) 構造、および nc (nanocrystalline) 構造が見出された（例えば、非特許文献 1）。

【0003】

チャネル形成領域に金属酸化物半導体を有するトランジスタ（以下、「酸化物半導体トランジスタ」、または「OSTランジスタ」と呼ぶ場合がある。）は、オフ電流が極小であることが報告されている（例えば、非特許文献 1、2）。また、OSTランジスタが用いられた様々な半導体装置が作製されている（例えば、非特許文献 3、4）。OSTランジスタの製造プロセスは、従来の Si トランジスタとの CMOS プロセスに組み込むことができ、OSTランジスタは Si トランジスタに積層することが可能である（例えば、非特許文献 4）。また、特許文献 1 には、OSTランジスタが用いられたメモリセルを利用して、積和演算を行うことが開示されている。

30

【先行技術文献】

【特許文献】

40

【0004】

【文献】特開 2017-168099 号公報

【非特許文献】

【0005】

【文献】S. Yamazaki et al., “Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics,” Jpn. J. Appl. Phys., vol. 53, 04ED18 (2014).

K. Kato et al., “Evaluation of Off-State Current Characteristics of Transistor Using

50

Oxide Semiconductor Material, Indium-Gallium-Zinc Oxide,” Jpn. J. Appl. Phys., vol. 51, 021201 (2012).

S. Amano et al., “Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency,” SID Symp. Dig. Papers, vol. 41, pp. 626-629 (2010).

T. Ishizu et al., “Embedded Oxide Semiconductor Memories: A Key Enabler for Low-Power ULSI,” ECS Tran., vol. 79, pp. 149-156 (2017).

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

トランジスタの極性は、nチャネル型、pチャネル型の2種類がある。nチャネル型トランジスタと、pチャネル型トランジスタとを組み合わせた回路は、相補型回路、CMOS回路などとばれる。他方、nチャネル型トランジスタ又はpチャネル型トランジスタの単一導電型トランジスタのみが用いられた回路は、単極性回路、単一導電型回路などと呼ばれる。nチャネル型トランジスタのみが用いられる回路はNMOS回路と呼ばれ、pチャネル型トランジスタのみが用いられる回路はPMOS回路と呼ばれる場合がある。

【0007】

20

Siトランジスタは、半導体層にドーピングする不純物の種類によってnチャネル型、pチャネル型の極性を選択することができる。一方、例えば、インジウムを含む金属酸化物（例えば、In酸化物）、あるいは亜鉛を含む金属酸化物（例えば、Zn酸化物）では、n型半導体は作製できているが、p型半導体は移動度及び信頼性の点で作製が難しい。したがって、OSTランジスタで構成される回路はnチャネル型の単極性回路となる場合が多い。

【0008】

単極性回路を構成する場合、トランジスタ数が多くなる傾向があるため、単極性回路の回路規模は、CMOS回路よりも大きくなることがある。また、単極性回路では、トランジスタ数が多くなるため、回路自体の発熱が大きくなって、トランジスタの特性が変化する場合がある。また、単極性回路では、トランジスタ数が多くなるため、回路作製時等におけるトランジスタの特性（特に、しきい値電圧など）のばらつきが大きくなる場合がある。

30

【0009】

本発明の一態様は、単極性回路である半導体装置を提供することを課題の一とする。また、本発明の一態様は、演算処理が可能な半導体装置を提供することを課題の一とする。また、本発明の一態様は、トランジスタのしきい値電圧を補正することで演算の精度を高めた半導体装置を提供することを課題の一とする。また、本発明の一態様は、環境の温度による影響を低減した半導体装置を提供することを課題の一とする。

【0010】

40

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

【課題を解決するための手段】

【0011】

(1)

50

本発明の一態様は、第1電流源回路と、第2電流源回路と、を有し、第2電流源回路は、第1電流源回路と同一の構成を有し、第1電流源回路は、第1乃至第4トランジスタと、第1容量素子と、第2容量素子と、第1乃至第3ノードと、を有し、第1トランジスタの第1端子は、第2トランジスタの第1端子と、第1ノードと、に電氣的に接続され、第1トランジスタのバックゲートは、第3トランジスタの第1端子と、第1容量素子の第1端子と、に電氣的に接続され、第3トランジスタの第2端子は、第2ノードに電氣的に接続され、第1トランジスタのゲートは、第3ノードに電氣的に接続され、第1容量素子の第2端子は、第1トランジスタの第2端子に電氣的に接続され、第2トランジスタのゲートは、第4トランジスタの第1端子と、第2容量素子の第1端子と、に電氣的に接続され、第2容量素子の第2端子は、第2トランジスタの第1端子に電氣的に接続され、第1電流源回路は、第3トランジスタがオン状態のときに、第2ノードから第1トランジスタのバックゲートに第1補正電圧を書き込んで、第1トランジスタのしきい値電圧を変動させる機能と、第3トランジスタがオフ状態のときに、第1容量素子によって第1トランジスタの第2端子とバックゲートとの間の電圧を保持する機能と、を有し、第1電流源回路の第1ノードは、第1電流源回路の第3ノードと、第2電流源回路の第3ノードと、に電氣的に接続されている、半導体装置である。

【0012】

(2)

又は、本発明の一態様は、第1電流源回路と、第2電流源回路と、を有し、第2電流源回路は、第1電流源回路と同一の構成を有し、第1電流源回路は、第1乃至第5トランジスタと、第1容量素子と、第2容量素子と、第1乃至第5ノードと、を有し、第1トランジスタの第1端子は、第5トランジスタの第1端子と、第5ノードと、に電氣的に接続され、第2トランジスタの第1端子は、第5トランジスタの第2端子と、第1ノードと、に電氣的に接続され、第1トランジスタのバックゲートは、第3トランジスタの第1端子と、第1容量素子の第1端子と、に電氣的に接続され、第3トランジスタの第2端子は、第2ノードに電氣的に接続され、第1トランジスタのゲートは、第3ノードに電氣的に接続され、第1容量素子の第2端子は、第1トランジスタの第2端子に電氣的に接続され、第5トランジスタのゲートは、第4ノードに電氣的に接続され、第2トランジスタのゲートは、第4トランジスタの第1端子と、第2容量素子の第1端子と、に電氣的に接続され、第2容量素子の第2端子は、第2トランジスタの第1端子に電氣的に接続され、第1電流源回路は、第3トランジスタがオン状態のときに、第2ノードから第1トランジスタのバックゲートに第1補正電圧が書き込まれることで、第1トランジスタのしきい値電圧を変動させる機能と、第3トランジスタがオフ状態のときに、第1容量素子によって第1トランジスタの第2端子とバックゲートとの間の電圧を保持する機能と、を有し、第1電流源回路の第1ノードは、第1電流源回路の第4ノードと、第2電流源回路の第4ノードと、に電氣的に接続され、第1電流源回路の第5ノードは、第1電流源回路の第3ノードと、第2電流源回路の第3ノードと、に電氣的に接続されている、半導体装置である。

【0013】

(3)

又は、本発明の一態様は、上記(2)の構成において、第1電流源回路は、第6トランジスタを有し、第6トランジスタの第1端子は、第1トランジスタの第1端子に電氣的に接続され、第5トランジスタをオフ状態にし、第6トランジスタをオン状態にして、第1トランジスタの第2端子と第6トランジスタの第2端子との間に流れる電流をモニターすることで、電流に応じて第1補正電圧を定める機能を有する、半導体装置である。

【0014】

(4)

又は、本発明の一態様は、上記(1)乃至(3)のいずれか一の構成において、第1回路と、第2回路と、読み出し回路を有し、第1回路は、第1電流源回路の第1ノードに電氣的に接続され、第2回路は、第2電流源回路の第1ノードに電氣的に接続され、読み出し回路は、第2電流源回路の第1ノードに電氣的に接続され、第1回路は、第1電流源回

路の第1ノードから第1電流、又は第2電流を吸出する機能を有し、第2回路は、第2電流源回路の第1ノードから第3電流、又は第4電流を吸出する機能を有し、第1電流源回路の第2トランジスタは、第1電流源回路の第1ノードから第1電流が吸出されたときに、第1電流源回路の第2トランジスタのゲート - ソース電圧に応じた、第5電流を流す機能を有し、第1電流源回路の第1トランジスタは、第1電流源回路の第1ノードから第1電流が吸出されたときに、第5電流と第1電流との第1差分電流を流す機能と、第1電流源回路の第1ノードから第2電流が吸出されたときに、第5電流と第2電流との第2差分電流を流す機能と、を有し、第2電流源回路の第1トランジスタは、第1電流源回路の第1ノードから第1電流が吸出されたときに、第1差分電流を流す機能と、第1電流源回路の第1ノードから第2電流が吸出されたときに、第2差分電流を流す機能と、を有し、第2電流源回路の第2トランジスタは、第2電流源回路の第1ノードから第3電流及び第1差分電流が吸出されたときに、第2電流源回路の第2トランジスタのゲート - ソース電圧に応じた、第6電流を流す機能を有し、第1電流源回路の第1ノードから吸出されている第1電流が第2電流に変動し、かつ第2電流源回路の第1ノードから吸出されている第3電流が第4電流に変動したとき、読み出し回路は、第6電流から、第2差分電流と第4電流との和を差し引いた第7電流を吸出する機能を有する、半導体装置である。

【0015】

(5)

又は、本発明の一態様は、上記(4)の構成において、第2回路は、第1回路と同一の構成を有し、第1回路は、第7トランジスタと、第8トランジスタと、第3容量素子と、を有し、第7トランジスタのゲートは、第8トランジスタの第1端子と、第3容量素子の第1端子と、に電氣的に接続され、第1回路の第7トランジスタの第1端子は、第1電流源回路の第1ノードに電氣的に接続され、第2回路の第7トランジスタの第1端子は、第2電流源回路の第1ノードに電氣的に接続され、第1回路の第7トランジスタは、第1回路の第7トランジスタのゲートに第1電位が印加され、かつ第3容量素子の第2端子に第2電位が印加されたときに、第1電流を流す機能と、第1回路の第7トランジスタのゲートに第1電位が印加され、かつ第3容量素子の第2端子に第3電位が印加されたときに、第2電流を流す機能と、を有し、第2回路の第7トランジスタは、第2回路の第7トランジスタのゲートに第4電位が印加され、かつ第3容量素子の第2端子に第2電位が印加されたときに、第3電流を流す機能と、第2回路の第7トランジスタのゲートに第4電位が印加され、かつ第3容量素子の第2端子に第3電位が印加されたときに、第4電流を流す機能と、を有し、第1電位と第4電位との差は、第1データに応じた電位差であり、第2電位と第3電位との差は、第2データに応じた電位差であり、第7電流は、第1データと第2データとの積に応じた電流である、半導体装置である。

【0016】

(6)

又は、本発明の一態様は、上記(5)の構成において、第1回路は、第9トランジスタと、第4容量素子と、を有し、第7トランジスタは、バックゲートを有し、第7トランジスタのバックゲートは、第9トランジスタの第1端子と、第4容量素子の第1端子と、に電氣的に接続され、第4容量素子の第2端子は、第7トランジスタの第2端子に電氣的に接続され、第1回路は、第9トランジスタがオン状態のときに、第9トランジスタの第2端子から第7トランジスタのバックゲートに第2補正電圧を書き込んで、第7トランジスタのしきい値電圧を変動させる機能と、第9トランジスタがオフ状態のときに、第4容量素子によって第7トランジスタの第2端子とバックゲートとの間の電圧を保持する機能と、を有する、半導体装置である。

【0017】

(7)

又は、本発明の一態様は、上記(1)乃至(6)のいずれか一の構成において、第1電流源回路は、第5容量素子を有し、第5容量素子の第1端子は、第2トランジスタのゲートに電氣的に接続されている、半導体装置である。

【0018】

(8)

又は、本発明の一態様は、上記(1)乃至(6)のいずれか一の構成において、第1回路は、第10トランジスタを有し、第10トランジスタのソースとドレインとは、互いに電氣的に接続され、第10トランジスタのゲート、又は、ソースの一方は、第2トランジスタのゲートに電氣的に接続され、第10トランジスタのチャネル幅は、第4トランジスタのチャネル幅の0.5倍以下である、半導体装置である。

【0019】

(9)

又は、本発明の一態様は、上記(1)乃至(8)のいずれか一の半導体装置に含まれている全てのトランジスタは、チャネル形成領域に金属酸化物を有し、かつ互いに同一の極性である、半導体装置である。

10

【0020】

本明細書において、半導体装置とは、半導体特性を利用した装置であり、半導体素子(トランジスタ、ダイオード、フォトダイオード等)を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えた半導体ウェハ、チップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置及び電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

【0021】

本明細書において、XとYとが接続されていると記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等を開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。X、Yは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層など)であるとする。

20

【0022】

トランジスタは、ゲート、ソース、およびドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソースまたはドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型(nチャネル型、pチャネル型)及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合がある。

30

【0023】

ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0024】

電圧は、ある電位と、基準の電位(例えば接地電位(GND)またはソース電位)との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。なお、電位とは相対的なものである。よって、GNDと記載されていても、必ずしも0Vを意味しない場合もある。

40

【0025】

本明細書等において、「第1」、「第2」、「第3」などの序数詞は、順序を表すために使用される場合がある。または、構成要素の混同を避けるために使用する場合がある。これらの場合、序数詞の使用は構成要素の個数を限定するものでなく、順序を限定するものでもない。また、例えば、「第1」を「第2」または「第3」に置き換えて、本発明の一形態を説明することができる。

50

【0026】

本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0027】

本明細書等において、「膜」という言葉と「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を「導電膜」という用語に変更することが可能な場合がある。例えば、「絶縁膜」という用語を「絶縁層」という用語に変更することが可能な場合がある。

10

【0028】

図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【発明の効果】

【0029】

本発明の一態様によって、単極性回路である半導体装置を提供することができる。また、本発明の一態様によって、演算処理が可能な半導体装置を提供することができる。また、本発明の一態様によって、トランジスタのしきい値電圧を補正することで演算の精度を高めた半導体装置を提供することができる。また、本発明の一態様によって、環境の温度による影響を低減した半導体装置を提供することができる。

20

【0030】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

30

【図面の簡単な説明】

【0031】

【図1】図1は半導体装置に含まれる回路の構成例を示す回路図である。

【図2】図2(A)は半導体装置に含まれる回路の動作例を説明するタイミングチャートであり、図2(B)、(C)、(D)は半導体装置に含まれる回路の動作例を説明する回路図である。

【図3】図3(A)、(B)、(C)は半導体装置に含まれる回路の動作例を説明する回路図である。

【図4】図4(A)は半導体装置に含まれる回路の構成例を示す回路図であり、図4(B)は半導体装置の構成例を示すブロック図である。

40

【図5】図5(A)は半導体装置に含まれる回路の構成例を示す回路図であり、図5(B)は半導体装置に含まれる回路の構成例を示すブロック図である。

【図6】図6は半導体装置に含まれる回路の構成例を示す回路図である。

【図7】図7は半導体装置に含まれる回路の構成例を示す回路図である。

【図8】図8は半導体装置に含まれる回路の構成例を示す回路図である。

【図9】図9は半導体装置に含まれる回路の構成例を示すブロック図である。

【図10】図10は半導体装置に含まれる回路の構成例を示す回路図である。

【図11】図11は半導体装置に含まれる回路の構成例を示す回路図である。

【図12】図12は半導体装置に含まれる回路の構成例を示す回路図である。

50

【図 1 3】図 1 3 は半導体装置に含まれる回路の構成例を示す回路図である。
【図 1 4】図 1 4 は半導体装置に含まれる回路の構成例を示す回路図である。
【図 1 5】図 1 5 は半導体装置に含まれる回路の構成例を示す回路図である。
【図 1 6】図 1 6 は半導体装置に含まれる回路の構成例を示す回路図である。
【図 1 7】図 1 7 は半導体装置に含まれる回路の構成例を示す回路図である。
【図 1 8】図 1 8 は階層型のニューラルネットワークの例を説明する図である。
【図 1 9】図 1 9 は半導体装置に含まれる回路の構成例を示すブロック図である。
【図 2 0】図 2 0 は半導体装置に含まれる回路の構成例を示すブロック図である。
【図 2 1】図 2 1 は半導体装置に含まれる回路の構成例を示すブロック図である。
【図 2 2】図 2 2 (A)、(B) は半導体装置に含まれる回路の構成例を示すブロック図である。

10

【図 2 3】図 2 3 は半導体装置の構成例を示す断面図である。
【図 2 4】図 2 4 は半導体装置の構成例を示す断面図である。
【図 2 5】図 2 5 (A)、(B)、(C) はトランジスタの構造例を示す断面図である。
【図 2 6】図 2 6 (A) はトランジスタの構造例を示す上面図であり、図 2 6 (B)、(C) はトランジスタの構造例を示す断面図である。
【図 2 7】図 2 7 (A) はトランジスタの構造例を示す上面図であり、図 2 7 (B)、(C) はトランジスタの構造例を示す断面図である。
【図 2 8】図 2 8 (A) はトランジスタの構造例を示す上面図であり、図 2 8 (B)、(C) はトランジスタの構造例を示す断面図である。

20

【図 2 9】図 2 9 (A) はトランジスタの構造例を示す上面図であり、図 2 9 (B)、(C) はトランジスタの構造例を示す断面図である。
【図 3 0】図 3 0 (A) はトランジスタの構造例を示す上面図であり、図 3 0 (B)、(C) はトランジスタの構造例を示す断面図である。
【図 3 1】図 3 1 (A) はトランジスタの構造例を示す上面図であり、図 3 1 (B) はトランジスタの構造例を示す斜視図である。

【図 3 2】図 3 2 (A)、(B) はトランジスタの構造例を示す断面図である。
【図 3 3】図 3 3 (A) は容量素子の構造例を示す上面図であり、図 3 3 (B)、(C) は容量素子の構造例を示す断面斜視図である。
【図 3 4】図 3 4 (A) は容量素子の構造例を示す上面図であり、図 3 4 (B) は容量素子の構造例を示す断面図であり、図 3 4 (C) は容量素子の構造例を示す断面斜視図である。

30

【図 3 5】図 3 5 (A)、(B)、(C)、(D)、(E)、(F)、(G)、(H) は電子機器の一例を示す斜視図である。

【図 3 6】図 3 6 (A)、(B) は電子機器の一例を示す斜視図である。

【発明を実施するための形態】

【0032】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなく、その形態および詳細を様々な変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【0033】

以下に示される複数の実施の形態は適宜組み合わせることが可能である。また 1 の実施の形態の中に、複数の構成例（作製方法例、動作方法例、使用方法例等も含む。）が示される場合は、互いの構成例を適宜組み合わせること、および他の実施の形態に記載された 1 または複数の構成例と適宜組み合わせることも可能である。

【0034】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

50

【0035】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。

【0036】

本明細書において、例えば、電源電位VDDを、電位VDD、VDD等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

【0037】

(実施の形態1)

本実施の形態では、半導体装置に含まれる、データ記憶機能を備える単極性回路について説明する。

【0038】

図1に示す回路10は回路15、回路17、ノードss、bgc、bw、ww、vx、ot1、wb、vb1、ga、stを有する。ノードssは電圧VSSの供給用の電圧線に電氣的に接続され、ノードbgcはVBGC1の供給用の電圧線に電氣的に接続されている。電圧VSSは、回路10の低電源電圧であり、ノードww、wb等に印加される低レベル(“L”)の電圧とすることができる。なお、回路10の高電源電圧は電圧VDDであり、ノードww、wb等に印加される高レベル(“H”)の電圧とすることができる。

【0039】

回路15はトランジスタM1、M2、容量素子C1を有する。回路17はトランジスタM3乃至M5、容量素子C3を有する。トランジスタM1乃至M5は、バックゲートを有するOSTランジスタである。トランジスタM2、M3、M5のバックゲートは、ノードbgcを介して、電圧VBGC1が入力される。電圧VBGC1によって、トランジスタM2、M3、M5のしきい値電圧(Vth)を調節することが可能である。トランジスタM2乃至M5のオン状態、オフ状態の切替えは、ノードww、wb、ga、stの電圧によって行うことができる。

【0040】

回路15は、2T(2トランジスタ)ゲインセルと同じ回路構成をもつ。本明細書では、回路15の保持ノードをノードsn1と呼ぶ。つまり、トランジスタM1のゲートがノードsn1に対応する。トランジスタM1は、2Tゲインセルにおける読出しトランジスタである。ノードot1は、出力ノードである。ここでは、トランジスタM1のバックゲートおよびソースに対応するノードをそれぞれ、ノードmb1、ms1と呼ぶ。

【0041】

容量素子C1はノードsn1の電圧を保持するための保持容量である。容量素子C1によって、ノードsn1はノードvxと容量結合している。トランジスタM2は2Tゲインセルにおけるアクセストランジスタ(書込みトランジスタとも呼ばれる)であり、ノードsn1とノードbwとの間を導通させる、又は非導通にする機能を有する。

【0042】

回路15は記憶回路として機能させることができる。データを書き込むには、例えば、ノードvxを“L”にし、ノードbwにデータに対応する電圧を入力する。次に、トランジスタM2をオンにすることで、ノードbwの電圧がノードsn1に入力される。データを読出す場合は、ノードvxを“H”にし、ノードms1を定電位、例えばVSSにする。これによって、トランジスタM1には、ノードsn1の電圧に依存したドレイン電流が流れるため、ノードot1の電圧は、トランジスタM1のドレイン電流に応じて変化するため、ノードot1の電圧を検知することで、データを読み出すことができる。

【0043】

トランジスタM1のVds-Id特性を利用することで、回路15を乗算回路として用いることができる。なお、Vdsはドレイン-ソース間電圧であり、Idはドレイン電流である。

10

20

30

40

50

【0044】

wとdとの乗算を例に、回路15の演算機能を説明する。乗数および被乗数に対応するデータは電圧として回路15に入力される。便宜的に、w、dに対応する電圧を電圧w、電圧dと呼ぶこととする。なお、回路15の演算機能を簡易的に説明するため、電圧VSSは0Vとする。

【0045】

まず、電圧wを回路15に入力する。具体的には、ノードvxに電圧VSSを入力し、ノードbwに電圧wを入力する。次いで、ノードwwを“H”にしてトランジスタM2をオンにする。これにより、ノードsn1は電圧wが入力される。次に、ノードwwを“L”にした状態で、ノードvxに電圧dを入力する。ノードvxとノードsn1とは、容量結合しているため、ノードsn1の電圧は、 $w + A_{sn}d$ となる。ここで、 A_{sn} はノードsn1とノードvx間の容量結合係数であり、トランジスタM1のゲート容量、ノードsn1の寄生容量などに依存する。

10

【0046】

【数1】

$$I_d = \frac{1}{2} \beta (V_{gs} - V_{th})^2 \quad \text{---(1.1)}$$

【0047】

トランジスタが飽和領域で動作している場合、ドレイン電流 I_d は、グラジュアルチャネル近似モデルによって上記の式(1.1)で表される。 β は、半導体中のキャリア移動度、チャネル長、チャネル幅、およびゲート容量によって決まる定数である。 V_{gs} はゲート-ソース間電圧であり、 V_{th} はしきい値電圧である。

20

【0048】

なお、本明細書等において、しきい値電圧 V_{th} とは、電圧 V_{gs} を横軸、ドレイン電流 I_d の平方根を縦軸にプロットした $V_{gs} - I_d^{1/2}$ 特性曲線において、当該特性曲線の最大傾きをとる接線と、 $I_d^{1/2} = 0$ [A]との交点における電圧 V_{gs} である。又は、トランジスタのチャネル長/チャネル幅の比が L/W であるとき、しきい値電圧 V_{th} は、 $I_d \times L/W$ が 1×10^{-12} [A]であるときの電圧 V_{gs} を指す場合がある。なお、L、Wはそれぞれトランジスタのチャネル長、チャネル幅を表す。

30

【0049】

便宜的に、トランジスタM1のバックゲート-ソース間電圧(V_{bgs})は V_c に固定され、トランジスタM1のしきい値電圧は V_{T1} であるとする。トランジスタM1が飽和領域で動作し、かつ電圧 V_{gs} が $w + A_{sn}d$ である場合、トランジスタM1のドレイン電流 $I_{d1}(w, d)$ は下記の式(2.1)で表される。

【0050】

【数2】

$$I_{d1}(w, d) = \frac{1}{2} \beta (w + A_{sn}d - V_{T1})^2 \quad \text{---(2.1)}$$

40

【0051】

ドレイン電流 $I_{d1}(w, d)$ は、次の式(2.2)乃至(2.4)に示すように、積 $w \cdot d$ に比例する電流 $I_{pr}(w, d)$ と、比例しない電流 $I_{ost}(w, d)$ との和で表される。

【0052】

【数3】

50

$$Id1(w, d) = Ipr(w, d) + Iost(w, d) \quad \dots(2.2)$$

$$Ipr(w, d) = A_{sn}\beta wd \quad \dots(2.3)$$

$$\begin{aligned} Iost(w, d) &= \frac{1}{2}\beta(w^2 + A_{sn}^2 d^2 - 2wV_{T1} - 2A_{sn}dV_{T1} + V_{T1}^2) \\ &= \frac{1}{2}\beta(w - V_{T1})^2 + \frac{1}{2}\beta(A_{sn}d - V_{T1})^2 - \frac{1}{2}\beta V_{T1}^2 \end{aligned} \quad \dots(2.4)$$

【 0 0 5 3 】

10

式（ 2 . 4 ）の右辺第 1 項は電圧 d が 0 V のときのドレイン電流 $I d 1$ であり、右辺第 2 項は電圧 w が 0 V のときのドレイン電流 $I d 1$ である。よって、電流 $I o s t (w, d)$ は、式（ 2 . 5 ）で表される。

【 0 0 5 4 】

【数 4】

$$Iost(w, d) = Id1(w, 0) + Id1(0, d) - \frac{1}{2}\beta V_{T1}^2 \quad \dots(2.5)$$

【 0 0 5 5 】

20

ドレイン電流 $I d 1 (w, d)$ から電流 $I o s t (w, d)$ を除くことで、電流 $I p r (w, d)$ を取得することができる。本明細書等では、電流 $I o s t (w, d)$ を「オフセット電流」と呼ぶこととする。また、電流 $I d 1 (w, d)$ からオフセット電流を除くための動作を「オフセットキャンセル」と呼ぶ。

【 0 0 5 6 】

例えば、式（ 2 . 6 ）乃至（ 2 . 9 ）に示すように、電流 I_1 乃至 I_4 を定義する。そして、式（ 2 . 10 ）を実行することで、電流 $I p r (w, d)$ を得ることができる。

【 0 0 5 7 】

【数 5】

$$I_1 = Id1(w_0 + w, d_0 + d) \quad \dots(2.6)$$

30

$$I_2 = Id1(w_0, d_0 + d) \quad \dots(2.7)$$

$$I_3 = Id1(w_0 + w, d_0) \quad \dots(2.8)$$

$$I_4 = Id1(w_0, d_0) \quad \dots(2.9)$$

$$I_1 - I_3 + I_4 - I_2 \quad \dots(2.10)$$

【 0 0 5 8 】

40

以下に式（ 2 . 10 ）の計算過程を示す。なお、実施の形態 2 乃至実施の形態 5 において、式（ 2 . 10 ）を実行するためのハードウェアを説明する。

【 0 0 5 9 】

【数 6】

$$\begin{aligned} &I_1 - I_3 + I_4 - I_2 \\ &= Ipr(w_0 + w, d_0 + d) - Ipr(w_0 + w, d_0) + Ipr(w_0, d_0) - Ipr(w_0, d_0 + d) \\ &= Ipr(w, d) \end{aligned} \quad \dots(2.11)$$

50

【0060】

回路15は、トランジスタM1の $V_{ds} - I_d$ 特性を利用したアナログ演算回路とすることができる。ところで、複数の回路15を用いて演算を行う場合、それぞれの回路15のしきい値電圧 V_{T1} にばらつきが現れることがあるため、当該演算の精度が低下することがある。そこで、回路17によって、しきい値電圧 V_{T1} を補正している。トランジスタM1のしきい値電圧を補正するため、ドレイン電流 I_{d1} によって、容量素子C3を充電することで、トランジスタM1の V_{bgs} を調節している。そのため、回路17は、「電流によってプログラミングされる回路」と呼ぶことができる。

【0061】

図2(A)は、しきい値電圧補正のタイミングチャートである。図2(B)乃至図2(D)、図3(A)、図3(B)は、当該タイミングチャートの期間T1乃至期間T4における、回路10の動作例を示す回路図であり、これらの図面において、トランジスタM3乃至M5はスイッチで表されている。なお、回路10の動作の理解を容易にするため、以下の説明では、トランジスタM1乃至M5、容量素子C1、C3などのリーク電流を無視している。

10

【0062】

しきい値電圧の補正の間、例えば、トランジスタM2はオフ状態とし、ノード v_x 、 o_t1 の電圧は、それぞれ、 V_{SS} 、 V_1 とする。

【0063】

期間T1では、ノード g_a 、 w_b 、 s_t のそれぞれの電位は“H”、“L”、“L”である。図2(B)に示すように、トランジスタM4はオンであり、ノード m_{s1} には電圧 V_{SS} が入力される。また、ノード v_{b1} には電圧 V_0 が入力される。

20

【0064】

次に、期間T2において、ノード g_a 、 w_b 、 s_t をそれぞれ“L”、“H”、“H”にする。図2(C)に示すように、トランジスタM4はオフになり、トランジスタM3、M5はオンになる。ノード v_{b1} とノード m_{b1} との間が導通状態になるため、ノード m_{b1} には電圧 V_0 が入力される。また、ノード s_{n1} とノード m_{s1} との間が導通状態になるため、トランジスタM1の電圧 V_{gs} は0Vとなる。なお、電圧 V_0 は、しきい値電圧 V_{T1} が0Vよりも小さくなるように設定され、電圧 V_1 は、ドレイン電流 I_{d1} が流れるように、設定される。

30

【0065】

このとき、ノード m_{s1} はドレイン電流 I_{d1} が入力されるため、ノード m_{s1} の電圧は上昇する。トランジスタM3はオンであるため、ノード m_{s1} の電圧の上昇に伴って、容量素子C3の容量結合によってノード m_{b1} の電圧が変化することはない。ただし、トランジスタM1の電圧 V_{bgs} が小さくなるため、しきい値電圧 V_{T1} は大きくなる。やがて、しきい値電圧 V_{T1} がトランジスタM1の電圧 V_{gs} と等しくなると、図2(D)に示すように、ドレイン電流 I_{d1} は流れなくなる。このときのノード m_{b1} とノード m_{s1} 間の電圧差を V_c とすると、 V_c は、しきい値電圧 V_{T1} を0Vにするための電圧 V_{bgs} とすることができる。以上の動作によって、回路17への電圧 V_{bgs} のプログラミングが完了する。

40

【0066】

そして、期間T3で、ノード w_b を“L”、ノード s_t を“L”にして、トランジスタM3をオフにし、トランジスタM5をオフにする(図3(A)参照)。なお、図2(A)のタイミングチャートでは、ノード w_b とノード s_t のそれぞれを同時に“L”にしているが、別々のタイミングで“L”にしてもよい。次に、期間T4で、ノード g_a を“H”にし、トランジスタM4をオンにする(図3(B)参照)。しきい値電圧 V_{T1} を補正することで、回路10は、図3(C)に示している、しきい値電圧 V_{T1} が0VであるトランジスタM1と、トランジスタM2と、容量素子C1とを有する回路と等価とすることができる。

【0067】

容量素子C3で保持している電荷のリークによるノード m_{b1} の電圧の変化は、しきい

50

値電圧 V_{T1} の変動の原因となる。そのため、例えば、電圧 V_{BGC1} によってトランジスタ $M3$ 、 $M5$ のしきい値電圧を大きくして、トランジスタ $M3$ 、 $M5$ のオフ電流を低減することが好ましい。

【0068】

以上述べたように、しきい値電圧 V_{T1} を $0V$ に設定することが可能である。トランジスタの特性は、例えば、動作温度などによって変化するため、図1に示す回路10の構成によって、動作温度の変化による演算結果の変動を抑えることができる。また、複数の回路10における演算結果のばらつきを抑えることができる。

【0069】

図4(A)に示す回路11は、回路15、回路18を有する。回路18は、図1に示す回路17からトランジスタ $M4$ 、 $M5$ を除いた回路であり、 $1T1C$ 型メモリセルとして機能する。回路11において、回路18は、トランジスタ $M1$ の電圧 V_{bgs} を記憶する。また、図4(A)に示す回路11のノード wx は、図1に示す回路10のノード $ot1$ に相当する。

【0070】

回路10では、しきい値電圧 V_{T1} を設定するために、トランジスタ $M1$ の電圧 V_{bgs} を内部の回路17によって取得している。これに対して、回路11では、ノード $vb1$ に入力される電圧 V_{0t} によって、トランジスタ $M1$ の電圧 V_{bgs} を調節することができる。

【0071】

トランジスタ $M3$ をオンにして、ノード $mb1$ に電圧 V_{0t} を入力する。その後、トランジスタ $M3$ をオフにすることで、容量素子 $C3$ によってトランジスタ $M1$ の電圧 V_{bgs} が保持される。例えば、しきい値電圧 V_{T1} を $0V$ にする場合、 $V_{0t} - V_{SS} = V_c$ を満足する電圧 V_{0t} をノード $vb1$ に入力すればよい。

【0072】

<半導体装置100>

温度によるしきい値電圧 V_{T1} の変動を抑制するため、電圧 V_{0t} を温度に応じて変化させることが好ましい。図4(B)に、しきい値電圧 V_{T1} の温度補正を行うための半導体装置の一例を示す。図4(B)に示す半導体装置100は、制御回路101、温度センサ102、記憶装置103、DAC(デジタルアナログ変換回路)104、駆動回路106乃至109、読み出し回路112、演算アレイ113を有する。

【0073】

演算アレイ113には、複数の回路11が行列状に設けられている。演算アレイ113には、複数の回路11の配列に応じて、配線 WW 、 WB 、 BW 、 VX 、 WX 、 $WBG M1$ が設けられている。なお、配線 WW 、 WB 、 BW 、 VX 、 WX 、 $WBG M1$ のそれぞれは、回路11のノード ww 、 wb 、 bw 、 vx 、 wx 、 $vb1$ に電氣的に接続されている。更に、演算アレイ113には、回路11の出力電流からオフセット電流を除くための回路が設けられている。

【0074】

駆動回路106乃至109はそれぞれ配線 WW 、 WB 、 BW 、 VX 、 $WBG M1$ に対して所定の信号(又は電圧)を与える機能を有する。読み出し回路112は回路11の演算結果を読み出すための回路である。例えば、読み出し回路112は配線 WX に流れる電流に応じた電圧 V_{ac_out} を生成する。

【0075】

記憶装置103は、電圧 V_{0t} に対応するデータ DBt を記憶する。半導体装置100の動作温度範囲を複数の区分し、区分された温度範囲ごとにデータ DBt が求められ、記憶装置103に格納されている。

【0076】

制御回路101は、半導体装置100全体の制御を行う。例えば、制御回路101は、温度センサ102が取得したデータ DTt に応じて、しきい値電圧 V_{T1} の補正のための

10

20

30

40

50

制御を行う。なお、データDTtは、温度を表す。制御回路101は、データDTtに応じて、記憶装置103の制御信号を生成する。記憶装置103は、制御信号に従い、データDTtに対応したデータDBtを出力する。DAC104は、データDBtをアナログデータに変換し、電圧V0tを生成する。電圧V0tはデータDTtに対応するアナログデータであって、温度に依存した電圧である。

【0077】

電圧V0tは、駆動回路109に出力される。制御回路101は、駆動回路106、109のタイミング信号を生成する。タイミング信号に従い駆動回路106、109は動作し、回路11のノードmb1に電圧V0tが入力される。

【0078】

データDBtは、回路11ごとに求めることができる。例えば、参照温度Trefにおいて、1個の回路11のノードsn1に演算結果が既知の電圧を入力する。次に、その他の回路11のノードsn1に、ドレイン電流Id1が配線WXにリークしないような十分低い電圧を入力する。読み出し回路112で読み出された電圧Vac_outをもとに、参照温度TrefのときのデータDBtが求められる。参照温度TrefのときのデータDBtに基づいて、温度範囲ごとにデータDBtが求められる。温度範囲ごとにデータDBtを記憶装置103に記憶させることで、動作温度の変化による回路11の演算結果の温度依存性が抑えられ、かつ複数の回路11間の演算結果のばらつきを抑えることができる。

【0079】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0080】

(実施の形態2)

本実施の形態では、半導体装置に含まれる、単極性回路からなる電流源回路について説明する。

【0081】

<電流源回路30>

図5(A)に示す電流源回路30は、単極性回路であって、トランジスタM11、M12、MA1、MA2、容量素子C11、C12、ノードbgc1、cmg、ot3、cm1、cm2、cs1、cs2、dd、ss1を有する。トランジスタM11、M12、MA1、MA2は、バックゲートを有するOSトランジスタである。トランジスタMA1、MA2のバックゲートはノードbgc1に電氣的に接続される。

【0082】

トランジスタM11は後述するカレントミラー回路の一部として機能する。トランジスタM11のゲート、ソース、ドレインは、ノードcmg、ss1、ot3にそれぞれ電氣的に接続されている。ノードot3は、電流源回路30の出力ノードである。

【0083】

容量素子C11とトランジスタMA1とを有する回路41は、回路18(図4(A)参照)と同様、1T1Cメモリセルとして機能し、トランジスタM11の電圧Vbgsを記憶する。容量素子C11は、トランジスタM11の電圧Vbgsを保持する。トランジスタMA1は、ノードcm1とトランジスタM11のバックゲートとの間を導通させる、又は非導通にする機能を有する。トランジスタMA1の導通状態、非導通状態の切替えはノードcm2の電圧によって行うことができる。なお、容量素子C11で保持している電荷のリークによるトランジスタM11のバックゲート電圧の変動を抑えるため、トランジスタMA1のバックゲート電圧を調整し、トランジスタMA1のしきい値電圧を大きくすることが好ましい。

【0084】

トランジスタM12は電流源として機能する。トランジスタM12のドレイン、ソースは、それぞれノードdd、ot3に電氣的に接続されている。トランジスタM12のバツ

10

20

30

40

50

クゲートとソースとは電氣的に接続されている。

【0085】

容量素子C12とトランジスタMA2とを有する回路42は、回路18（図4（A））と同様に、1T1Cメモリセルとして機能し、トランジスタM12のゲート-ソース間電圧を記憶する。容量素子C12は、トランジスタM12の電圧Vgsを保持する。トランジスタMA2は、ノードcs1とトランジスタM12のゲートとの間を導通させる、非導通にする機能を有する。トランジスタMA2の導通状態、非導通状態の切替えはノードcs2の電圧によって行うことができる。なお、容量素子C12で保持している電荷のリークによるトランジスタM12のバックゲート電圧の変動を抑えるため、トランジスタMA2のバックゲート電圧を調整し、トランジスタMA2のしきい値電圧を大きくすることが好ましい。

10

【0086】

図5（B）に示すように、2個の電流源回路30を電氣的に接続することで、オフセットキャンセル回路50を構成することができる。オフセットキャンセル回路50は、実施の形態1の乗算回路の出力電流からオフセット電流をキャンセルするために用いられる。2個の電流源回路30を区別するため、一方を電流源回路30rと呼ぶ。

【0087】

オフセットキャンセル回路50は、配線WCS、EN_WBG、WBG、WBG r、並びに電圧VDD、VSS、VBCS、VBGCを供給する電圧線に電氣的に接続されている。配線WX、WX rのそれぞれには回路10、10 rが電氣的に接続されている。回路10 rは回路10のレプリカ回路であり、参照乗算回路として機能する。回路10、10 rは、配線VX、WW、並びに電圧VSS、VBGCを供給する電圧線に電氣的に接続されている。回路10、10 rのそれぞれは配線BW、BW rにそれぞれ電氣的に接続されている。

20

【0088】

具体的には、配線WCSは、電流源回路30、30 rのそれぞれのノードcs2に電氣的に接続され、配線EN_WBGは、電流源回路30、30 rのそれぞれのノードcm2に電氣的に接続されている。配線WBGは、電流源回路30のノードcm1に電氣的に接続され、配線WBG rは、電流源回路30 rのノードcm1に電氣的に接続されている。電圧VDDを供給する電圧線は、電流源回路30、30 rのそれぞれのノードddに電氣的に接続され、電圧VSSを供給する電圧線は、電流源回路30、30 rのそれぞれのノードss1と、回路10、10 rのそれぞれのノードssと、に電氣的に接続され、電圧VBCSを供給する電圧線は、電流源回路30、30 rのそれぞれのノードcs1に電氣的に接続され、VBGCを供給する電圧線は、電流源回路30、30 rのそれぞれのノードbgc1と、回路10、10 rのそれぞれのノードbgcと、に電氣的に接続されている。配線WXは電流源回路30のノードot3と、回路10のノードwxと、に電氣的に接続され、配線WX rは電流源回路30 rのノードot3と、回路10 rのノードwxと、電流源回路30、30 rのそれぞれのノードcmgと、に電氣的に接続されている。配線BWは、回路10のノードbwに電氣的に接続され、配線BW rは、回路10 rのノードbwに電氣的に接続されている。

30

40

【0089】

図5（B）に示すように、配線WXには読み出し回路120が電氣的に接続されている。読み出し回路120は、ノードinro、npr、スイッチS20を有する。ノードinroは入力ノードである。スイッチS20はノードinroとノードnprとの間を導通状態にする、又は非導通状態にする機能を有する。読み出し回路120は、ノードnprに流れる電流に応じた電圧を生成する電流電圧変換回路としての機能を備えてもよい。

【0090】

電流源回路30、30 rに関連する要素（トランジスタ、配線等）を識別する場合、電流源回路30 rに関連する要素の符号に「r」を付記する。回路10、10 rに関連する要素についても同様である。なお、回路10、10 rの代わりに、回路11と、回路11

50

のレプリカ回路とを設けてもよい。

【0091】

図6、図7を参照して、データwとデータdの乗算を行う場合を例に、オフセットキャンセル動作を説明する。オフセットキャンセル回路50、回路10、10rの状態を、「初期化状態」から「データdの書込み状態」に移させることで、回路10の出力電流からオフセット電流をキャンセルして、積 $w \cdot d$ に比例する電流 $I_{pr}(w, d)$ を取得することができる。図6は、初期化状態を説明するための回路図であり、図7は、データdの書込み状態を説明する回路図である。

【0092】

なお、図6、図7では、バックゲートを有するOSトランジスタでスイッチS20を、構成した例を示す。以下の説明では、便宜的に電圧VSSは0Vとする。

【0093】

<<しきい値電圧補正>>

回路10で乗算を行う前に、トランジスタM1、M1r、M11、M11rのしきい値電圧を補正する。

【0094】

実施の形態1で述べたように、トランジスタM1、M1rのしきい値電圧は0Vに設定される。そのため、回路10、10rは図3(C)の等価回路図で表されている。なお、トランジスタM1、M1rのしきい値電圧を補正するときは、配線WCSを“H”にして、トランジスタM12、M12rのそれぞれにドレイン電流が流れるようにする。

【0095】

ところで、オフセットキャンセル回路50において、トランジスタM11、M11rはカレントミラー回路を構成する。トランジスタM11rは、トランジスタM11のレプリカトランジスタであるため、理想的には、トランジスタM11rのドレイン電流は、トランジスタM11にコピーされる。しかしながら、製造プロセス等の影響のため、トランジスタM11rとトランジスタM11とは同じ特性を持たない場合がある。そのため、回路10で乗算を行う前に、トランジスタM11r、M11の電圧Vbgsを調節して、トランジスタM11r、M11のしきい値電圧を補正する。

【0096】

トランジスタM11r、M11のしきい値電圧が0VとなるようなトランジスタM11r、M11のそれぞれの電圧VbgsをVb0、Vb1とする。トランジスタM11r、M11の電圧VbgsをVb0、Vb1に設定するため、配線WBG r、WBGに、Vb0-VSS、Vb1-VSSをそれぞれ入力する。次いで、一定期間、配線EN_WBGを“H”にして、トランジスタMA1、MA1rをそれぞれオンにする。これにより、トランジスタM11r、M11のバックゲートには、Vb0-VSS、Vb1-VSSがそれぞれ入力される。そして、配線EN_WBGを“L”にして、トランジスタMA1、MA1rをオフにすることで、容量素子C11rによって、トランジスタM11rの電圧VbgsはVb0に固定され、容量素子C11によってトランジスタM11の電圧VbgsはVb1に固定される。

【0097】

<<初期化動作>>

初期化動作は、トランジスタM12r、M12が供給する電流を設定するための動作である。初期化動作の間では、スイッチS20はオフ状態である。

【0098】

図6に示すように、配線BW r、BWには、電圧w0、w0+wがそれぞれ入力される。次に、配線WWを“H”にし、トランジスタM2r、M2をそれぞれオンにすることによって、ノードsn1r、sn1にそれぞれ電圧w0、w0+wが書き込まれる。また、容量素子C1r、C1によってそれぞれの電圧w0、w0+wが保持される。そして、配線WWを“L”にし、トランジスタM2r、M2をそれぞれオフにした後に、配線VXにφが入力される。これによって、トランジスタM1r、M1の電圧Vgsはそれぞれ、w0

10

20

30

40

50

+ $A_{sn}d_0$ 、 $w_0 + w + A_{sn}d_0$ となるため、トランジスタM1r、M1には、電流 I_4 、 I_3 が流れる（式（2.9）、（2.8）参照）。

【0099】

配線WCSを“H”にし、トランジスタMA2r、MA2をオンにする。なお、トランジスタM12rには電流 I_4 を超える電流 $I_4 + I_0$ が流れ、トランジスタM12には電流 I_3 を超える電流 $I_3 + I_0$ が流れるように、かつ、トランジスタM12r、M12が飽和領域で動作するように電圧VBCS、トランジスタM12、M12rのチャネル長、チャネル幅等が設定されている。トランジスタM12rのドレイン電流が $I_4 + I_0$ のときの電圧VgsがVp4とし、トランジスタM12のドレイン電流が $I_3 + I_0$ のときの電圧VgsがVp3とする。

10

【0100】

トランジスタM12rに電流 $I_4 + I_0$ が流れるため、トランジスタM11rに電流 I_0 が流れる。トランジスタM11r、M11によりカレントミラー回路が構成されているため、トランジスタM11にも電流 I_0 が流れる。

【0101】

次に、配線WCSを“L”にする。上述の動作により、オフセットキャンセル回路50は初期化状態となる。初期化状態では、容量素子C12rによって、トランジスタM12rの電圧Vgsは電圧Vp4に固定され、容量素子C12によって、トランジスタM12の電圧Vgsは電圧Vp3に固定されるため、トランジスタM12rが供給する電流は $I_4 + I_0$ に設定され、トランジスタM12が供給する電流は $I_3 + I_0$ に設定される。

20

【0102】

<<データdの書き込み>>

次に、図7に示すように、配線VXに電圧 $d_0 + d$ を入力する。トランジスタM2r、M2がオフであるため、トランジスタM1r、M1の電圧Vgsはそれぞれ、 $w_0 + A_{sn}(d_0 + d)$ 、 $w_0 + w + A_{sn}(d_0 + d)$ となる。したがって、トランジスタM1r、M1には、 I_2 、 I_1 のそれぞれが流れる（式（2.7）、（2.6）参照）。

【0103】

トランジスタM12rの電圧Vgsは電圧Vp4に固定されているため、配線WXrの電圧が変化しても、トランジスタM12rには電流 $I_4 + I_0$ が流れる。したがって、トランジスタM11rのドレイン電流は、 $I_0 - (I_2 - I_4)$ になり、トランジスタM11rのドレイン電流はトランジスタM11にコピーされる。

30

【0104】

トランジスタM12の電圧Vgsは電圧Vp3に固定されているため、配線WXの電圧が変化しても、トランジスタM12には電流 $I_3 + I_0$ が流れる。

【0105】

所定のタイミングでスイッチS20をオンにすると、ノードnprには、電流 $-I_1 + I_3 - I_4 + I_2$ が流れる。つまりノードnprには電流 $-I_{pr}(w, d)$ が流れる（式（2.11）参照）。読み出し回路120は、電流 $-I_{pr}(w, d)$ を電圧に変換する。

【0106】

以上述べたように、オフセットキャンセル回路50を用いることで、回路10が生成する電流 I_1 から、オフセット電流をキャンセルして、積 $w \cdot d$ に比例する電流を得ることができる。

40

【0107】

また、本実施の形態で説明した電流源回路30、及びオフセットキャンセル回路50は、単極性回路としたが、本発明の一態様の半導体装置は、これに限定されない。例えば、電流源回路30、又はオフセットキャンセル回路50は、PMOS回路、又はNMOS回路のソース電流源、シンク電流源を組み合わせた構成としてもよい。

【0108】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

50

【0109】

(実施の形態3)

本実施の形態では、実施の形態1、及び実施の形態2で説明した、電流源回路30、及びオフセットキャンセル回路50の別の構成例について説明する。

【0110】

なお、本実施の形態では、上記実施の形態の電流源回路30、及びオフセットキャンセル回路50と重複する部分に関しては、説明を省略し、異なる部分を主に説明をする。

【0111】

<電流源回路60>

図8に示す電流源回路60は、単極性回路であって、トランジスタM11、M12、M13、MA1、MA2、MA3、MS1、MS2、容量素子C11、C12、C13、ノードbgc1、cmg1、cmg2、ot3、cm1、cm2、cs1、cs2、cs3、ot3、ot4、pt1、pt2、pt3、po、dd、ss1、mssを有する。つまり、電流源回路60は、図5(A)に示した電流源回路30の構成に、トランジスタM13、MA3、MS1、MS2、容量素子C13、ノードcmg1、cmg2、pt1、pt2、pt3、po、cs3、ot3、ot4、mssを加え、ノードcmgを除去した構成となっている。

【0112】

トランジスタM11はカレントミラー回路の一部として機能する。トランジスタM11のゲート、ソース、ドレインは、ノードcmg1、mss、ot4にそれぞれ電氣的に接続されている。

【0113】

ノードpoは、トランジスタM11に流れる電流をモニターするための入出力ノードであり、トランジスタMA3は、当該電流をノードpoに入出力するか否かを制御するためのスイッチング素子として機能する。そのため、トランジスタMA3のソース又はドレインの一方は、トランジスタM11のドレインに電氣的に接続されている。また、トランジスタMA3のゲートは、ノードpt3に電氣的に接続されている。

【0114】

回路41については、上記の実施の形態の記載を参酌する。

【0115】

トランジスタM12は電流源として機能する。トランジスタM12のドレイン、ソースのそれぞれは、電流源回路30と同様に、ノードdd、ot3に電氣的に接続されている。トランジスタM12のバックゲートとソースとは電氣的に接続されている。

【0116】

トランジスタM13はカレントミラー回路の一部として機能する。トランジスタM13のゲート、ソース、ドレインは、ノードcmg2、ot4、ot3にそれぞれ電氣的に接続されている。なお、ノードot3は、電流源回路60の出力ノードである。

【0117】

つまり、トランジスタM13のソースは、トランジスタM11のドレインに電氣的に接続され、トランジスタM13のドレインは、トランジスタM12のソースに電氣的に接続されている。

【0118】

図8に示す電流源回路60の回路42は、電流源回路30の回路42と同様に、トランジスタM12のゲート-ソース間電圧を記憶する。更に、電流源回路60の回路42は、チャージインжекション効果の対策のため、電流源回路30の回路42に容量素子C13を加えた構成となっている。チャージインжекション効果とは、スイッチングノイズの一種であり、トランジスタをオン状態からオフ状態に切り替えた際に、チャネル形成領域に含まれる電荷がソース側、及びドレイン側に流れていき、当該トランジスタのソースの電位、及びドレインの電位が当該電荷に応じて変動する現象のことをいう。電流源回路30の回路42が有する容量素子C13は、トランジスタMA2をオン状態からオフ状態

10

20

30

40

50

に切り替えたときに、トランジスタMA2のチャネル形成領域から流れる電荷を保持する役割を有し、これによって、トランジスタM12のゲート-ソース間電圧の変動を防ぐことができる。

【0119】

ところで、容量素子C13としては、2対の電極の一方をゲートとし、他方をソースとドレインとを電氣的に接続した端子としたトランジスタを用いることが好ましく、更に、当該トランジスタのチャネル幅は、トランジスタMA2のチャネル幅の0.4倍以上0.6倍以下であることが好ましく、0.45倍以上0.55倍以下であることがより好ましい。また、チャネル幅ではなくチャネル長を、トランジスタMA2の0.4倍以上0.6倍以下、より好ましくは0.45倍以上0.55倍以下としてもよい。これによって、回路42におけるチャージインжекション効果による影響をより少なくすることができる。

10

【0120】

図8に示す電流源回路60の回路42の、上記以外の動作については、上記実施の形態の電流源回路30の回路42の記載を参酌する。

【0121】

図9に示すように、2個の電流源回路60を電氣的に接続することで、オフセットキャンセル回路70を構成することができる。オフセットキャンセル回路70を用いることによって、実施の形態2で説明したオフセットキャンセル回路70よりも正確に、実施の形態1の乗算回路の出力電流からオフセット電流をキャンセルすることができる。2個の電流源回路60を区別するため、一方を電流源回路60rと呼ぶ。

20

【0122】

オフセットキャンセル回路70は、配線WCS、WCS2、WBCS、EN_WBG、WBG、WBGr、PO、POr、EN_PO、ENB_PO、MVSSL、MVSSLr並びに電圧VDD、VSS、VBGCを供給する電圧線に電氣的に接続されている。配線WX、WXrのそれぞれには回路10、10rが電氣的に接続されている。回路10、10rについては、上記の実施の形態で説明した回路10、10rの内容を参酌する。なお、配線MVSSL、MVSSLrは、それぞれ電圧MVSSを供給する電圧線である。

【0123】

具体的には、配線WCSは、電流源回路60、60rのそれぞれのノードcs2に電氣的に接続され、配線WCS2は、電流源回路60、60rのそれぞれのノードcs3に電氣的に接続され、配線WBCSは、電流源回路60、60rのそれぞれのノードcs1に電氣的に接続されている。配線EN_WBGは、電流源回路60、60rのそれぞれのノードcm2に電氣的に接続されている。配線WBGは、電流源回路60のノードcm1に電氣的に接続され、配線WBGrは、電流源回路60rのノードcm1に電氣的に接続されている。配線POは、電流源回路60のノードpoに電氣的に接続され、配線POrは、電流源回路60rのノードpoに電氣的に接続されている。配線EN_POは、電流源回路60、60rのそれぞれのノードpt2、pt3に電氣的に接続され、配線ENB_POは、電流源回路60、60rのそれぞれのノードpt1に電氣的に接続されている。配線MVSSLは、電流源回路60のノードmssに電氣的に接続され、配線MVSSLrは、電流源回路60rのノードmssに電氣的に接続されている。電圧VDDを供給する電圧線は、電流源回路60、60rのそれぞれのノードddに電氣的に接続され、電圧VSSを供給する電圧線は、電流源回路60、60rのそれぞれのノードss1と、回路10、10rのそれぞれのノードssと、に電氣的に接続され、VBGCを供給する電圧線は、電流源回路60、60rのそれぞれのノードbgc1と、回路10、10rのそれぞれのノードbgcと、に電氣的に接続されている。配線WXは電流源回路60のノードot3と、回路10のノードwxと、に電氣的に接続され、配線WXrは電流源回路60rのノードot3と、回路10rのノードwxと、電流源回路60、60rのそれぞれのノードcmg2と、に電氣的に接続されている。配線BWは、回路10のノードbwに電氣的に接続され、配線BWrは、回路10rのノードbwに電氣的に接続されている。また、電流源回路60rのノードot4は、電流源回路60、60rのそれぞれのノードc

30

40

50

m g 1に電氣的に接続されている。

【0124】

図9に示すように、配線WXには読み出し回路120が電氣的に接続されている。読み出し回路120については、上記実施の形態で説明した読み出し回路120の内容を参酌する。

【0125】

電流源回路60、60rに関連する要素（トランジスタ、配線等）を識別する場合、電流源回路60rに関連する要素の符号に「r」を付記する。回路10、10rに関連する要素についても同様である。なお、回路10、10rの代わりに、回路11と、回路11のレプリカ回路とを設けてもよい。

【0126】

ところで、電流源回路60のトランジスタM11、M13、MA3、MS1、MS2、そして、電流源回路60rのトランジスタM11r、M13r、MA3r、MS1r、MS2rの電氣的な接続の構成を図10に示す。なお、図10では、回路41のレプリカ回路として、回路41rを図示している。トランジスタM11、M11r、M13、M13rに着目すると、これらのトランジスタによって、カスコードカレントミラー回路が構成されている。カスコードカレントミラー回路を用いることによって、図6及び図7に示しているトランジスタM11、M11rからなるカレントミラー回路よりも正確に電流のコピーを行うことができる。これにより、トランジスタM13rのソースドレイン間に流れる電流とほぼ同じ電流量をトランジスタM13のソースドレイン間に流すことができる。なお、このとき、ノードmssに入力される電圧MVSsは、当該カスコードカレントミラー回路で扱う電圧レンジを広くするために、低い電位であることが好ましく、更に、負の電位であることがより好ましい。

【0127】

図11、図12を参照して、データwとデータdの乗算を行う場合を例に、オフセットキャンセル動作を説明する。オフセットキャンセル回路70、回路10、10rの状態を、「初期化状態」から「データdの書込み状態」に遷移させることで、回路10の出力電流からオフセット電流をキャンセルして、積 $w \cdot d$ に比例する電流 $I_{pr}(w, d)$ を取得することができる。図11は、初期化状態を説明するための回路図であり、図12は、データdの書込み状態を説明する回路図である。

【0128】

<<しきい値電圧補正>>

ところで、当該カスコードカレントミラー回路において、トランジスタM11rは、トランジスタM11のレプリカトランジスタであるため、理想的には、トランジスタM11rのドレイン電流は、トランジスタM11にコピーされる。しかしながら、製造プロセス等の影響のため、トランジスタM11rとトランジスタM11とは同じ特性を持たない場合がある。そこで、初めに、オフセットキャンセル回路70における、トランジスタM11、M11rのしきい値電圧の補正について説明する。

【0129】

オフセットキャンセル回路70における、トランジスタM11、M11rのしきい値電圧の補正を行うとき、初めに、配線EN_POを“H”にして、トランジスタMS1、MS1r、MA3、MA3rをそれぞれオンにする。このとき、トランジスタM13、M13rのゲートにVSSが入力されるため、トランジスタM13、M13rはオフとなる。また、配線ENB_POを“L”にして、トランジスタMS2、MS2rのそれぞれをオフにする。ここで、配線PO、配線PORのそれぞれに電圧MVSsよりも高い電位を与えることで、トランジスタM11、M11rによって構成されるカレントミラー回路によって、トランジスタM11、M11rのそれぞれのソース-ドレイン間に電流が流れる。このときに、トランジスタM11のソース-ドレイン間に流れる電流を配線MVSSLによってモニターし、トランジスタM11rのソース-ドレイン間に流れる電流を配線MVSSLrによってモニターする。

【0130】

ここで、配線MVSSL、MVSSLrのそれぞれに流れる電流に基づき、トランジスタM11r、M11のしきい値電圧が0Vとなるように、トランジスタM11r、M11のそれぞれの電圧Vbgsを設定する。このときのトランジスタM11r、M11のそれぞれの電圧VbgsをVbin0、Vbin1としたとき、配線WBG、WBG rに、Vbin1-MVSS、Vbin2-MVSSがそれぞれ入力される。次いで、配線EN__WBGを“H”にして、トランジスタMA1、MA1rをオンにすることで、トランジスタM11r、M11のバックゲートには、Vbin1-MVSS、Vbin2-MVSSがそれぞれ入力される。その後、トランジスタMA1、MA1rをオフにすることで、容量素子C11rによって、トランジスタM11rの電圧VbgsはVbin0に固定され、容量素子C11によってトランジスタM11の電圧VbgsはVbin1に固定される。

10

【0131】

また、トランジスタM11r、M11のそれぞれの電圧VbgsをVbin0、Vbin1に設定した後、配線MVSSL、MVSSLrに流れる電流をモニターして、再度、トランジスタM11r、M11のそれぞれの電圧Vbgsを設定し直してもよい。このトランジスタM11r、M11のそれぞれの電圧Vbgsの設定を繰り返すことによって、トランジスタM11r、M11のそれぞれのしきい値電圧を0Vに近づけることができる。

【0132】

なお、回路10、10rのそれぞれに含まれるトランジスタM1、M1rのしきい値電圧の補正は、上述の実施の形態の説明の内容を参酌する。

20

【0133】

<<初期化動作>>

初期化動作は、トランジスタM12r、M12が供給する電流を設定するための動作である。初期化動作の間は、スイッチS20はオフ状態である。

【0134】

図11に示すように、配線BW r、BWには、電圧w0、w0+wがそれぞれ入力される。次に、配線WWを“H”にし、トランジスタM2r、M2をそれぞれオンにすることによって、ノードsn1、sn1rにそれぞれ電圧w0、w0+wが書き込まれる。そして、配線WWを“L”にし、トランジスタM2r、M2をそれぞれオフにした後に、配線VXにd0が入力される。これによって、トランジスタM1r、M1の電圧Vgsはそれぞれ、w0+Asnd0、w0+w+Asnd0となるため、トランジスタM1r、M1には、電流I4、I3が流れる(式(2.9)、(2.8)参照)。

30

【0135】

配線WCSを“H”にし、トランジスタMA2r、MA2をオンにする。なお、トランジスタM12rには電流I4を超える電流I4+I0が流れ、トランジスタM12には電流I3を超える電流I3+I0が流れるように、かつ、トランジスタM12r、12が飽和領域で動作するように電圧VBCS、トランジスタM12、M12rのチャネル長、チャネル幅等が設定されている。トランジスタM12rのドレイン電流がI4+I0のときの電圧VgsがVp4とし、トランジスタM12のドレイン電流がI3+I0のときの電圧VgsがVp3とする。

40

【0136】

トランジスタM12rに電流I4+I0が流れるため、トランジスタM13rに電流I0が流れる。このとき、配線EN__POを“L”にして、トランジスタMS1、MS1r、MA3、MA3rをオフにすることで、トランジスタM13r、M13によるカレントミラー回路が機能する。そのため、トランジスタM13にも電流I0が流れる。

【0137】

また、配線ENB__POを“L”にして、トランジスタMS2、MS2rをオフにすることで、トランジスタM11r、M11によるカレントミラー回路が機能する。つまり、トランジスタM11r、M11は、トランジスタM13r、M13と合わせてカスコードカレントミラー回路として機能する。このため、トランジスタM11r、M11にそれぞれ

50

電流 I_0 が流れる。

【0138】

ここで、配線 WCS を “L” にし、トランジスタ $MA2r$ 、 $MA2$ をオフにすることによって、オフセットキャンセル回路 70 は初期化状態となる。初期化状態では、容量素子 $C12r$ によって、トランジスタ $MA2r$ の電圧 V_{gs} は電圧 V_{p4} に固定され、容量素子 $C12$ によって、トランジスタ $MA2$ の電圧 V_{gs} は電圧 V_{p3} に固定されるため、トランジスタ $M12r$ が供給する電流は $I_4 + I_0$ に設定され、トランジスタ $M12$ が供給する電流は $I_3 + I_0$ に設定される。

【0139】

なお、オフセットキャンセル回路 70 では、容量素子 $C13$ 、 $C13r$ として、それぞれトランジスタ $MC1$ 、 $MC1r$ が適用されている。また、配線 $WCS2$ は、配線 WCS に送られる信号の反転信号を送信する配線として機能する。すなわち、トランジスタ $MA2$ 、 $MA2r$ がオフになったとき、トランジスタ $MC1$ 、 $MC1r$ のゲートに “H” が入力される。これによってトランジスタ $MA2$ 、 $MA2r$ によるチャージインジェクション効果が抑制される。このため、チャージインジェクション効果による、トランジスタ $M12$ 、 $M12r$ のゲートの電圧の変動を、オフセットキャンセル回路 50 よりも少なくすることができ、トランジスタ $M12$ 、 $M12r$ のそれぞれに流れる電流 $I_3 + I_0$ 、 $I_4 + I_0$ の変動を小さくすることができる。

【0140】

<<データ d の書き込み>>

次に、図 12 に示すように、配線 VX に電圧 $d_0 + d$ を入力する。トランジスタ $M2r$ 、 $M2$ がオフであるため、トランジスタ $M1r$ 、 $M1$ の電圧 V_{gs} はそれぞれ、 $w_0 + A_{sn}(d_0 + d)$ 、 $w_0 + w + A_{sn}(d_0 + d)$ となる。したがって、トランジスタ $M1r$ 、 $M1$ には、 I_2 、 I_1 が流れる（式（2.7）、（2.6）参照）。

【0141】

トランジスタ $M12r$ の電圧 V_{gs} は電圧 V_{p4} に固定されているため、配線 WXr の電圧が変化しても、トランジスタ $M12r$ には電流 $I_4 + I_0$ が流れる。したがって、トランジスタ $M11r$ のドレイン電流は、 $I_0 - (I_2 - I_4)$ になり、トランジスタ $M11$ のドレイン電流はトランジスタ $M11$ にコピーされる。

【0142】

トランジスタ $M12$ の電圧 V_{gs} は電圧 V_{p3} に固定されているため、配線 WX の電圧が変化しても、トランジスタ $M12$ には電流 $I_3 + I_0$ が流れる。

【0143】

所定のタイミングでスイッチ $S20$ をオンにすると、ノード npr には、電流 $-I_1 + I_3 - I_4 + I_2$ が流れる。つまりノード npr には電流 $-I_{pr}(w, d)$ が流れる（式（2.11）参照）。読み出し回路 120 は、電流 $-I_{pr}(w, d)$ を電圧に変換する。

【0144】

以上述べたように、オフセットキャンセル回路 70 を用いることで、回路 10 が生成する電流 I_1 から、オフセット電流をキャンセルして、積 $w \cdot d$ に比例する電流を得ることができる。

【0145】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0146】

（実施の形態 4）

本実施の形態では、実施の形態 2 で説明したオフセットキャンセル回路 50 とは異なる、オフセットキャンセル回路 80 について説明する。

【0147】

<オフセットキャンセル回路 80>

図 13 に示すオフセットキャンセル回路 80 は、単極性回路であって、回路 $CS2$ と、

10

20

30

40

50

回路CS3と、回路CS4と、スイッチS21と、を有する。

【0148】

オフセットキャンセル回路80において、回路CS2はトランジスタM22、M23、M24と、容量素子CD3、CD4と、端子ct2と、を有し、回路CS3は、トランジスタM27、M28、M29と、容量素子CD7、CD8と、端子ct3と、を有し、回路CS4は、トランジスタM32、M33、M34と、容量素子CD11、CD12と、端子ct4と、を有する。

【0149】

回路CS2は、端子ct2に出力する電流を生成する定電流回路であり、回路CS3は、端子ct3に出力する電流を生成する定電流回路である。回路CS2は、容量素子CD3の第1端子、及び容量素子CD4の第1端子に保持された電位に基づいて、電流を生成する機能を有し、回路CS3は、容量素子CD7の第1端子、及び容量素子CD8の第1端子に保持された電位に基づいて、電流を生成する機能を有する。

【0150】

回路CS4は、端子ct4から電流を吸出する電流シンク回路である。回路CS4は、容量素子CD11の第1端子、及び容量素子CD12の第1端子に保持された電位に基づいて、トランジスタM32及びトランジスタM33のソース-ドレイン間を介して、電流を吸出する機能を有する。

【0151】

回路CS2において、トランジスタM22の第1端子は、電圧VDDを供給する電圧線に電氣的に接続され、トランジスタM22の第2端子及びバックゲートは、トランジスタM23の第1端子に電氣的に接続され、トランジスタM22のゲートは、配線SW2に電氣的に接続されている。また、トランジスタM23の第2端子及びバックゲートは、容量素子CD4の第2端子と、端子ct2と、に電氣的に接続され、トランジスタM23のゲートは、トランジスタM24の第1端子と、容量素子CD3の第1端子と、容量素子CD4の第1端子と、に電氣的に接続されている。更に、トランジスタM24の第2端子は、任意の電圧を供給する配線VALに電氣的に接続され、トランジスタM24のゲートは、配線SW3に電氣的に接続され、容量素子CD3の第2端子は、配線SW3Bに電氣的に接続されている。

【0152】

回路CS3において、トランジスタM27の第1端子は、電圧VDDを供給する電圧線に電氣的に接続され、トランジスタM27の第2端子及びバックゲートは、トランジスタM28の第1端子に電氣的に接続され、トランジスタM27のゲートは、配線SW4に電氣的に接続されている。また、トランジスタM28の第2端子及びバックゲートは、容量素子CD8の第2端子と、端子ct3と、に電氣的に接続され、トランジスタM28のゲートは、トランジスタM29の第1端子と、容量素子CD7の第1端子と、容量素子CD8の第1端子と、に電氣的に接続されている。更に、トランジスタM29の第2端子は、任意の電圧を供給する配線VALに電氣的に接続され、トランジスタM29のゲートは、配線SW5に電氣的に接続され、容量素子CD7の第2端子は、配線SW5Bに電氣的に接続されている。

【0153】

配線VALが与える任意の電圧は、電圧VSSよりも大きい電圧であることが好ましい。

【0154】

回路CS4において、トランジスタM32の第1端子は、トランジスタM34の第1端子と、端子ct4と、に電氣的に接続され、トランジスタM32の第2端子は、トランジスタM33の第1端子に電氣的に接続され、トランジスタM32のゲートは、配線SW6に電氣的に接続されている。また、トランジスタM33の第2端子は、電圧VSSを供給する電圧線に電氣的に接続され、トランジスタM33のバックゲートは、電圧VSSを供給する電圧線に電氣的に接続され、トランジスタM33のゲートは、トランジスタM34の第2端子と、容量素子CD11の第1端子と、容量素子CD12の第1端子と、に電氣

10

20

30

40

50

的に接続されている。更に、トランジスタM34のゲートは、配線SW7に電氣的に接続され、容量素子CD11の第2端子は、配線SW7Bに電氣的に接続され、容量素子CD12の第2端子は、電圧VSSを供給する電圧線に電氣的に接続されている。

【0155】

スイッチS21の第1端子は、端子ct2と、配線WXと、に電氣的に接続され、スイッチS21の第2端子は、端子ct3と、端子ct4と、に電氣的に接続されている。

【0156】

配線SW1乃至配線SW7のそれぞれは、低レベル電位、又は高レベル電位の一方が与えられる配線である。また、配線SW3Bは、配線SW3に入力されている信号の反転信号が入力される配線であり、配線SW5Bは、配線SW5に入力されている信号の反転信号が入力される配線であり、配線SW7Bは、配線SW7に入力されている信号の反転信号が入力される配線である。

【0157】

容量素子CD3、CD7、CD11のそれぞれは、トランジスタM24、M29、M34がオン状態からオフ状態にしたときに起こるチャージインжекション効果を抑えるための回路素子である。そのため、オフセットキャンセル回路80は、容量素子CD3、CD7、CD11のそれぞれの第2端子に、トランジスタM24、M29、M34のそれぞれのゲートに入力される信号の反転信号が入力されるように動作する。また、容量素子CD3、CD7、CD11のそれぞれとしては、2対の電極の一方をゲートとし、他方をソースとドレインとを電氣的に接続した端子としたトランジスタを用いることが好ましく、更に、当該トランジスタのチャネル幅は、トランジスタM24、M29、M34のチャネル幅の0.4倍以上0.6倍以下であることが好ましく、0.45倍以上0.55倍以下であることがより好ましい。また、チャネル幅ではなくチャネル長を、トランジスタM24、M29、M34の0.4倍以上0.6倍以下、より好ましくは0.45倍以上0.55倍以下としてもよい。

【0158】

図14乃至図17を参照して、データwとデータdの乗算を行う場合を例に、オフセットキャンセル動作を説明する。オフセットキャンセル回路80、回路10の動作を、「第1動作」から順に「第2動作」、「第3動作」、「第4動作」に遷移させることで、回路10の出力電流からオフセット電流をキャンセルして、積 $w \cdot d$ に比例する電流 $I_{pr}(w, d)$ を取得することができる。図14は、「第1動作」を説明するための回路図であり、図15は、「第2動作」を説明するための回路図であり、図16は、「第3動作」を説明するための回路図であり、図17は、「第4動作」を説明するための回路図である。

【0159】

なお、図14乃至図17には、読み出し回路120と、回路10と、が図示している。読み出し回路120と、回路10と、は、オフセットキャンセル回路80の回路CS2の端子ct2に電氣的に接続されている。なお、読み出し回路120と、回路10と、については、上記の実施の形態の内容を参酌する。

【0160】

また、図14乃至図17では、バックゲートを有するOSTランジスタでスイッチS21を、構成した例を示す。以下の説明では、便宜的に電圧VSSは0Vとする。

【0161】

<<第1動作>>

第1動作は、回路CS3において、トランジスタM28が供給する電流を設定するための動作である。第1動作の間では、スイッチS20はオフ状態であり、スイッチS21はオン状態である。また、第1動作の間では、配線SW2を“L”、配線SW6を“L”として、回路CS2のトランジスタM22、回路CS4のトランジスタM32をオフ状態にしている。

【0162】

図14に示すように、配線BWには、電圧 w_0 が入力される。また、配線VXには初め

10

20

30

40

50

に VSS が入力される。次に、配線 WW を “H” にし、トランジスタ $M2$ をオンにすることによって、ノード $sn1$ に電圧 w_0 が書き込まれる。そして、配線 WW を “L” にし、トランジスタ $M2$ をオフにした後に、配線 VX に電圧 d_0 が入力される。これによって、トランジスタ $M1$ の電圧 Vgs は $w_0 + A_{sn} d_0$ となるため、トランジスタ $M1$ には、電流 I_4 が流れる（式（2.9）参照）。

【0163】

配線 $SW4$ を “H”、配線 $SW5$ を “H” にして、トランジスタ $M27$ とトランジスタ $M29$ とをオンにする。トランジスタ $M28$ には電流 I_4 が流れるように、かつ、トランジスタ $M28$ が飽和領域で動作するように、配線 VAL から供給される電圧が設定される。なお、図14では、トランジスタ $M28$ のドレイン電流が I_4 であるときの電圧 Vgs を $Vp8$ として図示している。

10

【0164】

次に、配線 $SW5$ を “L” にする。これにより、トランジスタ $M29$ はオフ状態なり、容量素子 $CD8$ によって、トランジスタ $M28$ の電圧 Vgs は電圧 $Vp8$ に固定される。そのため、トランジスタ $M28$ が供給する電流は I_4 に設定される。なお、容量素子 $CD7$ は、トランジスタ $M29$ をオン状態からオフ状態にしたときに起こる、チャージインжекション効果を抑えるための回路素子であるため、トランジスタ $M29$ がオフになるとき、つまり、配線 $SW5$ が “L” になるとき、配線 $SW5B$ は “H” となる。

【0165】

<<第2動作>>

20

第2動作は、回路 $CS2$ において、トランジスタ $M23$ が供給する電流を設定するための動作であり、かつ、回路 $CS4$ において、トランジスタ $M33$ によって吸出される電流を設定するための動作である。第2動作の間では、スイッチ $S20$ はオフ状態であり、スイッチ $S21$ はオフ状態である。

【0166】

初めに、回路 $CS2$ において、トランジスタ $M23$ が供給する電流を設定するための動作について説明する。

【0167】

図15に示すように、配線 BW には、電圧 w_0 が入力される。また、配線 VX には初めに VSS が入力される。次に、配線 WW を “H” にし、トランジスタ $M2$ をオンにすることによって、ノード $sn1$ に電圧 w_0 が書き込まれる。そして、配線 WW を “L” にし、トランジスタ $M2$ をオフにする。なお、第1動作から引き続いて第2動作が行われる場合は、既にノード $sn1$ には電圧 w_0 が書き込まれているため、上述の書き込み動作を行う必要は無い。ノード $sn1$ に電圧 w_0 が書き込まれるときに、配線 VX に電圧 $d_0 + d$ が入力されることにより、トランジスタ $M1$ の電圧 Vgs は $w_0 + A_{sn} (d_0 + d)$ となるため、トランジスタ $M1$ には、電流 I_2 が流れる（式（2.7）参照）。

30

【0168】

配線 $SW2$ を “H”、配線 $SW3$ を “H” にして、トランジスタ $M22$ とトランジスタ $M24$ とをオンにする。トランジスタ $M23$ には電流 I_4 が流れるように、かつ、トランジスタ $M23$ が飽和領域で動作するように、配線 VAL から供給される電圧が設定される。なお、図15では、トランジスタ $M23$ のドレイン電流が I_2 であるときの電圧 Vgs を $Vp7$ として図示している。

40

【0169】

次に、配線 $SW3$ を “L” にする。これにより、トランジスタ $M24$ はオフ状態なり、容量素子 $CD4$ によって、トランジスタ $M23$ の電圧 Vgs は電圧 $Vp7$ に固定される。そのため、トランジスタ $M24$ が供給する電流は I_2 に設定される。なお、容量素子 $CD3$ は、トランジスタ $M24$ をオン状態からオフ状態にしたときに起こる、チャージインжекション効果を抑えるための回路素子であるため、トランジスタ $M24$ がオフになるとき、つまり、配線 $SW3$ が “L” になるとき、配線 $SW3B$ は “H” となる。

【0170】

50

次に、回路CS4において、トランジスタM33によって吸出される電流を設定するための動作について説明する。

【0171】

配線SW6を“H”、配線SW7を“H”にして、トランジスタM32とトランジスタM34とをオンにする。これによって、トランジスタM33は、ドレインとゲートとが電氣的に接続されて、ダイオード接続の構成となる。そのため、トランジスタM33に、回路CS3から流れる電流 I_4 が流れるように、トランジスタM33の電圧 V_{gs} が設定される。なお、図15では、トランジスタM33のドレイン電流が I_4 であるときの電圧 V_{gs} を V_{p9} として図示している。また、トランジスタM33のサイズ、構造などが、トランジスタM28と同じである場合、 V_{p9} は V_{p8} と同じ電圧となることがある。

10

【0172】

次に、配線SW7を“L”にする。これにより、トランジスタM34はオフ状態なり、容量素子CD12によって、トランジスタM33の電圧 V_{gs} は電圧 V_{p9} に固定される。そのため、トランジスタM28が供給する電流は I_4 に設定される。なお、容量素子CD11は、トランジスタM34をオン状態からオフ状態にしたときに起こる、チャージインジェクション効果を抑えるための回路素子であるため、トランジスタM34がオフになるとき、つまり、配線SW7が“L”になるとき、配線SW7Bは“H”となる。

【0173】

<<第3動作>>

第3動作は、回路CS3において、トランジスタM28が供給する電流を設定するための動作である。第3動作の間では、スイッチS20はオフ状態であり、スイッチS21はオン状態である。また、第3動作の間では、配線SW2を“L”、配線SW6を“L”として、回路CS2のトランジスタM22、回路CS4のトランジスタM32をオフ状態にしている。

20

【0174】

図16に示すように、配線BWには、電圧 $w_0 + w$ が入力される。また、配線VXには初めにVSSが入力される。次に、配線WWを“H”にし、トランジスタM2をオンにすることによって、ノードsn1に電圧 $w_0 + w$ が書き込まれる。そして、配線WWを“L”にし、トランジスタM2をオフにした後に、配線VXに d_0 が入力される。これによって、トランジスタM1の電圧 V_{gs} は $w_0 + w + A_{sn}d_0$ となるため、トランジスタM1には、電流 I_3 が流れる（式（2.8）参照）。

30

【0175】

配線SW4を“H”、配線SW5を“H”にして、トランジスタM27とトランジスタM29とをオンにする。トランジスタM28には電流 I_3 が流れるように、かつ、トランジスタM28が飽和領域で動作するように、配線VALから供給される電圧が設定される。なお、図16では、トランジスタM28のドレイン電流が I_3 であるときの電圧 V_{gs} を V_{p10} として図示している。

【0176】

次に、配線SW5を“L”にする。これにより、トランジスタM29はオフ状態なり、容量素子CD8によって、トランジスタM28の電圧 V_{gs} は電圧 V_{p10} に固定される。そのため、トランジスタM28が供給する電流は I_3 に設定される。

40

【0177】

<<第4動作>>

第4動作は、回路10において、トランジスタM1に流れる電流 I_1 を設定し、かつ、第1動作乃至第3動作のそれぞれで設定した電流 I_2 、 I_3 、 I_4 を用いて、読み出し回路120のノードnprに電流 $-I_1 + I_3 - I_4 + I_2$ を流すための動作である。

【0178】

図17に示すように、配線BWには、電圧 $w_0 + w$ が入力される。また、配線VXには初めにVSSが入力される。次に、配線WWを“H”にし、トランジスタM2をオンにすることによって、ノードsn1に電圧 $w_0 + w$ が書き込まれる。そして、配線WWを“L”に

50

し、トランジスタM2をオフにした後に、配線VXに $d_0 + d$ が入力される。これによって、トランジスタM1の電圧 V_{gs} は $(w_0 + w) + A_{sn}(d_0 + d)$ となるため、トランジスタM1には、電流 I_1 が流れる（式（2.6）参照）。

【0179】

配線SW2を“H”、配線SW4を“H”、配線SW6を“H”にして、トランジスタM22とトランジスタM27とトランジスタM32とをオンにする。これにより、回路CS2は端子ct2から電流 I_2 を出力し、回路CS3は端子ct3から電流 I_3 を出力し、回路CS4は端子ct4から電流 I_2 を吸出する。

【0180】

更に、所定のタイミングで、スイッチS20、及びスイッチS21をオンにすることによって、ノードnprには、電流 $-I_1 + I_3 - I_4 + I_2$ が流れる。つまりノードnprには電流 $-I_{pr}(w, d)$ が流れる（式（2.11）参照）。読み出し回路120は、電流 $-I_{pr}(w, d)$ を電圧に変換する。

10

【0181】

以上述べたように、オフセットキャンセル回路80を用いることで、回路10が生成する電流 I_1 から、オフセット電流をキャンセルして、積 $w \cdot d$ に比例する電流を得ることができる。

【0182】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

20

【0183】

（実施の形態5）

本実施の形態では、階層型の人工ニューラルネットワークと、上記実施の形態で説明した回路を用いた演算回路と、について説明する。

【0184】

<階層型のニューラルネットワーク>

人工ニューラルネットワーク（ANN、以後、ニューラルネットワークと呼称する。）とは、生物の神経回路網を模したモデル全般を指す。一般的には、ニューラルネットワークは、ニューロンを模したユニットが、シナプスを模したユニットを介して、互いに結合された構成となっている。

30

【0185】

シナプスの結合強度（重み係数ともいう）は、ニューラルネットワークに既存の情報を与えることによって、変化することができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

【0186】

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」又は「認知」と呼ぶ場合がある。

【0187】

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型などが挙げられる。特に、本明細書等では、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、本実施の形態では多くの階層を有する階層型のニューラルネットワークについて説明する。

40

【0188】

図18は、階層型のニューラルネットワークの一例を示した図である。第 $(k-1)$ 層（ここでの k は2以上の整数である）は、合計 m 個（ここでの m は1以上の整数である）のニューロンとして、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ を有し、第 k 層は、合計 n 個（ここでの n は1以上の整数である）のニューロンとして、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ を有する。

50

【0189】

なお、図18では、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 、 $N_i^{(k-1)}$ 、 $N_m^{(k-1)}$ 、第 k 層のニューロン $N_1^{(k)}$ 、 $N_j^{(k)}$ 、 $N_n^{(k)}$ を図示しており、それ以外のニューロンについては省略している。

【0190】

階層型のニューラルネットワークでは、ニューロン $N_i^{(k-1)}$ （ここでの i は1以上 m 以下の整数である。）は出力信号 $z_i^{(k)}$ を出力し、ニューロン $N_j^{(k)}$ （ここでの j は1以上 n 以下の整数である。）には、出力信号 $z_i^{(k-1)}$ と、重み係数 $w_{ij}^{(k-1)}$ と、の積が入力される。なお、重み係数が大きいほど、そのニューロン同士での送受信される信号が大きくなる。

【0191】

なお、図18では、ニューロン $N_1^{(k-1)}$ からニューロン $N_j^{(k)}$ に送られる信号 $w_{1j}^{(k-1)} \cdot z_1^{(k-1)}$ 、ニューロン $N_i^{(k-1)}$ からニューロン $N_j^{(k)}$ に送られる信号 $w_{ij}^{(k-1)} \cdot z_i^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ からニューロン $N_j^{(k)}$ に送られる信号 $w_{mj}^{(k-1)} \cdot z_m^{(k-1)}$ を符号として記載しており、それ以外の信号の符号の記載を省略している。

【0192】

ここで、ニューロン $N_j^{(k)}$ について着目する。ニューロン $N_j^{(k)}$ に入力される信号の総和は、次の式で表される。

【0193】

【数7】

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(3.1)$$

【0194】

また、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

【0195】

【数8】

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(3.2)$$

【0196】

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、又はシグモイド関数などを用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの出力関数は、層毎において、同一でもよいし、異なってもよい。

【0197】

ニューラルネットワークは、第1層（入力層）に入力信号が入力されることによって、第1層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式(3.1)、(3.2)を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワークによって計算された結果に相当する。

【0198】

<演算回路>

ここでは、上記実施の形態で説明した回路を用いた、式(3.1)の計算を行う演算回路について説明する。

【0199】

10

20

30

40

50

図19は、演算回路の構成例を示したブロック図である。演算回路201Aは、オフセットキャンセル回路90と、駆動回路110と、読み出し回路120と、メモリセルアレイMCAと、を有する。

【0200】

オフセットキャンセル回路90としては、実施の形態2で説明したオフセットキャンセル回路50、又は、実施の形態3で説明したオフセットキャンセル回路70を適用することができる。

【0201】

メモリセルアレイMCAは、 $m \times 2$ 個のメモリセルを有する。図19では、メモリセルは、 m 行2列のマトリクス状に配置されている。特に、図19に示すメモリセルアレイMCAの1列目及び2列目のそれぞれには、メモリセルとして、上記実施の形態で説明した回路10及び回路10rが適用されている。なお、本実施の形態では、 i 行目の回路10、10rをそれぞれ回路10[i]、10r[i]と記載する。

【0202】

読み出し回路120は、実施の形態2、実施の形態3に記載した読み出し回路120を適用することができる。

【0203】

なお、オフセットキャンセル回路90と、回路10[1]乃至10[m]と、回路10r[1]乃至10r[m]と、読み出し回路120と、の電氣的な接続については、実施の形態2、実施の形態3の記載を参酌する。つまり、オフセットキャンセル回路90がオフセットキャンセル回路50である場合、配線WXは電流源回路30のノードot3に電氣的に接続され、配線WXrは電流源回路30rのノードot3に電氣的に接続されている。また、オフセットキャンセル回路90がオフセットキャンセル回路70である場合、配線WXは電流源回路60のノードot3に電氣的に接続され、配線WXrは電流源回路60rのノードot3に電氣的に接続されている。また、配線WXは、回路10[1]乃至10[m]のそれぞれのノードwxと、読み出し回路120のノードinroと、に電氣的に接続され、配線WXrは、回路10r[1]乃至10r[m]のそれぞれのノードwxに電氣的に接続されている。なお、図19には、ノードot3、ノードwx、ノードinroを図示していない。

【0204】

駆動回路110は、配線VXを介して、回路10、10rのそれぞれのノードvxに所定の信号（又は電圧）を与える機能を有する。なお、図19において、演算回路201Aは、メモリセルアレイMCAが m 行であるため、配線VXを m 本有する構成となっている。また、本実施の形態では、 i 行目の配線VXを配線VX[i]と記載する。また、駆動回路110は、実施の形態1で説明した駆動回路108とすることができる。

【0205】

図19に示す演算回路201Aを構成することによって、式(3.1)の計算を行うことができる。以下に、演算回路201Aの動作例について説明する。なお、以下の説明では、便宜的に、重み係数 $w_{ij}^{(k-1)}$ 、及び出力信号 $z_i^{(k-1)}$ のそれぞれに対応する電圧を電圧 $w_{ij}^{(k-1)}$ 、及び電圧 $z_i^{(k-1)}$ と呼ぶことにする。

【0206】

例えば、ニューロン $N_j^{(k)}$ に入力される $u_j^{(k)}$ の算出の方法について述べる。初めに、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数 $w_{ij}^{(k-1)}$ をデータ w として、回路10[i]のノードsn1に電圧 $w_0 + w_{ij}^{(k-1)}$ を保持し、回路10r[i]のノードsn1に電圧 w_0 を保持する。

【0207】

次に、ニューロン $N_i^{(k-1)}$ からニューロン $N_j^{(k)}$ に入力される信号 $z_i^{(k-1)}$ をデータ d として、配線VX[i]に電圧 d_0 を印加した場合と、電圧 $d_0 + z_i^{(k-1)}$ を印加した場合と、を考える。配線VX[i]に電圧 d_0 を印加した場合における、配線WX、配線WXrのそれぞれを介して、オフセットキャンセル回路90から出力される

10

20

30

40

50

電流 I_3 、 I_4 、並びに、配線 $VX[i]$ に電圧 $d_0 + z_i^{(k-1)}$ を印加した場合における、配線 WX 、配線 WXr のそれぞれを介して、オフセットキャンセル回路 90 から出力される電流 I_1 、 I_2 は、次の式で表すことができる。

【0208】

【数9】

$$I_1 = \sum_{i=1}^m Id1(w_0 + w_i^{(k-1) \{k\}}, d_0 + z_i^{(k-1)}) \quad \dots(3.3)$$

$$I_2 = \sum_{i=1}^m Id1(w_0, d_0 + z_i^{(k-1)}) \quad \dots(3.4)$$

$$I_3 = \sum_{i=1}^m Id1(w_0 + w_i^{(k-1) \{k\}}, d_0) \quad \dots(3.5)$$

$$I_4 = \sum_{i=1}^m Id1(w_0, d_0) \quad \dots(3.6)$$

10

【0209】

上の式 (3.3) 乃至 (3.6) において、式 (2.10) を計算することによって、式 (3.7) を得ることができる。

20

【0210】

【数10】

$$I_1 - I_3 + I_4 - I_2$$

$$= \sum_{i=1}^m Ipr(w_i^{(k-1) \{k\}}, z_i^{(k-1)})$$

$$= A_{sn} \beta \sum_{i=1}^m w_i^{(k-1) \{k\}} \cdot z_i^{(k-1)} \quad \dots(3.7)$$

30

【0211】

式 (3.7) は、ニューロン $N_i^{(k-1)}$ からニューロン $N_j^{(k)}$ に入力される信号 $z_i^{(k-1)}$ と、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数 $w_i^{(k-1) \{k\}}$ と、の積を、 i について 1 から m までを足し合わせた値に応じた電流値を示している。式 (2.10) に示す電流は、実施の形態 2、実施の形態 3 で説明したとおり、読み出し回路 120 に供給されるため、式 (3.7) の電流を読み出し回路 120 に供給することによって、ニューロン $N_j^{(k)}$ に入力される式 (3.1) を求めることができる。

40

【0212】

また、読み出し回路 120 に式 (3.2) を計算するための活性化関数の演算回路を含めることによって、読み出し回路 120 からニューロン $N_j^{(k)}$ の出力信号 $z_j^{(k)}$ を出力することができる。

【0213】

また、演算回路 201A とは異なる別の演算回路の構成例を図 20 に示す。演算回路 201B は、演算回路 201A が有するオフセットキャンセル回路 90 と、メモリセルアレイ MCA と、読み出し回路 120 と、をそれぞれ n 個有する。なお、図 20 では、 n 個のオフセットキャンセル回路 90 をそれぞれオフセットキャンセル回路 90 [1] 乃至 90 [n] と記載し、 n 個のメモリセルアレイ MCA をそれぞれメモリセルアレイ MCA [1

50

」乃至 $MCA[n]$ と記載し、 n 個の読み出し回路 120 をそれぞれ読み出し回路 120 [1] 乃至 120 [n] と記載している。

【0214】

また、演算回路 201B は、演算回路 201A と同様の駆動回路 110 を有しており、駆動回路 110 は、配線 $VX[1]$ 乃至 $VX[m]$ を介して、メモリセルアレイ $MCA[1]$ 乃至 $MCA[n]$ のそれぞれに電氣的に接続されている。

【0215】

なお、図 20 では、演算回路 201B、オフセットキャンセル回路 90 [1]、90 [n]、メモリセルアレイ $MCA[1]$ 、 $MCA[n]$ 、読み出し回路 120 [1]、120 [n]、駆動回路 110、メモリセルアレイ $MCA[1]$ が有する回路 10 [1] と回路 10 [i] と回路 10 [m] と回路 10r [1] と回路 10r [i] と回路 10r [m]、メモリセルアレイ $MCA[n]$ が有する回路 10 [1] と回路 10 [i] と回路 10 [m] と回路 10r [1] と回路 10r [i] と回路 10r [m]、オフセットキャンセル回路 90 [1] に電氣的に接続されている配線 WX と配線 WXr 、オフセットキャンセル回路 90 [n] に電氣的に接続されている配線 WX と配線 WXr 、配線 $WX[1]$ 、配線 $WX[i]$ 配線 $WX[m]$ を図示しており、それ以外のブロック図、配線、及び符号については省略している。

【0216】

図 20 に示す演算回路 201B を構成することによって、式 (3.1) の計算を、複数かつ同時に行うことができる。図 19 に示す演算回路 201A の説明では、図 18 に示す第 k 層のニューロン $N_j^{(k)}$ に着目して $z_j^{(k)}$ の計算を行ったが、図 20 に示す演算回路 201B を用いることによって、図 18 に示す第 k 層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれから出力される $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を同時に計算することができる。

【0217】

具体的には、メモリセルアレイ $MCA[1]$ の回路 10 [i] のノード s_{n1} には、ニューロン $N_i^{(k-1)}$ とニューロン $N_1^{(k)}$ との間の重み係数として電圧 $w_{ij}^{(k-1)}_{11}$ (k) を保持し、メモリセルアレイ $MCA[1]$ の回路 10r [i] のノード s_{n1} には、 w_0 を保持する。メモリセルアレイ $MCA[n]$ の回路 10 [i] のノード s_{n1} には、ニューロン $N_i^{(k-1)}$ とニューロン $N_n^{(k)}$ との間の重み係数として電圧 $w_{ij}^{(k-1)}_{nn}$ (k) を保持し、メモリセルアレイ $MCA[n]$ の回路 10r [i] のノード s_{n1} には、 w_0 を保持する。また、図 20 には図示していないが、メモリセルアレイ $MCA[j]$ の回路 10 [j] のノード s_{n1} には、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数として電圧 $w_{ij}^{(k-1)}_{jj}$ (k) を保持し、メモリセルアレイ $MCA[1]$ の回路 10r [i] のノード s_{n1} には、 w_0 を保持する。

【0218】

その後、図 19 の演算回路 201A と同様に、オフセットキャンセル回路 90 [1]、メモリセルアレイ $MCA[1]$ 、駆動回路 110 を動作させることによって、読み出し回路 120 [1] でニューロン $N_1^{(k)}$ に入力される $u_1^{(k)}$ を算出することができる。また、オフセットキャンセル回路 90 [n]、メモリセルアレイ $MCA[n]$ 、駆動回路 110 を動作させることによって、読み出し回路 120 [n] でニューロン $N_n^{(k)}$ に入力される $u_n^{(k)}$ を算出することができる。また、図 20 には図示していないが、オフセットキャンセル回路 90 [j]、メモリセルアレイ $MCA[j]$ 、駆動回路 110 を動作させることによって、読み出し回路 120 [j] でニューロン $N_j^{(k)}$ に入力される $u_j^{(k)}$ を算出することができる。その後、読み出し回路 120 [1] 乃至読み出し回路 120 [n] のそれぞれによって、 $u_1^{(k)}$ 乃至 $u_n^{(k)}$ から $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を求めることができる。

【0219】

ところで、図 20 の演算回路 201B において、メモリセルアレイ $MCA[1]$ 乃至 $MCA[n]$ のそれぞれが有する回路 10r [1] 乃至 10r [m] のそれぞれのノード s

$n1$ には、電圧 w_0 が保持されている。このため、オフセットキャンセル回路 $90[1]$ 乃至 $90[n]$ に電氣的に接続されているそれぞれの配線 WX_r に流れる電流の量は等しくなる。つまり、配線 $VX[1]$ 乃至 $VX[m]$ の全てに電圧 d_0 が印加されている場合、オフセットキャンセル回路 $90[1]$ 乃至 $90[n]$ に電氣的に接続されているそれぞれの配線 WX_r には互いに等しい電流 I_2 が流れ、配線 $VX[1]$ 乃至 $VX[m]$ のそれぞれに電圧 $d_0 + z_1^{(k-1)}$ 乃至 $d_0 + z_m^{(k-1)}$ が印加されている場合、オフセットキャンセル回路 $90[1]$ 乃至 $90[n]$ に電氣的に接続されているそれぞれの配線 WX_r には互いに等しい電流 I_4 が流れる。

【0220】

このため、図20の演算回路201Bは、メモリセルアレイMCA[1]乃至MCA[n]において、互いに回路10r[1]乃至10r[m]を共有する構成に変更することができる。そのような構成を図21に示す。演算回路201Cは、メモリセルアレイMCA[1]乃至MCA[n]を1つのメモリセルアレイMCAにまとめた構成となっている。メモリセルアレイMCAは、回路10[1,1]乃至10[m,n]を有し、行毎に回路10[i,1]乃至10[i,n]に対応するレプリカ回路として回路10r[i]を有する。つまり、メモリセルアレイMCAは、 $m \times n$ 個の回路10と、 $m \times 1$ 個の回路10rと、が、 $m \times (n+1)$ のマトリクス状に配置された構成を有する。

【0221】

また、オフセットキャンセル回路90は、配線WX[j]を介して、メモリセルアレイMCAに電氣的に接続されている。配線WX[j]は、回路10[1,j]乃至10[m,j]と、読み出し回路120[j]に電氣的に接続されている。図21に示すオフセットキャンセル回路90は、配線WX_rに流れる電流を参照して、配線WX[1]乃至WX[n]のそれぞれに流れるオフセット電流をキャンセルすることができる。

【0222】

演算回路201Cは、演算回路201Bと同様の動作で、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれに入力される $u_1^{(k)}$ 乃至 $u_n^{(k)}$ を算出することができる。

【0223】

図22(A)は、オフセットキャンセル回路として、実施の形態4で説明したオフセットキャンセル回路80を適用した演算回路の構成例を示したブロック図である。演算回路202Aは、オフセットキャンセル回路80と、駆動回路110と、読み出し回路120と、メモリセルアレイMCAと、を有する。

【0224】

メモリセルアレイMCAは、 $m \times 1$ 個のメモリセルを有する。図22(A)では、メモリセルは、 m 行1列のマトリクス状に配置されている。特に、図22(A)に示すメモリセルアレイMCAのメモリセルとして、上記実施の形態で説明した回路10が適用されている。なお、本実施の形態では、 i 行目の回路10をそれぞれ回路10[i]と記載する。

【0225】

読み出し回路120は、実施の形態4に記載した読み出し回路120を適用することができる。

【0226】

なお、オフセットキャンセル回路80と、回路10[1]乃至10[m]と、読み出し回路120と、の電氣的な接続については、実施の形態4の記載を参酌する。つまり、配線WXは回路CS2の端子ct2に電氣的に接続されている。また、配線WXは、回路10[1]乃至10[m]のそれぞれのノードwxと、読み出し回路120のノードinroと、に電氣的に接続されている。

【0227】

駆動回路110は、配線VXを介して、回路10のノードvxに所定の信号（又は電圧）を与える機能を有する。なお、図22(A)において、演算回路202Aは、メモリセルアレイMCAが m 行であるため、配線VXを m 本有する構成となっている。また、本実

10

20

30

40

50

施の形態では、 i 行目の配線 VX を配線 $VX[i]$ と記載する。また、駆動回路 110 は、実施の形態 1 で説明した駆動回路 108 とすることができる。

【0228】

図 22 (A) に示す演算回路 202A を構成することによって、式 (3.1) の計算を行うことができる。以下に、演算回路 202A の動作例について説明する。なお、以下の説明では、図 19 乃至図 21 の説明と同様に、重み係数 $w_{ij}^{(k-1)}$ 、及び出力信号 $z_j^{(k-1)}$ のそれぞれに対応する電圧を電圧 $w_{ij}^{(k-1)}$ 、及び電圧 $z_j^{(k-1)}$ と呼ぶことにする。

【0229】

例えば、ニューロン $N_j^{(k)}$ に入力される $u_j^{(k)}$ の算出の方法について述べる。

10

【0230】

初めに、実施の形態 4 で説明した第 1 動作において、回路 10 [i] のノード s_{n1} に電圧 w_0 を保持する。また、その後に、配線 $VX[i]$ に電圧 d_0 を印加することによって、オフセットキャンセル回路 80 から式 (3.6) に示した電流 I_4 を出力することができる。

【0231】

次に、実施の形態 4 で説明した第 2 動作において、回路 10 [i] のノード s_{n1} に電圧 w_0 を保持する。また、その後に、ニューロン $N_i^{(k-1)}$ からニューロン $N_j^{(k)}$ に入力される信号を $z_i^{(k-1)}$ として、配線 $VX[i]$ に電圧 $d_0 + z_i^{(k-1)}$ を印加することによって、オフセットキャンセル回路 80 から式 (3.4) に示した電流 I_2 を出力することができる。

20

【0232】

実施の形態 4 で説明した第 3 動作において、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数を $w_{ij}^{(k-1)}$ として、回路 10 [i] のノード s_{n1} に電圧 $w_0 + w_{ij}^{(k-1)}$ を保持する。また、その後に、配線 $VX[i]$ に電圧 d_0 を印加することによって、オフセットキャンセル回路 80 から式 (3.5) に示した電流 I_3 を出力することができる。

【0233】

そして、実施の形態 4 で説明した第 4 動作において、回路 10 [i] のノード s_{n1} に電圧 $w_0 + w_{ij}^{(k-1)}$ を保持する。また、その後に、配線 $VX[i]$ に電圧 $d_0 + z_i^{(k-1)}$ を印加することによって、オフセットキャンセル回路 80 から式 (3.3) に示した電流 I_1 を出力することができる。また、このとき、オフセットキャンセル回路 80 の動作によって、オフセット電流のキャンセルが行われる。このため、ニューロン $N_i^{(k-1)}$ からニューロン $N_j^{(k)}$ に入力される信号 $z_i^{(k-1)}$ と、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数 $w_{ij}^{(k-1)}$ と、の積を、 i について 1 から m までを足し合わせた値に応じた電流値、つまり式 (3.7) を出力することができる。その後、式 (3.7) の電流を読み出し回路 120 に供給することによって、ニューロン $N_j^{(k)}$ に入力される式 (3.1) を求めることができる。

30

【0234】

また、読み出し回路 120 に式 (3.2) を計算するための活性化関数の演算回路を含めることによって、読み出し回路 120 からニューロン $N_j^{(k)}$ の出力信号 $z_j^{(k)}$ を出力することができる。

40

【0235】

また、演算回路 202A とは異なる別の演算回路の構成例を図 22 (B) に示す。演算回路 202B は、演算回路 202A が有するオフセットキャンセル回路 80 と、読み出し回路 120 と、をそれぞれ n 個有する。また、演算回路 202B のメモリセルアレイ MC は、 $m \times n$ 個の回路 10 を有し、 m 行 n 列のマトリクス状に回路 10 が配置されている構成となっている。なお、図 22 (B) では、 n 個のオフセットキャンセル回路 80 をそれぞれオフセットキャンセル回路 80 [1] 乃至 80 [n] と記載し、 n 個の読み出し回路 120 をそれぞれ読み出し回路 120 [1] 乃至 120 [n] と記載している。

50

【0236】

また、演算回路202Bは、演算回路202Aと同様の駆動回路110を有しており、駆動回路110は、配線VX[1]乃至VX[m]を介して、メモリセルアレイMCAに電氣的に接続されている。

【0237】

なお、図22(B)では、演算回路202B、オフセットキャンセル回路80[1]、80[j]、80[n]、メモリセルアレイMCA、読み出し回路120[1]、120[j]、120[n]、駆動回路110、回路10[1,1]、回路10[i,1]、回路10[m,1]、回路10[1,j]、回路10[i,j]、回路10[m,j]、回路10[1,n]、回路10[i,n]、回路10[m,n]、配線WX[1]、配線WX[j]、配線WX[n]、配線VX[1]、配線VX[i]、配線VX[m]、メモリセルアレイMCAを図示しており、それ以外のブロック図、配線、及び符号については省略している。

10

【0238】

図22(B)に示す演算回路202Bを構成することによって、式(3.1)の計算を、複数かつ同時に行うことができる。図22(A)に示す演算回路202Aの説明では、図18に示す第k層のニューロン $N_j^{(k)}$ に着目して $z_j^{(k)}$ の計算を行ったが、図22(B)に示す演算回路202Bを用いることによって、図18に示す第k層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれに入力される $u_1^{(k)}$ 乃至 $u_n^{(k)}$ を同時に計算することができる。

20

【0239】

なお、本発明の一態様に係る半導体装置に含まれる演算回路は、本実施の形態で説明した演算回路に限定されない。本発明の一態様に係る半導体装置に含まれる演算回路は、本実施の形態で説明した演算回路を適宜変更した構成とすることができる。

【0240】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0241】

(実施の形態6)

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なOSトランジスタの構成例について説明する。

30

【0242】

<半導体装置の構成例>

図23に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図25(A)はトランジスタ500のチャンネル長方向の断面図であり、図25(B)はトランジスタ500のチャンネル幅方向の断面図であり、図25(C)はトランジスタ300のチャンネル幅方向の断面図である。

【0243】

トランジスタ500は、チャンネル形成領域に金属酸化物を有するトランジスタ(OSトランジスタ)である。トランジスタ500は、オフ電流が小さいため、これを半導体装置、特に回路10のトランジスタM2、M3、電流源回路30のトランジスタMA1、MA2、オフセットキャンセル回路80のトランジスタM24、M29、M34などに用いることにより、長期にわたり書き込んだデータを保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

40

【0244】

本実施の形態で説明する半導体装置は、図23に示すようにトランジスタ300、トランジスタ500、容量素子600を有する。トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に設けられている。なお、容量素子600は、回路10における容量素子C1などとする

50

ことができる。

【0245】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態におけるトランジスタM1などに適用することができる。

【0246】

トランジスタ300は、図25(C)に示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

10

【0247】

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0248】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

20

【0249】

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

【0250】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

30

【0251】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0252】

なお、図23に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図24に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

40

【0253】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

【0254】

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化

50

シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0255】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0256】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されている。

10

【0257】

また、絶縁体324には、基板311、又はトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0258】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

20

【0259】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

30

【0260】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0261】

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

40

【0262】

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いること

50

で配線抵抗を低くすることができる。

【0263】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図23において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0264】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

10

【0265】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

20

【0266】

絶縁体354、及び導電体356上に、配線層を設けてもよい。例えば、図23において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0267】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

30

【0268】

絶縁体364、及び導電体366上に、配線層を設けてもよい。例えば、図23において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ又は配線としての機能を有する。なお導電体376は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

40

【0269】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0270】

絶縁体374、及び導電体376上に、配線層を設けてもよい。例えば、図23において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。ま

50

た、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0271】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

10

【0272】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

【0273】

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

20

【0274】

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 311、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

【0275】

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

30

【0276】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0277】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

40

【0278】

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0279】

また、絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 には、導電体 5

50

18、及びトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0280】

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0281】

絶縁体516の上方には、トランジスタ500が設けられている。

【0282】

図25（A）、図25（B）に示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

【0283】

また、図25（A）、図25（B）に示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図25（A）、図25（B）に示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図25（A）、図25（B）に示すように、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

【0284】

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

【0285】

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図23、図25（A）、図25（B）に示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0286】

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体5

10

20

30

40

50

42bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

【0287】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を持たせることができる。

10

【0288】

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

20

【0289】

導電体503は、酸化物530、及び導電体560と、重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel（S-channel）構造とよぶ。

【0290】

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

30

【0291】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

40

【0292】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

【0293】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体505は、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0294】

50

絶縁体 520、絶縁体 522、及び絶縁体 524 は、第 2 のゲート絶縁膜としての機能を有する。

【0295】

ここで、酸化物 530 と接する絶縁体 524 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体 524 には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物 530 に接して設けることにより、酸化物 530 中の酸素欠損を低減し、トランジスタ 500 の信頼性を向上させることができる。

【0296】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

【0297】

また、絶縁体 524 が、過剰酸素領域を有する場合、絶縁体 522 は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0298】

絶縁体 522 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 530 が有する酸素は、絶縁体 520 側へ拡散することがなく、好ましい。また、導電体 503 が、絶縁体 524 や、酸化物 530 が有する酸素と反応することを抑制することができる。

【0299】

絶縁体 522 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3)、又は (Ba, Sr) TiO_3 (BST) などのいわゆる high-k 材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0300】

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 522 を形成した場合、絶縁体 522 は、酸化物 530 からの酸素の放出や、トランジスタ 500 の周辺部から酸化物 530 への水素等の不純物の混入を抑制する層として機能する。

【0301】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0302】

また、絶縁体 520 は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k 材料の

10

20

30

40

50

絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体 520 を得ることができる。

【0303】

なお、図 25 (A)、図 25 (B) のトランジスタ 500 では、3 層の積層構造からなる第 2 のゲート絶縁膜として、絶縁体 520、絶縁体 522、及び絶縁体 524 が図示されているが、第 2 のゲート絶縁膜は、単層、2 層、又は 4 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0304】

トランジスタ 500 は、チャネル形成領域を含む酸化物 530 に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 530 として、 $In-M-Zn$ 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物 530 として適用できる $In-M-Zn$ 酸化物は、実施の形態 4 で説明する $CAAC-OS$ 、 $CAC-OS$ であることが好ましい。また、酸化物 530 として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物を用いてもよい。

【0305】

酸化物 530 においてチャネル形成領域として機能する金属酸化物は、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0306】

酸化物 530 は、酸化物 530 b 下に酸化物 530 a を有することで、酸化物 530 a よりも下方に形成された構造物から、酸化物 530 b への不純物の拡散を抑制することができる。また、酸化物 530 b 上に酸化物 530 c を有することで、酸化物 530 c よりも上方に形成された構造物から、酸化物 530 b への不純物の拡散を抑制することができる。

【0307】

なお、酸化物 530 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 530 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 530 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 530 a に用いる金属酸化物において、 In に対する元素 M の原子数比が、酸化物 530 b に用いる金属酸化物における、 In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 530 b に用いる金属酸化物における、元素 M に対する In の原子数比が、酸化物 530 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 530 c は、酸化物 530 a 又は酸化物 530 b に用いることができる金属酸化物を、用いることができる。

【0308】

また、酸化物 530 a 及び酸化物 530 c の伝導帯下端のエネルギーが、酸化物 530 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 530 a 及び酸化物 530 c の電子親和力が、酸化物 530 b の電子親和力より小さいことが好ましい。

【0309】

ここで、酸化物 530 a、酸化物 530 b、及び酸化物 530 c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 530 a、酸化物 530 b、及び酸化物 530 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物 530

10

20

30

40

50

aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0310】

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530a及び酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

【0311】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上述の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

【0312】

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

【0313】

また、図25(A)では、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

【0314】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

【0315】

また、図25(A)に示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャネル形成領域が形成される。

【0316】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア密度が増加し、領域543a（領域543b）は、低抵抗領域となる。

【0317】

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

10

【0318】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

【0319】

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

20

【0320】

絶縁体544を有することで、絶縁体580に含まれる水、及び水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

30

【0321】

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面、及び側面）に接して配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【0322】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

40

【0323】

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

【0324】

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制す

50

る金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

【0325】

なお、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

10

【0326】

第1のゲート電極として機能する導電体560は、図25(A)、図25(B)では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

【0327】

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

20

【0328】

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

30

【0329】

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

40

【0330】

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0331】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体

50

5 4 2 bに挟まれた領域に、埋め込まれるように形成される。

【0 3 3 2】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 5 6 0の導電性が下がらないようにする必要がある。そのために導電体 5 6 0の膜厚を大きくすると、導電体 5 6 0はアスペクト比が高い形状となりうる。本実施の形態では、導電体 5 6 0を絶縁体 5 8 0の開口に埋め込むように設けるため、導電体 5 6 0をアスペクト比の高い形状にしても、工程中に導電体 5 6 0を倒壊させることなく、形成することができる。

【0 3 3 3】

絶縁体 5 7 4は、絶縁体 5 8 0の上面、導電体 5 6 0の上面、及び絶縁体 5 5 0の上面に接して設けられることが好ましい。絶縁体 5 7 4をスパッタリング法で成膜することで、絶縁体 5 5 0、及び絶縁体 5 8 0へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 5 3 0中に酸素を供給することができる。

10

【0 3 3 4】

例えば、絶縁体 5 7 4として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

【0 3 3 5】

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

20

【0 3 3 6】

また、絶縁体 5 7 4の上に、層間膜として機能する絶縁体 5 8 1を設けることが好ましい。絶縁体 5 8 1は、絶縁体 5 2 4などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0 3 3 7】

また、絶縁体 5 8 1、絶縁体 5 7 4、絶縁体 5 8 0、及び絶縁体 5 4 4に形成された開口に、導電体 5 4 0 a、及び導電体 5 4 0 bを配置する。導電体 5 4 0 a及び導電体 5 4 0 bは、導電体 5 6 0を挟んで対向して設ける。導電体 5 4 0 a及び導電体 5 4 0 bは、後述する導電体 5 4 6、及び導電体 5 4 8と同様の構成である。

30

【0 3 3 8】

絶縁体 5 8 1上には、絶縁体 5 8 2が設けられている。絶縁体 5 8 2は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 5 8 2には、絶縁体 5 1 4と同様の材料を用いることができる。例えば、絶縁体 5 8 2には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0 3 3 9】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 5 0 0への混入を防止することができる。また、トランジスタ 5 0 0を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0に対する保護膜として用いることに適している。

40

【0 3 4 0】

また、絶縁体 5 8 2上には、絶縁体 5 8 6が設けられている。絶縁体 5 8 6は、絶縁体 3 2 0と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 8 6として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0 3 4 1】

また、絶縁体 5 2 0、絶縁体 5 2 2、絶縁体 5 2 4、絶縁体 5 4 4、絶縁体 5 8 0、絶

50

縁体 5 7 4、絶縁体 5 8 1、絶縁体 5 8 2、及び絶縁体 5 8 6 には、導電体 5 4 6、及び導電体 5 4 8 等が埋め込まれている。

【 0 3 4 2 】

導電体 5 4 6、及び導電体 5 4 8 は、容量素子 6 0 0、トランジスタ 5 0 0、又はトランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 5 4 6、及び導電体 5 4 8 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

【 0 3 4 3 】

続いて、トランジスタ 5 0 0 の上方には、容量素子 6 0 0 が設けられている。容量素子 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0、絶縁体 6 3 0 とを有する。

10

【 0 3 4 4 】

また、導電体 5 4 6、及び導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 6 1 0 は、容量素子 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、及び導電体 6 1 0 は、同時に形成することができる。

【 0 3 4 5 】

導電体 6 1 2、及び導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

20

【 0 3 4 6 】

図 2 3 では、導電体 6 1 2、及び導電体 6 1 0 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【 0 3 4 7 】

30

絶縁体 6 3 0 を介して、導電体 6 1 0 と重畳するように、導電体 6 2 0 を設ける。なお、導電体 6 2 0 は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

【 0 3 4 8 】

導電体 6 2 0、及び絶縁体 6 3 0 上には、絶縁体 6 5 0 が設けられている。絶縁体 6 5 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 5 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

40

【 0 3 4 9 】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。又は、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

【 0 3 5 0 】

<トランジスタの構造例>

なお、本実施の形態に示す半導体装置のトランジスタ 5 0 0 は、上記の構造に限られるものではない。以下、トランジスタ 5 0 0 に用いることができる構造例について説明する。なお、下記に説明するトランジスタは、上記に説明したトランジスタの変形例であるた

50

め、下記の説明では、異なる点を主に説明し、同一の点については省略することがある。

【0351】

<<トランジスタの構造例1>>

図26(A)乃至図26(C)を用いてトランジスタ500Aの構造例を説明する。図26(A)はトランジスタ500Aの上面図である。図26(B)は、図26(A)に一点鎖線L1-L2で示す部位の断面図である。図26(C)は、図26(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図26(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0352】

図26(A)乃至図26(C)に示すトランジスタ500Aは、図25(A)に示したトランジスタ500に、層間膜として機能する絶縁体511と、配線として機能する導電体505と、を加えた構成となっている。

【0353】

また、図26(A)乃至図26(C)に示すトランジスタ500Aでは、酸化物530c、絶縁体550、及び導電体560が、絶縁体580に設けられた開口部内に、絶縁体544を介して配置される。また、酸化物530c、絶縁体550、及び導電体560は、導電体542a、及び導電体542bとの間に配置される。

【0354】

絶縁体511としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)又は(Ba, SrTiO_3 (BST)などの絶縁体を単層又は積層で用いることができる。又はこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0355】

例えば、絶縁体511は、水又は水素などの不純物が、基板側からトランジスタ500Aに混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁体511は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。また、例えば、絶縁体511として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁体511よりも基板側からトランジスタ500A側に拡散するのを抑制することができる。

【0356】

例えば、絶縁体512は、絶縁体511よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0357】

導電体505は、絶縁体512に埋め込まれるように形成される。ここで、導電体505の上面の高さと、絶縁体512の上面の高さは同程度にできる。なお図26には導電体505を単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体505を2層以上の多層膜構造としてもよい。なお、導電体505は、タングステン、銅、又はアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

【0358】

絶縁体514、及び絶縁体516は、絶縁体511又は絶縁体512と同様に、層間膜として機能する。例えば、絶縁体514は、水又は水素などの不純物が、基板側からトランジスタ500Aに混入するのを抑制するバリア膜として機能することが好ましい。当該

10

20

30

40

50

構成により、水素、水などの不純物が絶縁体 5 1 4 よりも基板側からトランジスタ 5 0 0 A 側に拡散するのを抑制することができる。また、例えば、絶縁体 5 1 6 は、絶縁体 5 1 4 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0359】

また、絶縁体 5 2 2 は、バリア性を有することが好ましい。絶縁体 5 2 2 がバリア性を有することで、トランジスタ 5 0 0 A の周辺部からトランジスタ 5 0 0 A への水素等の不純物の混入を抑制する層として機能する。

【0360】

また、酸化物 5 3 0 c は、絶縁体 5 8 0 に設けられた開口部内に、絶縁体 5 4 4 を介して設けられることが好ましい。絶縁体 5 4 4 がバリア性を有する場合、絶縁体 5 8 0 からの不純物が酸化物 5 3 0 c へと拡散することを抑制することができる。

【0361】

また、導電体 5 4 2 a、及び導電体 5 4 2 b 上に、バリア層を設けてもよい。バリア層は、酸素、又は水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁体 5 4 4 を成膜する際に、導電体 5 4 2 a、及び導電体 5 4 2 b が酸化することを抑制することができる。

【0362】

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

【0363】

バリア層を有することで、導電体 5 4 2 a、及び導電体 5 4 2 b の材料選択の幅を広げることができる。例えば、導電体 5 4 2 a、及び導電体 5 4 2 b に、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

【0364】

絶縁体 5 5 0 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 5 0 は、絶縁体 5 8 0 に設けられた開口部内に、酸化物 5 3 0 c、及び絶縁体 5 4 4 を介して設けられることが好ましい。

【0365】

また、導電体 5 4 0 a、及び導電体 5 4 0 b の材料としては、導電体 5 0 3 と同様に、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。又は、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0366】

導電体 5 4 0 a、及び導電体 5 4 0 b としては、例えば、水素、及び酸素に対してバリア性を有する導電体である窒化タンタル等と、導電性が高いタングステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

【0367】

上記構造を有することで、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。又は、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

【0368】

<<トランジスタの構造例 2>>

10

20

30

40

50

図 27 (A) 乃至図 27 (C) を用いてトランジスタ 500B の構造例を説明する。図 27 (A) はトランジスタ 500B の上面図である。図 27 (B) は、図 27 (A) に一点鎖線 L1-L2 で示す部位の断面図である。図 27 (C) は、図 27 (A) に一点鎖線 W1-W2 で示す部位の断面図である。なお、図 27 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0369】

トランジスタ 500B はトランジスタ 500A の変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ 500A と異なる点について説明する。

【0370】

トランジスタ 500B は、導電体 542a (導電体 542b) と、酸化物 530c と、絶縁体 550 と、導電体 560 と、が重畳する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

【0371】

第 1 のゲート電極として機能する導電体 560 は、導電体 560a、及び導電体 560a 上の導電体 560b を有する。導電体 560a は、導電体 503a と同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0372】

導電体 560a が酸素の拡散を抑制する機能を持つことにより、導電体 560b の材料の選択性を向上することができる。つまり、導電体 560a を有することで、導電体 560b の酸化が抑制され、導電率が低下することを防止することができる。

【0373】

また、導電体 560 の上面及び側面と、絶縁体 550 の側面と、酸化物 530c の側面と、を覆うように、絶縁体 544 を設けることが好ましい。

【0374】

絶縁体 544 を設けることで、導電体 560 の酸化を抑制することができる。また、絶縁体 544 を有することで、絶縁体 580 が有する水、及び水素などの不純物がトランジスタ 500B へ拡散することを抑制することができる。

【0375】

また、トランジスタ 500B のコンタクトプラグは、トランジスタ 500A のコンタクトプラグの構成と異なっている。トランジスタ 500B では、コンタクトプラグとして機能する導電体 546a (導電体 546b) と、絶縁体 580 との間に、バリア性を有する絶縁体 576a (絶縁体 576b) が配置されている。絶縁体 576a (絶縁体 576b) を設けることで、絶縁体 580 の酸素が導電体 546 と反応し、導電体 546 が酸化することを抑制することができる。

【0376】

また、バリア性を有する絶縁体 576a (絶縁体 576b) を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電体 546a (導電体 546b) に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的には、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、又は加工がしやすい導電体を用いることができる。

【0377】

<<トランジスタの構造例 3>>

図 28 (A) 乃至図 28 (C) を用いてトランジスタ 500C の構造例を説明する。図 28 (A) はトランジスタ 500C の上面図である。図 28 (B) は、図 28 (A) に一点鎖線 L1-L2 で示す部位の断面図である。図 28 (C) は、図 28 (A) に一点鎖線 W1-W2 で示す部位の断面図である。なお、図 28 (A) の上面図では、図の明瞭化の

10

20

30

40

50

ために一部の要素を省いて図示している。

【0378】

トランジスタ500Cはトランジスタ500Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ500Aと異なる点について説明する。

【0379】

図28(A)乃至図28(C)に示すトランジスタ500Cは、導電体542aと酸化物530bの間に導電体547aが配置され、導電体542bと酸化物530bの間に導電体547bが配置されている。ここで、導電体542a(導電体542b)は、導電体547a(導電体547b)の上面及び導電体560側の側面を越えて延在し、酸化物530bの上面に接する領域を有する。ここで、導電体547a、及び導電体547bは、導電体542a、及び導電体542bに用いることができる導電体を用いればよい。さらに、導電体547a、及び導電体547bの膜厚は、少なくとも導電体542a、及び導電体542bより厚いことが好ましい。

10

【0380】

図28(A)乃至図28(C)に示すトランジスタ500Cは、上記のような構成を有することにより、トランジスタ500Aよりも、導電体542a、及び導電体542bを導電体560に近づけることができる。又は、導電体542aの端部及び導電体542bの端部と、導電体560を重ねることができる。これにより、トランジスタ500Cの実質的なチャネル長を短くし、オン電流の向上と、周波数特性の向上と、を図ることができる。

20

【0381】

また、導電体547a(導電体547b)は、導電体542a(導電体542b)と重畳して設けられることが好ましい。このような構成にすることで、導電体540a(導電体540b)を埋め込む開口を形成するエッチングにおいて、導電体547a(導電体547b)がストップパとして機能し、酸化物530bがオーバーエッチングされるのを防ぐことができる。

【0382】

また、図28(A)乃至図28(C)に示すトランジスタ500Cは、絶縁体544の上に接して絶縁体545を配置する構成としている。絶縁体544としては、水又は水素などの不純物や、過剰な酸素が、絶縁体580側からトランジスタ500Cに混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体545としては、絶縁体544に用いることができる絶縁体を用いることができる。また、絶縁体544としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化シリコン又は窒化酸化シリコンなどの、窒化物絶縁体を用いてもよい。

30

【0383】

また、図28(A)乃至図28(C)に示すトランジスタ500Cは、図26(A)乃至図26(C)に示すトランジスタ500Aと異なり、導電体503を単層構造としている。この場合、パターン形成された導電体503の上に絶縁体516となる絶縁膜を成膜し、当該絶縁膜の上部を、導電体503の上面が露出するまでCMP法などを用いて除去すればよい。ここで、導電体503の上面の平坦性を良好にすることが好ましい。例えば、導電体503上面の平均面粗さ(Ra)を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体503の上に形成される、絶縁層の平坦性を良好にし、酸化物530b及び酸化物530cの結晶性の向上を図ることができる。

40

【0384】

<<トランジスタの構造例4>>

図29(A)乃至図29(C)を用いてトランジスタ500Dの構造例を説明する。図29(A)はトランジスタ500Dの上面図である。図29(B)は、図29(A)に一点鎖線L1-L2で示す部位の断面図である。図29(C)は、図29(A)に一点鎖線W1-W2で示す部位の断面図である。なお、図29(A)の上面図では、図の明瞭化の

50

ために一部の要素を省いて図示している。

【0385】

トランジスタ500Dは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

【0386】

図29(A)乃至図29(C)に示すトランジスタ500Dは、トランジスタ500、トランジスタ500A乃至トランジスタ500Cと異なり、導電体542a、及び導電体542bを設けずに、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

【0387】

また、トランジスタ500Dは、図28に示したトランジスタ500Cと同様に、導電体505を設けずに、第2のゲートとしての機能を有する導電体503を配線としても機能させている。また、酸化物530c上に絶縁体550を有し、絶縁体550上に金属酸化物552を有する。また、金属酸化物552上に導電体560を有し、導電体560上に絶縁体570を有する。また、絶縁体570上に絶縁体571を有する。

【0388】

金属酸化物552は、酸素拡散を抑制する機能を有することが好ましい。絶縁体550と、導電体560との間に、酸素の拡散を抑制する金属酸化物552を設けることで、導電体560への酸素の拡散が抑制される。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、酸素による導電体560の酸化を抑制することができる。

【0389】

なお、金属酸化物552は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物530として用いることができる酸化物半導体を、金属酸化物552として用いることができる。その場合、導電体560をスパッタリング法で成膜することで、金属酸化物552の電気抵抗値を低下させて導電層とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

【0390】

また、金属酸化物552は、ゲート絶縁膜の一部としての機能を有する場合がある。したがって、絶縁体550に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物552は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁膜として機能する絶縁層の等価酸化膜厚(EOT)の薄膜化が可能となる。

【0391】

トランジスタ500Dにおいて、金属酸化物552を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁膜の一部として機能する金属酸化物とを積層して設けてもよい。

【0392】

金属酸化物552を有することで、ゲート電極として機能する場合は、導電体560からの電界の影響を弱めることなく、トランジスタ500Dのオン電流の向上を図ることができる。又は、ゲート絶縁膜として機能する場合は、絶縁体550と、金属酸化物552との物理的な厚みにより、導電体560と、酸化物530との間の距離を保つことで、導電体560と酸化物530との間のリーク電流を抑制することができる。従って、絶縁体550、及び金属酸化物552との積層構造を設けることで、導電体560と酸化物530との間の物理的な距離、及び導電体560から酸化物530へかかる電界強度を、容易に適宜調整することができる。

【0393】

具体的には、金属酸化物552としては、酸化物530に用いることができる酸化物半

10

20

30

40

50

導体を低抵抗化した材料を用いることができる。又は、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

【0394】

特に、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、金属酸化物552は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

10

【0395】

絶縁体570は、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム又は酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体570よりも上方からの酸素で導電体560が酸化するのを抑制することができる。また、絶縁体570よりも上方からの水又は水素などの不純物が、導電体560、及び絶縁体550を介して、酸化物530に混入することを抑制することができる。

【0396】

絶縁体571はハードマスクとして機能する。絶縁体571を設けることで、導電体560の加工の際、導電体560の側面が概略垂直、具体的には、導電体560の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

20

【0397】

なお、絶縁体571に、水又は水素などの不純物、及び酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体570は設けなくともよい。

【0398】

絶縁体571をハードマスクとして用いて、絶縁体570、導電体560、金属酸化物552、絶縁体550、及び酸化物530cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、酸化物530b表面の一部を露出させることができる。

30

【0399】

また、トランジスタ500Dは、露出した酸化物530b表面の一部に領域531a及び領域531bを有する。領域531a又は領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

【0400】

領域531a及び領域531bの形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理などを用いて、露出した酸化物530b表面にリン又はボロンなどの不純物元素を導入することで実現できる。なお、本実施の形態などにおいて「不純物元素」とは、主成分元素以外の元素のことをいう。

40

【0401】

また、酸化物530b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を酸化物530bに拡散させて領域531a及び領域531bを形成することもできる。

【0402】

不純物元素が導入された酸化物530bの一部の領域は、電気抵抗率が低下する。このため、領域531a及び領域531bを「不純物領域」又は「低抵抗領域」という場合がある。

【0403】

絶縁体571及び／又は導電体560をマスクとして用いることで、領域531a及び

50

領域 5 3 1 b を自己整合（セルフアライメント）的に形成することができる。よって、領域 5 3 1 a 及び／又は領域 5 3 1 b と、導電体 5 6 0 が重ならず、寄生容量を低減することができる。また、チャンネル形成領域とソースドレイン領域（領域 5 3 1 a 又は領域 5 3 1 b）の間にオフセット領域が形成されない。領域 5 3 1 a 及び領域 5 3 1 b を自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上などを実現できる。

【0404】

なお、オフ電流を更に低減するため、チャンネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体 5 7 5 の形成後に前述した不純物元素の導入を行なうことで実現できる。この場合、絶縁体 5 7 5 も絶縁体 5 7 1 などと同様にマスクとして機能する。よって、酸化物 5 3 0 b の絶縁体 5 7 5 と重なる領域に不純物元素が導入されず、該領域の電気抵抗率を高いままとすることができる。

【0405】

また、トランジスタ 5 0 0 D は、絶縁体 5 7 0、導電体 5 6 0、金属酸化物 5 5 2、絶縁体 5 5 0、及び酸化物 5 3 0 c の側面に絶縁体 5 7 5 を有する。絶縁体 5 7 5 は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などであることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体 5 7 5 に用いると、後の工程で絶縁体 5 7 5 中に過剰酸素領域を容易に形成するため好ましい。また、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体 5 7 5 は、酸素を拡散する機能を有することが好ましい。

【0406】

また、トランジスタ 5 0 0 D は、絶縁体 5 7 5、酸化物 5 3 0 上に絶縁体 5 4 4 を有する。絶縁体 5 4 4 は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水又は水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体 5 4 4 として、酸化アルミニウムを用いるとよい。

【0407】

なお、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、絶縁体 5 4 4 が酸化物 5 3 0 及び絶縁体 5 7 5 から水素及び水を吸収することで、酸化物 5 3 0 及び絶縁体 5 7 5 の水素濃度を低減することができる。

【0408】

<<トランジスタの構造例 5>>

図 3 0 (A) 乃至図 3 0 (C) を用いてトランジスタ 5 0 0 E の構造例を説明する。図 3 0 (A) はトランジスタ 5 0 0 E の上面図である。図 3 0 (B) は、図 3 0 (A) に一点鎖線 L 1 - L 2 で示す部位の断面図である。図 3 0 (C) は、図 3 0 (A) に一点鎖線 W 1 - W 2 で示す部位の断面図である。なお、図 3 0 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0409】

トランジスタ 5 0 0 E は上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

【0410】

図 3 0 (A) 乃至図 3 0 (C) では、トランジスタ 5 0 0 D と同様に、導電体 5 4 2 a、及び導電体 5 4 2 b を設けずに、露出した酸化物 5 3 0 b 表面の一部に領域 5 3 1 a 及び領域 5 3 1 b を有する。領域 5 3 1 a 又は領域 5 3 1 b の一方はソース領域として機能し、他方はドレイン領域として機能する。また、酸化物 5 3 0 b と、絶縁体 5 4 4 の間に、絶縁体 5 7 3 を有する。

【0411】

図30(B)に示す、領域531a、及び領域531bは、酸化物530bに下記の元素が添加された領域である。領域531a、及び領域531bは、例えば、ダミーゲートを用いることで形成することができる。

【0412】

具体的には、酸化物530b上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、酸化物530bの一部の領域を低抵抗化する元素を添加するとよい。つまり、酸化物530が、ダミーゲートと重畳していない領域に、当該元素が添加され、領域531a及び領域531bが形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

10

【0413】

なお、酸化物530bの一部の領域を低抵抗化する元素としては、代表的には、ホウ素、又はリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）などを用いて測定すればよい。

【0414】

特に、アモルファスシリコン、低温ポリシリコンなどが半導体層に含まれるSiトランジスタの製造ラインの装置において、ホウ素、及びリンを添加することができるため、当該製造ラインの装置を用いることにより酸化物530bの一部を低抵抗化することができる。つまり、Siトランジスタの製造ラインの一部を、トランジスタ500Eの作製工程に用いることができる。

20

【0415】

続いて、酸化物530b、及びダミーゲート上に、絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を成膜してもよい。絶縁体573となる絶縁膜、及び絶縁体544となる絶縁膜を積層して設けることで、領域531a又は領域531bと、酸化物530cと、絶縁体550と、が重畳する領域を設けることができる。

30

【0416】

具体的には、絶縁体544となる絶縁膜上に絶縁体580となる絶縁膜を設けた後、絶縁体580となる絶縁膜にCMP（Chemical Mechanical Polishing）処理を行うことで、絶縁体580となる絶縁膜の一部を除去し、ダミーゲートを露出する。続いて、ダミーゲートを除去する際に、ダミーゲートと接する絶縁体573の一部も除去するとよい。従って、絶縁体580に設けられた開口部の側面には、絶縁体544、及び絶縁体573が露出し、当該開口部の底面には、酸化物530bに設けられた領域531a、及び領域531bのそれぞれの一部が露出する。次に、当該開口部に酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、及び導電体560となる導電膜を順に成膜した後、絶縁体580が露出するまでCMP処理などにより、酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、及び導電体560となる導電膜の一部を除去することで、図30(A)乃至図30(C)に示すトランジスタを形成することができる。

40

【0417】

なお、絶縁体573、及び絶縁体544は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0418】

図30(A)乃至図30(C)に示すトランジスタには、導電体542a、及び導電体542bが設けられていないため、コストの低減を図ることができる。

【0419】

<<トランジスタの構造例6>>

50

また、図 25 (A)、図 25 (B) では、ゲートとしての機能を機能する導電体 560 が、絶縁体 580 の開口の内部に形成されている構造例について説明したが、例えば、当該導電体の上方に、当該絶縁体が設けられた構造を用いることもできる。このようなトランジスタの構造例を、図 31 (A)、図 31 (B)、図 32 (A)、図 32 (B) に示す。
【0420】

図 31 (A) はトランジスタの上面図であり、図 31 (B) はトランジスタの斜視図である。また、図 31 (A) における L1 - L2 の断面図を図 32 (A) に示し、W1 - W2 の断面図を図 32 (B) に示す。
【0421】

図 31 (A)、図 31 (B)、図 32 (A)、図 32 (B) に示すトランジスタは、バックゲートとしての機能を有する導電体 BGE と、ゲート絶縁膜としての機能を有する絶縁体 BGI と、酸化物半導体 S と、ゲート絶縁膜としての機能を有する絶縁体 FGI と、フロントゲートとしての機能を有する導電体 FGE と、配線としての機能を有する導電体 WE と、を有する。また、導電体 PE は、導電体 WE と、酸化物 S、導電体 BGE、又は導電体 FGE と、を接続するためのプラグとしての機能を有する。なお、ここでは、酸化物半導体 S が、3 層の酸化物 S1、S2、S3 によって構成されている例を示している。
【0422】

<<容量素子の構造例>>

図 33 (A) 乃至図 33 (C) では、図 23 に示す半導体装置に適用できる容量素子 600 の一例として容量素子 600A について示している。図 33 (A) は容量素子 600A の上面図であり、図 33 (B) は容量素子 600A の一点鎖線 L3 - L4 における断面を示した斜視図であり、図 33 (C) は容量素子 600A の一点鎖線 W3 - L4 における断面を示した斜視図である。
【0423】

導電体 610 は、容量素子 600A の一対の電極の一方として機能し、導電体 620 は、容量素子 600A の一対の電極の他方として機能する。また、絶縁体 630 は、一対の電極に挟まれる誘電体として機能する。
【0424】

容量素子 600A は、導電体 610 の下部において、導電体 546 と、導電体 548 とに電氣的に接続されている。導電体 546 と、導電体 548 は、別の回路素子と接続するためのプラグ、又は配線として機能する。また図 33 (B)、(C) では、導電体 546 と、導電体 548 と、をまとめて導電体 540 と記載している。
【0425】

また、図 33 (A) 乃至図 33 (C) では、図を明瞭に示すために、導電体 546 及び導電体 548 が埋め込まれている絶縁体 586 と、導電体 620 及び絶縁体 630 を覆っている絶縁体 650 と、を省略している。
【0426】

なお、図 23 に示す容量素子 600 及び図 33 (A) 乃至図 33 (C) に示す容量素子 600A はプレーナ型であるが、容量素子の形状はこれに限定されない。例えば、容量素子 600 は、図 34 (A) 乃至図 34 (C) に示すシリンダ型の容量素子 600B としてもよい。
【0427】

図 34 (A) は容量素子 600B の上面図であり、図 34 (B) は容量素子 600B の一点鎖線 L3 - L4 における断面図であり、図 34 (C) は容量素子 600B の一点鎖線 W3 - L4 における断面を示した斜視図である。
【0428】

図 34 (B) において、容量素子 600B は、導電体 540 が埋め込まれている絶縁体 586 上の絶縁体 631 と、開口部を有する絶縁体 651 と、一対の電極の一方として機能する導電体 610 と、一対の電極の他方として機能する導電体 620 と、を有する。
【0429】

10

20

30

40

50

また、図34(C)では、図を明瞭に示すために、絶縁体586と、絶縁体650と、絶縁体651と、を省略している。

【0430】

絶縁体631としては、例えば、絶縁体586と同様の材料を用いることができる。

【0431】

また、絶縁体631には、導電体540に電氣的に接続されるように導電体611が埋め込まれている。導電体611は、例えば、導電体330、導電体518と同様の材料を用いることができる。

【0432】

絶縁体651としては、例えば、絶縁体586と同様の材料を用いることができる。

10

【0433】

また、絶縁体651は、前述の通り、開口部を有し、当該開口部は導電体611に重畳している。

【0434】

導電体610は、当該開口部の底部と、側面と、に形成されている。つまり、導電体610は、導電体611に重畳し、かつ導電体611に電氣的に接続されている。

【0435】

なお、導電体610の形成方法としては、エッチング法などによって絶縁体651に開口部を形成し、次に、スパッタリング法、ALD法などによって導電体610を成膜する。その後、CMP(Chemical Mechanical Polishing)法などによって、開口部に成膜された導電体610を残して、絶縁体651上に成膜された導電体610を除去すればよい。

20

【0436】

絶縁体630は、絶縁体651上と、導電体610の形成面上と、に位置する。なお、絶縁体630は、容量素子において、一対の電極に挟まれる誘電体として機能する。

【0437】

導電体620は、絶縁体651の開口部が埋まるように、絶縁体630上に形成されている。

【0438】

絶縁体650は、絶縁体630と、導電体620と、を覆うように形成されている。

30

【0439】

図34(A)乃至図34(C)に示すシリンダ型の容量素子600Bは、プレーナ型の容量素子600Aよりも静電容量の値を高くすることができる。そのため、例えば、上記の実施の形態で説明した容量素子C1、C3、C11、C12、CD4、CD8、CD12などとして、容量素子600Bを適用することによって、長時間、容量素子の端子間の電圧を維持することができる。

【0440】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0441】

40

(実施の形態7)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物であるCAC-OS(Cloud-Aligned Composite Oxide Semiconductor)、及びCAAC-OS(c-axis Aligned Crystalline Oxide Semiconductor)の構成について説明する。なお、明細書等において、CAACは結晶構造の一例を表し、CACは機能、又は材料の構成の一例を表す。

【0442】

<金属酸化物の構成>

CAC-OS又はCAC-metal oxideとは、材料の一部では導電性の機能

50

と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS又はCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（又はホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On/Offさせる機能）をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0443】

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

10

【0444】

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

【0445】

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

20

【0446】

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材(matrix composite)、又は金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0447】

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS:amorphous-like oxide semiconductor)及び非晶質酸化物半導体などがある。

40

【0448】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0449】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウン

50

ダリーともいう)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0450】

また、CAAC-OSは、インジウム、及び酸素を有する層(以下、In層)と、元素M、亜鉛、及び酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)

10

【0451】

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度(所謂サーマルバジェット)に対しても安定である。したがって、OXトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

20

【0452】

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0453】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。

30

【0454】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0455】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0456】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

40

【0457】

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

【0458】

50

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0459】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0460】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0461】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0462】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0463】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0464】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0465】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0466】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いるこ

とで、安定した電気特性を付与することができる。

【0467】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0468】

(実施の形態8)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用した製品例について説明する。

【0469】

<ノート型パーソナルコンピュータ>

本発明の一態様の半導体装置は、情報端末装置に備えられるディスプレイに適用することができる。図35(A)は、情報端末装置の一種であるノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。

【0470】

<スマートウォッチ>

本発明の一態様の半導体装置は、ウェアラブル端末に適用することができる。図35(B)はウェアラブル端末の一種であるスマートウォッチであり、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905などを有する。また、表示部5902に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。また、操作ボタン5903にスマートウォッチを起動する電源スイッチ、スマートウォッチのアプリケーションを操作するボタン、音量調整ボタン、又は表示部5902を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。また、図35(B)に示したスマートウォッチでは、操作ボタン5903の数を2個示しているが、スマートウォッチの有する操作ボタンの数は、これに限定されない。また、操作子5904は、スマートウォッチの時刻合わせを行うリューズとして機能する。また、操作子5904は、時刻合わせ以外に、スマートウォッチのアプリケーションを操作する入力インターフェースとして、用いるようにしてもよい。なお、図35(B)に示したスマートウォッチでは、操作子5904を有する構成となっているが、これに限定されず、操作子5904を有さない構成であってもよい。

【0471】

<ビデオカメラ>

本発明の一態様の半導体装置は、ビデオカメラに適用することができる。図35(C)に示すビデオカメラは、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。操作キー5804及びレンズ5805は第1筐体5801に設けられており、表示部5803は第2筐体5802に設けられている。そして、第1筐体5801と第2筐体5802とは、接続部5806により接続されており、第1筐体5801と第2筐体5802の間の角度は、接続部5806により変更が可能である。表示部5803における映像を、接続部5806における第1筐体5801と第2筐体5802との間の角度に従って切り替える構成としてもよい。

【0472】

<携帯電話>

本発明の一態様の半導体装置は、携帯電話に適用することができる。図35(D)は、情報端末の機能を有する携帯電話であり、筐体5501、表示部5502、マイク5503、スピーカ5504、操作ボタン5505を有する。また、表示部5502に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。ある

10

20

30

40

50

いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン５５０５に携帯電話を起動する電源スイッチ、携帯電話のアプリケーションを操作するボタン、音量調整ボタン、又は表示部５５０２を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。

【０４７３】

また、図３５（Ｄ）に示した携帯電話では、操作ボタン５５０５の数を２個示しているが、携帯電話の有する操作ボタンの数は、これに限定されない。また、図示していないが、図３５（Ｄ）に示した携帯電話は、フラッシュライト、又は照明の用途として発光装置を有する構成であってもよい。

【０４７４】

<据え置き型ゲーム機>

本発明の一態様の半導体装置は、ゲーム機の一例である据え置き型ゲーム機に適用することができる。図３５（Ｅ）では、据え置き型ゲーム機として、ゲーム機本体７５２０と、コントローラ７５２２を示している。なお、ゲーム機本体７５２０には、無線または有線によってコントローラ７５２２を接続することができる。また、図３５（Ｅ）に示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみなどを備えることができる。また、コントローラ７５２２は、図３５（Ｅ）に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、FPS（First Person Shooter）などのシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームなどでは、楽器、音楽機器などを模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォンなどを備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

【０４７５】

<携帯型ゲーム機>

本発明の一態様の半導体装置は、ゲーム機の一例である携帯ゲーム機に適用することができる。図３５（Ｆ）に示す携帯ゲーム機は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。なお、図３５（Ｆ）に示す携帯ゲーム機５２００は一例であり、本発明の一態様の半導体装置が適用された携帯ゲーム機の表示部、ボタンなどの配置、形状や数、は、図３５（Ｆ）に示す構成に限定されない。また、携帯ゲーム機の筐体の形状は、図３５（Ｆ）に示す構成に限定されない。

【０４７６】

上述では、ゲーム機の一例として、据え置き型ゲーム機、携帯ゲーム機などを挙げたが、本発明の一態様の半導体装置は、上述した以外に業務用ゲーム機（アーケードゲーム機）などにも適用することができる。

【０４７７】

<テレビジョン装置>

本発明の一態様の半導体装置は、テレビジョン装置に適用することができる。図３５（Ｇ）に示すテレビジョン装置は、筐体９０００、表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、又は操作スイッチを含む）、接続端子９００６などを有する。テレビジョン装置は、大画面、例えば、５０インチ以上、又は１００インチ以上の表示部９００１を組み込むことが可能である。

【０４７８】

<移動体>

本発明の一態様の半導体装置は、移動体である自動車の運転席周辺に適用することができる。

【０４７９】

10

20

30

40

50

例えば、図 3 5 (H) は、自動車の室内におけるフロントガラス周辺を表す図である。図 3 5 (H) では、ダッシュボードに取り付けられた表示パネル 5 7 0 1、表示パネル 5 7 0 2、表示パネル 5 7 0 3 の他、ピラーに取り付けられた表示パネル 5 7 0 4 を図示している。

【0 4 8 0】

表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、ナビゲーション情報、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル 5 7 0 1 乃至表示パネル 5 7 0 3 は、照明装置として用いることも可能である。

10

【0 4 8 1】

表示パネル 5 7 0 4 には、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル 5 7 0 4 は、照明装置として用いることもできる。

【0 4 8 2】

<電子広告用の電子機器>

本発明の一態様の半導体装置は、電子広告を用途とするディスプレイに適用することができる。図 3 6 (A) は、壁に取り付けが可能な電子看板（デジタルサイネージ）の例を示している。図 3 6 (A) は、電子看板 6 2 0 0 が壁 6 2 0 1 に取り付けられている様子を示している。

20

【0 4 8 3】

<折り畳み式のタブレット型情報端末>

本発明の一態様の半導体装置は、タブレット型の情報端末に適用することができる。図 3 6 (B) には、折り畳むことができる構造を有するタブレット型の情報端末を示している。図 3 6 (B) に示す情報端末は、筐体 5 3 2 1 a と、筐体 5 3 2 1 b と、表示部 5 3 2 2 と、操作ボタン 5 3 2 3 と、を有している。特に、表示部 5 3 2 2 は可撓性を有する基材を有しており、当該基材によって折り畳むことができる構造を実現できる。

30

【0 4 8 4】

また、筐体 5 3 2 1 a と筐体 5 3 2 1 b とは、ヒンジ部 5 3 2 1 c により結合されており、ヒンジ部 5 3 2 1 c によって、2 つ折りが可能となっている。また、表示部 5 3 2 2 は、筐体 5 3 2 1 a、筐体 5 3 2 1 b、及びヒンジ部 5 3 2 1 c に設けられている。

【0 4 8 5】

また、図示していないが、図 3 5 (A) 乃至図 3 5 (C)、図 3 5 (E)、図 3 6 (A)、図 3 6 (B) に示した電子機器は、マイク及びスピーカを有する構成であってもよい。この構成により、例えば、上述した電子機器に音声入力機能を付することができる。

【0 4 8 6】

また、図示していないが、図 3 5 (A)、図 3 5 (B)、図 3 5 (D)、図 3 6 (A)、図 3 6 (B) に示した電子機器は、カメラを有する構成であってもよい。

40

【0 4 8 7】

また、図示していないが、図 3 5 (A) 乃至図 3 5 (F)、図 3 6 (A)、図 3 6 (B) に示した電子機器は、筐体の内部にセンサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみ又は赤外線などを測定する機能を含むもの）を有する構成であってもよい。特に、図 3 5 (D) に示す携帯電話に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、該携帯電話の向き（鉛直方向に対して該携帯電話がどの向きに向いているか）を判断して、表示部 5 5

50

02の画面表示を、該携帯電話の向きに応じて自動的に切り替えるようにすることができる。

【0488】

また、図示していないが、図35(A)乃至図35(F)、図36(A)、図36(B)に示した電子機器は、指紋、静脈、虹彩、又は声紋など生体情報を取得する装置を有する構成であってもよい。この構成を適用することによって、生体認証機能を有する電子機器を実現することができる。

【0489】

また、図35(A)乃至図35(E)、図36(A)に示した電子機器の表示部として、可撓性を有する基材を用いてもよい。具体的には、該表示部は、可撓性を有する基材上にトランジスタ、容量素子、及び表示素子などを設けた構成としてもよい。この構成を適用することによって、図35(A)乃至図35(E)、図36(A)に示した電子機器のように平らな面を有する筐体だけでなく、図35(H)に示したダッシュボード、ピラーのように、曲面を有するような筐体の電子機器を実現することができる。

【0490】

図35(A)乃至図35(F)、35(H)、図36(A)、図36(B)の表示部に適用できる、可撓性を有する基材としては、可視光に対する透光性を有する材料を例に挙げると、ポリエチレンテレフタレート樹脂(PET)、ポリエチレンナフタレート樹脂(PEN)、ポリエーテルサルフォン樹脂(PES)、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート樹脂、ポリアミド樹脂、ポリシクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリプロピレン樹脂、ポリエステル樹脂、ポリハロゲン化ビニル樹脂、アラミド樹脂、エポキシ樹脂などを用いることができる。また、これらの材料を混合又は積層して用いてもよい。

【0491】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【0492】

M1：トランジスタ、M1r：トランジスタ、M2：トランジスタ、M2r：トランジスタ、M3：トランジスタ、M4：トランジスタ、M5：トランジスタ、M11：トランジスタ、M11r：トランジスタ、M12：トランジスタ、M12r：トランジスタ、M13：トランジスタ、M13r：トランジスタ、M22：トランジスタ、M23：トランジスタ、M24：トランジスタ、M27：トランジスタ、M28：トランジスタ、M29：トランジスタ、M32：トランジスタ、M33：トランジスタ、M34：トランジスタ、MA1：トランジスタ、MA1r：トランジスタ、MA2：トランジスタ、MA2r：トランジスタ、MA3：トランジスタ、MA3r：トランジスタ、MS1：トランジスタ、MS1r：トランジスタ、MS2：トランジスタ、MS2r：トランジスタ、MC1：トランジスタ、MC1r：トランジスタ、C1：容量素子、C1r：容量素子、C3：容量素子、C11：容量素子、C11r：容量素子、C12：容量素子、C12r：容量素子、C13：容量素子、CD3：容量素子、CD4：容量素子、CD7：容量素子、CD8：容量素子、CD11：容量素子、CD12：容量素子、S20：スイッチ、S21：スイッチ、ss：ノード、ss1：ノード、mss：ノード、dd：ノード、bgc：ノード、bgc1：ノード、bw：ノード、ww：ノード、vx：ノード、ot1：ノード、ot3：ノード、ot4：ノード、cs1：ノード、cs2：ノード、cs3：ノード、cm1：ノード、cm2：ノード、cmg：ノード、cmg1：ノード、cmg2：ノード、pt1：ノード、pt2：ノード、pt3：ノード、po：ノード、wx：ノード、wb：ノード、vb1：ノード、ga：ノード、st：ノード、sn1：ノード、mb1：ノード、ms1：ノード、inro：ノード、npr：ノード、WCS：配線、WCS2：配線、WBCS：配線、EN_WBG：配線、WBG：配線、WBG r：配線、VX

: 配線、 $VX[1]$: 配線、 $VX[i]$: 配線、 $VX[m]$: 配線、 WW : 配線、 WX :
 配線、 $WX[1]$: 配線、 $WX[j]$: 配線、 $WX[n]$: 配線、 WXR : 配線、 BW :
 配線、 BWR : 配線、 PO : 配線、 POR : 配線、 EN_PO : 配線、 ENB_PO : 配
 線、 $MVSSL$: 配線、 $MVSSLr$: 配線、 VAL : 配線、 $SW2$: 配線、 $SW3$: 配
 線、 $SW3B$: 配線、 $SW4$: 配線、 $SW5$: 配線、 $SW5B$: 配線、 $SW6$: 配線、 S
 $W7$: 配線、 $SW7B$: 配線、 $CS2$: 回路、 $CS3$: 回路、 $CS4$: 回路、 $ct2$: 端
 子、 $ct3$: 端子、 $ct4$: 端子、 $N_1^{(k-1)}$: ニューロン、 $N_j^{(k-1)}$: ニューロ
 ン、 $N_m^{(k-1)}$: ニューロン、 $N_1^{(k)}$: ニューロン、 $N_j^{(k)}$: ニューロン、 $N_n^{(k)}$
 : ニューロン、 MCA : メモリセルアレイ、 $MCA[1]$: メモリセルアレイ、 MCA
 $[n]$: メモリセルアレイ、 BGI : 絶縁体、 FGI : 絶縁体、 BGE : 導電体、 FGE
 : 導電体、 PE : 導電体、 WE : 導電体、 10 : 回路、 $10[1]$: 回路、 $10[i]$:
 回路、 $10[m]$: 回路、 $10[1, 1]$: 回路、 $10[i, 1]$: 回路、 $10[m, 1]$
 $[1, n]$: 回路、 $10[i, n]$: 回路、 $10[m, n]$: 回路、 $10r$: 回路、 $10r$
 $[1]$: 回路、 $10r[i]$: 回路、 $10r[m]$: 回路、 11 : 回路、 15 : 回路、
 17 : 回路、 18 : 回路、 30 : 電流源回路、 $30r$: 電流源回路、 41 : 回路、 $41r$
 : 回路、 42 : 回路、 50 : オフセットキャンセル回路、 60 : 電流源回路、 $60r$: 電
 流源回路、 70 : オフセットキャンセル回路、 80 : オフセットキャンセル回路、 $80[1]$
 : オフセットキャンセル回路、 $80[j]$: オフセットキャンセル回路、 $80[n]$
 : オフセットキャンセル回路、 90 : オフセットキャンセル回路、 $90[1]$: オフセッ
 トキャンセル回路、 $90[n]$: オフセットキャンセル回路、 101 : 制御回路、 102
 : 温度センサ、 103 : 記憶装置、 104 : DAC、 106 : 駆動回路、 107 : 駆動回
 路、 108 : 駆動回路、 109 : 駆動回路、 110 : 駆動回路、 112 : 読み出し回路、
 113 : 演算アレイ、 120 : 読み出し回路、 $120[1]$: 読み出し回路、 $120[j]$
 $[1]$: 読み出し回路、 $120[n]$: 読み出し回路、 $201A$: 演算回路、 $201B$: 演算
 回路、 $201C$: 演算回路、 $202A$: 演算回路、 $202B$: 演算回路、 300 : トラン
 ジスタ、 311 : 基板、 313 : 半導体領域、 $314a$: 低抵抗領域、 $314b$: 低抵抗
 領域、 315 : 絶縁体、 316 : 導電体、 320 : 絶縁体、 322 : 絶縁体、 324 : 絶
 縁体、 326 : 絶縁体、 328 : 導電体、 330 : 導電体、 350 : 絶縁体、 352 : 絶
 縁体、 354 : 絶縁体、 356 : 導電体、 360 : 絶縁体、 362 : 絶縁体、 364 : 絶
 縁体、 366 : 導電体、 370 : 絶縁体、 372 : 絶縁体、 374 : 絶縁体、 376 : 導
 電体、 380 : 絶縁体、 382 : 絶縁体、 384 : 絶縁体、 386 : 導電体、 500 : ト
 ランジスタ、 $500A$: トランジスタ、 $500B$: トランジスタ、 $500C$: トランジス
 タ、 $500D$: トランジスタ、 $500E$: トランジスタ、 503 : 導電体、 $503a$: 導
 電体、 $503b$: 導電体、 505 : 導電体、 510 : 絶縁体、 511 : 絶縁体、 512 :
 絶縁体、 514 : 絶縁体、 516 : 絶縁体、 518 : 導電体、 520 : 絶縁体、 522 :
 絶縁体、 524 : 絶縁体、 530 : 酸化物、 $530a$: 酸化物、 $530b$: 酸化物、 53
 $0c$: 酸化物、 $531a$: 領域、 $531b$: 領域、 540 : 導電体、 $540a$: 導電体、
 $540b$: 導電体、 $542a$: 導電体、 $542b$: 導電体、 $543a$: 領域、 $543b$:
 領域、 544 : 絶縁体、 545 : 絶縁体、 546 : 導電体、 $546a$: 導電体、 $546b$
 : 導電体、 $547a$: 導電体、 $547b$: 導電体、 548 : 導電体、 550 : 絶縁体、 5
 52 : 金属酸化物、 560 : 導電体、 $560a$: 導電体、 $560b$: 導電体、 570 : 絶
 縁体、 571 : 絶縁体、 573 : 絶縁体、 574 : 絶縁体、 575 : 絶縁体、 $576a$:
 絶縁体、 $576b$: 絶縁体、 580 : 絶縁体、 581 : 絶縁体、 582 : 絶縁体、 586
 : 絶縁体、 600 : 容量素子、 $600A$: 容量素子、 $600B$: 容量素子、 610 : 導電
 体、 611 : 導電体、 612 : 導電体、 620 : 導電体、 621 : 導電体、 630 : 絶縁
 体、 631 : 絶縁体、 650 : 絶縁体、 651 : 絶縁体、 5201 : 筐体、 5202 : 表
 示部、 5203 : ボタン、 $5321a$: 筐体、 $5321b$: 筐体、 $5321c$: ヒンジ部
 、 5322 : 表示部、 5323 : 操作ボタン、 5401 : 筐体、 5402 : 表示部、 54
 03 : キーボード、 5404 : ポインティングデバイス、 5501 : 筐体、 5502 : 表

10

20

30

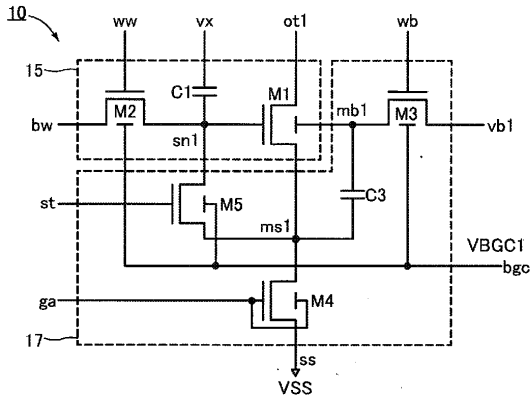
40

50

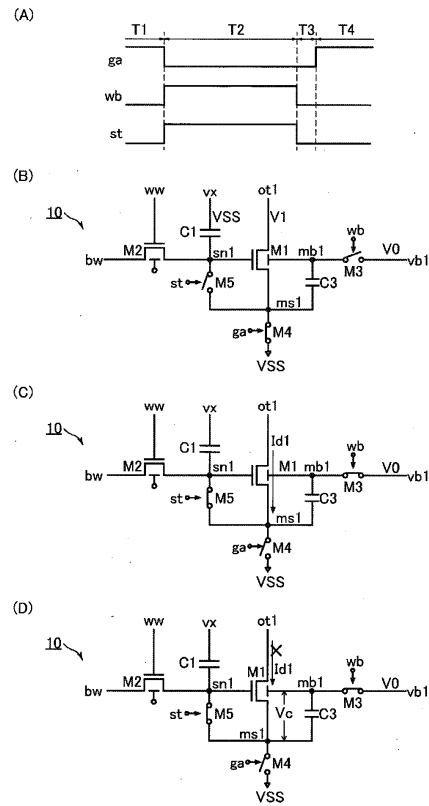
示部、5503：マイク、5504：スピーカ、5505：操作ボタン、5701：表示パネル、5702：表示パネル、5703：表示パネル、5704：表示パネル、5801：第1筐体、5802：第2筐体、5803：表示部、5804：操作キー、5805：レンズ、5806：接続部、5901：筐体、5902：表示部、5903：操作ボタン、5904：操作子、5905：バンド、6200：電子看板、6201：壁、7520：ゲーム機本体、7522：コントローラ、9000：筐体、9001：表示部、9003：スピーカ、9005：操作キー、9006：接続端子

【図面】

【図1】



【図2】



10

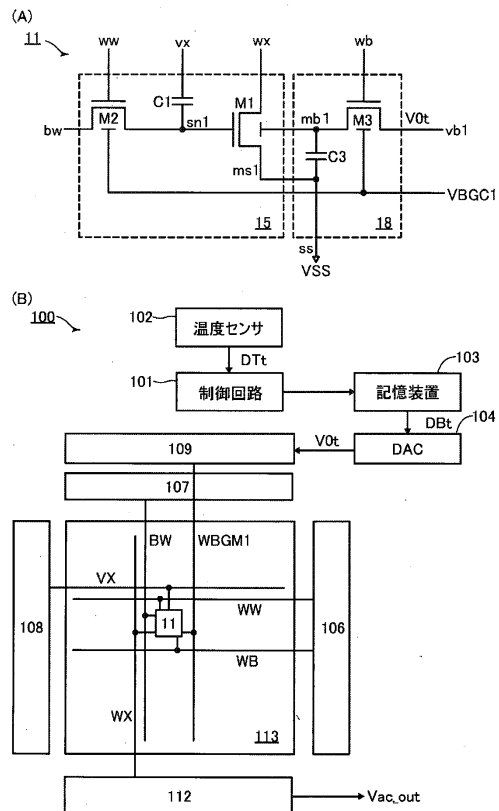
20

30

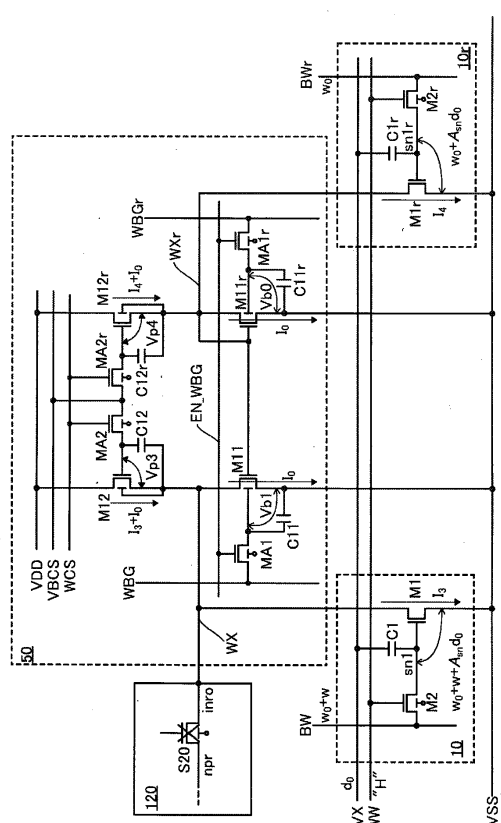
40

50

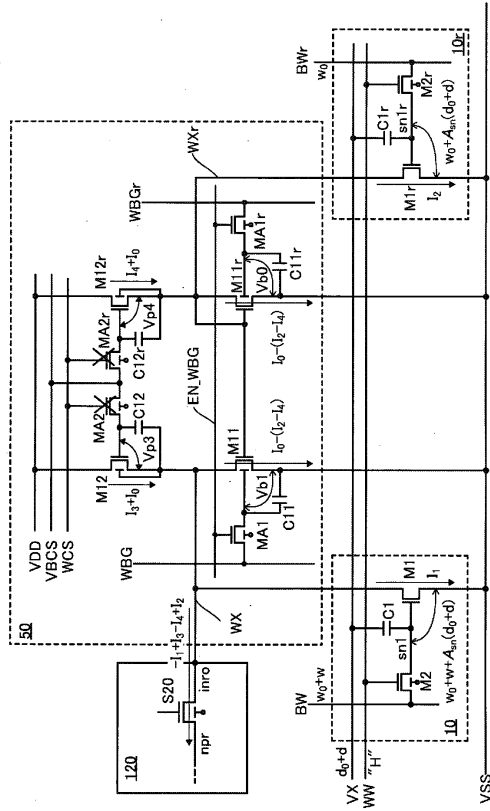
【図 4】



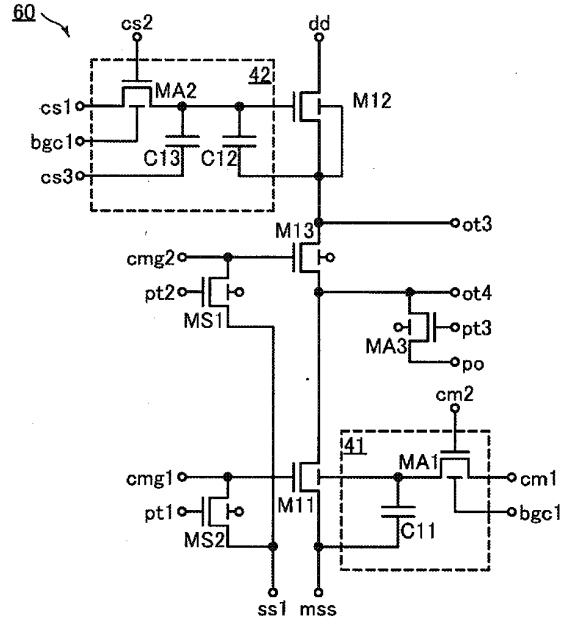
【図 6】



【図 7】



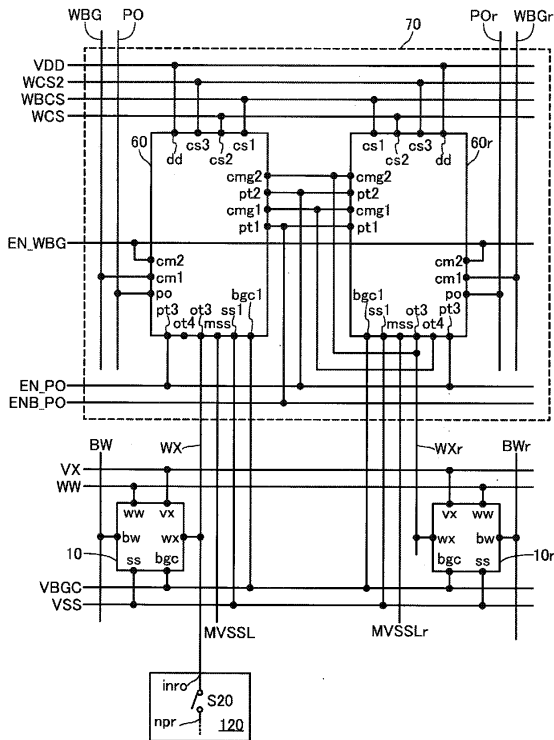
【図 8】



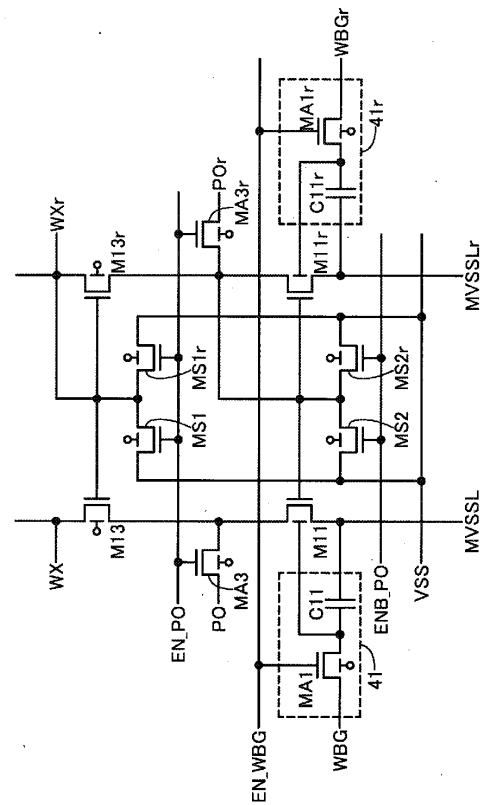
10

20

【図 9】



【図 10】

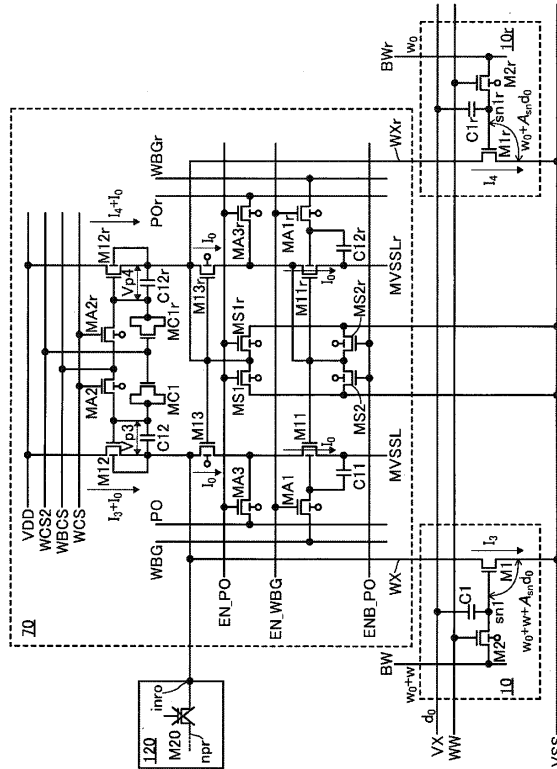


30

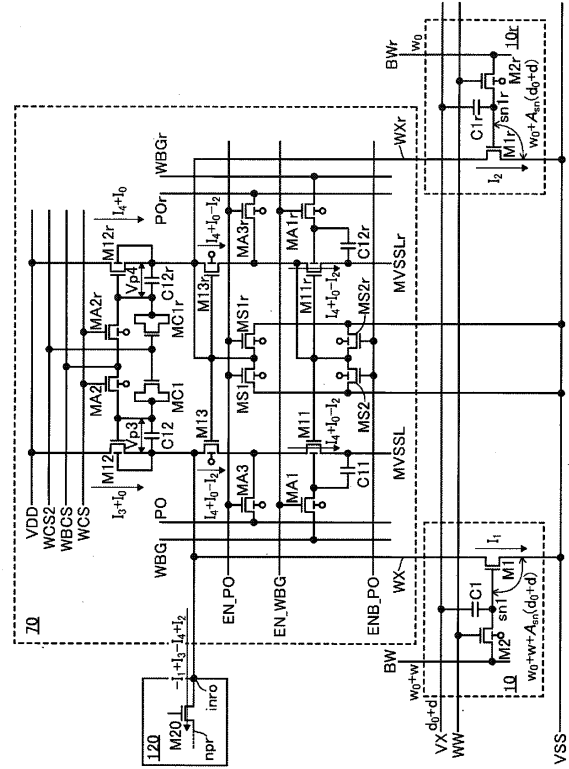
40

50

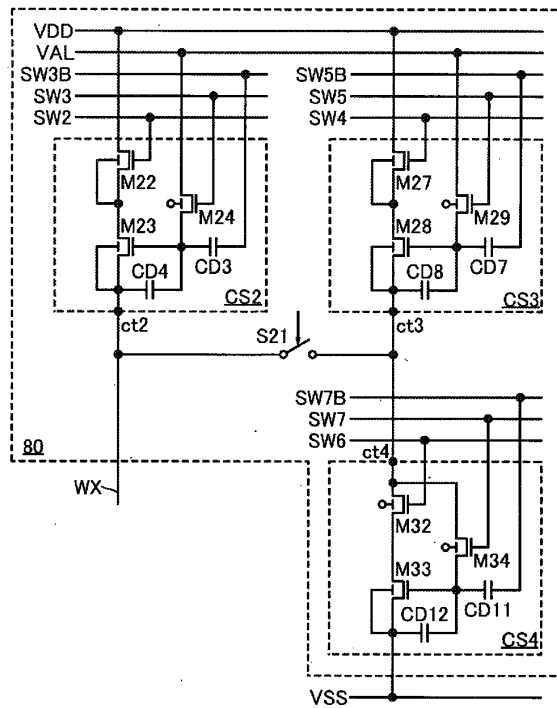
【図 1 1】



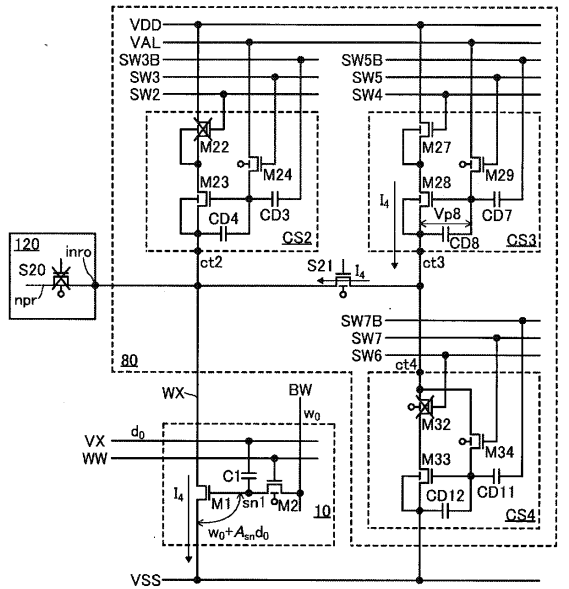
【図 1 2】



【図 1 3】



【図 1 4】



10

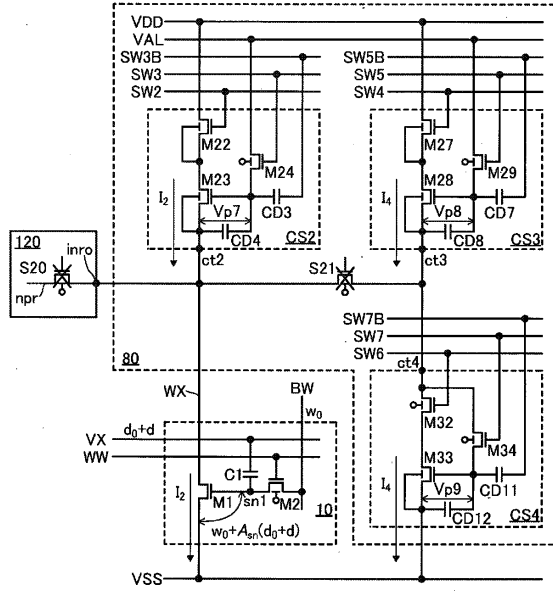
20

30

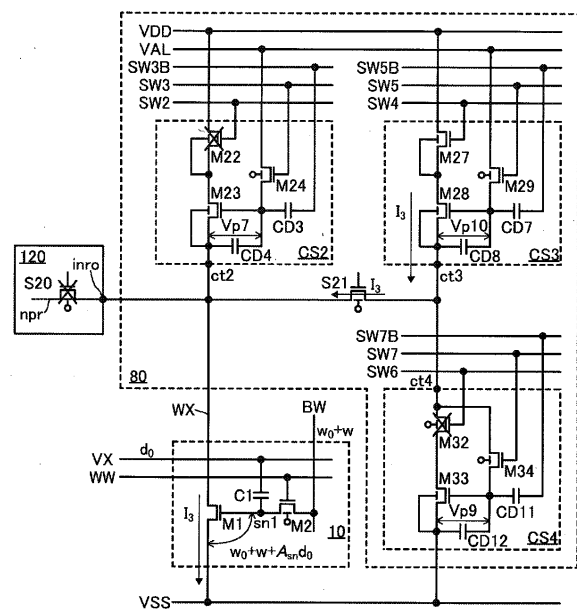
40

50

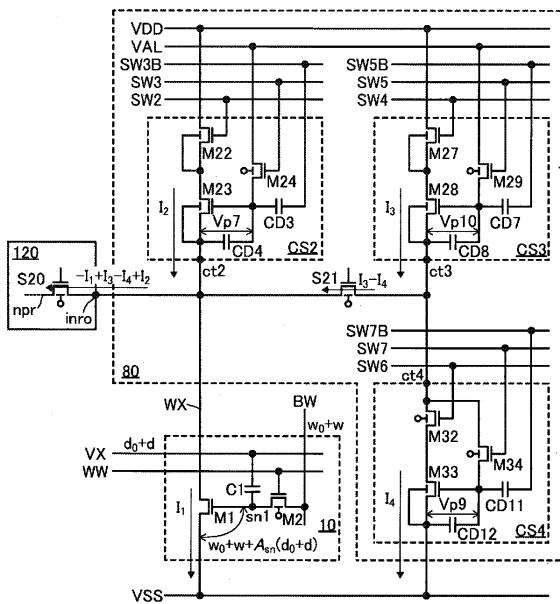
【図 15】



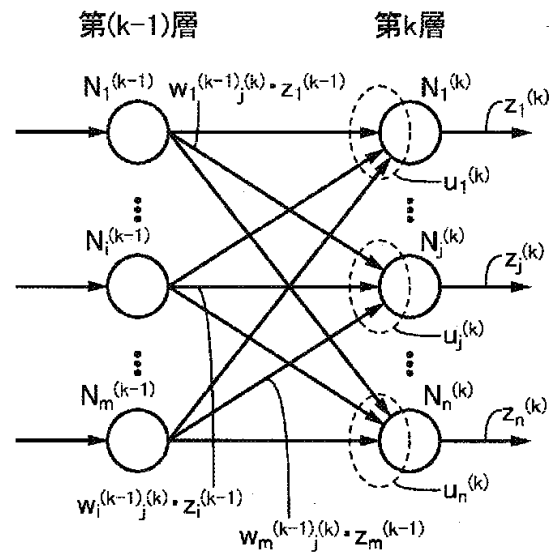
【図 16】



【図 17】



【図 18】



10

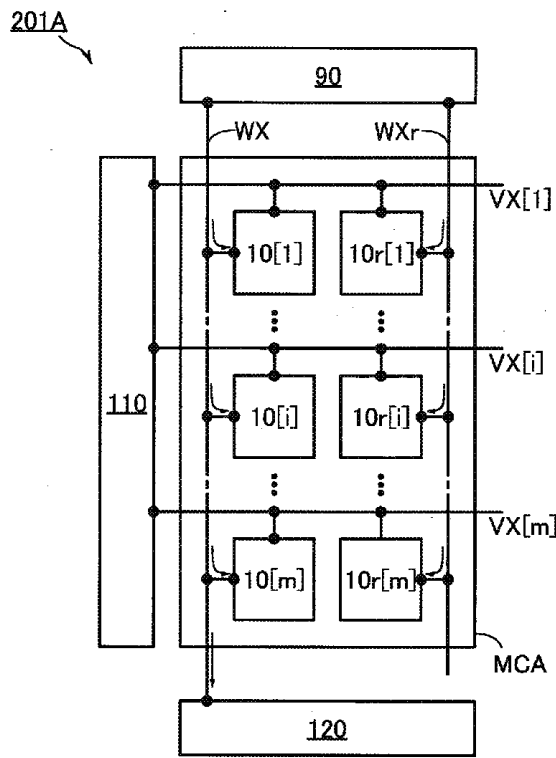
20

30

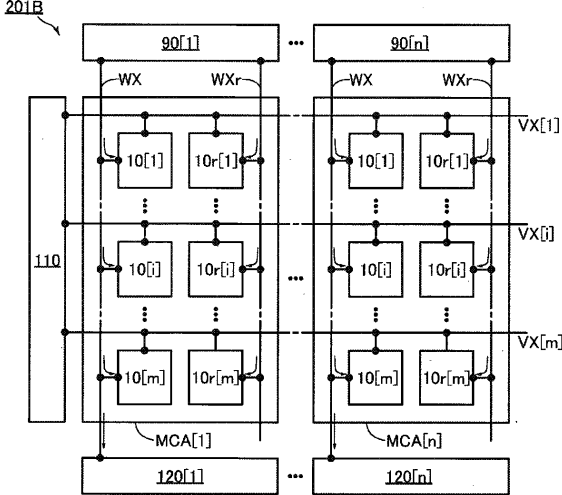
40

50

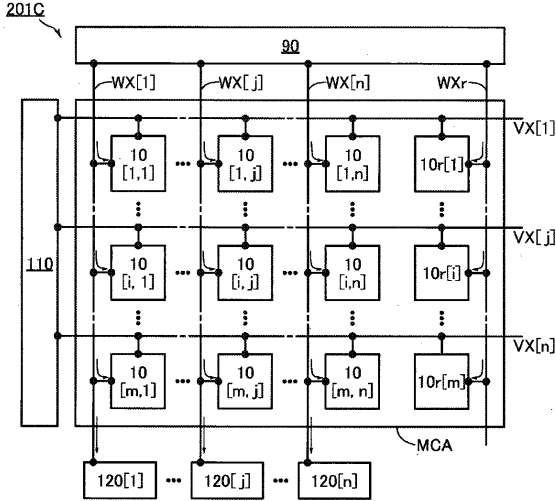
【図 19】



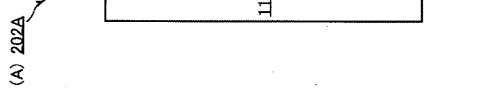
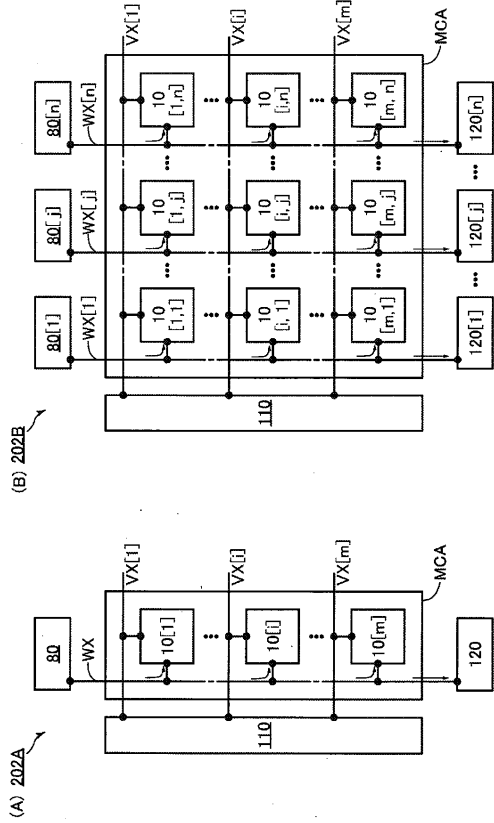
【図 20】



【図 21】



【図 22】



10

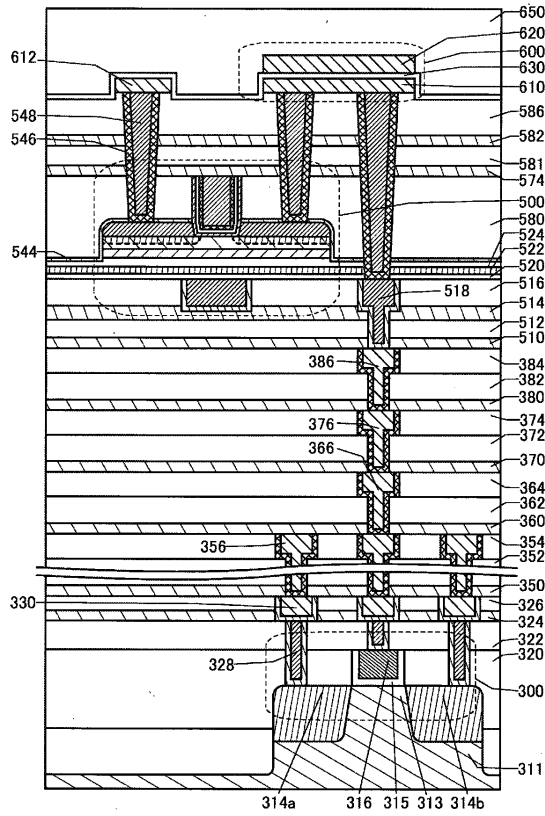
20

30

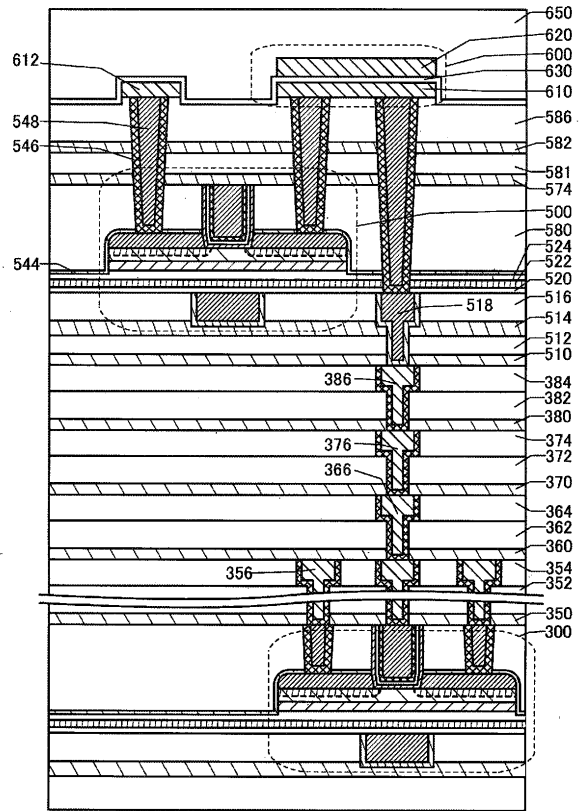
40

50

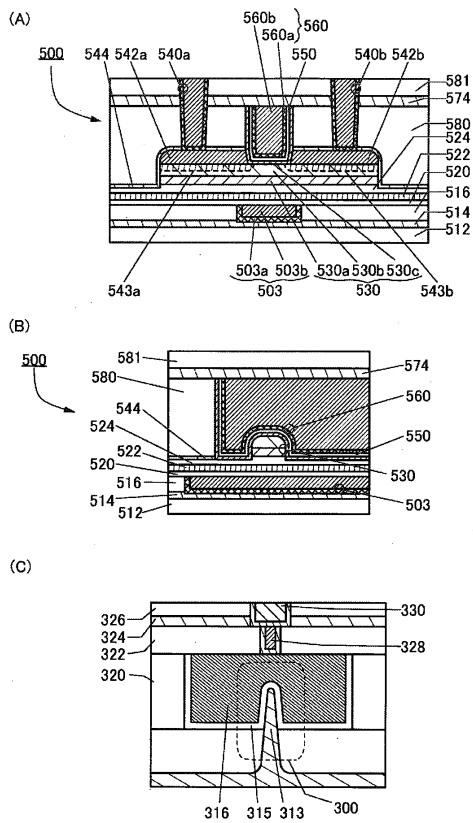
【図 2 3】



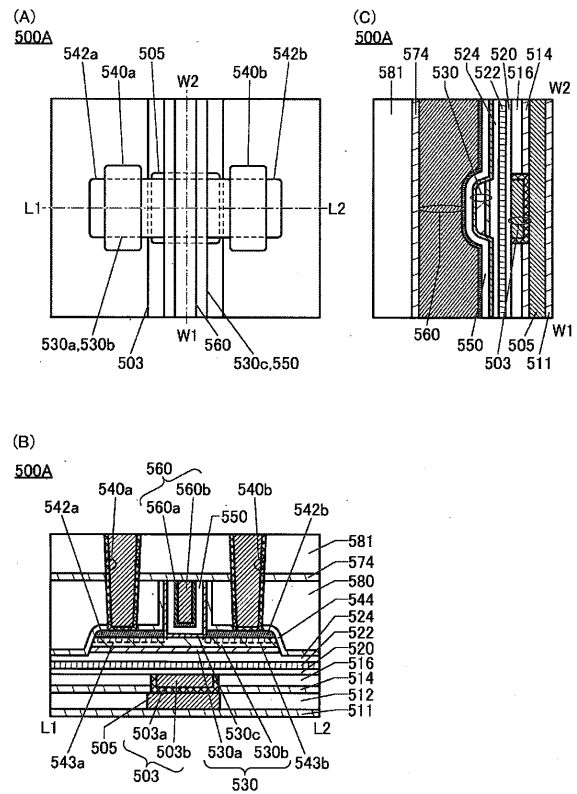
【図 2 4】



【図 2 5】



【図 2 6】



10

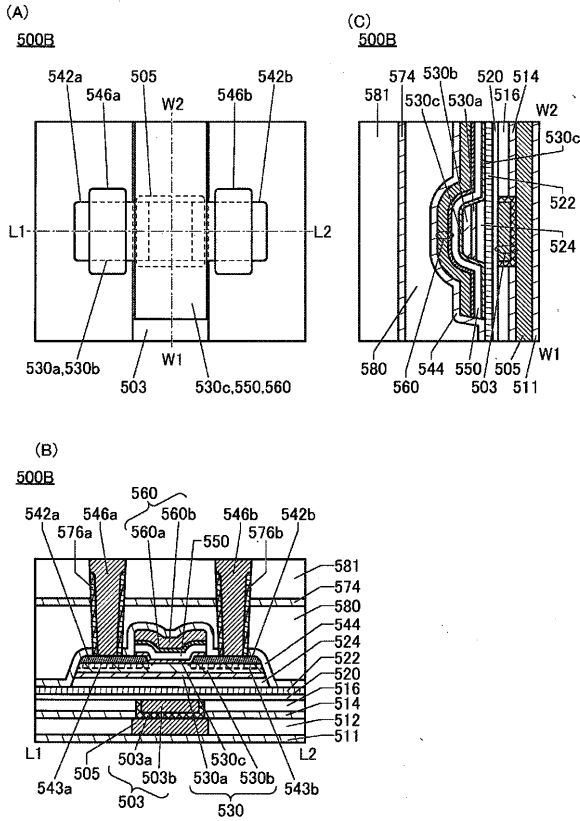
20

30

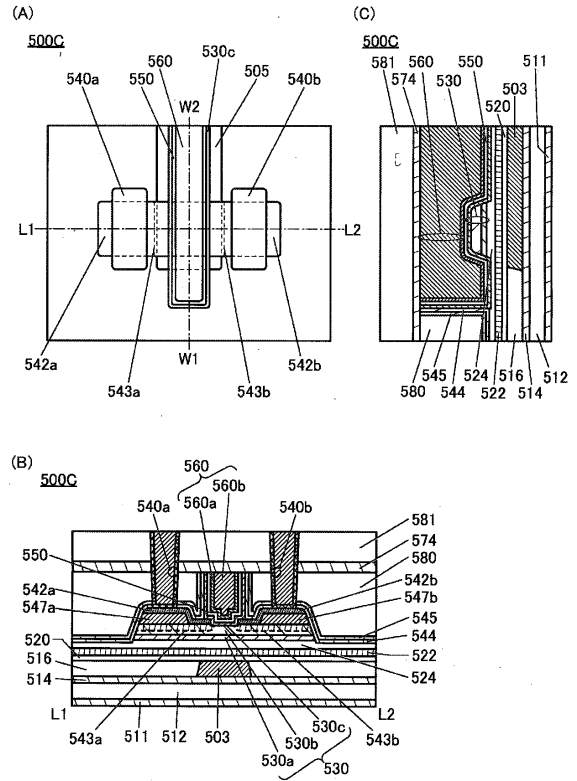
40

50

【図 27】



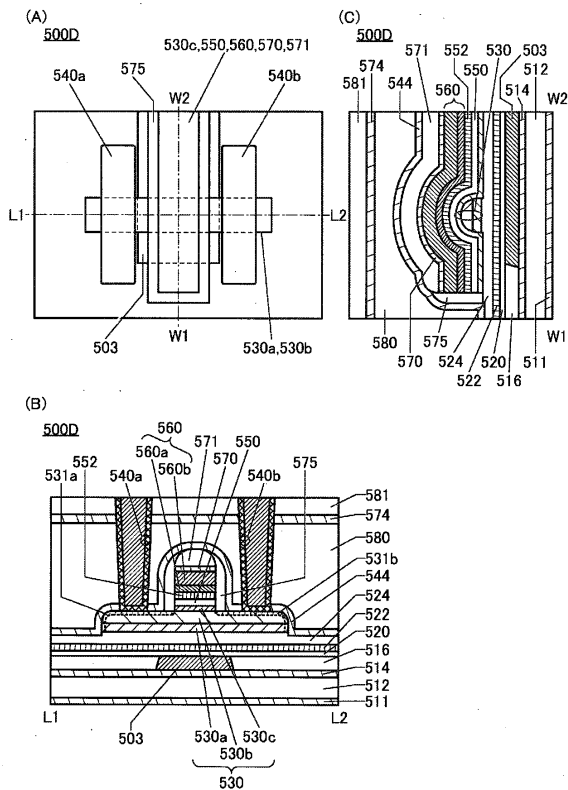
【図 28】



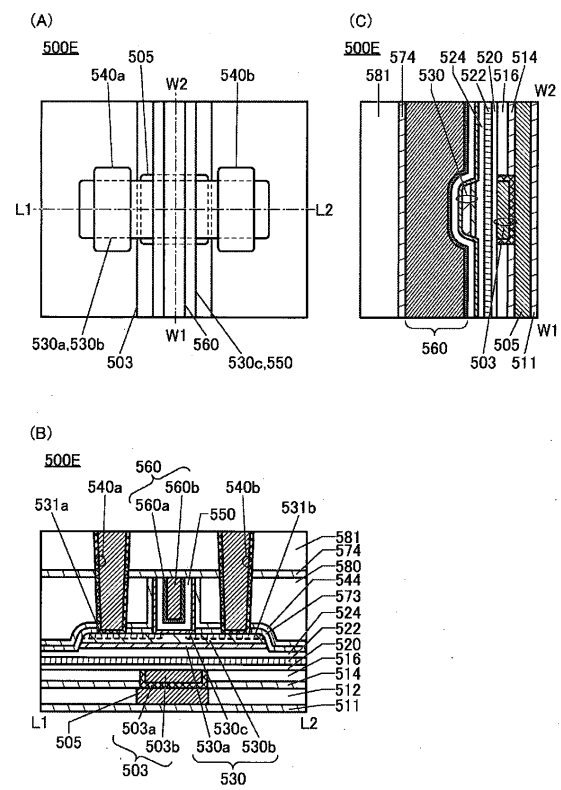
10

20

【図 29】



【図 30】

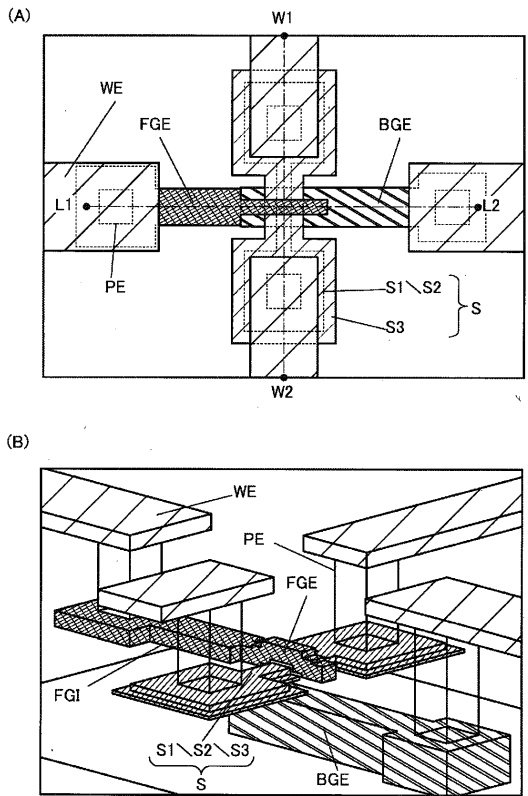


30

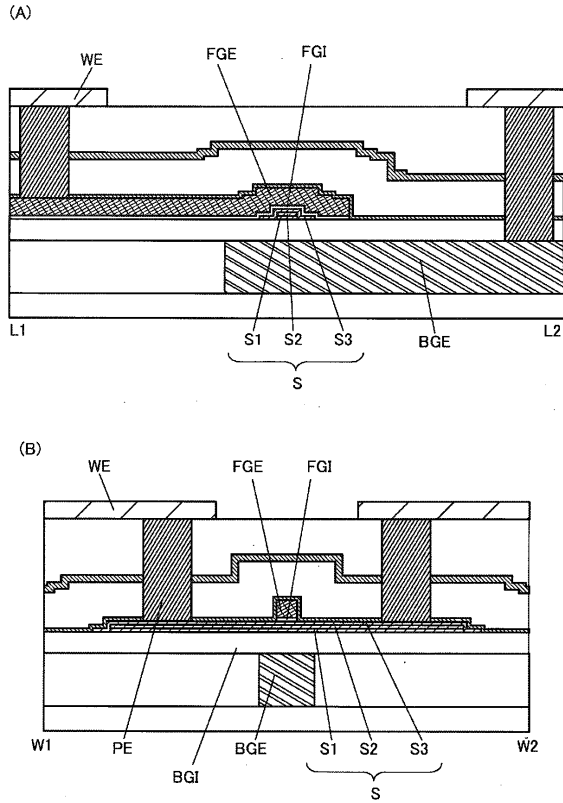
40

50

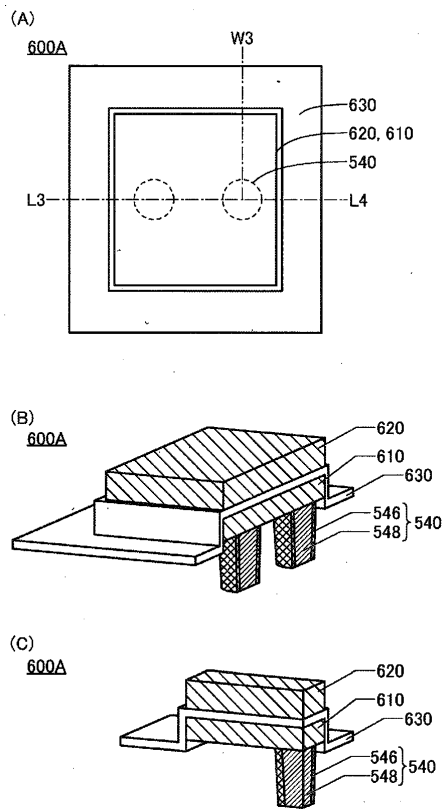
【図 3 1】



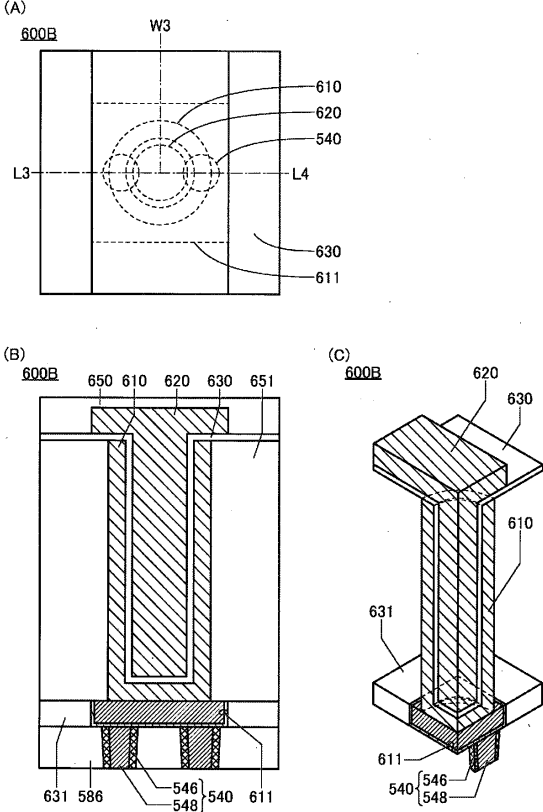
【図 3 2】



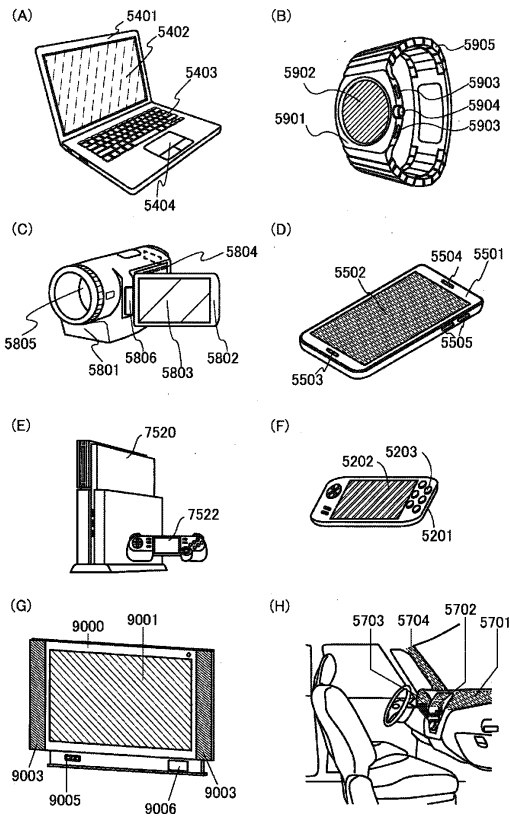
【図 3 3】



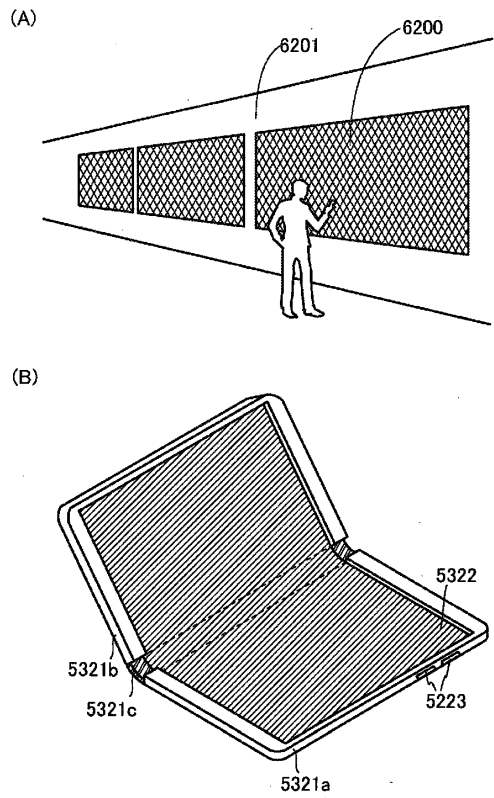
【図 3 4】



【図 3 5】



【図 3 6】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	27/088 (2006.01)	H 0 1 L	27/088	E
H 0 1 L	21/336 (2006.01)	H 0 1 L	27/088	J
H 0 1 L	29/788 (2006.01)	H 0 1 L	27/088	3 3 1 E
H 0 1 L	29/792 (2006.01)	H 0 1 L	29/78	3 7 1
H 1 0 B	12/00 (2023.01)	H 0 1 L	29/78	6 1 7 N
H 1 0 B	41/70 (2023.01)	H 0 1 L	29/78	6 1 8 B
		H 1 0 B	12/00	8 0 1
		H 1 0 B	41/70	

(72)発明者 勝井 秀一

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 岩本 勉

(56)参考文献

特開 2 0 1 8 - 0 2 2 1 4 7 (J P , A)
特開 2 0 1 7 - 1 6 8 0 9 9 (J P , A)
特開 2 0 1 9 - 0 4 6 3 7 5 (J P , A)
特開 2 0 1 9 - 0 4 6 3 7 4 (J P , A)
国際公開第 2 0 1 8 / 1 8 9 6 1 9 (W O , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 8 8
H 1 0 B 1 2 / 0 0
H 1 0 B 4 1 / 7 0
H 0 1 L 2 1 / 3 3 6