



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

242 647

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 12 83
(21) PV 9940-83

(51) Int. Cl.⁴
H 03 K 3/26

(40) Zveřejněno 31 08 85
(45) Vydáno 01 05 88

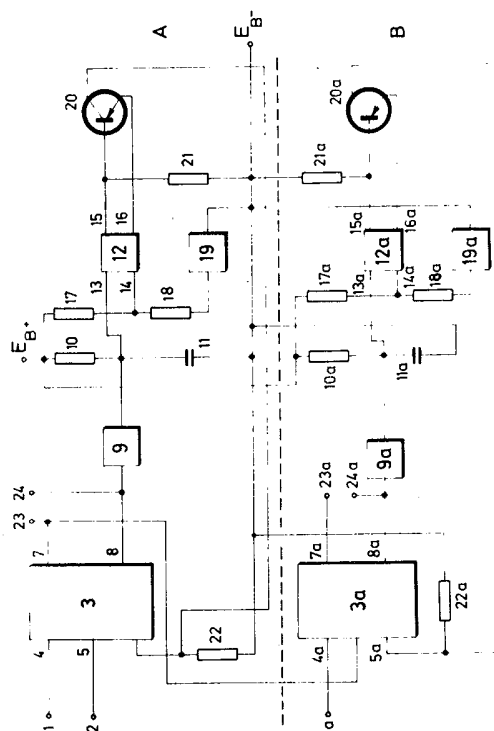
(75)
Autor vynálezu

BARTÁK STANISLAV ing.;
STARÝ JAROSLAV ing., PRAHA;
JEGER DAG ing. CSc., BEROUN;
NEUMAJER VÁCLAV ing.;
TLAMSA JIŘÍ ing.;

ŠTOLBA MILAN ing.;
VACEK OSKAR ing., PRAHA

(54) Časovací obvod logického analyzátoru

Časovací obvod logického analyzátoru řeší problém přesného nastavení doby přivedení paměti do stavu "zápis" a zpoždění tohoto stavu za vzorkovacím impulsem. Podstata řešení spočívá v tom, že řídicí vstup monostabilního multivibrátoru je připojen na jeden řídicí vstup (4) klopného obvodu (3) a hodinový vstup (2) monostabilního multivibrátoru je připojen na hodinový vstup (5) klopného obvodu (3). Výstupem klopného obvodu je řízení vybíjení integračního RC členu, přičemž ukončení nabíjení je zajišťováno komparátorem (12), který prostřednictvím přizpůsobovacího tranzistoru (20) řídí nastavovací vstup klopného obvodu (3). Uvedený obvod může být realizován ve dvojnásobném provedení v případě požadavku nastavit nezávisle dva časové intervaly za jedním hodinovým impulsem. Řešení je možno uplatnit u časovacích obvodů, u nichž nelze použít běžných monostabilních multivibrátorů nebo obvodů ECL. Časovací obvody s dvěma a více monostabilními multivibrátory lze uplatnit především v logických analyzátoch a mimo to v dalších číslicových zařízeních, kde je třeba generovat při vysokém opakovacím kmitočtu impuls definované šíře s definovaným zpožděním za vstupním hodinovým impulsem.



Je známo, že časovací obvody logických analyzátorů jsou složeny ze dvou monostabilních multivibrátorů vzájemně vázaných, přičemž první z nich nastavuje příslušné zpoždění za vzorkovacím impulsem a druhý nastavuje požadovanou dobu převedení záznamové paměti do stavu "zápis" a zároveň se podílí na vytváření hodinových impulsů. Časovací obvod jako důležitá část obvodů logického analyzátoru musí zajistit správný zápis do záznamové paměti, to je správnou délku impulsu pro převedení paměti do stavu "zápis" a potřebnou dobu předstihu a přesahu adresy a dat před tímto impulsem. Vzhledem k tomu, že je nutné, aby logický analyzátor pracoval s co největším vzorkovacím kmitočtem jaký umožňují použité záznamové paměti, přináší to sebou požadavek na přesné nastavení doby přivedení paměti do stavu "zápis" a zpoždění tohoto stavu za vzorkovacím impulsem, který se zároveň používá nejen k zápisu do vstupních registrů, ale také ke spouštění časovacího obvodu.

Nedostatek výše uvedených řešení spočívá v tom, že realizace časovacího obvodu je obzvláště obtížná s logickými obvody s vazbou tranzistor-tranzistor, dále jen TTL, jestliže se pracuje se vzorkovacím kmitočtem v oblasti 10 MHz. V sortimentu těchto důvodů nejsou běžně k dispozici vhodné monostabilní multivibrátory s dostatečně krátkou dobou zpoždění a dobou nastavení impulsu. Zapojení z logických součinnových nebo součtových členů nejsou zpravidla řízena hranou a vyžadují z toho důvodu úpravu hodinového impulsu před vstupem na časovací obvod, což má negativní vliv na chování časovacího obvodu, pro různou délku hodinového impulsu. Možným řešením by bylo realizovat monostabilní multivibrátor z logických obvodů emitorově vázané logiky, dále jen ECL. To však sebou přináší další problém s vazbou na

ostatní obvody analyzátoru, které jsou složeny z logických obvodů řady TTL. Musela by být zařazena řada převodníků ECL-TTL a TTL-ECL, které však mají velkou toleranci ve zpoždění průchodu signálu a tu by bylo nutno do celkového rozpočtu zahrnout, což přináší četné nevýhody při nastavení správných časovacích podmínek.

Výše uvedené nedostatky odstraňuje časovací obvod logického analyzátoru podle vynálezu, tvořený monostabilním multivibrátorem, skládajícím se z diskretních obvodů a definovanou vazbou.

Podstata vynálezu spočívá v tom, že řídicí vstup monostabilního multivibrátoru je připojen na jeden řídicí vstup klopného obvodu a hodinový vstup monostabilního multivibrátoru je připojen na hodinový vstup klopného obvodu, a invertovaný výstup klopného obvodu je připojen na katodu první diody prvního diodového bloku a anoda poslední diody prvního diodového bloku je připojena na společný bod nabíjecího odporu a integračního kondenzátoru. Opačný vývod nabíjecího odporu je připojen na kladný pól zdroje napájecího napětí a opačný vývod integračního kondenzátoru na záporný pól (EB -) zdroje napájecího napětí a společný bod nabíjecího odporu a integračního kondenzátoru je zapojen na neinvertující vstup komparátoru, jehož invertující vstup je připojen na společný bod odporového děliče. Opačný vývod prvního odporu odporového děliče je připojen na kladný pól zdroje napájecího napětí a opačný vývod druhého odporu odporového děliče je připojen na anodu první diody druhého diodového bloku, kde katoda jeho poslední diody je připojena na záporný pól zdroje napájecího napětí, přičemž přímý výstup komparátoru je připojen na společný bod svodového odporu a báze přizpůsobovacího tranzistoru, jehož emitor je připojen na invertovaný výstup komparátoru a kolektor je připojen na nastavovací vstup klopného obvodu, který je současně přes druhý svodový odpor připojen na záporný pól zdroje napájecího napětí, na který je současně připojen opačný vývod prvního svodového odporu.

První přímý výstup monostabilního multivibrátoru je vyveden z přímého výstupu klopného obvodu a invertovaný výstup monostabilního multivibrátoru je vyveden z invertovaného výstupu klopného obvodu.

Časovací obvod logického analyzátoru může být tvořen dvěma monostabilními multivibrátory stejného provedení, propojenými tím, že přímý výstup prvního monostabilního multivibrátoru je připojen na hodinový vstup druhého monostabilního multivibrátoru, přičemž řídicí vstup druhého monostabilního multivibrátoru tvoří současně druhý řídicí vstup časovacího obvodu jako celku a výstupy časovacího obvodu jako celku jsou tvořeny přímým výstupem druhého monostabilního ^{multi}vibrátoru a invertovaným výstupem druhého monostabilního multivibrátoru.

Výhodou výše popsaného zapojení je možnost teplotní kompenzace nebo zajištění teplotního driftu vhodným směrem volbou počtu diod v prvním a druhém diodovém bloku. Popsané zapojení má všechny vstupy a výstupy v úrovni TTL obvodů, ale nastavení časových intervalů je prováděno komparátorem, který má vlastnost ECL obvodů. Tím zapojení spojuje výhody TTL i ECL obvodů a obchází jejich nevýhody.

Časovací obvod logického analyzátoru a jeho funkce bude následovně blíže popsána v příkladovém provedení s pomocí připojených vyobrazení, kde

obr.1 znázorňuje zapojení časovacího obvodu jako celku složeného ze dvou navzájem propojených monostabilních multivibrátorů, a

obr.2 znázorňuje časové průběhy signálů časovacího obvodu jako celku podle obr.1.

Zapojení časovacího obvodu logického analyzátoru podle obr.1, tvořeného monostabilním multivibrátorem A, se skládá z diskrétních obvodů s definovanou vazbou.

Řídicí vstup 1 monostabilního multivibrátoru A je připojen

na řídicí vstup 4, kterým může být D vstup, klopného obvodu typu D nebo K vstup klopného obvodu typu JK, klopného obvodu 3. Hodinový vstup 2 monostabilního multivibrátoru A je připojen na hodinový vstup 5 klopného obvodu 3, který má tu vlastnost, že změna stavu klopného obvodu je odvozena od hrany hodinového impulsu.

Invertovaný výstup 8 klopného obvodu 3 je připojen na katodu první diody prvního diodového bloku 9, oddělující výstup klopného obvodu od integračního kondensátoru v době nabíjení a provádějící napěťové přizpůsobení v době jeho vybíjení. Anoda poslední diody prvního diodového bloku 9 je připojena na společný bod nabíjeného odporu 10 a integračního kondensátoru 11, přičemž opačný vývod integračního kondensátoru 11 je připojen na záporný pól (EB+) zdroje napájecího napětí a opačný vývod nabíjecího odporu 10 je připojen na kladný pól (EB+) zdroje napájecího napětí. Společný bod nabíjecího odporu 11 a integračního kondensátoru 11 je připojen na neinvertující vstup 13 komparátoru 12, jehož invertující vstup 14 je připojen na společný bod odporového děliče 17-18. Opačný vývod prvního odporu 17 odporového děliče 17-18 je připojen na kladný pól (EB+) zdroje napájecího napětí a opačný vývod druhého odporu 18 odporového děliče 17-18 je připojen na anodu první diody druhého diodového bloku 19, který zajišťuje teplotní kompensaci prvního diodového bloku 9. Katoda poslední diody druhého diodového bloku 19 je připojena na záporný pól (EB-) zdroje napájecího napětí. Komparátor tak teplotně nezávisle určuje časový okamžik, kdy napětí na integračním kondensátoru dosáhne prahové úrovně na vstupu komparátoru. Přímý výstup 13 komparátoru 12 je připojen na společný bod prvního svodového odporu 21 a báze přizpůsobovacího tranzistoru 20, jehož emitor je připojen na invertovaný výstup 46 komparátoru 12 a kolektor je připojen na nastavovací vstup 6 klopného obvodu 3, který je současně přes druhý svodový odpor 22 připojen na záporný pól (EB-) zdroje napájecího napětí, na který je současně připo-

jen i opačný vývod prvního svodového odporu 21. První přímý výstup 23 monostabilního multivibrátoru A je vyveden z přímého výstupu 7 klopného obvodu 3 a druhý invertovaný výstup 24 monostabilního multivibrátoru A je vyveden z invertovaného výstupu 8 klopného obvodu 3.

Při použití časovacího obvodu, tvořeného dvěma monostabilními multivibrátory A a B stejného provedení, je provedeno spojení tím, že nezatížený přímý výstup 23 prvního monostabilního multivibrátoru A je připojen na hodinový vstup 2a druhého monostabilního multivibrátoru B, přičemž řídicí vstup 1a druhého monostabilního multivibrátoru B tvoří současně druhý řídicí vstup časovacího obvodu jako celku a výstupy časovacího obvodu jako celku jsou tvořeny přímým výstupem 23a druhého monostabilního multivibrátoru B a invertovaným výstupem 24a druhého monostabilního multivibrátoru B.

Při funkci časovacího obvodu logického analyzátoru s jedním monostabilním obvodem A, je u klopného obvodu 3 v klidu na invertovaném výstupu 8 stav 0 a na neinvertovaném výstupu 7 stav 1. Z tohoto předpokladu je první diodový blok 9 ve vodivém stavu a komparátor 12 má na invertujícím vstupu 14 kladnější napětí než na vstupu 13 neinvertujícím. To znamená, že invertovaný výstup 14 má kladnější napětí než přímý výstup 15 komparátoru 12 a přizpůsobovací transistor 20 je ve vodivém stavu, který je určován napětím na výstupech 15, 16 komparátoru 12 a protékajícím proudem prvním svodovým odporem 21. Průtok proudu druhým svodovým odporem 22 vyvolá na nastavovacím vstupu 6 klopného obvodu 3 neaktivní stav, v daném případě stav 1. Po příchodu hodinového impulsu na hodinový vstup 2 monostabilního multivibrátoru A, který je připojen na hodinový vstup 5 klopného obvodu 3 za předpokladu, že řídicí vstup 4 klopného obvodu 3 připojený na řídicí vstup 1 časovacího obvodu je v aktivním stavu, přejde invertovaný výstup 8 klopného obvodu 3 do stavu 1 a přímý výstup 7 klopného obvodu 3 do stavu 0. To má za následek uzavření prvního diodového bloku 9 a tím, proud protékající nabíjecím odporem 10 začne nabíjet integrační kondenzátor 11, na kterém začne stoupat napětí. Po dosažení prahové

úrovně napětí, to znamená že napětí na neinvertujícím vstupu 13 komparátoru 12 bude o charakteristickou hodnotu použitého komparátoru 12 vyšší než napětí na neinvertujícím vstupu 14 komparátoru 12, bude mít přímý výstup 15 komparátoru 12 kladnější napětí než invertovaný výstup 16 komparátoru 12. Přízpůsobovací transistor 20 se uzavře a nastavovací vstup 7 klopného obvodu 3 je přes druhý svodový odpor 22 připojen na záporný pól EB- zdroje napájecího napětí, a tím na něm vybudí stav 0 a klopný obvod 3 přejde znovu do svého klidového stavu. Hodnota prahové úrovně napětí je určena odporovým děličem 17-18 a napětím na druhém diodovém bloku 19. Vybuzení klidového stavu klopného obvodu 3 znamená, že integrační kondenzátor 11 se přes první diodový blok 9 vybiže, komparátor 12 změní napětí na svých výstupech 15 a 16 a přízpůsobovací transistor 20 se znovu otevře a přivede tak na nastavovací vstup 6 klopného obvodu 3 stav 1. Tím je časovací obvod připraven přijmout další hodinový impuls, v daném případě představovaný vzorkovacím impulsem a znázorněným na obr.2.

Přímý výstup 7 klopného obvodu 3, který je současně přímým výstupem 23 prvního monostabilního multivibrátoru A a průběhem b znázorněným na obr.2, může být propojen s hodinovým vstupem 2a dalšího monostabilního multivibrátoru B shodného zapojení a funkce jako předešle popsany. Zbývající část druhého monostabilního multivibrátoru B pracuje analogicky jako u prvního monostabilního multivibrátoru A. Takto vytvořený časovací obvod generuje impuls definované šíře v definovaném časovém intervalu za hodinovým impulsem přivedeným na vstup časovacího obvodu, o průběhu c znázorněném na obr.2.

Časovací obvod logického analyzátoru s jedním multivibrátorem je možno uplatnit ve všech obvodových uspořádáních, kde jsou vyžadovány krátké impulsy a běžně dostupné monostabilní multivibrátory v integrovaném provedení nemají pro tyto aplikace požadované vlastnosti. Časovací obvody s dvěma a více monostabilními multivibrátory lze uplatnit především v logických analyzátorech a mimoto v dalších číslicových zařízeních,

kde je zapotřebí generovat při vysokém opakovacím kmitočtu impuls definované šíře s definovaným zpožděním za vstupním hodinovým impulsem.

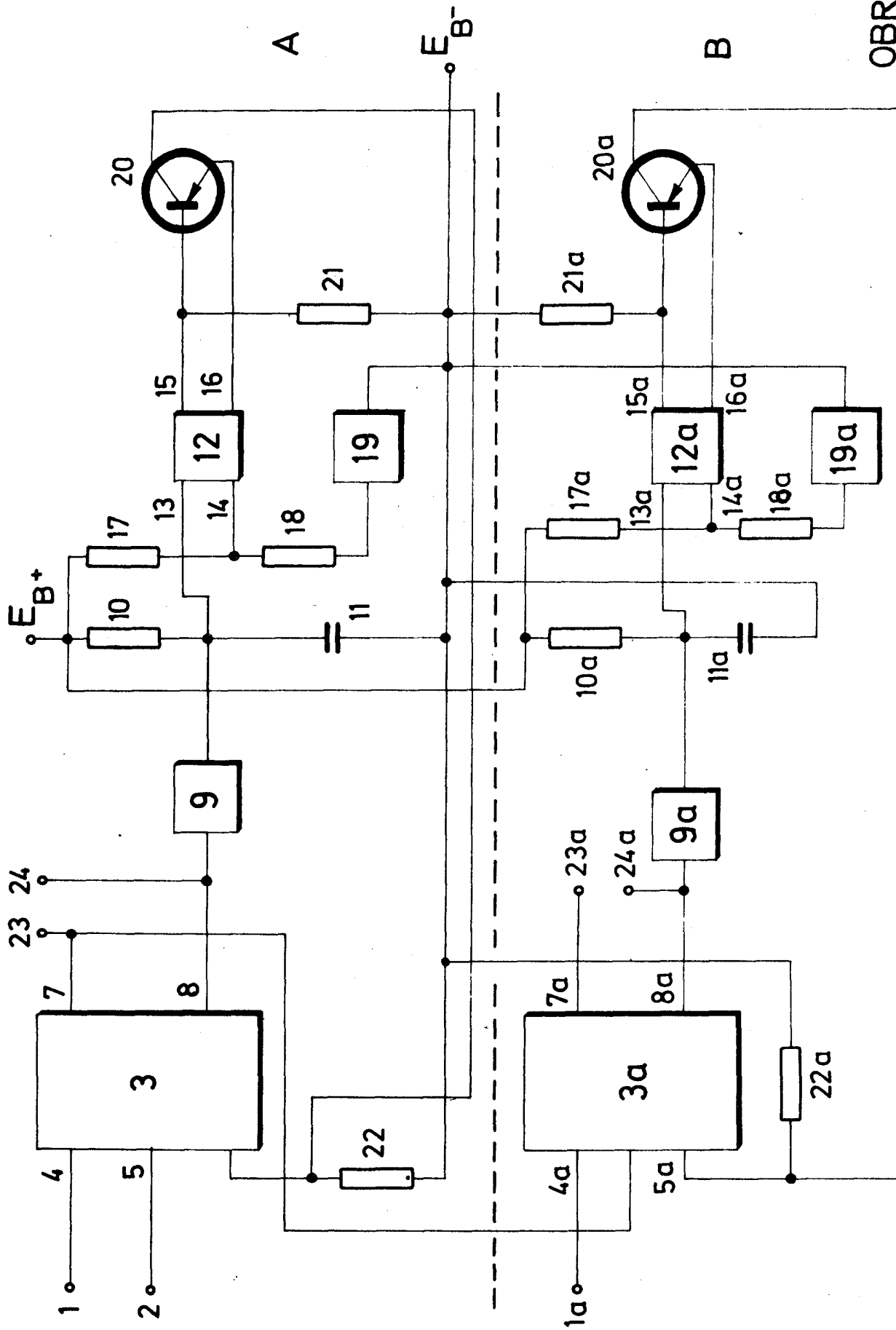
PŘEDMĚT VYNÁLEZU

1. Časovací obvod logického analyzátoru, tvořený monostabilním multivibrátorem, skládajícím se z diskrétních obvodů s definovanou vazbou, vyznačený tím, že řídicí vstup 1 monostabilního multivibrátoru je připojen na jeden řídicí vstup 4 klopného obvodu 3 a hodinový vstup 2 monostabilního multivibrátoru je připojen na hodinový vstup 5 klopného obvodu 3 a invertovaný výstup 8 klopného obvodu 3 je připojen na katodu první diody prvního diodového bloku 9 a anoda poslední diody prvního diodového bloku 9 je připojena na společný bod nabíjecího odporu 10 a integračního kondensátoru 11, přičemž opačný vývod nabíjecího odporu 10 je připojen na kladný pól (EB+) zdroje napájecího napětí a opačný vývod integračního kondensátoru 11 je připojen na záporný pól (EB-) zdroje napájecího napětí a společný bod nabíjecího odporu 10 a integračního kondenzátoru 11 je připojen na neinvertující vstup 13 komparátoru 12, jehož invertující vstup 14 je připojen na společný bod odporového děliče 17-18, přičemž opačný vývod prvního odporu 17 odporového děliče 17-18 je připojen na kladný pól (EB+) zdroj napájecího napětí a opačný vývod druhého odporu 18 odporového děliče 17-18 je připojen na anodu první diody druhého diodového bloku 19, kde katoda jeho poslední diody je připojena na záporný pól (EB-) zdroje napájecího napětí, přičemž přímý výstup 13 komparátoru 12 je připojen na společný bod svodového odporu 31 a báze přizpůsobovacího tranzistoru 20, jehož emitor je připojen na invertovaný výstup 16 komparátoru 12 a kolektor je připojen na nastavovací vstup 6 klopného obvodu 3, který je současně přes svodový odpor 22 připojen na záporný pól (EB-) zdroje napájecího napětí, na který je současně připojen opačný vývod

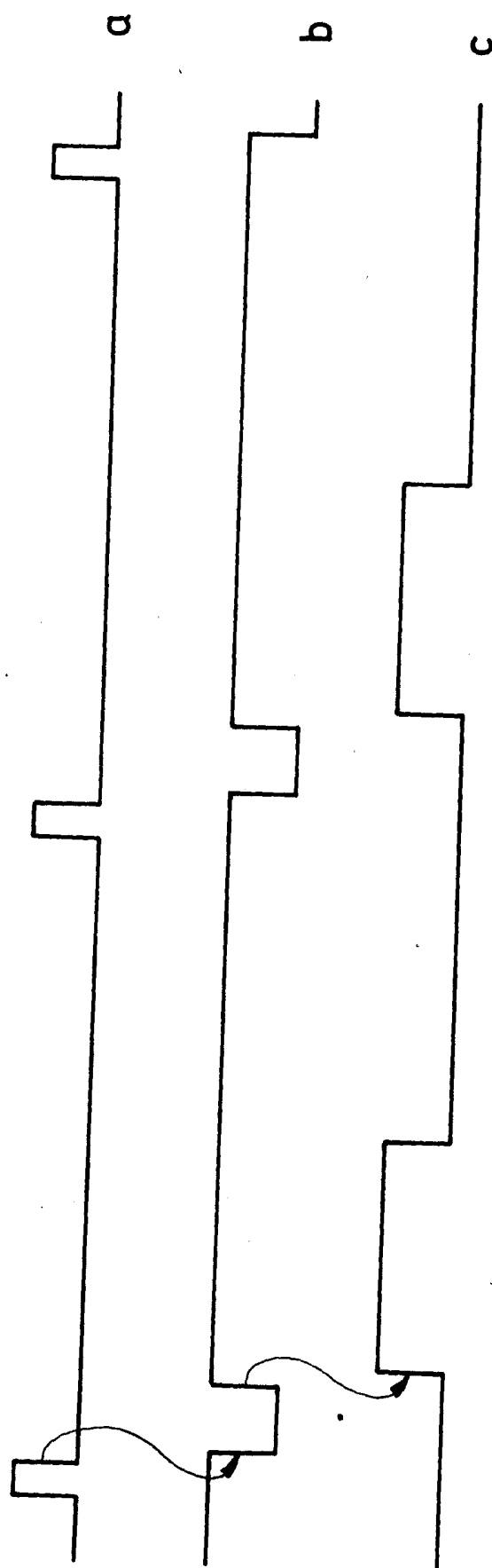
prvního svodového odporu 21, přičemž první přímý výstup 23 monostabilního multivibrátoru je vyveden z přímého výstupu 7 klopného obvodu 3 a druhý invertovaný výstup 24 monostabilního multivibrátoru je vyveden z ~~invertovaného~~ výstupu 8 klopného obvodu 3.

2. Časovací obvod logického analyzátoru podle bodu 1, vyznačený tím, že je tvořen dvěma monostabilními multivibrátory stejného provedení propojenými tím, že přímý výstup 23 prvního monostabilního multivibrátoru je připojen na hodinový vstup 2a druhého monostabilního multivibrátoru, přičemž řídicí vstup 1a druhého monostabilního multivibrátoru tvoří současně druhý řídicí vstup časovacího obvodu jako celku a výstupy časovacího obvodu jako celku jsou tvořeny přímým výstupem 23a druhého monostabilního multivibrátoru a invertovaným výstupem 24a druhého monostabilního multivibrátoru.

2 výkresy



OBR.1



OBR. 2