

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-6433
(P2007-6433A)

(43) 公開日 平成19年1月11日(2007.1.11)

(51) Int. Cl. F I テーマコード (参考)
H03G 11/02 (2006.01) H03G 11/02 Z 5J030
H03G 11/04 (2006.01) H03G 11/04

審査請求 未請求 請求項の数 13 O L (全 15 頁)

(21) 出願番号	特願2005-253804 (P2005-253804)	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成17年9月1日(2005.9.1)	(74) 代理人	100066474 弁理士 田澤 博昭
(31) 優先権主張番号	特願2005-151235 (P2005-151235)	(74) 代理人	100088605 弁理士 加藤 公延
(32) 優先日	平成17年5月24日(2005.5.24)	(74) 代理人	100123434 弁理士 田澤 英昭
(33) 優先権主張国	日本国(JP)	(74) 代理人	100101133 弁理士 濱田 初音
		(72) 発明者	半谷 政毅 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 リミッタ回路

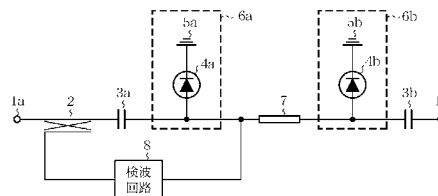
(57) 【要約】

【課題】 部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現するリミッタ回路を得る。

【解決手段】 入力端子1 aからの高周波信号を分岐する結合回路2と、入力側キャパシタ3 aと出力側キャパシタ3 bとの間に高周波信号線路7を挟んで並列接続された複数のPINダイオード回路6 a, 6 bと、結合回路2の分岐側から入力される高周波信号の信号レベルに応じた直流バイアスを入力側キャパシタ3 aと出力側キャパシタ3 bとの間に供給する検波回路8とを備えたものである。

一組の結合回路2および検波回路8によって複数のPINダイオード回路6 a, 6 bに直流バイアスを供給するので、部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力端子からの高周波信号を分岐する結合回路と、

P I N ダイオードの一端が上記結合回路の通過側と出力端子との間に並列接続されると共に他端がグラウンドに接続された複数の P I N ダイオード回路と、

上記入力端子と上記複数の P I N ダイオード回路のうちの最も上記結合回路の通過側に接続された P I N ダイオード回路との間のいずれかの個所に直列接続された入力側キャパシタと、

上記複数の P I N ダイオード回路のうちの最も上記出力端子側に接続された P I N ダイオード回路とその出力端子との間に直列接続された出力側キャパシタと、

上記結合回路の分岐側から入力される高周波信号の信号レベルに応じた直流バイアスを上記入力側キャパシタと上記出力側キャパシタとの間に供給する検波回路とを備えたリミッタ回路。

10

【請求項 2】

入力端子からの高周波信号を分岐する結合回路と、

P I N ダイオードの一端が上記結合回路の通過側と出力端子との間に並列接続されると共に他端がグラウンドに接続された少なくとも 1 つ以上の P I N ダイオード回路と、

上記少なくとも 1 つ以上の P I N ダイオード回路のうちの最も上記出力端子側に接続された P I N ダイオード回路とその出力端子との間に接続された高周波信号線路と、

上記入力端子と上記少なくとも 1 つ以上の P I N ダイオード回路のうちの最も上記結合回路の通過側に接続された P I N ダイオード回路との間のいずれかの個所に直列接続された入力側キャパシタと、

上記高周波信号線路と上記出力端子との間に直列接続された出力側キャパシタと、

上記結合回路の分岐側から入力される高周波信号の信号レベルに応じた直流バイアスを上記高周波信号線路と上記出力側キャパシタとの間に供給する検波回路とを備えたリミッタ回路。

20

【請求項 3】

隣り合う P I N ダイオード回路間に高周波信号線路を備えたことを特徴とする請求項 1 または請求項 2 記載のリミッタ回路。

【請求項 4】

高周波信号線路の線路長を、使用周波数における 4 分の 1 波長としたことを特徴とする請求項 2 または請求項 3 記載のリミッタ回路。

30

【請求項 5】

1 つの P I N ダイオード回路を、複数の P I N ダイオードの並列接続からなるようにしたことを特徴とする請求項 1 から請求項 4 のうちのいずれか 1 項記載のリミッタ回路。

【請求項 6】

P I N ダイオード回路は、

P I N ダイオードのアノードが結合回路の通過側と出力端子との間に接続されると共にカソードがグラウンドに接続され、

検波回路は、

上記結合回路の分岐側から入力される高周波信号の信号レベルに応じた正の直流バイアスを供給するようにしたことを特徴とする請求項 1 から請求項 5 のうちのいずれか 1 項記載のリミッタ回路。

40

【請求項 7】

P I N ダイオード回路は、

P I N ダイオードのカソードが結合回路の通過側と出力端子との間に接続されると共にアノードがグラウンドに接続され、

検波回路は、

上記結合回路の分岐側から入力される高周波信号の信号レベルに応じた負の直流バイアスを供給するようにしたことを特徴とする請求項 1 から請求項 5 のうちのいずれか 1 項記

50

載のリミッタ回路。

【請求項 8】

高周波信号線路は、

複数の高周波信号線路に分割されると共に、それら複数の高周波信号線路は直列に接続され、

検波回路は、

上記結合回路の分岐側から入力される高周波信号の信号レベルに応じた直流バイアスをそれら複数の高周波信号線路の接続点のうちのいずれかの接続点に接続するようにしたことを特徴とする請求項 2 から請求項 4 のうちのいずれか 1 項記載のリミッタ回路。

【請求項 9】

結合回路の分岐側と検波回路との間に接続され、その結合回路の高周波結合特性を補償する補償回路を備えたことを特徴とする請求項 1 から請求項 8 のうちのいずれか 1 項記載のリミッタ回路。

10

【請求項 10】

結合回路は、

使用周波数における 4 分の 1 波長よりも短い結合線路を有し、

補償回路は、

使用周波数帯で高周波信号の通過レベルが周波数が高くなるにつれて減少する特性を有することを特徴とする請求項 9 記載のリミッタ回路。

【請求項 11】

20

補償回路は、

使用周波数帯における所望周波数よりも低い周波数で整合を取ることを特徴とする請求項 10 記載のリミッタ回路。

【請求項 12】

請求項 1 から請求項 11 に記載のリミッタ回路のうちの同一または異なる複数のリミッタ回路を直列接続したことを特徴とするリミッタ回路。

【請求項 13】

入力端子からの高周波信号を分岐する第 1 のハイブリッド回路と、

上記第 1 のハイブリッド回路の通過側に入力側が接続された請求項 1 から請求項 11 のうちのいずれか 1 項記載の第 1 のリミッタ回路と、

30

上記第 1 のハイブリッド回路の分岐側に入力側が接続され、上記第 1 のリミッタ回路と共に並列に接続された請求項 1 から請求項 11 のうちのいずれか 1 項記載の第 2 のリミッタ回路と、

上記第 1 のハイブリッド回路に接続された第 1 の終端抵抗と、

上記第 1 のリミッタ回路の出力側に結合側が接続されると共に上記第 2 のリミッタ回路の出力側に通過側が接続され、それら第 1 および第 2 のリミッタ回路の出力を結合すると共に出力端子から出力する第 2 のハイブリッド回路と、

上記第 2 のハイブリッド回路に接続された第 2 の終端抵抗とを備えたリミッタ回路。

【発明の詳細な説明】

【技術分野】

40

【0001】

この発明は、不要な高周波を低減するリミッタ回路に関するものである。

【背景技術】

【0002】

従来のリミッタ回路としては、リミッタ要素回路として、2つのDCカットコンデンサと、それら2つのDCカットコンデンサ間に並列に接続された1つのPINダイオードと、入力側に接続された結合回路と、その結合回路に接続され、整流ダイオードおよび高周波阻止インダクタからなり、PINダイオードの出力側にバイアスを供給する検波回路とを備え、2つのリミッタ要素回路を直列に接続すると共に、2つのリミッタ要素回路の信号制限レベルが1段目から2段目に向けて順次低くなるように構成することにより、少な

50

い段数と調整で広いレンジの信号レベル制限特性が適正に得られるようにしたものがある（例えば、特許文献 1 参照）。

【 0 0 0 3 】

【特許文献 1】特開 2 0 0 4 - 4 0 1 7 3 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

従来のリミッタ回路は以上のように構成されているので、1つのリミッタ要素回路を構成単位として、一組の結合回路および検波回路によって1つのPINダイオードにしかバイアスを供給していないので、低リーケージ化（高遮断性能化）するために複数のPINダイオードを設ける場合には、それらPINダイオードの数に応じた組数の結合回路および検波回路、すなわち、複数のリミッタ要素回路を設けなくてはならず、部品点数が多くなり、小型化、低価格化および低損失化の妨げになる課題があった。

10

また、検波回路からのバイアスを、PINダイオードの出力側に直接に供給するようにしたので、PINダイオードを通過した高い信号レベルの高周波信号が迂回して検波回路に印加され、検波回路の耐電力性を高めるために新たに保護回路等を設ける必要が生じ、その結果、部品点数が多くなり、小型化、低価格化、低リーケージ化および低損失化の妨げになるなどの課題があった。

【 0 0 0 5 】

この発明は上記のような課題を解決するためになされたもので、部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現するリミッタ回路を得ることを目的とする。

20

【課題を解決するための手段】

【 0 0 0 6 】

この発明に係るリミッタ回路は、入力端子からの高周波信号を分岐する結合回路と、PINダイオードの一端が結合回路の通過側と出力端子との間に並列接続されると共に他端がグラウンドに接続された複数のPINダイオード回路と、入力端子と複数のPINダイオード回路のうちの最も結合回路の通過側に接続されたPINダイオード回路との間のいずれかの個所に直列接続された入力側キャパシタと、複数のPINダイオード回路のうちの最も出力端子側に接続されたPINダイオード回路と出力端子との間に直列接続された出力側キャパシタと、結合回路の分岐側から入力される高周波信号の信号レベルに応じた直流バイアスを入力側キャパシタと出力側キャパシタとの間に供給する検波回路とを備えたものである。

30

【発明の効果】

【 0 0 0 7 】

この発明によれば、一組の結合回路および検波回路によって複数のPINダイオード回路に直流バイアスを供給するように構成したので、部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現するリミッタ回路が得られる効果がある。

【発明を実施するための最良の形態】

【 0 0 0 8 】

実施の形態 1 .

図 1 はこの発明の実施の形態 1 によるリミッタ回路を示す回路図であり、図において、結合回路 2 は、入力端子 1 a に接続され、入力端子 1 a からの高周波信号を分岐するものである。入力側キャパシタ 3 a は、結合回路 2 の通過端子に一端が直列接続され、高周波信号における直流成分を阻止するものである。PINダイオード回路 6 a は、PINダイオード 4 a のアノードが入力側キャパシタ 3 a の他端に並列接続されると共にカソードがグラウンド 5 a に接続されたものである。高周波信号線路 7 は、線路長が使用周波数における $1/4$ （ $\lambda/4$ ：波長）に設定され、一端が入力側キャパシタ 3 a の他端に直列接続されたものである。PINダイオード回路 6 b は、PINダイオード 4 b のアノードが高周波信号線路 7 の他端に並列接続されると共にカソードがグラウンド 5 b に接続されたものであ

40

50

る。出力側キャパシタ 3 b は、一端が高周波信号線路 7 の他端に直列接続されると共に他端が出力端子 1 b に直列接続され、高周波信号における直流成分を阻止するものである。検波回路 8 は、結合回路 2 の結合端子に接続されると共に入力側キャパシタ 3 a と高周波信号線路 7 との間に接続され、結合回路 2 から入力される高周波信号の信号レベルに応じた正の直流バイアスをそれら入力側キャパシタ 3 a と高周波信号線路 7 との間に供給するものである。

【0009】

次に動作について説明する。

入力端子 1 a から入力される高周波信号は、結合回路 2 によって分岐されると共に、結合回路 2 を通過した高周波信号は、入力側キャパシタ 3 a により直流成分が阻止され、高周波信号線路 7 および出力側キャパシタ 3 b を通じて出力端子 1 b から出力される。この時、検波回路 8 は、結合回路 2 によって分岐された高周波信号の信号レベルに応じた正の直流バイアスを入力側キャパシタ 3 a と高周波信号線路 7 との間に供給する。

10

【0010】

入力端子 1 a から入力される高周波信号の信号レベルが十分低い場合は、検波回路 8 から正の直流バイアスが供給されること無く、PINダイオード 4 a , 4 b を等価的にオープンと見なすことができるため、PINダイオード回路 6 a , 6 b を等価的にスルーと見なすことができ、入力端子 1 a から入力される高周波信号の大部分は出力端子 1 b に出力される。

【0011】

入力端子 1 a から入力される高周波信号の信号レベルが十分高い場合は、入力端子 1 a から入力される高周波信号の一部が結合回路 2 を介して検波回路 8 に入力され、検波回路 8 において入力された高周波信号は正の直流バイアスに変換される。その結果、その直流バイアスによって PINダイオード 4 a , 4 b にバイアス電流が流れ、PINダイオード 4 a , 4 b を等価的にショートと見なすことができるため、PINダイオード回路 6 a , 6 b を等価的にショートと見なすことができ、入力端子 1 a から入力される高周波信号の大部分は PINダイオード回路 6 a , 6 b のグランド 5 a , 5 b で反射され、出力端子 1 b から出力されることなく入力端子 1 a に戻される。

20

このようにして、不要な高周波を低減するリミッタ回路としての機能を満たすと共に、一組の結合回路 2 および検波回路 8 によって 2 つの PINダイオード回路 6 a , 6 b に直流バイアスを供給することができる。

30

【0012】

図 2 はこの発明の実施の形態 1 による他のリミッタ回路を示す回路図であり、図において、高周波信号線路 7 b は、線路長が使用周波数における $1/4$ に設定され、一端が高周波信号線路 7 a の他端に直列接続されたものである。PINダイオード回路 6 c は、PINダイオード 4 c のアノードが高周波信号線路 7 b の他端に並列接続されると共にカソードがグランド 5 c に接続されたものである。その他の構成については図 1 と同様である。

このように、図 1 では一組の結合回路 2 および検波回路 8 によって 2 つの PINダイオード回路 6 a , 6 b に直流バイアスを供給するようにしたが、一組の結合回路 2 および検波回路 8 によって 3 つの PINダイオード回路 6 a ~ 6 c 、さらには 4 つ以上の PINダイオード回路に直流バイアスを供給するようにしても良く、さらに、部品点数を削減でき、小型化、低価格化、低リーケージ化（高遮断性能化）および低損失化を実現することができる。

40

なお、この実施の形態 1 では、検波回路 8 から直流バイアスを入力側キャパシタ 3 a と高周波信号線路 7 との間に供給するようにしたが、入力側キャパシタ 3 a と出力側キャパシタ 3 b との間であればいずれの個所であっても良い。

【0013】

この実施の形態 1 によれば、一組の結合回路 2 および検波回路 8 によって複数の PINダイオード回路 6 a , 6 b に直流バイアスを供給するようにしたので、部品点数を削減で

50

き、小型化、低価格化、低リーケージ化および低損失化を実現することができる。

また、隣り合うPINダイオード回路6a, 6b間に高周波信号線路7を備えたので、高周波信号線路7の作用により、さらに、低リーケージ化を実現することができ、さらに、高周波信号線路7の線路長を使用周波数における1/4に設定したことにより、1/4の高周波信号線路7の作用により、さらに、低リーケージ化を実現することができる。

【0014】

実施の形態2.

図3はこの発明の実施の形態2によるリミッタ回路を示す回路図であり、図において、検波回路8は、結合回路2の結合端子に接続されると共に高周波信号線路7と出力側キャパシタ3bとの間に接続され、結合回路2から入力される高周波信号の信号レベルに応じた正の直流バイアスをそれら高周波信号線路7と出力側キャパシタ3bとの間に供給するものである。その他の構成については図1と同様である。

10

【0015】

次に動作について説明する。

入力端子1aから入力される高周波信号の信号レベルが十分低い場合は、検波回路8から正の直流バイアスが供給されること無く、PINダイオード4を等価的にオープンと見なすことができるため、PINダイオード回路6を等価的にスルーと見なすことができ、入力端子1aから入力される高周波信号の大部分は出力端子1bに出力される。

【0016】

入力端子1aから入力される高周波信号の信号レベルが十分高い場合は、入力端子1aから入力される高周波信号の一部が結合回路2を介して検波回路8に入力され、検波回路8において入力された高周波信号は正の直流バイアスに変換される。その結果、その直流バイアスによってPINダイオード4にバイアス電流が流れ、PINダイオード4を等価的にショートと見なすことができるため、PINダイオード回路6を等価的にショートと見なすことができ、入力端子1aから入力される高周波信号の大部分はPINダイオード回路6のグランド5で反射され、出力端子1bから出力されることなく入力端子1aに戻される。

20

このようにして、不要な高周波を低減するリミッタ回路としての機能を満たすことができる。

30

【0017】

また、図3に示した構成では、検波回路8からの直流バイアスを高周波信号線路7と出力側キャパシタ3bとの間に供給するようにしている。入力端子1aに信号レベルの高い高周波信号が入力された時、その高周波信号は、PINダイオード回路6で減衰され、さらに、高周波信号線路7で減衰された後に迂回して検波回路8に印加される。したがって、この高周波信号線路7によって、検波回路8に迂回して印加される高周波信号の信号レベルを低く抑えることができ、検波回路8の耐電力性を高めるために新たに保護回路等を設けることなく、その結果、部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現することができる。

【0018】

図4はこの発明の実施の形態2による他のリミッタ回路を示す回路図であり、図において、検波回路8は、結合回路2の結合端子に接続されると共に高周波信号線路7bと出力側キャパシタ3bとの間に接続され、結合回路2から入力される高周波信号の信号レベルに応じた正の直流バイアスをそれら高周波信号線路7bと出力側キャパシタ3bとの間に供給するものである。その他の構成についてはPINダイオード回路6cを除いた以外は図2と同様である。

40

このように、図3では一組の結合回路2および検波回路8によって1つのPINダイオード回路6に直流バイアスを供給するようにしたが、一組の結合回路2および検波回路8によって2つのPINダイオード回路6a, 6b、さらには3つ以上のPINダイオード回路に直流バイアスを供給するようにしても良く、この場合、検波回路8に迂回して印加

50

される高周波信号の信号レベルをさらに低く抑えることができることから、さらに、部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現することができる。

【0019】

この実施の形態2によれば、検波回路8からの直流バイアスを高周波信号線路7と出力側キャパシタ3bとの間に供給するようにしたので、検波回路8に迂回して印加される高周波信号の信号レベルを低く抑えることができ、検波回路8の耐電力性を高めるために新たに保護回路等を設けることなく、その結果、部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現することができる。

また、隣り合うPINダイオード回路6a, 6b間に高周波信号線路7aを備えたので、高周波信号線路7aの作用により、さらに、低リーケージ化を実現することができる、さらに、高周波信号線路7aの線路長を使用周波数における1/4に設定したことにより、1/4の高周波信号線路7aの作用により、さらに、低リーケージ化を実現することができる。

10

【0020】

実施の形態3.

図5はこの発明の実施の形態3によるリミッタ回路を示す回路図であり、図において、PINダイオード回路6aは、アノード同士が入力側キャパシタ3aの他端に並列接続されると共にカソード同士がグランド5aに接続された2つのPINダイオード4a, 4cの並列接続からなるようにしたものである。その他の構成については図1と同様である。

20

【0021】

この実施の形態3によれば、1つのPINダイオード回路6aを、2つのPINダイオード4a, 4cの並列接続からなるようにしたので、2つのPINダイオード4a, 4cの作用により、さらに、低リーケージ化を実現することができる。

なお、PINダイオード回路6aを構成する回路は、3つ以上のPINダイオードの並列接続からなるようにしても良く、さらに、PINダイオード回路6aを構成する回路についても、複数のPINダイオードの並列接続からなるようにしても良く、さらに、低リーケージ化を実現することができる。

また、図5では上記実施の形態1に示した構成に、複数のPINダイオードの並列接続からなる回路を適用したのについて示したが、上記実施の形態2に示した構成に適用しても良く、両実施の形態の効果奏することができる。

30

【0022】

実施の形態4.

図6はこの発明の実施の形態4によるリミッタ回路を示す回路図であり、図において、PINダイオード回路6aは、PINダイオード4aのカソードが入力側キャパシタ3aの他端に並列接続されると共にアノードがグランド5aに接続されたものである。PINダイオード回路6bは、PINダイオード4bのカソードが高周波信号線路7の他端に並列接続されると共にアノードがグランド5bに接続されたものである。検波回路8は、結合回路2の結合端子に接続されると共に入力側キャパシタ3aと高周波信号線路7との間に接続され、結合回路2から入力される高周波信号の信号レベルに応じた負の直流バイアスをそれら入力側キャパシタ3aと高周波信号線路7との間に供給するものである。その他の構成については図1と同様である。

40

【0023】

次に動作について説明する。

入力端子1aから入力される高周波信号は、結合回路2によって分岐されると共に、結合回路2を通過した高周波信号は、入力側キャパシタ3aにより直流成分が阻止され、高周波信号線路7および出力側キャパシタ3bを通じて出力端子1bから出力される。この時、検波回路8は、結合回路2によって分岐された高周波信号の信号レベルに応じた負の直流バイアスを入力側キャパシタ3aと高周波信号線路7との間に供給する。

【0024】

50

入力端子 1 a から入力される高周波信号の信号レベルが十分低い場合は、検波回路 8 から負の直流バイアスが供給されること無く、PINダイオード 4 a , 4 b を等価的にオープンと見なすことができるため、PINダイオード回路 6 a , 6 b を等価的にスルーと見なすことができ、入力端子 1 a から入力される高周波信号の大部分は出力端子 1 b に出力される。

【0025】

入力端子 1 a から入力される高周波信号の信号レベルが十分高い場合は、入力端子 1 a から入力される高周波信号の一部が結合回路 2 を介して検波回路 8 に入力され、検波回路 8 において入力された高周波信号は負の直流バイアスに変換される。その結果、その直流バイアスによって PINダイオード 4 a , 4 b にバイアス電流が流れ、PINダイオード 4 a , 4 b を等価的にショートと見なすことができるため、PINダイオード回路 6 a , 6 b を等価的にショートと見なすことができ、入力端子 1 a から入力される高周波信号の大部分は PINダイオード回路 6 a , 6 b のグランド 5 a , 5 b で反射され、出力端子 1 b から出力されることなく入力端子 1 a に戻される。

10

このようにして、不要な高周波を低減するリミッタ回路としての機能を満たすと共に、一組の結合回路 2 および検波回路 8 によって 2 つの PINダイオード回路 6 a , 6 b に直流バイアスを供給することができる。

【0026】

この実施の形態 4 によれば、PINダイオード 4 a , 4 b の極性が逆になるように接続しても、検波回路 8 の直流バイアス供給の特性を負特性にすれば、上記実施の形態 1 と同様な機能を有することができる。

20

なお、図 6 では上記実施の形態 1 に示した構成に、PINダイオード 4 a , 4 b の極性が逆になるように接続した回路を適用したものについて示したが、上記実施の形態 2 に示した構成に適用しても良く、両実施の形態の効果奏することができる。

【0027】

実施の形態 5 .

図 7 はこの発明の実施の形態 5 によるリミッタ回路を示す回路図であり、図において、高周波信号線路 7 a , 7 b は、線路長が使用周波数における $1/4$ に設定された高周波信号線路 7 を 2 つに分割したものであり、それら 2 つの高周波信号線路 7 a , 7 b は接続点 7 c において直列に接続したものである。検波回路 8 は、結合回路 2 の結合端子に接続されると共に接続点 7 c に接続され、結合回路 2 から入力される高周波信号の信号レベルに応じた正の直流バイアスをその接続点 7 c に供給するものである。その他の構成については図 1 と同様である。

30

【0028】

この実施の形態 5 によれば、検波回路 8 からの直流バイアスを 2 つの高周波信号線路 7 a , 7 b の接続点 7 c に供給するようにしたので、上記実施の形態 2 と同様に、分割された高周波信号線路 7 a の作用によって、検波回路 8 に迂回して印加される高周波信号の信号レベルを低く抑えることができ、検波回路 8 の耐電力性を高めるために新たに保護回路等を設けることなく、その結果、部品点数を削減でき、小型化、低価格化、低リーケージ化および低損失化を実現することができる。また、上記実施の形態 3 と同様に、高周波信号線路 7 a , 7 b の作用により、さらに、低リーケージ化を実現することができる。

40

なお、この実施の形態 5 では、高周波信号線路 7 を 2 つに分割したが、3 つ以上に分割して、直流バイアスをそれらの接続点のうちのいずれかの接続点に供給するようにしても良く、同様な効果を奏することができる。

また、図 7 では上記実施の形態 1 に示した構成に、高周波信号線路 7 を複数に分割した回路を適用したものについて示したが、上記実施の形態 2 に示した構成に適用しても良く、両実施の形態の効果奏することができる。

【0029】

実施の形態 6 .

図 8 はこの発明の実施の形態 6 によるリミッタ回路を示す回路図であり、図において、

50

入力側キャパシタ 3 a は、入力端子 1 a に一端が直列接続され、結合回路 2 は、入力側キャパシタ 3 a の他端に接続されたものである。その他の構成については図 1 と同様である。

【0030】

この実施の形態 6 によれば、入力端子 1 a に接続される結合回路 2 と入力側キャパシタ 3 a との順序を逆にしても良く、上記実施の形態 1 と同様な機能を有することができる。

なお、図 8 では上記実施の形態 1 に示した構成に、入力端子 1 a に接続される結合回路 2 と入力側キャパシタ 3 a との順序を逆にした回路を適用したものについて示したが、上記実施の形態 2 に示した構成に適用しても良い。

【0031】

実施の形態 7 .

図 9 はこの発明の実施の形態 7 によるリミッタ回路を示す回路図であり、図において、補償回路 9 は、結合回路 2 の結合端子と検波回路 8 との間に接続され、結合回路 2 の高周波結合特性を補償するものである。その他の構成については図 3 と同様である。

図 10 はこの発明の実施の形態 7 によるリミッタ回路の詳細を示す回路図であり、図において、結合回路 2 は、使用周波数における $1/4$ よりも短い結合線路を有するものである。補償回路 9 は、一端が結合回路 2 の結合端子に直列接続された直列キャパシタ 9 a と、一端がその直列キャパシタ 9 a の他端に接続され、他端がグラウンドに接続された直列インダクタ 9 b とからなるものである。検波回路 8 は、アノードが直列キャパシタ 9 a と直列インダクタ 9 b との接続点に接続された検波ダイオード 8 a と、一端が検波ダイオード 8 a のカソードに接続され、他端がグラウンドに接続された並列抵抗 8 b と、一端が検波ダイオード 8 a のカソードに接続され、他端がグラウンドに接続された並列キャパシタ 8 c とからなるものである。なお、検波ダイオード 8 a のカソードは、高周波信号線路 7 と出力キャパシタ 3 b との間に接続されるものである。

【0032】

次に動作について説明する。

小信号入力時の損失を低減するために、結合回路 2 を小型にすることが考えられる。この時、結合回路 2 の結合線路として使用周波数における $1/4$ よりも短い、例えば、 $1/20$ のものを用いる場合を考える。

図 11 はこの発明の実施の形態 7 によるリミッタ回路における結合回路の高周波結合特性と、補償回路を備えた検波回路の高周波検波電圧特性とを示す特性図である。図において、横軸は、使用周波数における所望周波数を (1.0) とした時の相対的な周波数で示したものであり、高周波結合特性 A は、結合回路 2 の結合線路として使用周波数における $1/20$ のものを用いた場合の使用周波数 (0.8 ~ 1.2) に応じたその結合回路 2 の結合度 (dB) を示し、高周波検波電圧特性 B は、使用周波数に応じた補償回路 9 を備えた検波回路 8 の検波電圧 (V) を示すものである。

【0033】

図 11 に示したように、結合回路 2 の結合線路として使用周波数における $1/20$ のものを用いた場合は、高周波結合特性 A は、平坦でなくなり、右肩上がりの特性となる。

一方、補償回路 9 は、使用周波数帯における所望周波数 (1.0) よりも低い周波数で整合を取ることにより、所望周波数よりも低い周波数で反射が小さく、所望周波数よりも高い周波数で反射が大きくなり、使用周波数帯で高周波信号の通過レベルが周波数が高くなるにつれて減少する特性を有するように設定されたものであり、補償回路 9 を備えた検波回路 8 の高周波検波電圧特性 B は、高周波結合特性 A とは逆の右肩下がりの特性となる。

【0034】

図 11 に示した高周波結合特性 A の傾きを高周波検波電圧特性 B の傾きによって相殺されるように、図 10 に示した補償回路 9 の直列キャパシタ 9 a および直列インダクタ 9 b として最適値を選定するようにすれば、結合回路 2 の小型化のために高周波結合特性 A に

10

20

30

40

50

傾きが生じても、次段の補償回路 9 および検波回路 8 の高周波検波電圧特性 B の傾きによってその高周波結合特性 A を補償することができる。

その結果、入力側キャパシタ 3 a と出力側キャパシタ 3 b との間に供給される直流バイアスを、平坦な周波数特性とすることができる。なお、検波回路 8 において、検波ダイオード 8 a は、入力される高周波信号を整流し、並列抵抗 8 b および並列キャパシタ 8 c は、その整流された高周波信号の入力レベルに応じたバイアス電圧を充電し、高周波信号線路 7 と出力キャパシタ 3 b との間に供給するものである。

なお、この実施の形態 7 では、図 3 に示した構成に、補償回路 9 を適用したものについて示したが、図 1 から図 8 に示したいずれの構成に補償回路 9 を適用しても良く、両実施の形態の効果奏することができる。

10

【0035】

この実施の形態 7 によれば、結合回路 2 の分岐側と検波回路 8 との間に結合回路 2 の高周波結合特性 A を補償する補償回路 9 を備えたので、小信号入力時の損失を低減するために、結合回路 2 を小型にした時に、結合回路 2 の高周波結合特性 A が平坦でなくなるが、補償回路 9 によりこれを補償することによって、大信号入力時のリーケージ特性を平坦化することができる。その結果、低損失で且つ低リーケージ化を実現することができる。

【0036】

実施の形態 8 .

図 1 2 はこの発明の実施の形態 8 によるリミッタ回路を示す回路図であり、図において、リミッタ回路 1 0 は、図 1 に示したものであり、リミッタ回路 1 1 は、図 3 に示したものであり、2 つのリミッタ回路 1 0 , 1 1 を直列接続したものである。

20

【0037】

次に動作について説明する。

図 1 2 に示したリミッタ回路は、2 つのリミッタ回路 1 0 , 1 1 を直列接続したものである。すなわち、リミッタ回路 1 0 の出力端子 1 b とリミッタ回路 1 1 の入力端子 1 a とを直列接続したものである。

入力端子 1 a より高周波信号が入力されれば、リミッタ回路 1 0 で不要な高周波を低減すると共に、リミッタ回路 1 1 で不要な高周波を低減ことができ、低リーケージ化を実現することができる。

図 1 3 はこの発明の実施の形態 8 による他のリミッタ回路を示す回路図であり、図に示すように、リミッタ回路 1 0 の出力側キャパシタ 3 b を省略しても良く、この場合、さらに部品点数を削減することができる。

30

なお、図 1 2 および図 1 3 では、図 1 および図 3 に示した 2 つのリミッタ回路 1 0 , 1 1 を直列接続したものについて示したが、対象とするリミッタ回路は、図 1 ~ 図 1 0 に示した同一または異なるいずれのものであっても良く、また、直列接続されるリミッタ回路の数も 3 つ以上であっても良く、さらに、低リーケージ化を実現することができる。

【0038】

この実施の形態 8 によれば、同一または異なる複数のリミッタ回路を直列接続するようにしたので、複数の直列接続されたリミッタ回路の作用により、さらに、低リーケージ化を実現することができる。

40

【0039】

実施の形態 9 .

図 1 4 はこの発明の実施の形態 9 によるリミッタ回路を示す回路図であり、図において、ハイブリッド回路（第 1 のハイブリッド回路）1 2 a は、入力端子 1 a に接続され、その入力端子 1 a から高周波信号を分岐するものである。リミッタ回路（第 1 のリミッタ回路）1 0 a は、ハイブリッド回路 1 2 a の通過端子に入力側が接続された図 1 に示したものであり、リミッタ回路（第 2 のリミッタ回路）1 0 b は、ハイブリッド回路 1 2 a の結合端子に入力側が接続され、リミッタ回路 1 0 a と共に並列に接続された図 1 に示したものである。終端抵抗（第 1 の終端抵抗）1 3 a は、ハイブリッド回路 1 2 a の遮断端子に接続され、リミッタ回路 1 0 a , 1 0 b 内で反射された高周波信号を消去するものであ

50

る。ハイブリッド回路（第2のハイブリッド回路）12bは、リミッタ回路10aの出力側に結合端子が接続されると共にリミッタ回路10bの出力側に通過端子が接続され、リミッタ回路10a, 10bの出力を結合すると共に出力端子1bから出力するものである。終端抵抗（第2の終端抵抗）13bは、ハイブリッド回路12bの遮断端子に接続され、リミッタ回路10a, 10b内で反射された高周波信号を消去するものである。

【0040】

次に動作について説明する。

図14に示したリミッタ回路は、2つのリミッタ回路10a, 10bを並列接続したものである。

入力端子1aより高周波信号が入力されれば、ハイブリッド回路12aにより分岐され、2つのリミッタ回路10a, 10bで不要な高周波を低減することができ、低リーケージ化を実現することができる。

また、この時、ハイブリッド回路12a, 12bに接続された終端抵抗13a, 13bは、リミッタ回路10a, 10b内で反射された高周波信号を確実に消去し、反射された高周波信号が入力端子1a側に戻ることなく、低反射のリミッタ回路が構成できる。

なお、図14では、図1に示した2つのリミッタ回路10a, 10bを並列接続したものについて示したが、対象とするリミッタ回路は、図1～図10に示した同一または異なるいずれのものであっても良い。

【0041】

この実施の形態9によれば、同一または異なる2つのリミッタ回路10a, 10bを並列接続するようにしたので、2つの並列接続されたリミッタ回路10a, 10bの作用により、さらに、低リーケージ化を実現することができる。

また、終端抵抗13a, 13bは、リミッタ回路10a, 10b内で反射された高周波信号を確実に消去し、反射された高周波信号が入力端子1a側に戻ることなく、低反射のリミッタ回路が構成できる。

【図面の簡単な説明】

【0042】

【図1】この発明の実施の形態1によるリミッタ回路を示す回路図である。

【図2】この発明の実施の形態1による他のリミッタ回路を示す回路図である。

【図3】この発明の実施の形態2によるリミッタ回路を示す回路図である。

【図4】この発明の実施の形態2による他のリミッタ回路を示す回路図である。

【図5】この発明の実施の形態3によるリミッタ回路を示す回路図である。

【図6】この発明の実施の形態4によるリミッタ回路を示す回路図である。

【図7】この発明の実施の形態5によるリミッタ回路を示す回路図である。

【図8】この発明の実施の形態6によるリミッタ回路を示す回路図である。

【図9】この発明の実施の形態7によるリミッタ回路を示す回路図である。

【図10】この発明の実施の形態7によるリミッタ回路の詳細を示す回路図である。

【図11】この発明の実施の形態7によるリミッタ回路における結合回路の高周波結合特性と、補償回路を備えた検波回路の高周波検波電圧特性とを示す特性図である。

【図12】この発明の実施の形態8によるリミッタ回路を示す回路図である。

【図13】この発明の実施の形態8による他のリミッタ回路を示す回路図である。

【図14】この発明の実施の形態9によるリミッタ回路を示す回路図である。

【符号の説明】

【0043】

1a, 1b 入力端子、2 結合回路、3a 入力側キャパシタ、3b 出力側キャパシタ、4, 4a, 4b, 4c PINダイオード、5, 5a, 5b, 5c グランド、6, 6a, 6b, 6c PINダイオード回路、7, 7a, 7b 高周波信号線路、7c 接続点、8 検波回路、8a 検波ダイオード、8b 並列抵抗、8c 並列キャパシタ、9 補償回路、9a 直列キャパシタ、9b 直列インダクタ、10, 11 リミッタ回路、10a リミッタ回路（第1のリミッタ回路）、10b リミッタ回路（第2のリ

10

20

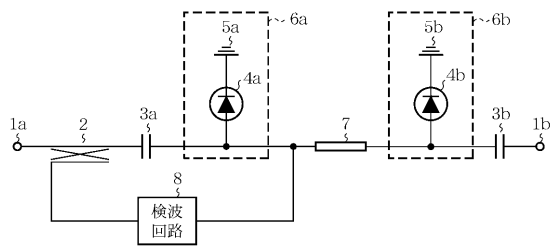
30

40

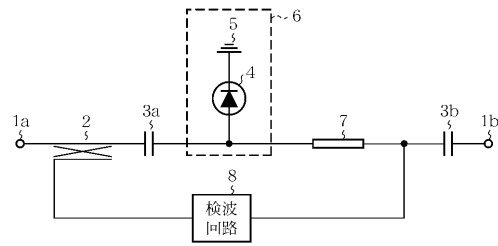
50

ミッタ回路)、12a ハイブリッド回路(第1のハイブリッド回路)、12b ハイブリッド回路(第2のハイブリッド回路)、13a 終端抵抗(第1の終端抵抗)、13b 終端抵抗(第2の終端抵抗)。

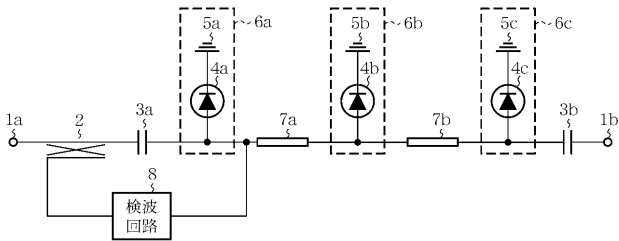
【図1】



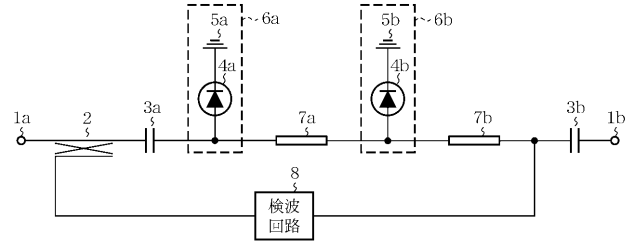
【図3】



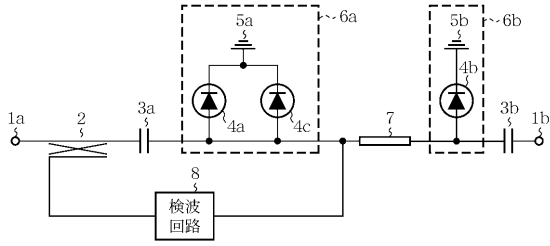
【図2】



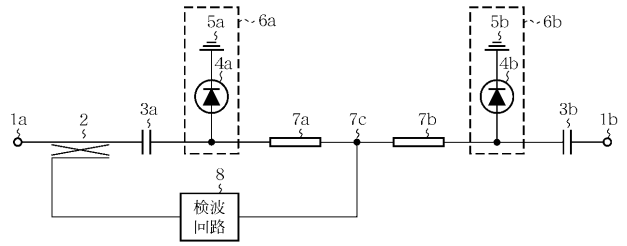
【図4】



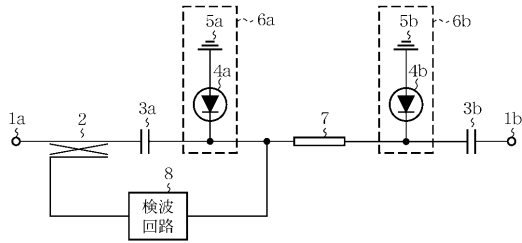
【 図 5 】



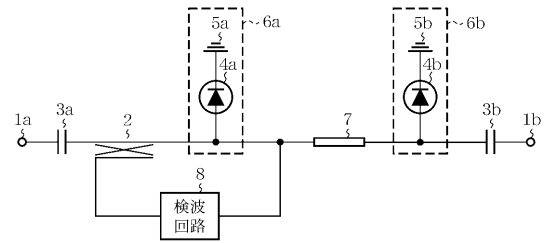
【 図 7 】



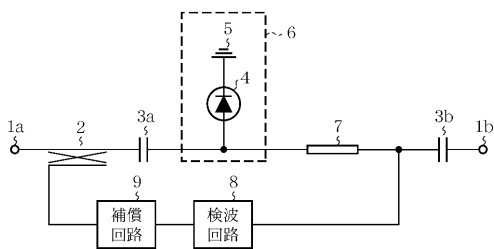
【 図 6 】



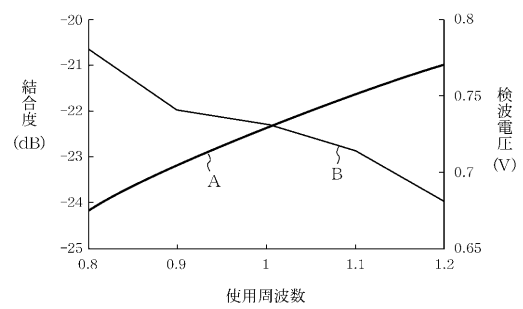
【 図 8 】



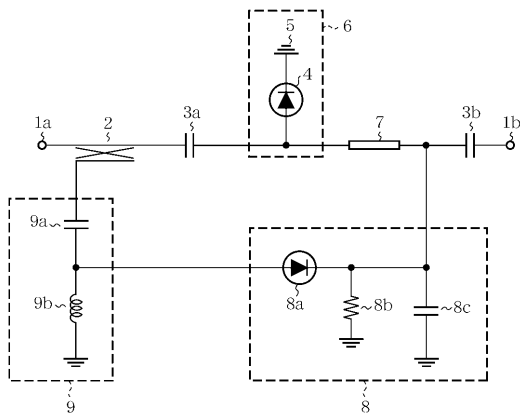
【 図 9 】



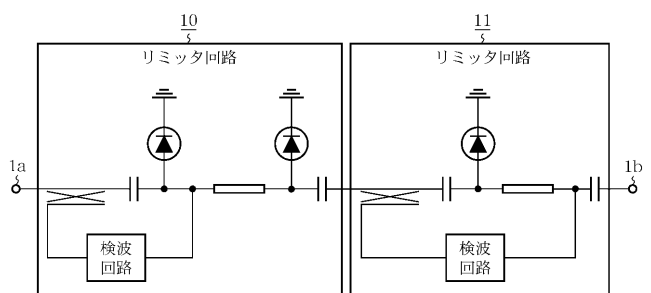
【 図 11 】



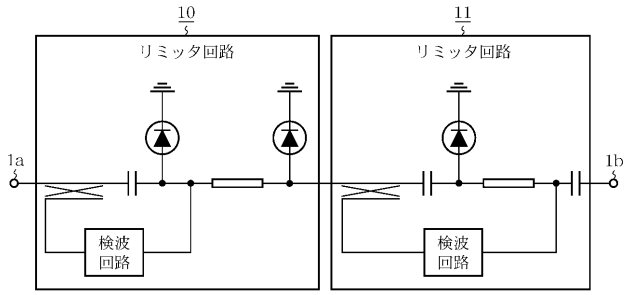
【 図 10 】



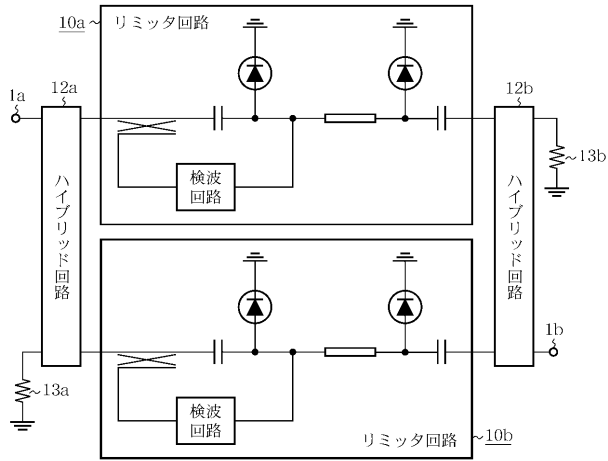
【 図 12 】



【図 1 3】



【図 1 4】



フロントページの続き

- (72)発明者 西野 有
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 宮口 賢一
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 湯之上 則弘
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 山室 守広
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 宮 ざき 守 やす
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- Fターム(参考) 5J030 CB04 CB08 CC05 CC09