



# [12] 发明专利申请公开说明书

[21] 申请号 200310123704. X

[43] 公开日 2004 年 7 月 28 日

[11] 公开号 CN 1516196A

[22] 申请日 2003. 12. 16

[21] 申请号 200310123704. X

[30] 优先权

[32] 2002. 12. 20 [33] JP [31] 2002 - 370011

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 金原旭成 奥山博昭

[74] 专利代理机构 中科专利商标代理有限责任公  
司

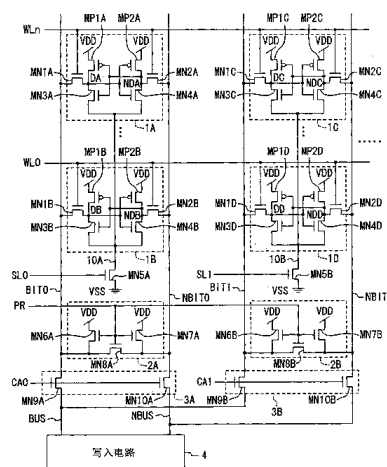
代理人 汪惠民

权利要求书 2 页 说明书 12 页 附图 8 页

[54] 发明名称 半导体存储器

[57] 摘要

一种半导体存储器，经激活用晶体管(MN5A、MN5B)分别将连接到各对位线(BITO、NBITO)、(BIT1、NBIT1)上的同一列的存储单元(1A~1B、1C~1D)的驱动用晶体管(MN3A、MN4A~MN3B、MN4B)、(MN3C、MN4C~MN3D、MN4D)的源极公共地连接到低电压电源(VSS)上。在写入数据时，使连接到选择位线对(例如BITO、NBITO)上的同一列的存储单元(1A~1B)的激活用晶体管(MN5A)为非导通，使该同一列的存储单元(1A~1B)的驱动用晶体管的源极成为浮置状态。从而能良好地保持非选择存储单元的数据，且即使是低电源电压也可只对一个选择存储单元写入数据。



1. 一种半导体存储器，具备以阵列状配置的多个存储单元，  
上述各存储单元包含：源极被供给第 1 电位、彼此的漏极连接到栅  
5 极上的 2 个负载用晶体管；  
源极及漏极的一方连接到 1 对位线上、另一方连接到上述 2 个负载  
用晶体管的各自的漏极上、栅极连接到字线上的 2 个传送用晶体管；以  
及  
源极被公共地连接、漏极连接到上述 2 个负载用晶体管的各自的漏  
10 极上、栅极连接到彼此的漏极上的 2 个驱动用晶体管，  
其特征在于：  
在位于上述位线的方向上的多列的存储单元中，以列为单位，多个  
存储单元的各驱动用晶体管的源极线被公共地连接，  
上述各公共源极线，在进行选择了上述位线的数据的写入时，只使  
15 与上述选择位线对应的列的公共源极线在上述字线的激活时成为浮置状  
态。
2. 如权利要求 1 中所述的半导体存储器，其特征在于：  
在使上述同一列的多个存储单元的各驱动用晶体管的公共源极线成  
为浮置状态时，使上述 1 对位线的电位以比上述第 1 电位与比该第 1 电  
20 位还低的第 2 电位之间的电位差还小的电位差、在上述存储单元中写入  
数据。
3. 如权利要求 1 中所述的半导体存储器，其特征在于：  
上述各存储单元的传送用晶体管由 N 型晶体管构成，  
使上述 1 对位线，以上述第 1 电位与上述第 2 电位之间的第 3 电位  
25 附近的电位工作。
4. 如权利要求 1 中所述的半导体存储器，其特征在于：  
上述各存储单元的传送用晶体管由 P 型晶体管构成，  
使上述 1 对位线，以上述第 1 电位附近的电位工作。
5. 如权利要求 3 中所述的半导体存储器，其特征在于：  
30 利用 P 型晶体管使上述 1 对位线的电位均衡于同一电位上。

- 
6. 如权利要求 1 中所述的半导体存储器，其特征在于：  
在进行向上述存储单元的数据的写入时，只在规定的一定期间内使上述字线激活，同时只在上述一定期间内使上述驱动用晶体管的源极成为浮置状态。
- 5        7. 如权利要求 1 中所述的半导体存储器，其特征在于：  
具备：漏极连接到上述同一列的多个存储单元的各驱动用晶体管的公共源极线上、源极连接到上述第 2 电位上的激活用晶体管，  
在进行向上述存储单元的数据的写入时将上述激活用晶体管控制为非导通。
- 10       8. 如权利要求 7 中所述的半导体存储器，其特征在于：  
在由上述存储单元的数据的读出时，将上述激活用晶体管的衬底电位控制为正电位。

## 半导体存储器

## 5 技术领域

本发明涉及半导体存储器的低电压化和低功耗化。

## 背景技术

图6示出现有的SRAM的电路。该SRAM具有以阵列状配置的多个存储单元1A~1D。这些存储单元因具有同一结构，故以例示存储单元1A来说明。存储单元1A由2个负载用晶体管MP1A、MP2A、2个传送用晶体管MN1A、MN2A和2个驱动用晶体管MN3A、MN4A构成。2个传送用晶体管MN1A、MN2A的栅极连接到字线WLn上，其漏极连接到位线BITO、NBITO上。2个负载用晶体管MP1A、MP2A的源极连接到高电压电源VDD上，2个驱动用晶体管MN3A、MN4A的源极连接到低电压电源VSS上。用负载用晶体管MP1A、MP2A和驱动用晶体管MN3A、MN4A形成了2个锁存电路，各锁存电路的输出连接到传送用晶体管MN1A、MN2A上。

此外，在图6的SRAM中，2A、2B是分别连接到位线对（BITO、NBITO）、（BIT1、NBIT1）上的预充电·均衡电路，被输入预充电信号PR。3A、3B是分别连接到位线对（BITO、NBITO）、（BIT1、NBIT1）上的列选择器，被输入列信号CA0、CA1。4是数据的写入电路，经1对总线BUS、NBUS连接到上述列选择器3A、3B上。

按照图7的时序图说明上述SRAM的数据写入时的工作。

在写入时，利用写入电路4将由预充电·均衡电路2A、2B预充电到高电压电源VDD的电压的位线（BITO、NBITO、BIT1、NBIT1）中用列选择器（例如3A）选择了的位线（BITO、NBITO）中的一方反转为低电压VSS。其次，使已被选择的字线（例如WLn）激活，使存储单元1A的传送用晶体管MN1A、MN2A导通，在存储单元1A中写入数据。

但是，作为对于数据写入的评价，在非专利文献1中使用了写入容

限 (margin)。该写入容限规定了将存储单元内部的数据改写为反转数据时的容限。在如图 6 中示出的 SRAM 那样将驱动用晶体管 MN3A~MN4D 的各源极连接到低电压电源 VSS 上的情况下, 高电压电源 VDD 越是低电压化, 写入容限就越小。

5 因而, 在图 6 中示出的 SRAM 中, 在低电压化时, 写入容限变小, 难以写入与写入前的数据反转的数据。再者, 在图 6 中示出的 SRAM 中, 由于连接到应写入的存储单元 1A 上的位线对 BITO、NBITO 中的一方以从高电压 VDD 到低电压 VSS 的满振幅变化, 故存在写入时的消耗电流变大的缺点。

10 为了解决上述课题, 例如在专利文献 1 中, 如图 8 中所示, 将同一行的存储单元 (1A、1C)~(1B、1D) 的驱动用晶体管 (MN3A、MN4A、MN3C、MN4C)~(MN3B、MN4B、MN3D、MN4D) 的源极线公共地连接, 用源极电位控制信号 S<sub>Ln</sub>~S<sub>L0</sub> 控制该公共源极线, 在写入时, 使上述驱动用晶体管的公共源极线中的 1 条成为浮置状态, 通过使位线对  
15 的电位差以比高电压 VDD 与低电压 VSS 之间的电位差 (VDD-VSS) 还小的电位差在存储单元中进行写入, 实现了低功耗。

**【非专利文献 1】**

电子通信信息学会论文杂志 1992 Vol.J75 C-II No.7 pp350~361

**【专利文献 1】**

20 特开平 8-180684 号公报 (图 8)

但是, 在图 8 中示出的现有的半导体存储器中, 例如在位线对 BITO、NBITO 被选择了的情况下, 并例如在字线 W<sub>Ln</sub> 被选择了时, 在选择存储单元 1A 中, 传送用晶体管 MN1A、MN2A 导通, 利用源极电位控制信号 S<sub>Ln</sub> 使驱动用晶体管 MN3A、MN4A 的源极成为浮置状态, 将位线  
25 BITO、NBITO 的电位差传递给存储单元 1A 以写入数据, 但即使在同一行的非选择存储单元 1C 中, 由于传送用晶体管 MN1C、MN2C 也导通, 同时驱动用晶体管 MN3C、MN4C 的源极也成为浮置状态, 故存在非选择存储单元 1C 的蓄积节点 DC、NDC 的数据也被改写的可能性。因而, 不能用列选择器 3A、3B 选择连接到同一字线 (例如 W<sub>Ln</sub>) 上的多个存  
30 储单元 1A、1C。

## 发明内容

本发明是为了解决现有的问题而进行的，其目的在于可对连接到同一字线上的存储单元进行列选择，可进行低电压写入，而且减少了写入时的消耗电流。

为了达到以上的目的，在本发明中，在向存储单元进行数据的写入时，在连接到已被选择的 1 对位线上的多个存储单元中，使其各驱动用晶体管的源极成为浮置状态。

具体地说，本发明的第 1 方面记载的半导体存储器具备以阵列状配置的多个存储单元，上述各存储单元包含：其源极被供给第 1 电位、彼此的漏极连接到其栅极上的 2 个负载用晶体管；其源极和漏极的一方连接到 1 对位线上、另一方连接到上述 2 个负载用晶体管的各自的漏极上、其栅极连接到字线上的 2 个传送用晶体管；以及其源极公共地被连接、其漏极连接到上述 2 个负载用晶体管的各自的漏极上、其栅极连接到彼此的漏极上的 2 个驱动用晶体管，其特征在于：在位于上述位线的方向上的多个列的存储单元中，以列为单位，多个存储单元的各驱动用晶体管的源极线被公共地连接，对于上述各公共源极线来说，在选择上述位线的数据的写入时，在上述字线的激活时只使与上述选择位线对应的列的公共源极线成为浮置状态。

本发明的第 2 方面记载的半导体存储器的特征在于：在上述本发明的第 1 方面记载的半导体存储器中，在使上述同一列的多个存储单元的各驱动用晶体管的公共源极线成为浮置状态时，以比上述第 1 电位与比上述第 1 电位低的第 2 电位的电位差小的电位差为上述 1 对位线的电位在上述存储单元中写入数据。

本发明的第 3 方面记载的半导体存储器的特征在于：在上述本发明的第 1 方面记载的半导体存储器中，上述各存储单元的传送用晶体管由 N 型晶体管构成，使上述 1 对位线以上述第 1 电位与上述第 2 电位之间的第 3 电位的附近的电位工作。

本发明的第 4 方面记载的半导体存储器的特征在于：在上述本发明的第 1 方面记载的半导体存储器中，上述各存储单元的传送用晶体管由 P

型晶体管构成，使上述 1 对位线以上述第 1 电位附近的电位工作。

本发明的第 5 方面记载的半导体存储器的特征在于：在上述本发明的第 3 方面记载的半导体存储器中，利用 P 型晶体管使上述 1 对位线的电位均衡于同一电位上。

5 本发明的第 6 方面记载的半导体存储器的特征在于：在上述本发明的第 1 方面记载的半导体存储器中，在进行向上述存储单元的数据的写入时，只在规定的规定期间内使上述字线激活，同时只在上述规定期间内使上述驱动用晶体管的源极成为浮置状态。

10 本发明的第 7 方面记载的半导体存储器的特征在于：在上述本发明的第 1 方面记载的半导体存储器中，具备其漏极连接到上述同一列的多个存储单元的各驱动用晶体管的公共源极线上、其源极连接到上述第 2 电位上的激活用晶体管，在对于上述存储单元的数据的写入时将上述激活用晶体管控制为非导通。

15 本发明的第 8 方面记载的半导体存储器的特征在于：在上述本发明的第 7 方面记载的半导体存储器中，在由上述存储单元的数据的读出时，将上述激活用晶体管的衬底电位控制为正电位。

20 根据以上所述，在本发明的第 1~8 方面记载的发明中，在数据的写入时并在规定的 1 对位线的选择时，在与该 1 对位线连接的同一列方向的多个存储单元中，使各驱动用晶体管的源极成为浮置状态。如果在该状态下 1 条字线被选择，则上述同一列方向的多个存储单元中的 1 个存储单元被选择，由于上述选择位线对位的电位被传递给该选择存储单元的内部，故即使电源电压是低电压的情况，也能与写入容限无关地进行向存储单元的数据写入。

25 在此，在同一列的存储单元中的非选择存储单元中，其驱动用晶体管的源极成为浮置状态，但由于传送用晶体管为非激活，故数据被保持。此外，在与非选择的位线连接的多个存储单元中，由于包含用上述选择字线选择了的存储单元在内其驱动用晶体管的源极不成为浮置状态，故数据良好地被保持。

30 特别是，在本发明的第 2 方面记载的发明中，即使不将位线对位的电位差扩展到第 1 电位与第 2 电位之间的电位差，也能以其间的小的第 3

电位差传递给存储单元，因此成为低消耗电流。

此外，在本发明的第 5 方面记载的发明中，在用 N 型晶体管构成传送用晶体管并使 1 对位线在第 1 电位与第 2 电位之间的第 3 电位附近工作的情况下，由于利用 P 型晶体管使上述 1 对位线的电位均衡于同一电  
5 位上，故在写入时即使 1 对位线的电位成为比  $V_{DD}-V_{tn}$  ( $V_{tn}$  是 N 型晶体管的阈值电压) 的电位，也能有效地防止误工作。

再者，在本发明的第 6 方面记载的发明中，由于在写入时只在规定的  
一定期间内使字线激活，而且只在该一定期间内使驱动用晶体管的源极成为浮置状态，故可有效地防止连接到同一列上的非选择存储单元的内部数据因漏极泄等被破坏，提高了数据保持特性。  
10

另外，在本发明的第 7 方面记载的发明中，在使字线激活的写入时，使激活用晶体管为非导通，在使存储单元的驱动用晶体管的源极成为浮置状态的状态下，将 1 对位线的电位传递给存储单元，其后，如果字线为非激活，则使激活用晶体管导通于第 2 电位，将存储单元内部的数据  
15 放大并保持为第 1 电位。因而，可将写入时的位线对位的电位差限制为较小的值，可削减位线电流。

此外，在本发明的第 8 方面记载的发明中，由于在数据读出时将激活用晶体管的衬底电位控制为正电位，故可减小激活用晶体管的阈值电压，可加快读出速度。  
20

## 附图说明

图 1 是示出本发明的第 1 实施例的半导体存储器的图。

图 2 是该半导体存储器的写入时的时序图。

图 3 是示出本发明的第 2 实施例的半导体存储器的图。

25 图 4 是示出本发明的第 3 实施例的半导体存储器的图。

图 5 是该半导体存储器的写入时的时序图。

图 6 是示出现有的半导体存储器的图。

图 7 是该半导体存储器的写入时的时序图。

图 8 是示出改良了图 6 的半导体存储器的现有的半导体存储器。  
30



## 具体实施方式

以下，根据附图说明本发明的实施例。

### (第1实施例)

图1示出本发明的第1实施例的半导体存储器的结构图。

5 在该图中，以阵列状配置了多个存储单元1A~1D。以下以存储单元1A为代表进行说明。其它的存储单元1B~1D因具有同一内部结构，故分别附以添加符号B、C、D，而省略其说明。

存储单元1A由2个P型负载用晶体管MP1A、MP2A、2个N型传送用晶体管MN1A、MN2A和2个N型驱动用晶体管MN3A、MN4A构成。  
10 2个负载用晶体管MP1A、MP2A的源极被连接到高电压电源VDD上，被供给高电位（第1电位），其漏极连接到2个传送用晶体管MN1A、MN2A的源极和2个驱动用晶体管MN3A、MN4A的漏极上。上述2个负载用晶体管MP1A、MP2A的栅极分别连接到2个驱动用晶体管MN3A、MN4A的栅极和彼此的另一方的负载用晶体管MP1A、MP2A的漏极上。  
15 上述2个传送用晶体管MN1A、MN2A的栅极连接到字线WLn上，其漏极连接到位线BIT0、NBIT0上。上述驱动用晶体管MN3A、MN4A的栅极连接到彼此的漏极上。

而且，在位线BIT0、NBIT0的方向上配置成同一列的存储单元1A~1B的各2个驱动用晶体管（MN3A、MN4A）、（MN3B、MN4B）的源极  
20 连接到公共源极线10A的一端上。该公共源极线10A的另一端接地。再者，在该公共源极线10A中配置了激活用晶体管MN5A。该激活用晶体管MN5A的漏极连接到驱动用晶体管（MN3A、MN4A）、（MN3B、MN4B）的源极上，其源极被连接到低电压电源VSS上，被供给低电压（第2电位），在其栅极上输入源极电位控制信号SL0。同样，在位线BIT1、NBIT1  
25 的方向上配置成同一列的存储单元1C~1D的各2个驱动用晶体管（MN3C、MN4C）、（MN3D、MN4D）的源极也连接到一端被接地的公共源极线10B上，在该公共源极线10B中配置了激活用晶体管MN5B。在该激活用晶体管MN5B的栅极上输入源极电位控制信号SL1。在数据写入时并在对应的位线对（BIT0、NBIT0）、（BIT1、NBIT1）被选择了  
30 时，同时激活该源极电位控制信号SL0、SL1。

此外，在图 1 中，2A、2B 是分别连接到位线对（BITO、NBITO）、（BIT1、NBIT1）上的预充电·均衡电路，各预充电·均衡电路 2A、2B 由 2 个 N 型预充电晶体管（MN6A、MN7A）、（MN6B、MN7B）和 1 个 N 型均衡晶体管 MN8A、MN8B 构成，接受预充电信号（H 电平）PR，互相连接对应的 1 对位线并进行均衡，同时预充电到比电源电位 VDD 低了 N 型预充电晶体管的阈值电压  $V_t$  部分的电位（第 3 电位） $VDD - V_t$ 。3A、3B 是与位线对（BITO、NBITO）、（BIT1、NBIT1）对应的列选择器，4 是输出应写入的数据的写入电路。各列选择器 3A、3B 接受对应的列选择信号 CA0、CA1，将来自上述写入电路 4 的数据传递给对应的位线对。

其次，说明本实施例的工作。在此，根据图 2 的时序图说明对存储单元 1A 进行数据写入的情况。

在写入时，位线 BITO、NBITO、BIT1、NBIT1 分别预先由预充电·均衡电路 2A、2B 预充电到电位  $VDD - V_{tn}$ 。如果预充电信号 PR 成为接地电位 VSS，则解除上述被预充电了的位线 BITO、NBITO、BIT1、NBIT1 的预充电。

其次，列选择信号 CA0 的电位成为电源电位 VDD，利用写入电路 4 使已被选择的 1 对位线 BITO、NBITO 中的一方的电位下拉到电位（ $VDD - V_{tn} - \Delta V$ ）。在此， $\Delta V$  是比预充电电位（ $VDD - V_{tn}$ ）小的微小电压、即比电源电位 VDD 和接地电位 VSS 的电位差小的电位。

其次，将字线  $WL_n$  的电位激活为电源电位 VDD，与此同时，将源极线  $SL_0$  的电位非激活为接地电位 VSS。此时，与工作频率无关地在一定时间内设定该字线  $WL_n$  的激活和源极线  $SL_0$  的非激活。在该状态下，由于激活用晶体管 MN5A 为非导通，故在上述已被选择的位线 BITO、NBITO 上并排为同一列的存储单元 1A~1B 的驱动用晶体管 MN3A、MN4A~MN3B、MN4B 的源极成为浮置状态。此时，由于源极线  $SL_1$  的电位被维持为电源电位 VDD，故激活用晶体管 MN5B 导通，在非选择位线 BIT1、NBIT1 的方向上并排为同一列的存储单元 1C~1D 的驱动用晶体管 MN3C、MN4C~MN3D、MN4D 的源极接地。在选择存储单元 1A 中，在驱动用晶体管 MN3A、MN4A 的源极成为浮置状态下，由于传送

用晶体管 MN1A、MN2A 因上述字线 WL<sub>n</sub> 而导通，故开始对存储单元 1A 的蓄积节点 DA、NDA 传递 BITO、NBITO 的电位（电位差  $\Delta V$ ）。

其后，如果存储单元 1A 的蓄积节点 DA、NDA 间的电位差成为微小电位  $\Delta V$ ，作为字线 WL<sub>n</sub> 的电位成为接地电位 VSS，同时源极线 SL0 的电位上升到电源电位 VDD。由此，在选择存储单元 1A 中，激活用晶体管 MN5A 导通，驱动用晶体管 MN3A、MN4A 的源极成为接地电位，存储单元 1A 内的蓄积节点 DA、NDA 的电位被放大到电源电位 VDD、接地电位，对于存储单元 1A 的数据写入结束。

如果写入结束，则预充电信号 PR 成为电源电位 VDD，位线 BITO、NBITO、BIT1、NBIT1 的电位被预充电和均衡为电位  $VDD - V_{tn}$ 。

如上所述，在数据写入时，由于在选择存储单元 1A 中驱动用晶体管 MN3A、MN4A 的源极成为浮置状态，故即使电源电位 VDD 是低电压，也可与写入容限无关地写入反转数据。而且，由于使选择位线 BITO、NBITO 的一方只从预充电电位  $VDD - V_{tn}$  变化为微小电位  $\Delta V$ ，故与满振幅（ $VDD - VSS$ ）的情况相比，可实现低功耗。

这里，在与选择存储单元 1A 配置在同一列的非选择存储单元 1B 中，虽然驱动用晶体管 MN3B、MN4B 的源极成为浮置状态，但由于传送给晶体管 MN1B、MN2B 为非激活，故按原样保持数据。再者，在与选择存储单元 1A 为同一行的非选择存储单元 1C 中，虽然传送给晶体管 MN1C、MN2C 因字线 WL<sub>n</sub> 而导通，但由于激活用晶体管 MN5B 导通，驱动用晶体管 MN3C、MN4C 的源极处于接地电位，故良好地保持蓄积节点 DA、NDA 的数据。另外，在对于选择存储单元 1A 的位线的电位传递时，由于与工作频率无关地在一定期间内设定该字线 WL<sub>n</sub> 的激活和源极线 SL0 的非激活，故可有效地防止起因于漏泄等的的数据破坏，确保数据保持的稳定性。

以上说明了数据写入时的情况，但在数据读出时，对激活用晶体管 MN5A、MN5B 的衬底供给正的电位。由此，激活用晶体管 MN5A、MN5B 的阈值电压变低，可谋求数据读出的高速化。

（第 2 实施例）

其次，说明本发明的第 2 实施例的半导体存储器。

在图 3 中示出本实施例的半导体存储器。在该图中，与图 1 的半导体存储器相比，只在以下的方面不同。即，预充电·均衡电路 2A、2B 的均衡晶体管由 P 型晶体管 MP5A、MP5B 构成，在这些晶体管的栅极上输入预充电信号 PR 的反转信号。

5 在本实施例中，即使位线 BIT0、NBIT0、BIT1、NBIT1 的电位比预充电电位  $VDD - V_{tn}$  高，由于在数据写入时通过利用写入电路 4 将选择位线（例如 BIT0、NBIT0）中的一方的电位下拉到接地电位 VSS，将位线 BIT0、NBIT0 的数据传递给存储单元 1A 内，存储单元 1A 内的蓄积节点 DA、NDA 中的一方的电位成为接地电位 VSS，由于负载用晶体管  
10 MP1A 或 MP2A 成为导通状态，故存储单元 1A 内的蓄积节点 DA、NDA 中的另一方的电位也成为电源电位 VDD。而且，通过在字线  $WL_n$  为非激活的同时源极线 SL0 的电位成为电源电位 VDD，可保持对存储单元 1A 写入的数据。因而，即使电源电位 VDD 是低电压的情况，也能与写入容限无关地进行对于存储单元 1A 写入反转数据。

15 此外，在数据读出时，由于预充电·均衡电路 2A、2B 的均衡晶体管 MP5A 或 MP5B 由 P 型晶体管构成，故即使位线 BIT0、NBIT0、BIT1、NBIT1 的电位比  $VDD - V_{tn}$  高，也能良好地读出存储单元 1A~1D 的数据。

### （第 3 实施例）

20 其次，说明本发明的第 3 实施例的半导体存储器。

图 4 中示出本实施例的半导体存储器。该图的半导体存储器与图 1 中示出的第 1 实施例的半导体存储器只在以下的结构方面不同。

即，在各存储单元 1A~1D 中，传送用晶体管由 P 型晶体管（MP3A 和 MP4A）、（MP3B 和 MP4B）、（MP3C 和 MP4C）、（MP3D 和 MP4D）  
25 构成，对其各栅极输入字线选择信号  $WL_n \sim WL_0$  的反转信号。此外，在预充电·均衡电路 2A、2B 中，预充电晶体管由 P 型晶体管（MP5A 和 MP6A）、（MP5B 和 MP6B）构成，均衡晶体管也由 P 型晶体管 MP7A、MP7B 构成，在这些晶体管的栅极上输入预充电信号 PR 的反转信号。再者，列选择器 3A、3B 分别由 2 个 P 型晶体管（MP8A 和 MP9A）、（MP8B  
30 和 MP9B）构成，在这些 P 型晶体管的各栅极上输入对应的列选择信号

CA0、CA1 的反转信号。

其次，说明本实施例的半导体存储器的工作。在此，根据图 5 说明对存储单元 1A 进行数据写入的情况。

在写入时，预先分别利用预充电·均衡电路 2A、2B 将位线 BIT0、NBITO、BIT1、NBIT1 的电位预充电到电源电位 VDD。预充电信号 PR 成为接地电位 VSS，解除上述被预充电了的位线 BIT0、NBITO、BIT1、NBIT1 的预充电。

其次，列选择信号 CA0 的电位成为电源电位 VDD，利用写入电路 4 使已被选择的位线 BIT0、NBITO 中的一方的电位开始下拉到比电源电位 VDD 低了微小电位  $\Delta V$  的电位  $VDD - \Delta V$ 。

接着，字线 WLn 的电位成为电源电位 VDD，与此同时，源极线 SL0 的电位成为接地电位 VSS。此时，与工作频率无关地在一定时间内设定该字线 WLn 的激活和源极线 SL0 的非激活。在该状态下，由于激活用晶体管 MN5A 为非导通，故在选择存储单元 1A 中驱动用晶体管 MN3A、MN4A 的源极成为浮置状态。此时，源极线 SL1 的电位被维持为电源电位 VDD，在非选择存储单元 1C~1D 中，驱动用晶体管 (MN3C、MN4C)~(MN3D、MN4D) 的源极保持为接地电位 VSS。在上述选择存储单元 1A 中，传送用晶体管 MP3A 和 MP4A 导通，开始对蓄积节点 DA、NDA 传递上述选择位线 BIT0、NBITO 的电位 (不到电位差  $\Delta V$ )。

然后，如果上述选择位线 BIT0、NBITO 的电位差成为微小电位  $\Delta V$ ，选择存储单元 1A 的蓄积节点 DA、NDA 的电位差也成为微小电位  $\Delta V$ ，则在该时刻处字线 WLn 的电位成为接地电位 VSS，其后，源极线 SL0 的电位上升到电源电位 VDD。由此，在由于在选择存储单元 1A 中传送用晶体管 MP3A 和 MP4A 为非导通，同时源极线 SL0 的电位成为电源电位 VDD，激活用晶体管 MN5A 导通，驱动用晶体管 MN3A、MN4A 的源极成为接地电位 VSS，故蓄积节点 DA、NDA 的电位 ( $VDD$ 、 $VDD - \Delta V$ ) 被放大，成为电源电位 VDD、接地电位 VSS，对于存储单元 1A 的数据写入结束。

如果数据写入结束，则列选择信号 CA0 成为接地电位 VSS，预充电信号 PR 成为电源电位 VDD，位线 BIT0、NBITO、BIT1、NBIT1 的电

位被预充电和均衡为电源电位 VDD。

这里，在数据写入时，由于在选择存储单元 1A 中驱动用晶体管 MN3A、MN4A 的源极成为浮置状态，故即使电源电位 VDD 是低电压，也可与写入容限无关地写入反转数据。而且，由于使选择位线 BITO、NBITO 的一方只从预充电电位 VDD 变化为比预充电电位 VDD 低了微小电位  $\Delta V$  的  $(VDD - \Delta V)$ ，故与满振幅的情况相比，可实现低功耗。

而且，在与选择存储单元 1A 配置在同一列的非选择存储单元 1B 中，虽然驱动用晶体管 MN3B、MN4B 的源极也因激活用晶体管 MN5A 的导通而成为浮置状态，但由于传送用晶体管 MN3B、MN4B 为非导通，故良好地保持数据。再者，在与选择存储单元 1A 为同一行的非选择存储单元 1C 中，虽然传送用晶体管 MN3C、MN4C 因字线  $WLn$  而导通，但由于激活用晶体管 MN5B 导通，驱动用晶体管 MN3C、MN4C 的源极为接地电位，故良好地保持蓄积节点 DA、NDA 的数据。另外，在对于选择存储单元 1A 的位线的电位传递时，由于与工作频率无关地在一定期间内设定该字线  $WLn$  的激活和源极线  $SL0$  的非激活，故可有效地防止起因于漏泄等的的数据破坏，确保数据保持的稳定性。

以上说明了数据写入时的情况，但在数据读出时，对激活用晶体管 MN5A、MN5B 的衬底供给正的电位。由此，激活用晶体管 MN5A、MN5B 的阈值电压变低，可谋求数据读出的高速化。

如以上已说明的那样，按照本发明的第 1~8 方面记载的半导体存储器，由于在数据写入时使连接到选择位线上的同一列的存储单元的驱动用晶体管的源极公共地成为浮置状态，故既可良好地保持非选择存储单元的数据，即使电源电压为低电压的情况，也可与写入容限无关地只对 1 个选择存储单元进行数据写入。

特别是，按照本发明的第 2 方面记载的半导体存储器，由于即使不将位线对位的电位差扩展为第 1 电位与第 2 电位的电位差也能以其间的小的电位差传递给存储单元，故成为低消耗电流。

此外，按照本发明的第 5 方面记载的半导体存储器，用 N 型晶体管构成存储单元的传送用晶体管，在使 1 对位线在第 1 电位与第 2 电位之间的第 3 电位附近工作的情况下，由于利用 P 型晶体管来均衡该 1 对位

线，故即使在写入时 1 对位线的电位为高电位，也能有效地防止误工作。

再者，按照本发明的第 6 方面记载的半导体存储器，由于只在规定的  
5 一定期间内使字线激活，同时只在该一定期间内使驱动用晶体管的源极成为浮置状态，故可有效地防止连接到同一列上的非选择存储单元的内部数据因漏极泄等被破坏，可谋求提高数据保持特性。

另外，按照本发明的第 7 方面记载的半导体存储器，可将写入时的位线对  
10 的电位差限制得较小，可削减位线电流。

此外，按照本发明的第 8 方面记载的半导体存储器，即使是将激活用晶体管连接到存储单元的驱动用晶体管的源极上的情况，由于在读出  
15 时将其衬底电位控制为正电位，故可使该激活用晶体管的阈值电压成为较小的值，可谋求读出速度的提高。

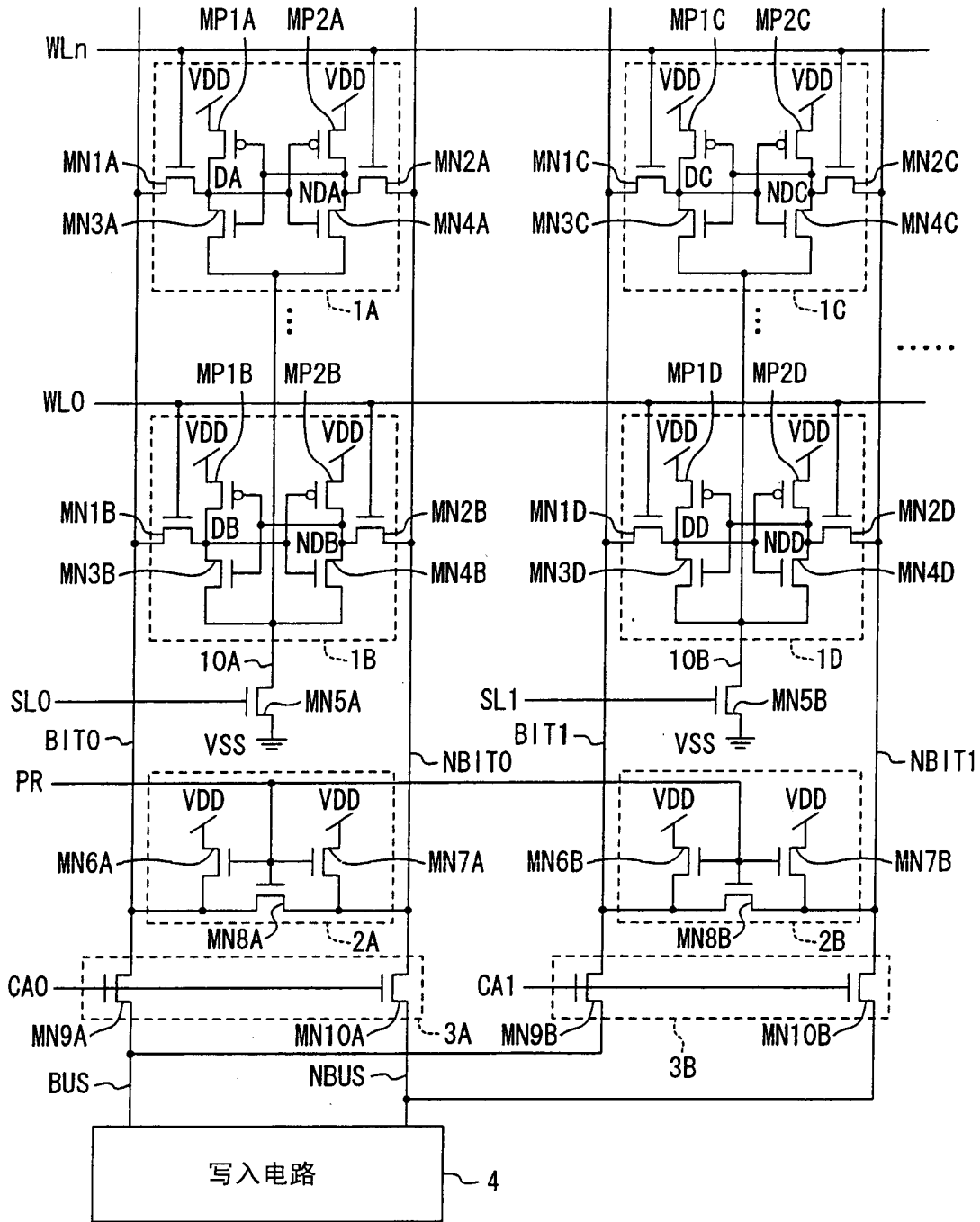


图 1



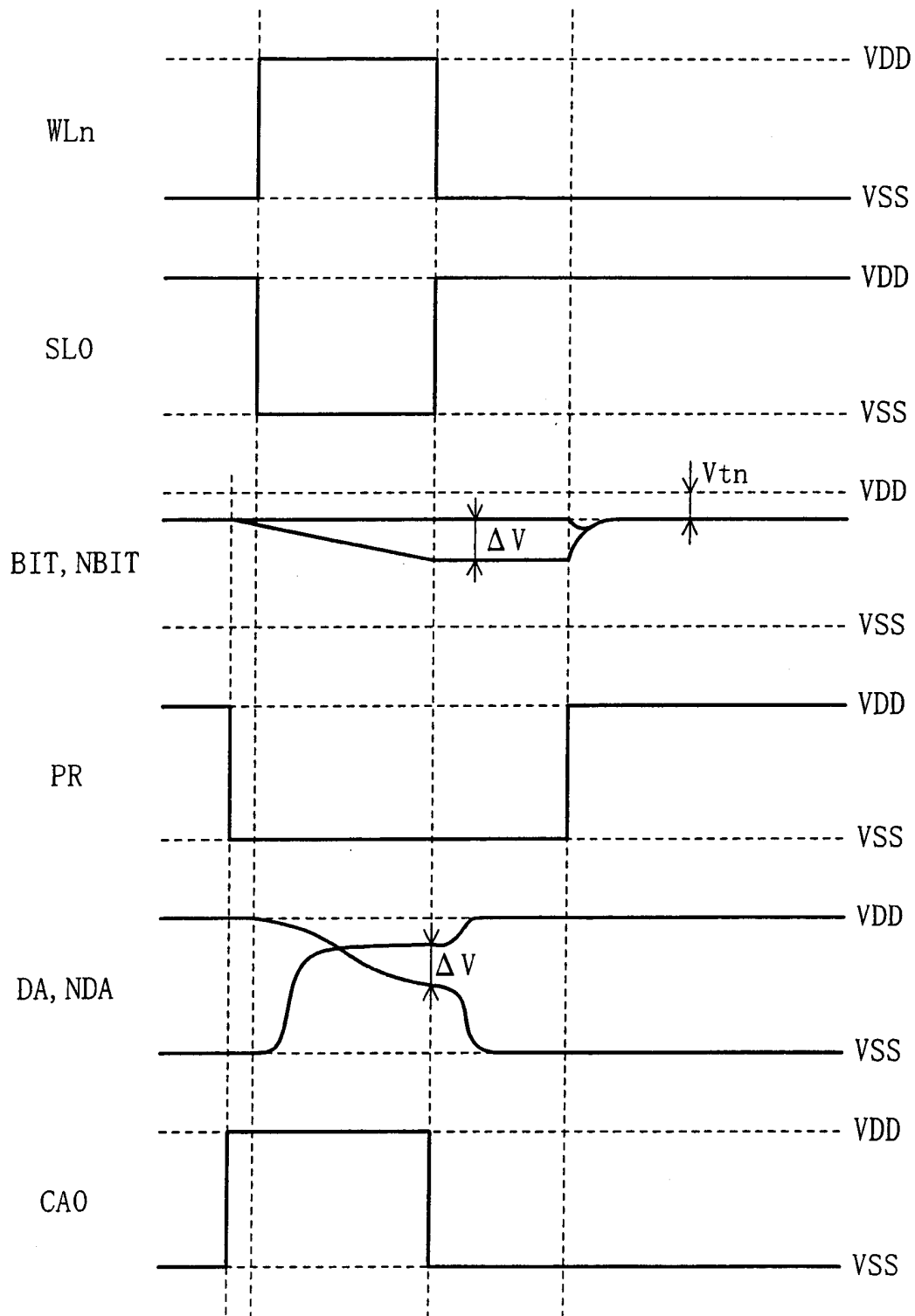


图 2

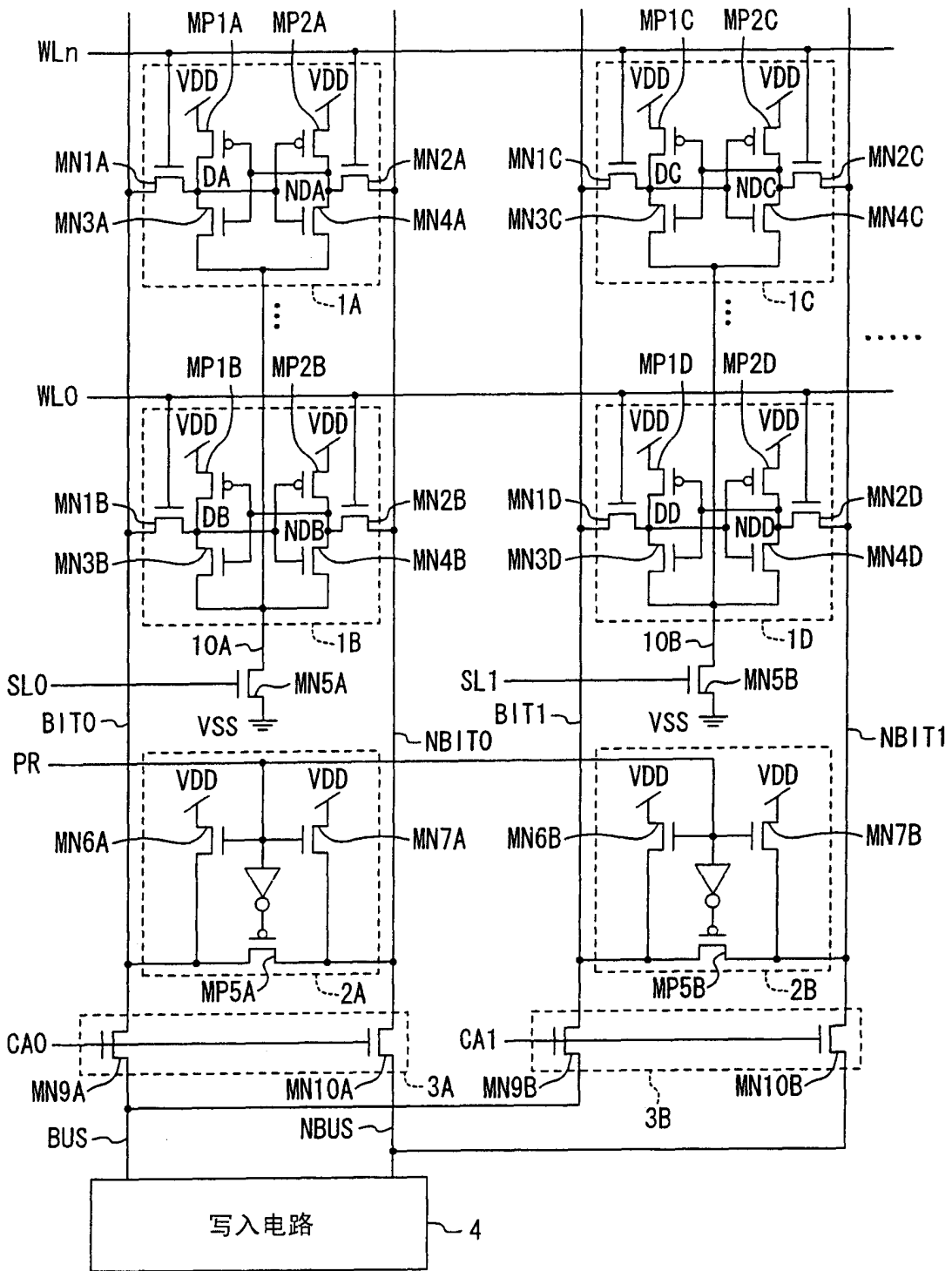


图 3

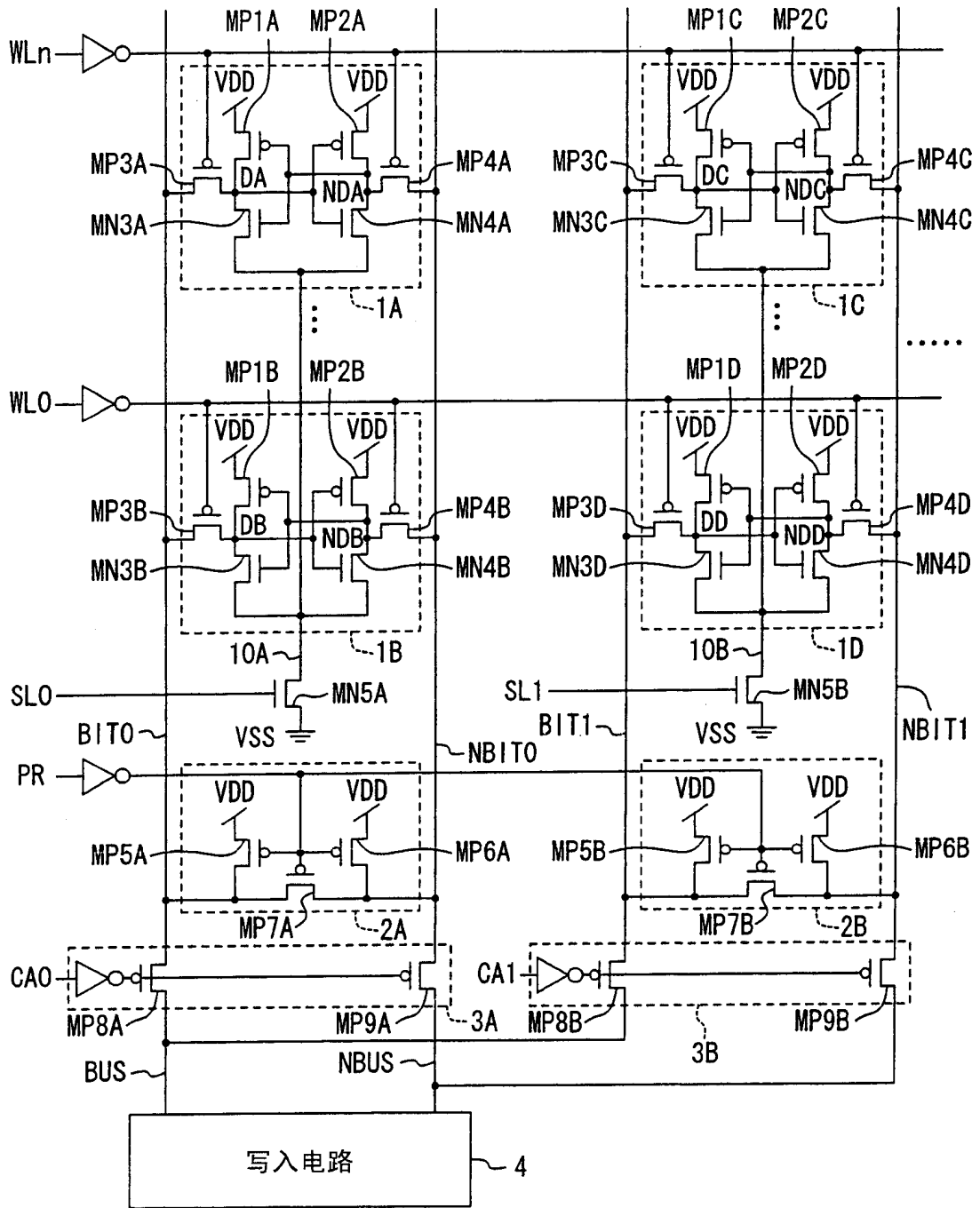


图 4

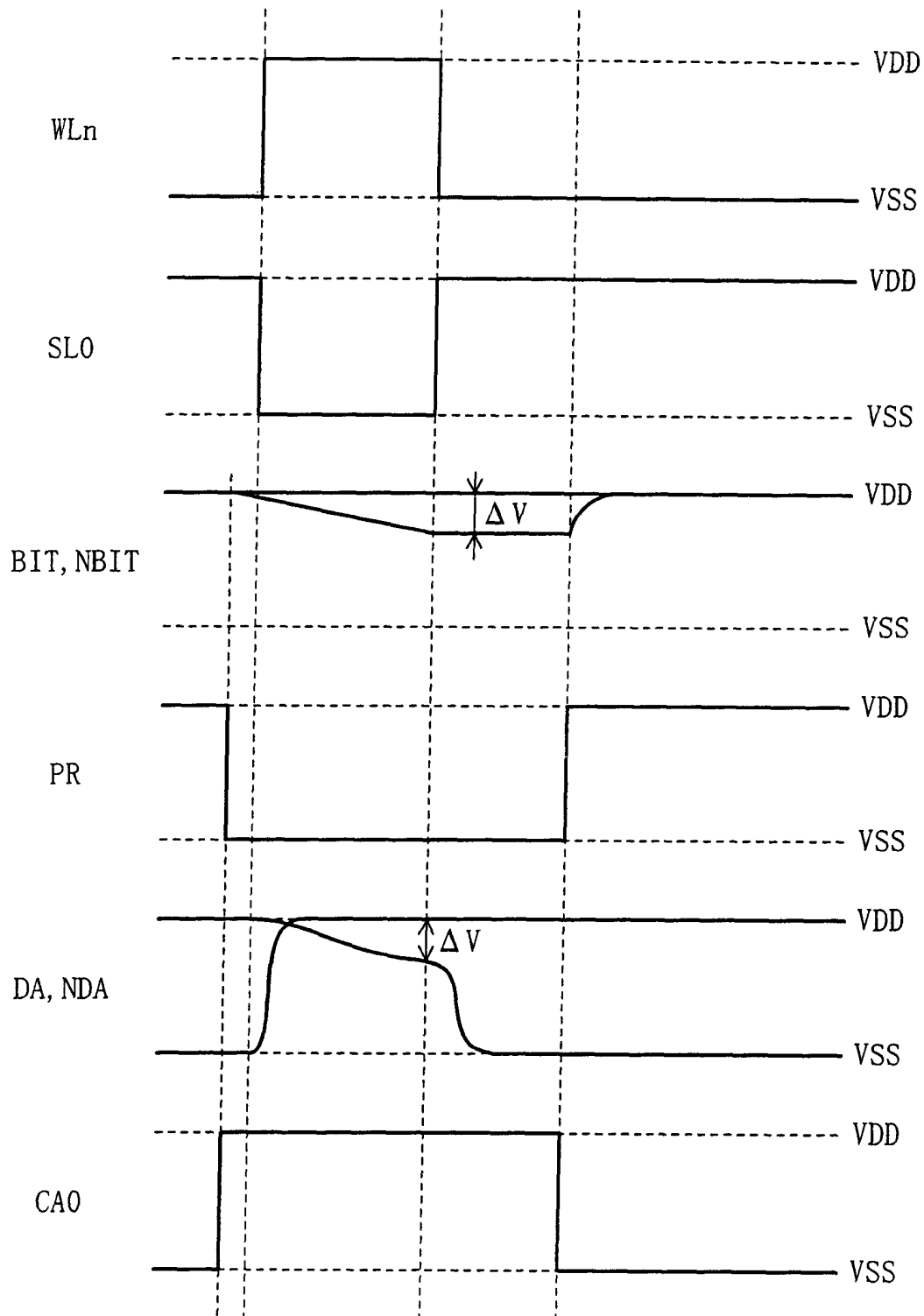


图 5

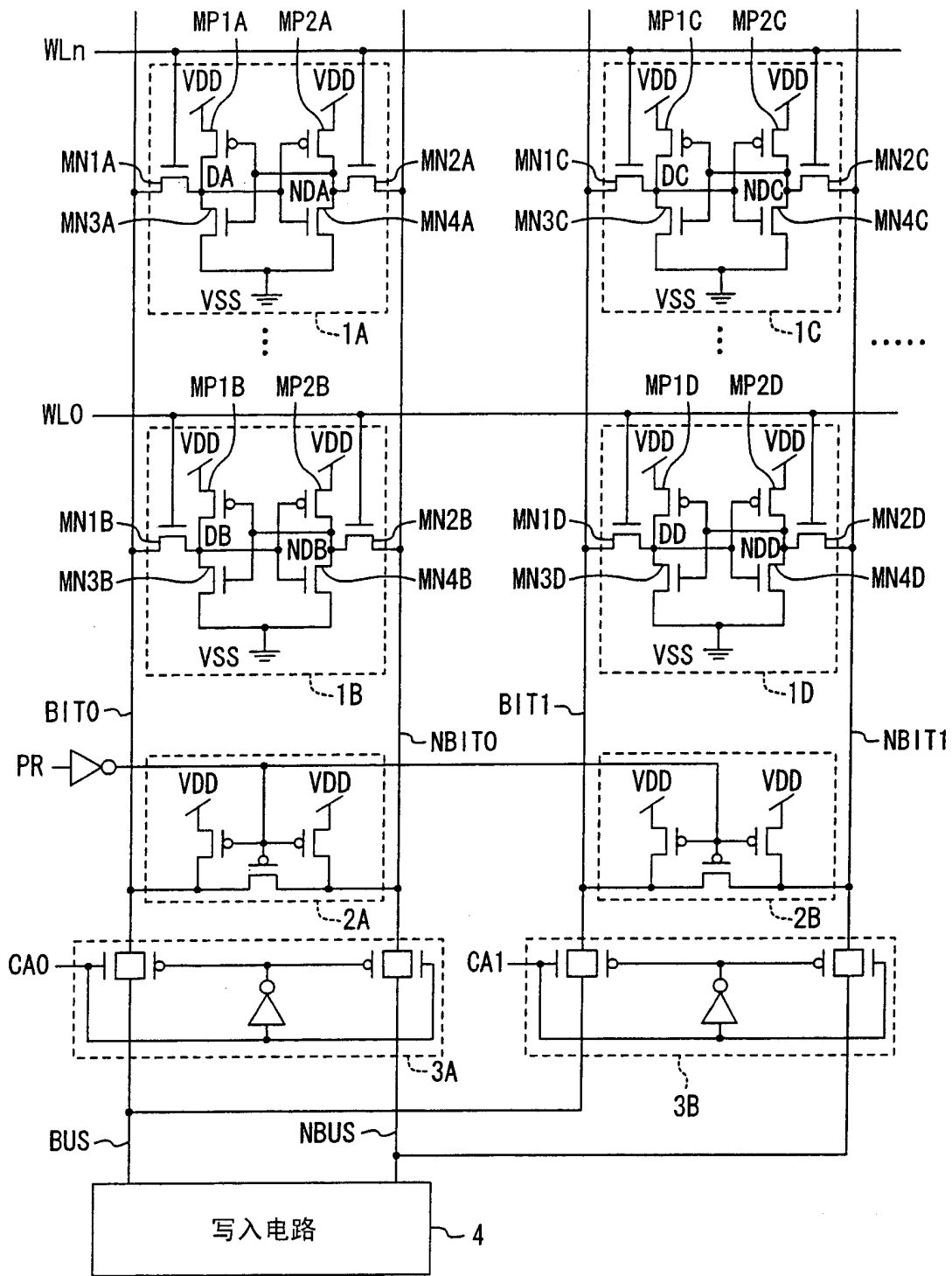


图 6

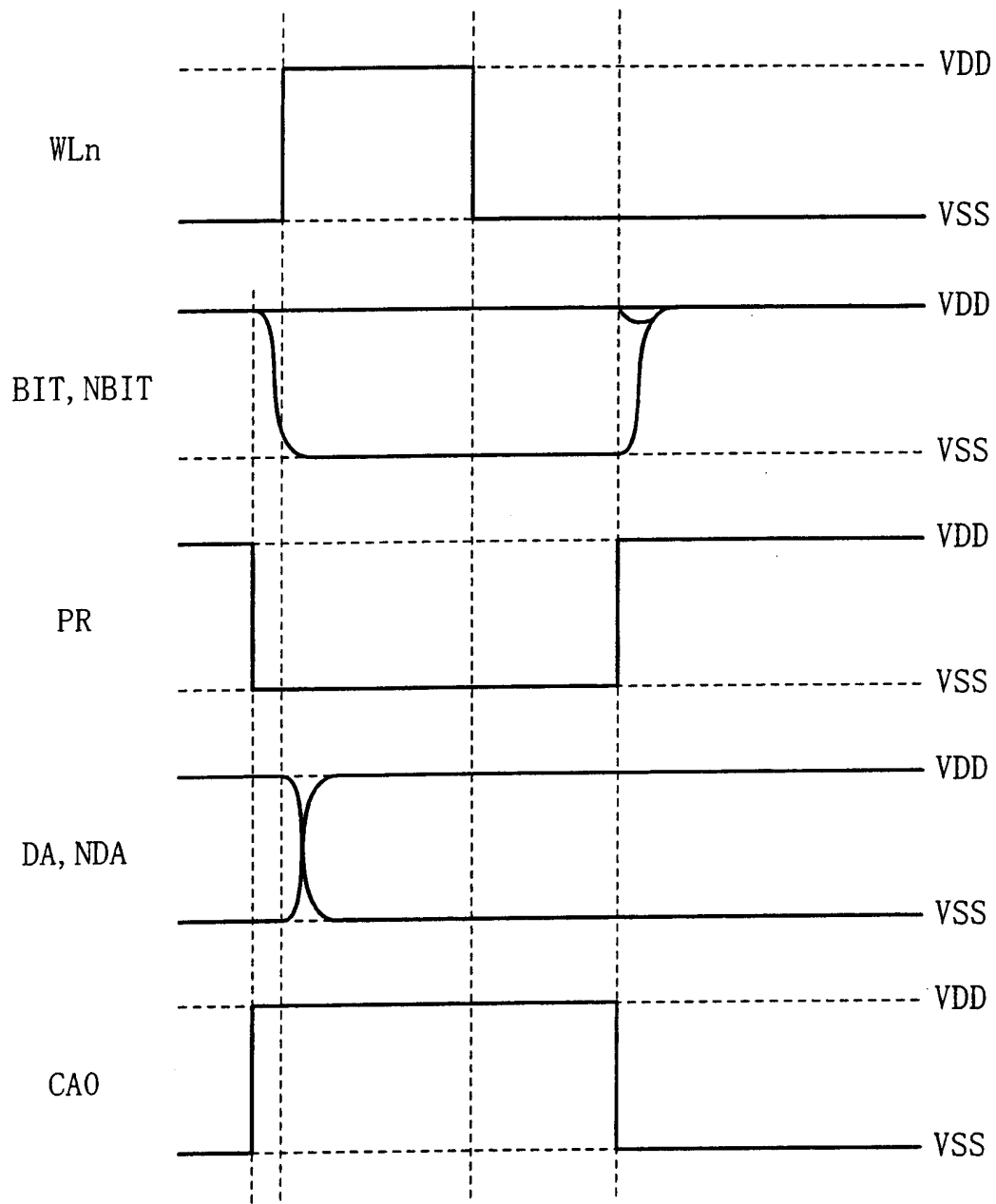


图 7

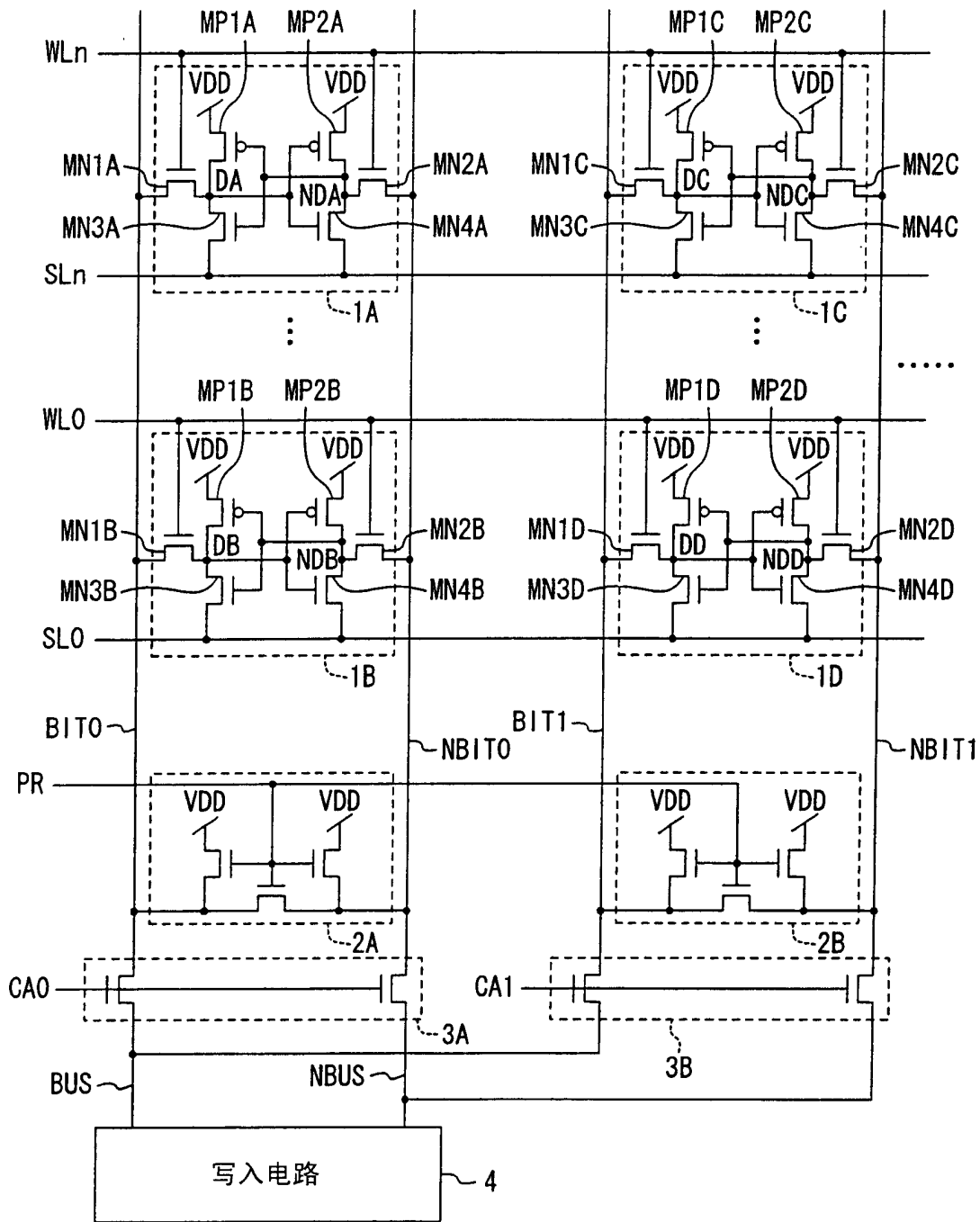


图 8