

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5580751号
(P5580751)

(45) 発行日 平成26年8月27日(2014.8.27)

(24) 登録日 平成26年7月18日(2014.7.18)

(51) Int. Cl. F 1
G 0 6 F 12/00 (2006.01) G 0 6 F 12/00 5 6 4 A
G 1 1 C 11/413 (2006.01) G 1 1 C 11/34 3 3 5 Z

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2011-7836 (P2011-7836)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成23年1月18日(2011.1.18)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2012-150593 (P2012-150593A)	(74) 代理人	110001195 特許業務法人深見特許事務所
(43) 公開日	平成24年8月9日(2012.8.9)	(72) 発明者	松村 雅司 兵庫県伊丹市瑞原四丁目1番地 株式会社 ルネサスデザイン内
審査請求日	平成25年9月30日(2013.9.30)	(72) 発明者	本村 弘之 兵庫県伊丹市瑞原四丁目1番地 株式会社 ルネサスデザイン内
		審査官	野田 佳邦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

複数のディジチェン接続されたメモリモジュールを備え、
各メモリモジュールは、メモリアレイと、
レジュームモードにおいて、メモリモジュール内の構成要素への電源電圧の供給を制御するスイッチと、

レジュームモードからノーマルモードへの移行を指示するレジューム制御信号を受けて、次段のメモリモジュールへ、前記受けたレジューム制御信号よりもタイミングが遅延したレジューム制御信号を次段のメモリモジュールへ出力する遅延回路とを含み、

前記メモリモジュールは、

ノーマルモードでは、前記メモリモジュール内のある構成要素を制御する第1の制御信号が入力され、前記入力された第1の制御信号を遅延させることによって、前記メモリモジュール内の別の構成要素を制御する第2の制御信号を生成し、レジュームモードでは、前記レジューム制御信号が入力され、前記入力されたレジューム制御信号を遅延させることによって、中間信号を生成する複数段のインバータを含む制御回路を備え、

前記遅延回路は、前記制御回路内の複数段のインバータからの前記中間信号が入力され、前記入力された前記中間信号を遅延させることによって、次段のメモリモジュールへのレジューム制御信号を生成する複数段のインバータを含む、半導体装置。

【請求項2】

前記遅延回路は、レジューム制御信号が入力され、前記入力されたレジューム制御信号

を遅延させることによって、次段のメモリモジュールへのレジューム制御信号を生成する複数段のインバータを含む、請求項 1 記載の半導体装置。

【請求項 3】

各メモリモジュールのメモリアレイは、SRAMセルを含み、前記SRAMセルは、高電圧が供給される第1電源ノードと低電圧が供給される第2電源ノードと接続し、

前記半導体装置は、さらに、

ノーマルモードでは、第1の電圧を前記第2電源ノードへ供給し、レジュームモードでは、前記第1の電圧を上昇させた電圧を前記第2電源ノードへ供給する電源制御回路を備えた、請求項 1 記載の半導体装置。

【請求項 4】

前記電源制御回路は、レジュームモードからノーマルモードに移行するときに、前記上昇させた前記第2電源ノードの電圧を前記第1の電圧まで下降させ、

前記遅延回路は、前記電源制御回路から出力される電圧と、前記第1の電圧の大きさを比較して、一致した時点で、次段のメモリモジュールへ前記レジューム制御信号を出力する、請求項 3 記載の半導体装置。

【請求項 5】

各メモリモジュールのメモリアレイは、SRAMセルを含み、前記SRAMセルは、高電圧が供給される第1電源ノードと低電圧が供給される第2電源ノードと接続し、

前記半導体装置は、さらに、

ノーマルモードでは、第2の電圧を前記第1電源ノードへ供給し、レジュームモードでは、前記第2の電圧を下降させた電圧を前記第1電源ノードへ供給する電源制御回路を備えた、請求項 1 記載の半導体装置。

【請求項 6】

前記電源制御回路は、レジュームモードからノーマルモードに移行するときに、前記下降させた前記第1電源ノードの電圧を前記第2の電圧まで上昇させ、

前記遅延回路は、前記電源制御回路から出力される電圧と、前記第2の電圧の大きさを比較して、一致した時点で、次段のメモリモジュールへ前記レジューム制御信号を出力する、請求項 5 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、低消費電力で動作するレジュームモードを有する半導体装置に関する。

【背景技術】

【0002】

半導体装置において、瞬時的に大電流が流れるのを防止するための技術が提案されている。たとえば、特許文献 1 (特開 2001 - 156258 号公報) には、回路ブロック、複数の回路ブロックを有することである特性の機能を実現する機能ブロック、入力回路、出力回路、およびクロック信号を分周して回路ブロックと機能ブロックの動作タイミングを同期的に時分割に制御するタイミング制御回路を有する半導体集積回路であって、タイミング制御回路を、回路ブロックや機能ブロックの動作時に、電源と接地電位間を瞬時的に流れる電流が極大となる時間を、回路ブロックや機能ブロック毎に位相差を持たせるように構成した半導体集積回路が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2001 - 156258 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

20

30

40

50

ところで、特許文献1(特開2001-156258号公報)には、低消費電力状態であるレジュームモードからノーマルモードへの復帰時に流れるピーク電流を削減する構成については開示されていない。

【0005】

レジューム制御される混載SRAMでは、メモリアレイ部のみに記憶データを保持することが可能な最小限の電圧をかけ、周辺回路等の記憶データ保持に必要な回路の電源電圧は切断することで、最小の電圧でデータ保持をすることが可能な機能を有する。このようにメモリモジュール内の記憶データを最小限の電流で保持する状態をレジュームモードと呼ぶ。これに対して、レジュームモード以外の状態をノーマルモードという。

【0006】

近年のロジックLSI(Large Scale Integration)においては、低消費電力化が進むとともに混載されるSRAM(Static Random Access Memory)容量の増大が進んでいる。また、モバイル製品などではレジュームモード(ウェイトモード)を有するものが増え、レジューム制御の対象となる混載SRAMのメモリモジュール数や容量も増大している。これに伴って、レジューム制御によるレジュームモードからノーマルモードに復帰する際のラッシュカレント(突入電流)のピーク電流が増大し、低電圧動作における保持保証が困難になるという問題がある。

【0007】

それゆえに、本発明の目的は、レジュームモードからノーマルモードに復帰する際のラッシュカレント(突入電流)のピーク電流を低減することができる半導体装置を提供することである。

【課題を解決するための手段】

【0008】

本発明の一実施形態の半導体装置は、複数のディジーチェン接続されたメモリモジュールを備える。各メモリモジュールは、メモリアレイと、レジュームモードにおいて、メモリモジュール内の構成要素への電源電圧の供給を制御するスイッチと、レジュームモードからノーマルモードへの移行を指示するレジューム制御信号を受けて、次段のメモリモジュールへ、入力されたレジューム制御信号よりもタイミングが遅延したレジューム制御信号を次段のメモリモジュールへ出力する遅延回路とを含む。

【発明の効果】

【0009】

本発明の一実施形態によれば、レジュームモードからノーマルモードに復帰する際のラッシュカレント(突入電流)のピーク電流を低減することができる。

【図面の簡単な説明】

【0010】

【図1】第1の実施形態の半導体チップの構成を表わす図である。

【図2】第1の実施形態のレジューム対象モジュールのメモリモジュールの構成を表わす図である。

【図3】図2のメモリモジュール#iに含まれる遅延回路を表わす図である。

【図4】レジューム制御信号のタイミングを表わす図である。

【図5】レジューム制御信号と、ARVSS電源ノードの電圧の変化を表わす図である。

【図6】従来のレジュームモードからノーマルモードへの復帰時の消費電流の時間変化を表わす図である。

【図7】本発明の第1の実施形態におけるレジュームモードからノーマルモードへの復帰時の消費電流の時間変化を表わす図である。

【図8】第1の実施形態の変形例1のメモリモジュールの構成を表わす図である。

【図9】第1の実施形態の変形例2のメモリモジュールの構成を表わす図である。

【図10】変形例2のメモリモジュール#i内の制御回路に含まれる遅延回路を表わす図である。

【図11】図9の遅延回路32を表わす図である。

10

20

30

40

50

【図 1 2】本発明の第 2 の実施形態のメモリモジュールの構成を表わす図である。

【図 1 3】図 1 2 のメモリモジュール # i に含まれる遅延回路を表わす図である。

【図 1 4】第 2 の実施形態におけるレジュームモードからノーマルモードへの復帰時の消費電流を説明するための図である。

【図 1 5】第 3 の実施形態のメモリモジュールの構成を表わす図である。

【図 1 6】図 1 5 のメモリモジュール # i に含まれる遅延回路を表わす図である。

【図 1 7】レジューム制御信号と、A R V D D 電源ノードの電圧の変化を表わす図である。

【図 1 8】変形例のレジューム対象モジュールのメモリモジュールの構成を表わす図である。

10

【図 1 9】変形例のメモリモジュール # i に含まれる遅延回路を表わす図である。

【図 2 0】変形例のメモリモジュールの構成を表わす図である。

【図 2 1】変形例のメモリモジュールの構成を表わす図である。

【図 2 2】変形例のメモリモジュールの構成を表わす図である。

【図 2 3】変形例のメモリモジュール # i に含まれる遅延回路を表わす図である。

【図 2 4】変形例のメモリモジュールの構成を表わす図である。

【図 2 5】変形例のメモリモジュール # i に含まれる遅延回路を表わす図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態について図面を参照して説明する。

20

[第 1 の実施形態]

(半導体チップ)

図 1 は、第 1 の実施形態の半導体チップの構成を表わす図である。

【0012】

図 1 を参照して、この半導体チップ 7 0 は、アナログ回路 7 1 と、I P (Intellectual Property) 7 2 と、ロジック部 7 3 と、レジューム対象モジュール 7 5 と、レジューム非対象モジュール 7 6 と、電源回路 7 4 とを備える。

【0013】

アナログ回路 7 1 は、半導体チップ 7 0 内の各構成要素を制御するためのアナログ信号処理を行なう。

30

【0014】

I P 7 2 は、タイマー機能、通信機能などを実行する周辺回路である。

ロジック部 7 3 は、レジューム対象モジュール 7 5 内の初段のメモリモジュール # 1 へレジューム制御信号 R S (1) を出力する。ロジック部 7 2 は、レジューム対象モジュール内の最終段のメモリモジュール # N からレジューム制御信号 R S (N + 1) を受ける。

【0015】

ロジック部 7 3 はレジューム制御信号 R S (N + 1) の受信により、レジューム対象モジュール 7 5 がレジュームモードからノーマルモードへの復帰が完了したことを判断する。ロジック部 7 3 はレジューム制御信号 R S (N + 1) の受信をもとにレジューム対象モジュール 7 5 へのアクセスを開始する。

40

【0016】

レジューム対象モジュール 7 5 は、レジュームモード時に、低消費電力で動作する。レジューム対象モジュール 7 5 内のメモリモジュール # 1 ~ メモリモジュール # N は、ディジーチェンで接続される。

【0017】

メモリモジュール # i は、前段のメモリモジュール # $i - 1$ またはロジック部 7 3 からレジューム制御信号 R S (i) を受けて、レジューム制御信号 R S (i) に従って、自己の各構成要素への電源電圧の供給を制御するとともに、次段のメモリモジュール # $i + 1$ またはロジック部 7 3 へレジューム制御信号 R S ($i + 1$) を出力する。

【0018】

50

レジューム非対象モジュール76内のメモリモジュール#N+1~メモリモジュール#Mは、レジュームモードでも、ノーマルモードと同様に電源電圧が供給されるモジュールである。

【0019】

電源回路74は、半導体チップ70内の各構成要素に電源電圧を供給する。

半導体チップ70は携帯電話などのモバイル製品に用いられる。例えば、携帯電話において動画アプリケーションの完了後に携帯電話を折りたたむなどの操作を行なうと、ロジック部73はレジューム制御信号RS(1)を出力する。

【0020】

(レジューム対象モジュールのメモリモジュール)

図2は、第1の実施形態のレジューム対象モジュールのメモリモジュールの構成を表わす図である。

【0021】

図2を参照して、メモリモジュール#i(77-i)(SRAM)は、デコーダ回路6と、制御回路14と、スイッチ16と、メモリアレイ4と、RS用電源制御回路8と、IO回路10と、遅延回路42とを備える。

【0022】

デコーダ回路6は、外部からのアドレスをデコードして、メモリアレイ4内のメモリセルを選択する。

【0023】

制御回路は14、メモリアレイ4内のSRAMセルの読出し、および書込みを制御する。

【0024】

スイッチ16は、前段のメモリモジュール#i-1から、レジューム制御信号RS(i)を受けて、レジューム制御信号RS(i)が「H」レベルに立上がった時点(ノーマルモードからレジュームモードの移行を示す)で、制御回路14、デコーダ回路6、およびIO回路10への接地電圧VSSの供給を停止する。これによって、これらの回路による電力の消費を停止させる。

【0025】

スイッチ16は、前段のメモリモジュール#i-1から、レジューム制御信号RS(i)を受けて、レジューム制御信号RS(i)が「L」レベルに立ち下がった時点(レジュームモードからノーマルモードへの移行を指示する)で、制御回路14、デコーダ回路6、およびIO回路10へ接地電圧VSSの供給を再開する。

【0026】

メモリアレイ4は、SRAMセルを含む。SRAMセルは、高電圧が供給されるVDD電源ノードと、低電圧が供給されるARVSS電源ノードと接続する。

【0027】

RS用電源制御回路8は、外部から接地電圧VSSを受ける。RS用電源制御回路8は、ノーマルモードでは、接地電圧VSSをARVSS電源ノードへ供給する。RS用電源制御回路8は、レジュームモードでは、接地電圧VSSを所定量だけ上昇させた電圧をARVSS電源ノードへ供給する。これにより、レジュームモードでは、VDD電源ノードとARVSS電源ノードの電圧差が小さくなるので、メモリアレイ4内のデータを保持しつつ、電力消費を低減することができる。

【0028】

IO回路10は、書込み時に、外部からのデータをメモリアレイ4へ出力し、読出し時に、メモリアレイ4からのデータを外部へ出力する。

【0029】

遅延回路42は、前段のメモリモジュール#i-1またはロジック部73から出力されるレジューム制御信号RS(i)の立下りのタイミング(レジュームモードからノーマルモードへの移行を指示する)を遅延させたレジューム制御信号RS(i+1)を次段のメ

10

20

30

40

50

メモリモジュール # $i + 1$ へ出力する。

【 0 0 3 0 】

(遅延回路)

図 3 は、図 2 のメモリモジュール # i に含まれる遅延回路を表わす図である。

【 0 0 3 1 】

図 3 を参照して、この遅延回路 4 2 は、インバータ回路 6 2 と、OR 回路 6 1 とを備える。

【 0 0 3 2 】

インバータ回路は 6 2、複数段のインバータからなり、レジューム制御信号 $RS(i)$ が入力され、入力されたレジューム制御信号 $RS(i)$ を所定時間 $T(i)$ だけ遅延させて、OR 回路 6 1 へ出力する。

10

【 0 0 3 3 】

OR 回路 6 1 は、レジューム制御信号 $RS(1)$ と、インバータ回路 6 2 の出力の論理和をレジューム制御信号 $RS(i + 1)$ として出力する。

【 0 0 3 4 】

(レジューム制御のタイミングと消費電流)

図 4 は、レジューム制御信号のタイミングを表わす図である。

【 0 0 3 5 】

図 4 に示すように、メモリモジュール # i ($i = 1 \sim N$) における遅延回路 4 2 が、レジューム制御信号 $RS(i)$ の立下りのタイミングを所定時間 $T(i)$ だけ遅延させたレジューム制御信号 $RS(i + 1)$ を出力する。

20

【 0 0 3 6 】

図 5 は、レジューム制御信号と、ARVSS 電源ノードの電圧の変化を表わす図である。

【 0 0 3 7 】

レジューム制御信号 $RS(i)$ が「H」レベルに活性化されると、RS 用電源制御回路 8 から ARVSS 電源ノードに供給される電圧が所定電圧だけ上昇する。レジューム制御信号 $RS(i)$ が「L」レベルに非活性化されると、RS 用電源制御回路 8 から ARVSS 電源ノードに供給される電圧が接地電圧 VSS に戻る。

【 0 0 3 8 】

30

図 6 は、従来のレジュームモードからノーマルモードへの復帰時の消費電流の時間変化を表わす図である。

【 0 0 3 9 】

従来は、全メモリモジュールが、同じタイミングでレジュームモードからノーマルモードへ復帰するので、図 6 に示すように、全メモリモジュールの消費電流の総和のピークが高くなる。

【 0 0 4 0 】

図 7 は、本発明の第 1 の実施形態におけるレジュームモードからノーマルモードへの復帰時の消費電流の時間変化を表わす図である。

【 0 0 4 1 】

40

本発明の実施形態では、図 4 に示すようにレジューム制御信号 $RS(i)$ が「L」レベルに活性化されるタイミング(レジュームモードからノーマルモードへの移行を示すタイミング)がメモリモジュール # i ごとに相違するので、レジュームモードからノーマルモードへ復帰するタイミングは、メモリモジュール # i ごとに相違することになる。その結果、レジュームモードからノーマルモードへの復帰によって消費される電流のタイミングがメモリモジュールごとに相違するので、図 7 に示すように、全メモリモジュールの消費電流の総和のピークを低く平坦にすることができる。

【 0 0 4 2 】

[第 1 の実施形態の変形例 1]

図 8 は、第 1 の実施形態の変形例 1 のメモリモジュールの構成を表わす図である。

50

【 0 0 4 3 】

第 1 の実施形態では、S R A M の内部に遅延回路 4 2 を設けたが、変形例では、図 8 に示すように、このメモリモジュールでは、S R A M の外部に遅延回路 2 2 が設けられる。

【 0 0 4 4 】

[第 1 の実施形態の変形例 2]

図 9 は、第 1 の実施形態の変形例 2 のメモリモジュールの構成を表わす図である。

【 0 0 4 5 】

図 9 に示すように、前段のメモリモジュール # $i - 1$ から出力されたレジューム制御信号 $R S (i)$ は、制御回路 1 4 に送られて、制御回路 1 4 から中間信号 $N R S (i)$ が出力される。さらに、中間信号 $N R S (i)$ が遅延回路 3 2 に送られて、遅延回路 3 2 から次段のメモリモジュール # $i + 1$ へのレジューム制御信号 $R S (i + 1)$ が出力される。

10

【 0 0 4 6 】

図 1 0 は、変形例 2 のメモリモジュール # i 内の制御回路に含まれる遅延回路を表わす図である。

【 0 0 4 7 】

この遅延回路 5 1 は、入力セクタ 5 3 と、インバータ回路 5 2 と、出力セクタ 5 4 とを備える。

【 0 0 4 8 】

入力セクタ 5 3 には、メモリモジュール # i 内のある構成要素を制御する第 1 の制御信号 (たとえば、メモリアレイ内のワード線の活性化を制御する信号 $W O _ E$) と、レジューム制御信号 $R S (i)$ が入力される。

20

【 0 0 4 9 】

入力セクタ 5 3 は、ノーマルモードでは、第 1 の制御信号 ($W O _ E$) をインバータ回路 5 2 へ出力し、レジュームモードでは、レジューム制御信号 $R S (i)$ をインバータ回路 5 2 へ出力する。

【 0 0 5 0 】

インバータ回路 5 2 は、複数段のインバータからなる。インバータ回路 5 2 は、ノーマルモードでは、入力セクタ 5 3 から出力される第 1 の制御信号 ($W O _ E$) を所定時間 () だけ遅延させて、メモリモジュール内の別の構成要素を制御する第 2 の制御信号 (たとえば、メモリアレイ内のセンスアンプの活性化を制御する信号 $S E N$) を出力セクタ 5 4 へ出力する。インバータ回路 5 2 は、レジュームモードでは、入力セクタ 5 3 から出力されるレジューム制御信号 $R S (i)$ を所定時間 () だけ遅延させて、中間信号 $N R S (i)$ を出力セクタ 5 4 へ出力する。

30

【 0 0 5 1 】

出力セクタ 5 4 は、ノーマルモードでは、第 2 の制御信号 ($S E N$) を出力し、レジュームモードでは、中間信号 $N R S (i)$ を遅延回路 3 2 へ出力する。

【 0 0 5 2 】

図 1 1 は、図 9 の遅延回路 3 2 を表わす図である。

図 1 1 を参照して、この遅延回路 3 2 は、インバータ回路 6 6 と、O R 回路 6 5 とを備える。

40

【 0 0 5 3 】

インバータ回路 6 6 は、複数段のインバータからなり、中間信号 $N R S (i)$ が入力され、入力された中間信号 $N R S (i)$ を所定時間 ($T (i) -$) だけ遅延させて、O R 回路 6 5 へ出力する。

【 0 0 5 4 】

O R 回路 6 5 は、レジューム制御信号 $R S (i)$ と、インバータ回路 6 6 の出力の論理和をレジューム制御信号 $R S (i + 1)$ として出力する。

【 0 0 5 5 】

レジューム制御信号 $R S (i)$ は、制御回路内の遅延回路 5 1 と、遅延回路 3 2 とを経由することによって、レジューム制御信号 $R S (i + 1)$ の立下りのタイミングは、レジ

50

ューム制御信号 $RS(i)$ の立下りのタイミングよりも $T(i)$ だけ遅延することになる。

【0056】

以上のように、変形例2によれば、レジューム制御信号 $RS(i)$ から次段へのレジューム制御信号 $(i+1)$ を生成するための遅延回路の一部を、制御回路に含まれる遅延回路を流用することで、遅延回路32のインバータの段数を少なくすることができ、回路面積の増加を最小限に抑制することができる。

【0057】

[第2の実施形態]

図12は、本発明の第2の実施形態のメモリモジュールの構成を表わす図である。

10

【0058】

このメモリモジュールが、図2のメモリモジュールと相違する点は、遅延回路12である。

【0059】

遅延回路12は、 RS 用電源制御回路から出力される電圧と、接地電圧 VSS の大きさを比較して、一致した時点で、次段のメモリモジュールへのレジューム制御信号 $RS(i+1)$ を立ち下げる。

【0060】

図13は、図12のメモリモジュール# i に含まれる遅延回路を表わす図である。

遅延回路は、電位判定回路64と、OR回路63とを備える。

20

【0061】

RS 用電源制御回路8は、レジュームモードからノーマルモードに移行するときに、 $ARVSS$ 電源ノードへ供給する上昇させた電圧を接地電圧 VSS まで下降させる。

【0062】

電位判定回路64は、レジューム制御信号 $RS(i)$ が「H」レベルに活性化されると「H」レベルの信号をOR回路63へ出力し、 RS 用電源制御回路8から出力される電圧と接地電圧 VSS との大きさが一致した時点で、「H」レベルの信号を立ち下げる。

【0063】

この電位判定回路64は、 RS 用電源制御回路8から出力される電圧をモニタする必要があるが、 LSI の低電圧動作が進むにつれて、検出する電位差も微量(微小)になるため、ノイズの影響を受けにくくするため、 RS 用電源制御回路8に近い箇所に設けることが望ましい。

30

【0064】

OR回路63は、レジューム制御信号 $RS(1)$ と、電位判定回路64の出力の論理和をレジューム制御信号 $RS(i+1)$ として出力する。

【0065】

図14は、第2の実施形態におけるレジュームモードからノーマルモードへの復帰時の消費電流を説明するための図である。

【0066】

図14に示すように、第2の実施形態では、メモリモジュール# i がレジュームモードからノーマルモードへ復帰した後に、メモリモジュール# $i+1$ がレジュームモードからノーマルモードへの復帰を開始するので、全メモリモジュールで使用される消費電流のピークを第1の実施形態よりも確実に低くすることができる。

40

【0067】

[第3の実施形態]

図15は、第3の実施形態のメモリモジュールの構成を表わす図である。

【0068】

このメモリモジュールが、図2のメモリモジュールと相違する点は、メモリアレイ44と、遅延回路41と、 RS 用電源制御回路48である。

【0069】

50

メモリアレイ 44 は、SRAMセルを含む。SRAMセルは、高電圧が供給される ARVDD 電源ノードと、低電圧が供給される VSS 電源ノードと接続する。

【0070】

RS 用電源制御回路 48 は、外部から正の電源電圧 VDD を受ける。RS 用電源制御回路 48 は、ノーマルモードでは、正の電源電圧 VDD を ARVDD 電源ノードへ供給する。RS 用電源制御回路 48 は、レジュームモードでは、正の電源電圧 VDD を所定量だけ下降させた電圧を ARVDD 電源ノードへ供給する。これにより、レジュームモードでは、ARVDD 電源ノードと VSS 電源ノードの電圧差が小さくなるので、メモリアレイ 44 内のデータを保持しつつ、電力消費を低減することができる。

【0071】

図 16 は、図 15 のメモリモジュール # i に含まれる遅延回路を表わす図である。遅延回路 41 は、電位判定回路 164 と、OR 回路 163 とを備える。

【0072】

RS 用電源制御回路 48 は、レジュームモードからノーマルモードに移行するときに、ARVDD 電源ノードへ供給する下降させた電圧を電源電圧 VDD まで上昇させる。

【0073】

電位判定回路 164 は、レジューム制御信号 RS (i) が「H」レベルに活性化されると「H」レベルの信号を OR 回路 163 へ出力し、RS 用電源制御回路 48 から出力される電圧と電源電圧 VDD との大きさが一致した時点で、「H」レベルの信号を立ち下げる。

【0074】

OR 回路 163 は、レジューム制御信号 RS (1) と、電位判定回路 164 の出力の論理和をレジューム制御信号 RS (i + 1) として出力する。

【0075】

図 17 は、レジューム制御信号と、ARVDD 電源ノードの電圧の変化を表わす図である。

【0076】

レジューム制御信号 RS (i) が「H」レベルに活性化されると、RS 用電源制御回路 48 から ARVDD 電源ノードに供給される電圧が所定電圧だけ下降する。レジューム制御信号 RS (i) が「L」レベルに非活性化されると、RS 用電源制御回路 48 から ARVDD 電源ノードに供給される電圧が電源電圧 VDD に戻る。

【0077】

第 3 の実施形態でも、第 2 の実施形態と同様に、メモリモジュール # i がレジュームモードからノーマルモードへ復帰した後に、メモリモジュール # i + 1 がレジュームモードからノーマルモードへの復帰を開始するので、全メモリモジュールで使用される消費電流のピークを第 1 の実施形態よりも確実に低くすることができる。

【0078】

(変形例)

本発明は、上記の実施形態に限定されるものではない。たとえば、以下のような変形例も含む。

【0079】

(1) 遅延回路への入力

本発明の実施形態では、図 2、図 3、図 8、図 9、図 12、図 13、図 15、図 16 に示したように、遅延回路には、レジューム制御信号 RS (1) が入力されていたが、これに限定するものではない。

【0080】

たとえば、遅延回路は、レジューム制御信号 RS (i) だけで、レジューム制御信号 RS (i + 1) を生成することができるので、図 2、図 3、図 8、図 9、図 12、図 13、図 15、図 16 の回路に代えて、図 18 ~ 図 25 の回路を用いることができる。

【0081】

10

20

30

40

50

たとえば、図19の遅延回路142は、遅延回路42は、インバータ回路62と、OR回路61とを備える。

【0082】

インバータ回路は62、複数段のインバータからなり、レジューム制御信号RS(i)が入力され、入力されたレジューム制御信号RS(i)を所定時間T(i)だけ遅延させて、OR回路61へ出力する。OR回路61は、レジューム制御信号RS(i)と、インバータ回路62の出力の論理和をレジューム制御信号RS(i+1)として出力する。

【0083】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

10

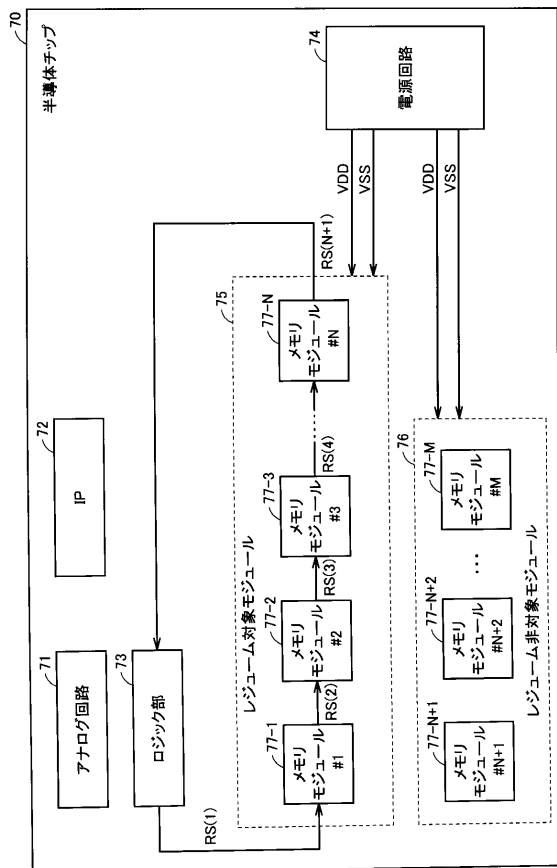
【符号の説明】

【0084】

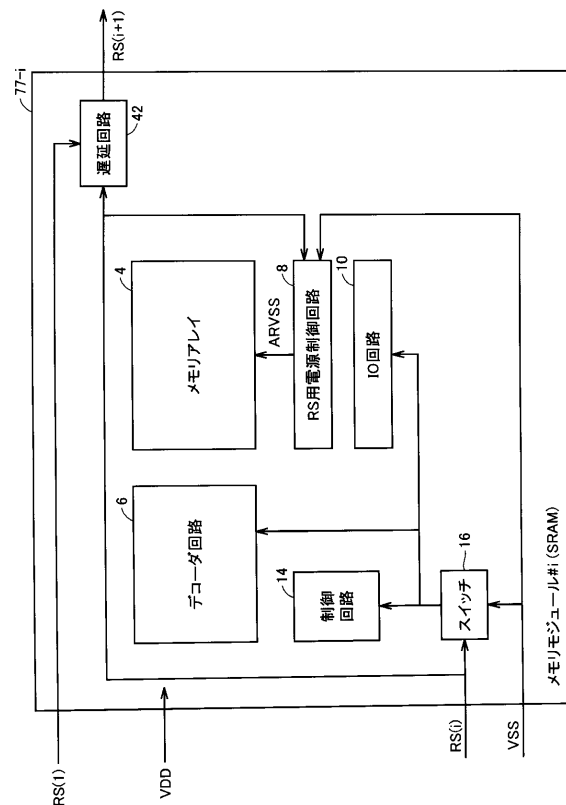
4, 44 メモリアレイ、6 デコーダ回路、8, 48 RS用電源制御回路、10 IO回路、14 制御回路、16 スイッチ、12, 22, 32, 41, 42, 51, 112, 122, 132, 141, 142 遅延回路、61, 63, 65, 163 OR回路、52, 62, 66 インバータ回路、53, 54 セレクタ、64, 164 電位判定回路、70 半導体チップ、71 アナログ回路、72 IP、73 ロジック部、74 電源回路、75 レジューム対象モジュール、76 レジューム非対象モジュール、77-1~77-M, 177 メモリモジュール、78 SRAM。

20

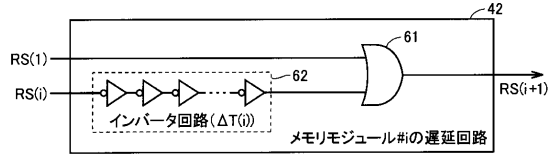
【図1】



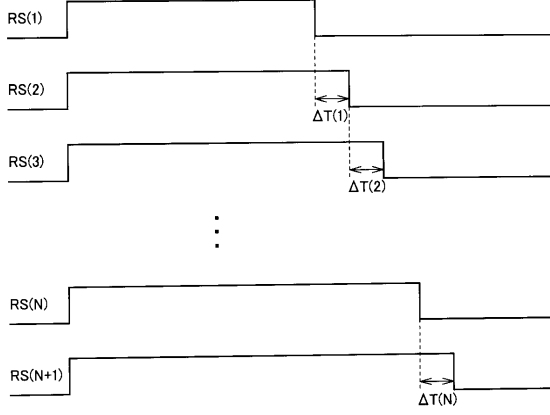
【図2】



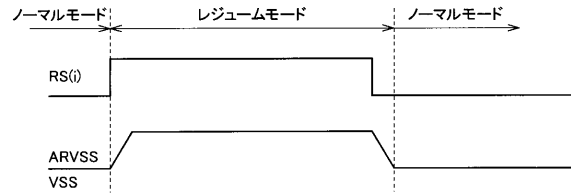
【図3】



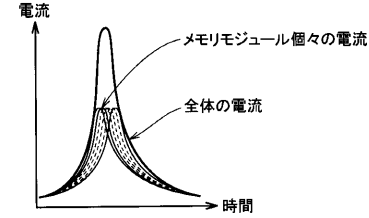
【図4】



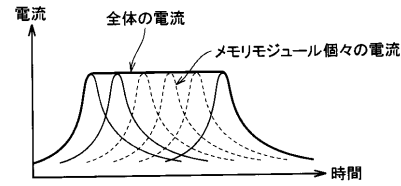
【図5】



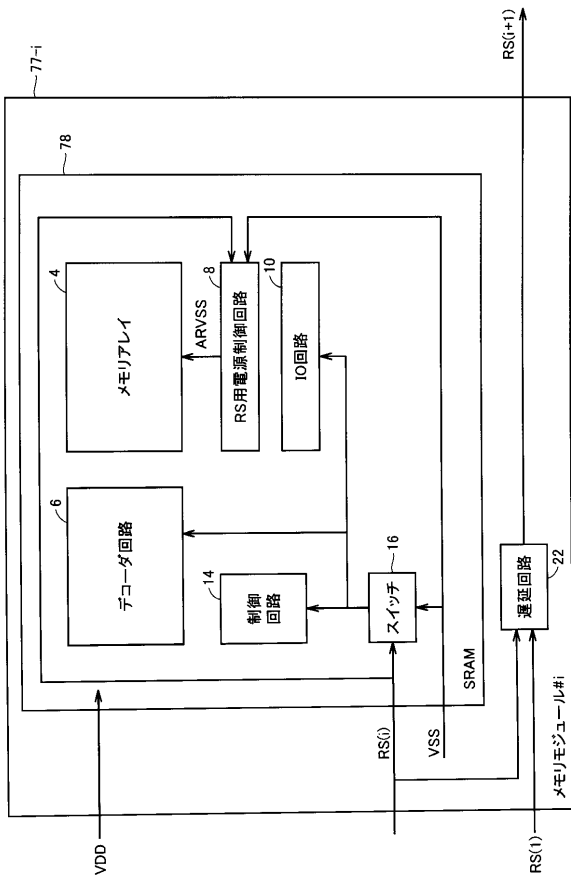
【図6】



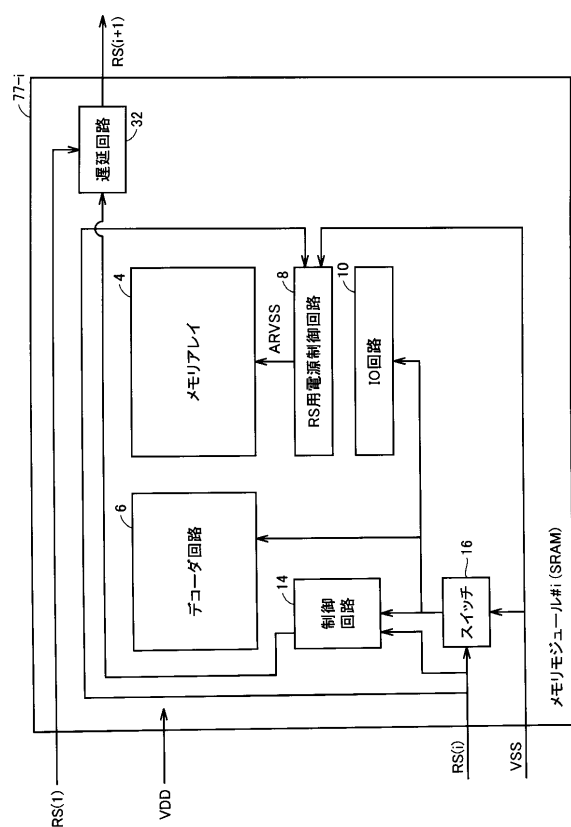
【図7】



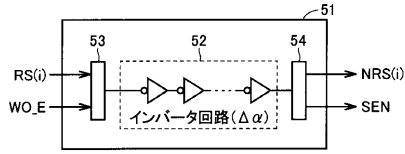
【図8】



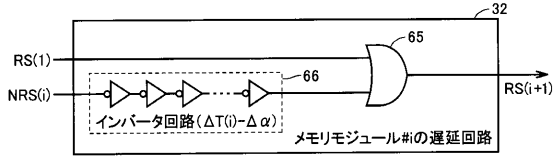
【図9】



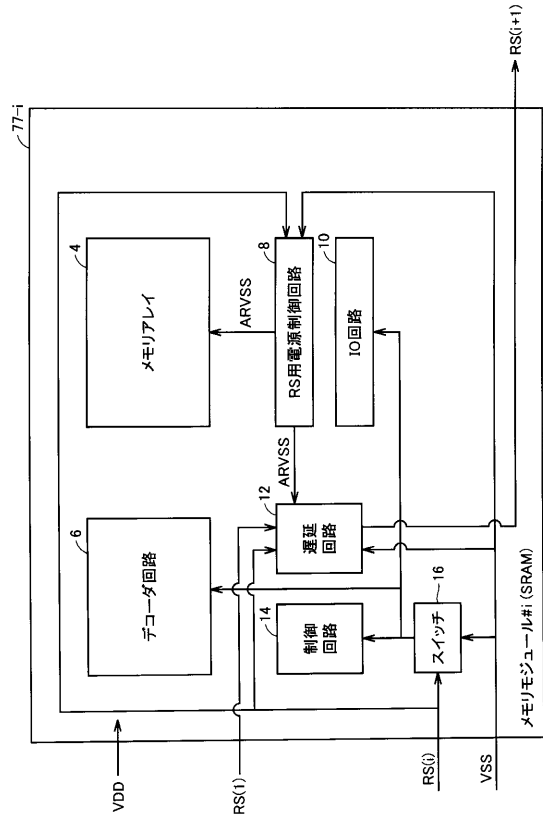
【図10】



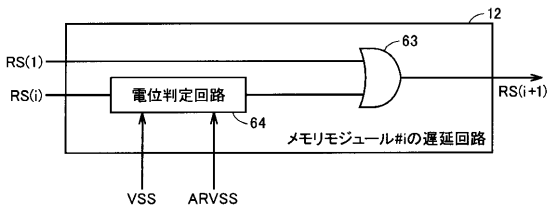
【図11】



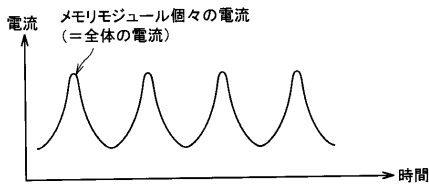
【図12】



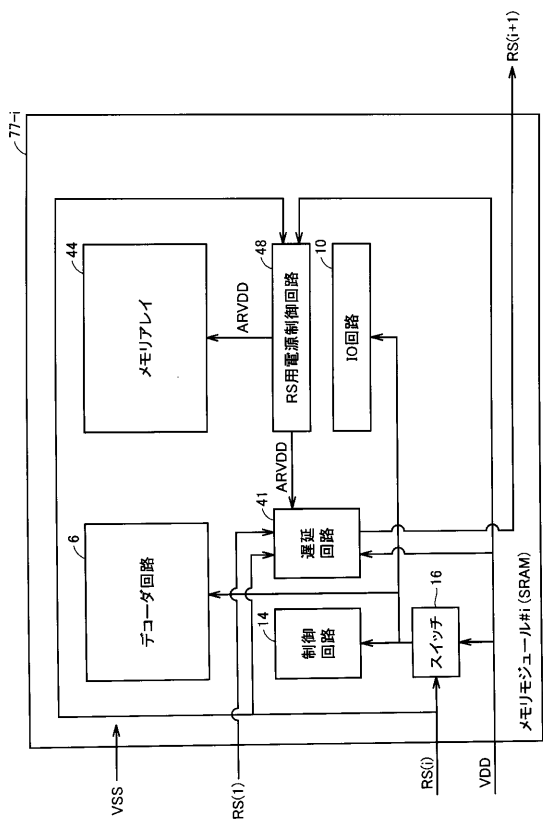
【図13】



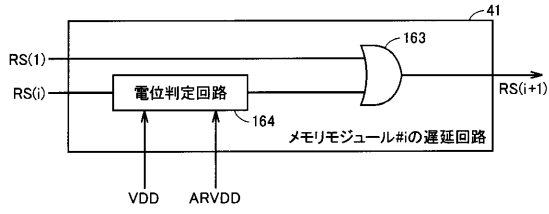
【図14】



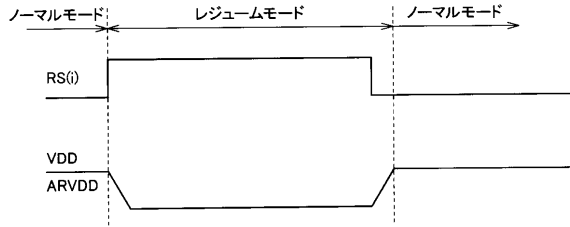
【図15】



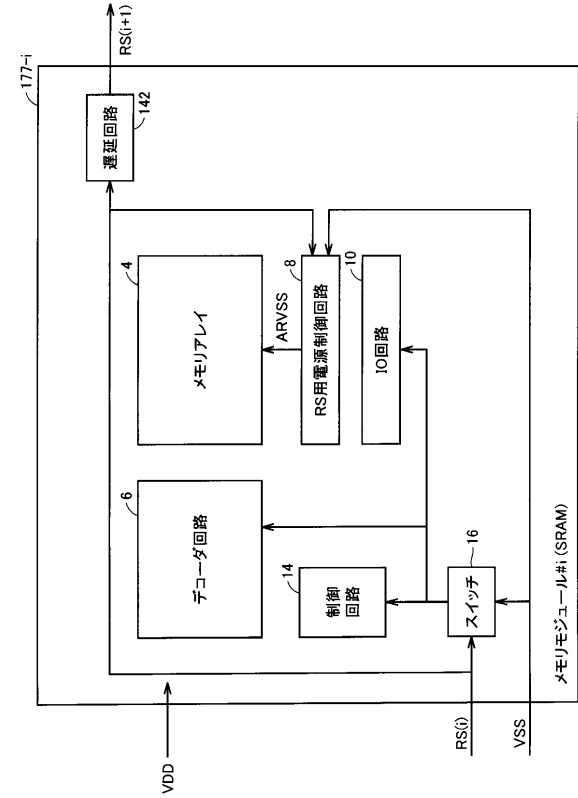
【図16】



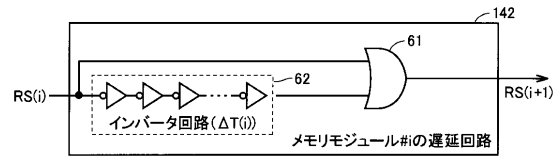
【図17】



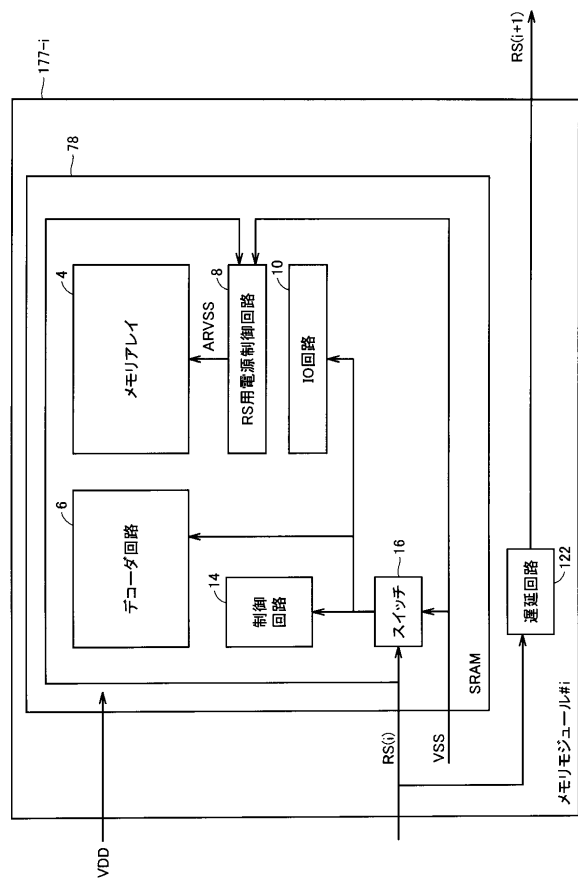
【図18】



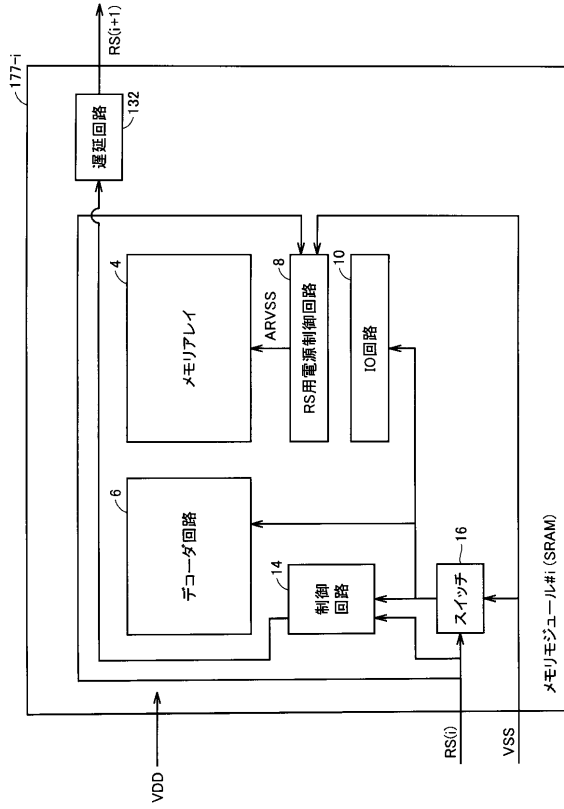
【図19】



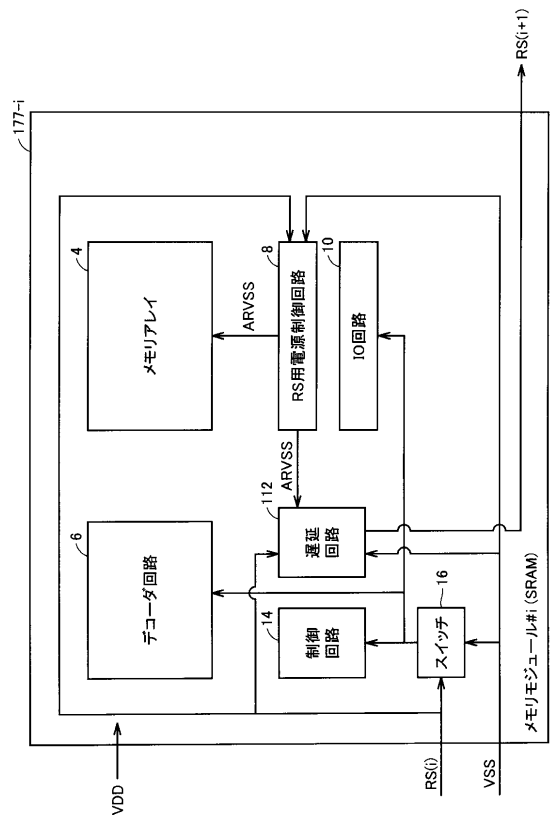
【図20】



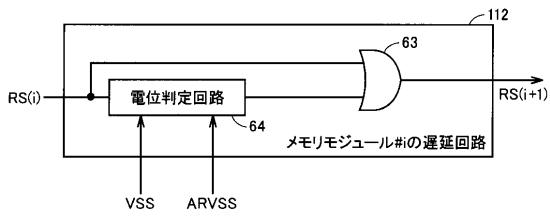
【図 2 1】



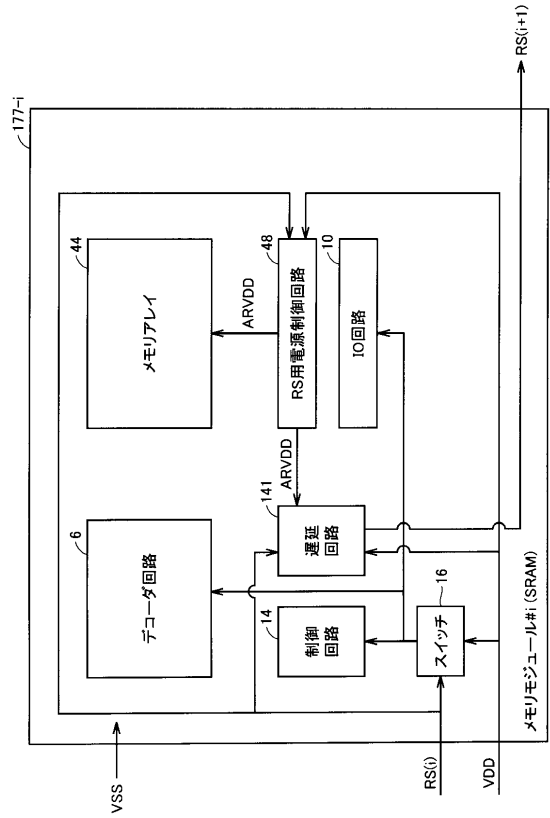
【図 2 2】



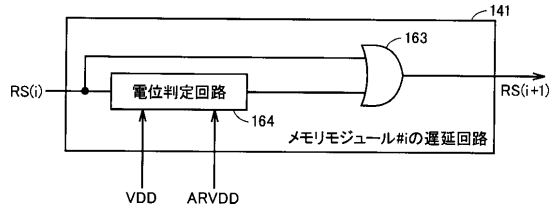
【図 2 3】



【図 2 4】



【図25】



フロントページの続き

(56)参考文献 特開2007-164822(JP,A)
特開2007-267162(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06

G06F 12/16

G06F 13/16 - 13/18

G11C 11/413