



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0085266
(43) 공개일자 2023년06월14일

(51) 국제특허분류(Int. Cl.)

H10K 59/00 (2023.01) G06F 3/041 (2006.01)

H01Q 13/10 (2018.01) H10K 50/80 (2023.01)

(52) CPC특허분류

H10K 59/131 (2023.02)

G06F 3/041 (2013.01)

(21) 출원번호 10-2021-0172910

(22) 출원일자 2021년12월06일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

울산과학기술원

울산광역시 울주군 언양읍 유니스트길 50

(72) 발명자

변강일

울산광역시 울주군 언양읍 유니스트길 50-0 유니스
스트 106동 501-8

김기서

경기도 용인시 기흥구 서그내로 31 (서천동 , 용
인서천효성해링턴플레이스) 105동 601호

(뒷면에 계속)

(74) 대리인

특허법인 고려

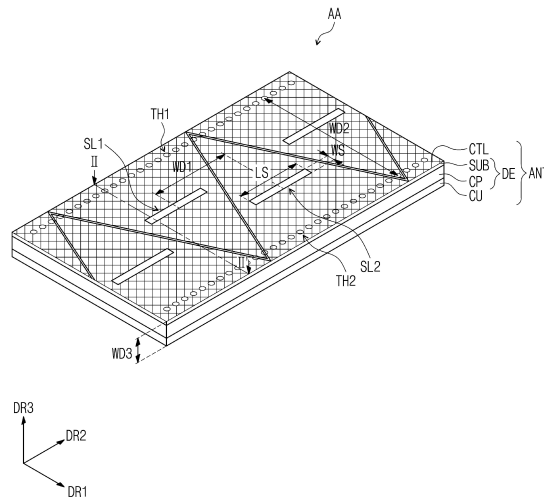
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전자 장치

(57) 요약

본 발명의 일 실시예에 따른 전자 장치는 액티브 영역 및 상기 액티브 영역과 인접한 주변 영역이 정의되고, 베이스층을 포함하는 표시층, 상기 표시층 위에 배치되고, 복수의 감지 전극들을 포함하고, 복수의 제1 슬롯들이 정의된 센서층, 및 상기 표시층 아래에 배치되는 하부 부재층을 포함하고, 상기 베이스층 및 상기 하부 부재층에는 복수의 제1 관통홀들이 정의되고, 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들은 상기 복수의 제1 슬롯들을 사이에 두고 서로 이격될 수 있다.

대표도 - 도6



(52) CPC특허분류

H01Q 13/10 (2018.05)

H10K 50/841 (2023.02)

H04M 2201/38 (2013.01)

(72) 발명자

성은진

경기도 용인시 기흥구 예현로 15, 104동 403호 (서천동, 서그내마을에스케이아파트)

윤상록

경기도 화성시 동탄광역환승로 63, 103동 4501호 (오산동, 동탄역 반도유보라 아이비파크 7.0)

천승욱

대구광역시 수성구 용학로28길 8 (두산동, 수성화성파크드림) 101동 503호

허진명

울산광역시 울주군 언양읍 유니스트길 50-0 유니스트 106동 501-8

명세서

청구범위

청구항 1

액티브 영역 및 상기 액티브 영역과 인접한 주변 영역이 정의되고, 베이스층을 포함하는 표시층;
상기 표시층 위에 배치되고, 복수의 감지 전극들을 포함하고, 복수의 제1 슬롯들이 정의된 센서층; 및
상기 표시층 아래에 배치되는 하부 부재층을 포함하고,
상기 베이스층 및 상기 하부 부재층에는 복수의 제1 관통홀들이 정의되고,
평면 상에서 보았을 때, 상기 복수의 제1 관통홀들은 상기 복수의 제1 슬롯들을 사이에 두고 서로 이격된 전자 장치.

청구항 2

제1 항에 있어서,
상기 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들 및 상기 복수의 제1 슬롯들은 상기 액티브 영역과 중첩하는 전자 장치.

청구항 3

제1 항에 있어서,
상기 복수의 제1 관통홀들 각각의 측면에는 금속이 배치된 전자 장치.

청구항 4

제1 항에 있어서,
상기 하부 부재층 아래에 배치되고, 도전성을 갖는 커버층을 더 포함하는 전자 장치.

청구항 5

제4 항에 있어서,
상기 평면 상에서 보았을 때, 상기 커버층은 상기 복수의 제1 관통홀들 및 상기 복수의 제1 슬롯들과 중첩하는 전자 장치.

청구항 6

제1 항에 있어서,
상기 표시층은 상기 베이스층 위에 배치된 공통 전극을 더 포함하고,
상기 공통 전극에는 상기 복수의 제1 슬롯들과 각각 중첩하는 복수의 제2 슬롯들이 정의된 전자 장치.

청구항 7

제1 항에 있어서,
평면 상에서 보았을 때, 상기 복수의 제1 관통홀들은 상기 복수의 감지 전극들과 중첩하는 전자 장치.

청구항 8

제1 항에 있어서,
평면 상에서 보았을 때, 상기 복수의 제1 관통홀들은 상기 복수의 감지 전극들과 비중첩하는 전자 장치.

청구항 9

제1 항에 있어서,
상기 표시층은 상기 주변 영역에 배치된 연성 회로 필름을 더 포함하는 전자 장치.

청구항 10

제9 항에 있어서,
상기 연성 회로 필름은 상기 표시층의 측면과 마주하는 전자 장치.

청구항 11

제9 항에 있어서,
상기 연성 회로 필름은 제1 금속층, 상기 제1 금속층 위에 배치된 유전층, 및 상기 유전층 위에 배치된 제2 금속층을 포함하고,
상기 유전층에는 복수의 제2 관통홀들이 정의된 전자 장치.

청구항 12

제11 항에 있어서,
상기 제2 금속층에는 복수의 보조 슬롯들이 정의되고,
측면 상에서 보았을 때, 상기 복수의 제2 관통홀들은 상기 복수의 보조 슬롯들을 사이에 두고 서로 이격된 전자 장치.

청구항 13

제1 항에 있어서,
상기 복수의 제1 슬롯들은 제1 방향으로 나열되는 복수의 제1 행 슬롯들 및 상기 복수의 제1 행 슬롯들과 상기 제1 방향과 교차하는 제2 방향으로 이격되고, 상기 제1 방향으로 나열되는 복수의 제2 행 슬롯들을 포함하는 전자 장치.

청구항 14

제1 항에 있어서,
상기 하부 부재는,
상기 베이스층 아래에 배치된 보호층; 및
상기 보호층 아래에 배치된 방열시트를 포함하는 전자 장치.

청구항 15

제1 항에 있어서,
상기 복수의 제1 슬롯들은 상기 복수의 감지 전극들과 동일한 층에 정의된 전자 장치.

청구항 16

액티브 영역 및 상기 액티브 영역과 인접한 주변 영역이 정의되고, 베이스층을 포함하는 표시층;
상기 표시층 위에 배치되고, 복수의 제1 슬롯들이 정의된 복수의 감지 전극들을 포함하는 센서층;
상기 표시층 아래에 배치되는 하부 부재층; 및
상기 하부 부재층 아래에 배치되고, 도전성을 갖는 커버층을 포함하고,
상기 베이스층 및 상기 하부 부재층에는 각각이 일체로 관통된 복수의 제1 관통홀들이 정의되고,

평면 상에서 보았을 때, 상기 복수의 제1 슬롯들은 상기 복수의 제1 관통홀들 사이에 배치되고,

상기 평면 상에서 보았을 때, 상기 복수의 제1 슬롯들 및 상기 복수의 제1 관통홀들은 상기 커버층과 중첩하는 전자 장치.

청구항 17

제16 항에 있어서,

상기 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들 및 상기 복수의 제1 슬롯들은 상기 액티브 영역과 중첩하는 전자 장치.

청구항 18

제16 항에 있어서,

상기 복수의 제1 관통홀들 각각의 표면에는 금속이 코팅된 전자 장치.

청구항 19

제16 항에 있어서,

상기 표시층은 상기 베이스층 위에 배치된 공통 전극을 더 포함하고,

상기 공통 전극에는 상기 복수의 제1 슬롯들과 각각 중첩하는 복수의 제2 슬롯들이 정의된 전자 장치.

청구항 20

제16 항에 있어서,

상기 복수의 제1 슬롯들은 제1 방향으로 나열되는 복수의 제1 행 슬롯들 및 상기 복수의 제1 행 슬롯들과 상기 제1 방향과 교차하는 제2 방향으로 이격되고, 상기 제1 방향으로 나열되는 복수의 제2 행 슬롯들을 포함하는 전자 장치.

발명의 설명

기술 분야

[0001] 본 발명은 주파수 신호 방사 성능이 향상된 전자 장치에 관한 것이다.

배경 기술

[0002] 전자 장치는 전자 모듈들을 포함할 수 있다. 예를 들어, 전자 장치는 휴대용 단말기 또는 웨어러블 장치일 수 있고, 전자 모듈들은 안테나 모듈, 카메라 모듈, 또는 배터리 모듈을 포함할 수 있다. 휴대용 단말기의 박형화 및 웨어러블 장치의 소형화에 따라 전자 모듈들이 실장 될 공간은 점차 감소되고 있다. 또한, 전자 장치가 고기능화되고, 고사양으로 발전함에 따라 전자 장치에 포함되는 전자 모듈들의 수가 증가하고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 주파수 신호 방사 성능이 향상된 전자 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따른 전자 장치는 액티브 영역 및 상기 액티브 영역과 인접한 주변 영역이 정의되고, 베이스층을 포함하는 표시층, 상기 표시층 위에 배치되고, 복수의 감지 전극들을 포함하고, 복수의 제1 슬롯들이 정의된 센서층, 및 상기 표시층 아래에 배치되는 하부 부재층을 포함하고, 상기 베이스층 및 상기 하부 부재층에는 복수의 제1 관통홀들이 정의되고, 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들은 상기 복수의 제1 슬롯들을 사이에 두고 서로 이격될 수 있다.

- [0005] 상기 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들 및 상기 복수의 제1 슬롯들은 상기 액티브 영역과 중첩할 수 있다.
- [0006] 상기 복수의 제1 관통홀들 각각의 측면에는 금속이 배치될 수 있다.
- [0007] 상기 하부 부재층 아래에 배치되고, 도전성을 갖는 커버층을 더 포함할 수 있다.
- [0008] 상기 평면 상에서 보았을 때, 상기 커버층은 상기 복수의 제1 관통홀들 및 상기 복수의 제1 슬롯들과 중첩할 수 있다.
- [0009] 상기 표시층은 상기 베이스층 위에 배치된 공통 전극을 더 포함하고, 상기 공통 전극에는 상기 복수의 제1 슬롯들과 각각 중첩하는 복수의 제2 슬롯들이 정의될 수 있다.
- [0010] 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들은 상기 복수의 감지 전극들과 중첩할 수 있다.
- [0011] 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들은 상기 복수의 감지 전극들과 비중첩할 수 있다.
- [0012] 상기 표시층은 상기 주변 영역에 배치된 연성 회로 필름을 더 포함할 수 있다.
- [0013] 상기 연성 회로 필름은 상기 표시층의 측면과 마주할 수 있다.
- [0014] 상기 연성 회로 필름은 제1 금속층, 상기 제1 금속층 위에 배치된 유전층, 및 상기 유전층 위에 배치된 제2 금속층을 포함하고, 상기 유전층에는 복수의 제2 관통홀들이 정의될 수 있다.
- [0015] 상기 제2 금속층에는 복수의 보조 슬롯들이 정의되고, 측면 상에서 보았을 때, 상기 복수의 제2 관통홀들은 상기 복수의 보조 슬롯들을 사이에 두고 서로 이격될 수 있다.
- [0016] 상기 복수의 제1 슬롯들은 제1 방향으로 나열되는 복수의 제1 행 슬롯들 및 상기 복수의 제1 행 슬롯들과 상기 제1 방향과 교차하는 제2 방향으로 이격되고, 상기 제1 방향으로 나열되는 복수의 제2 행 슬롯들을 포함할 수 있다.
- [0017] 상기 하부 부재는 상기 베이스층 아래에 배치된 보호층 및 상기 보호층 아래에 배치된 방열시트를 포함할 수 있다.
- [0018] 상기 복수의 제1 슬롯들은 상기 복수의 감지 전극들과 동일한 층에 정의될 수 있다.
- [0019] 본 발명의 일 실시예에 따른 전자 장치는 액티브 영역 및 상기 액티브 영역과 인접한 주변 영역이 정의되고, 베이스층을 포함하는 표시층, 상기 표시층 위에 배치되고, 복수의 제1 슬롯들이 정의된 복수의 감지 전극들을 포함하는 센서층, 상기 표시층 아래에 배치되는 하부 부재층, 및 상기 하부 부재층 아래에 배치되고, 도전성을 갖는 커버층을 포함하고, 상기 베이스층 및 상기 하부 부재층에는 각각이 일체로 관통된 복수의 제1 관통홀들이 정의되고, 평면 상에서 보았을 때, 상기 복수의 제1 슬롯들은 상기 복수의 제1 관통홀들 사이에 배치되고, 상기 평면 상에서 보았을 때, 상기 복수의 제1 슬롯들 및 상기 복수의 제1 관통홀들은 상기 커버층과 중첩할 수 있다.
- [0020] 상기 평면 상에서 보았을 때, 상기 복수의 제1 관통홀들 및 상기 복수의 제1 슬롯들은 상기 액티브 영역과 중첩할 수 있다.
- [0021] 상기 복수의 제1 관통홀들 각각의 표면에는 금속이 코팅될 수 있다.
- [0022] 상기 표시층은 상기 베이스층 위에 배치된 공통 전극을 더 포함하고, 상기 공통 전극에는 상기 복수의 제1 슬롯들과 각각 중첩하는 복수의 제2 슬롯들이 정의될 수 있다.
- [0023] 상기 복수의 제1 슬롯들은 제1 방향으로 나열되는 복수의 제1 행 슬롯들 및 상기 복수의 제1 행 슬롯들과 상기 제1 방향과 교차하는 제2 방향으로 이격되고, 상기 제1 방향으로 나열되는 복수의 제2 행 슬롯들을 포함할 수 있다.
- 발명의 효과**
- [0024] 상술된 바에 따르면, 복수의 감지 전극들에 정의된 복수의 제1 슬롯들은 슬롯 안테나로 동작될 수 있다. 안테나는 주파수 대역에서 제3 방향으로 신호를 방사할 수 있다. 안테나는 주파수 대역에서 제3 방향으로 지향성을 가진다고 할 수 있다. 안테나는 안테나 이득의 집중도가 향상될 수 있다. 따라서, 신호의 전송 성능이 향상된 전자 장치를 제공할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 전자 장치의 사시도이다.
- 도 2는 본 발명의 일 실시예에 따른 전자 장치의 개략적인 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시층의 평면도이다.
- 도 4a는 본 발명의 일 실시예에 따른 센서층의 평면도이다.
- 도 4b는 본 발명의 일 실시예에 따른 센서층의 평면도이다.
- 도 5는 본 발명의 일 실시예에 따른 전자 장치의 일부분의 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 도 4의 AA' 영역을 확대하여 도시한 전자 장치의 사시도이다.
- 도 7은 본 발명의 일 실시예에 따른 도 6의 II-II'를 따라 절단한 단면도이다.
- 도 8은 본 발명의 일 실시예에 따른 주파수에 따른 S파라미터를 도시한 그래프이다.
- 도 9는 본 발명의 일 실시예에 따른 안테나의 방사 패턴을 도시한 것이다.
- 도 10a 내지 도 10c는 본 발명의 일 실시예에 따른 안테나의 주파수별 방사 패턴을 도시한 것들이다.
- 도 11은 본 발명의 일 실시예에 따른 전자 장치의 단면도이다.
- 도 12는 본 발명의 일 실시예에 따른 연성 회로 필름의 단면도이다.
- 도 13은 본 발명의 일 실시예에 따른 안테나들의 주파수에 따른 총 이득을 도시한 그래프이다.
- 도 14는 본 발명의 일 실시예에 따른 안테나의 방사 패턴을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 “상에 있다”, “연결된다”, 또는 “결합된다” 고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0027] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. “및/또는”은 연관된 구성요소들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0028] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0029] 또한, “아래에”, “하측에”, “위에”, “상측에” 등의 용어는 도면에 도시된 구성요소들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0030] “포함하다” 또는 “가지다” 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어 (기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 갖는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 여기서 명시적으로 정의되지 않는 한 너무 이상적이거나 지나치게 형식적인 의미로 해석되어서는 안된다.
- [0032] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 전자 장치의 사시도이다.

- [0034] 도 1을 참조하면, 전자 장치(DD)는 전기적 신호에 따라 활성화되는 장치일 수 있다. 예를 들어, 전자 장치(DD)는 휴대폰, 태블릿, 자동차 네비게이션, 게임기, 또는 웨어러블 장치일 수 있으나, 이에 제한되는 것은 아니다. 도 1에서는 전자 장치(DD)가 휴대폰인 것을 예시적으로 도시하였다.
- [0035] 전자 장치(DD)는 표시면(DD-IS)을 통해 이미지(IM)를 표시할 수 있다. 표시면(DD-IS)은 액티브 영역(DD-AA) 및 액티브 영역(DD-AA)과 인접한 주변 영역(DD-NAA)을 포함할 수 있다. 액티브 영역(DD-AA)은 이미지(IM)가 표시되는 영역일 수 있다. 주변 영역(DD-NAA)은 이미지(IM)가 표시되지 않는 영역일 수 있다. 이미지(IM)는 동적인 영상 및 정지 영상을 포함할 수 있다. 도 1에서는 이미지(IM)의 일 예로 시계창 및 아이콘 이미지들을 도시하였다.
- [0036] 액티브 영역(DD-AA)은 제1 방향(DR1) 및 제1 방향(DR1)과 교차하는 제2 방향(DR2)에 의해 정의된 면과 평행할 수 있다. 액티브 영역(DD-AA)의 법선 방향, 즉 전자 장치(DD)의 두께 방향은 제3 방향(DR3)이 지시할 수 있다.
- [0037] 이하에서 설명되는 각 부재들 또는 유닛들의 전면(또는 상면)과 배면(또는 하면)은 제3 방향(DR3)에 의해 구분될 수 있다. 제3 방향(DR3)은 제1 방향(DR1) 및 제2 방향(DR2)과 교차하는 방향일 수 있다. 예를 들어, 제1 방향(DR1), 제2 방향(DR2), 및 제3 방향(DR3)은 서로 직교할 수 있다.
- [0038] 본 명세서에서 제1 방향(DR1) 및 제2 방향(DR2)이 정의하는 면을 평면이라 정의하고, "평면 상에서 보았다"는 것은 제3 방향(DR3)에서 바라본 것으로 정의될 수 있다.
- [0039] 또한, 본 명세서에서 제1 방향(DR1) 또는 제2 방향(DR2)과 제3 방향(DR3)이 정의하는 면을 측면이라 정의하고, "측면 상에서 보았다"는 것을 제1 방향(DR1) 또는 제2 방향(DR2)에서 바라본 것으로 정의될 수 있다.
- [0040] 도 2는 본 발명의 일 실시예에 따른 전자 장치의 개략적인 단면도이다.
- [0041] 도 2를 참조하면, 전자 장치(DD)는 윈도우(WP), 복수의 접착층들(OCA1, OCA2, OCA3), 반사 방지층(RPP), 센서층(IS), 표시층(DP), 하부 부재층(CP) 및 커버층(CU)을 포함할 수 있다.
- [0042] 윈도우(WP)는 전자 장치(DD)의 외관을 구성할 수 있다. 윈도우(WP)는 외부 충격으로부터 전자 장치(DD)의 내부 구성들을 보호하며, 실질적으로 전자 장치(DD)의 액티브 영역(DD-AA, 도 1 참조)을 제공하는 구성일 수 있다. 예를 들어, 윈도우(WP)는 유기 기관, 사파이어 기관, 또는 플라스틱 필름을 포함할 수 있다. 윈도우(WP)는 다층 또는 단층 구조를 가질 수 있다. 예를 들어, 윈도우(WP)는 접착제로 결합된 복수 개의 플라스틱 필름들의 적층 구조를 가지거나, 접착제로 결합된 유리 기관과 플라스틱 필름의 적층 구조를 가질 수 있다.
- [0043] 접착층(OCA1)은 윈도우(WP)의 아래에 배치될 수 있다. 접착층(OCA1)에 의해 윈도우(WP) 및 반사 방지층(RPP)이 결합될 수 있다. 접착층(OCA1)은 통상의 접착제 또는 점착제를 포함할 수 있다. 예를 들어, 접착층(OCA1)은 광학투명접착필름(Optically Clear Adhesive film), 광학투명접착수지(Optically Clear Resin), 또는 감압접착필름(Pressure Sensitive Adhesive film)일 수 있다.
- [0044] 반사 방지층(RPP)은 윈도우(WP)의 아래에 배치될 수 있다. 반사 방지층(RPP)은 윈도우(WP)의 위로부터 입사되는 자연광(또는 태양광)의 반사율을 감소시킬 수 있다.
- [0045] 본 발명의 일 실시예에 따른 반사 방지층(RPP)은 위상지연자(retarder) 및 편광자(polarizer)를 포함할 수 있다. 위상지연자는 필름타입 또는 액정 코팅타입일 수 있고, $\lambda/2$ 위상지연자 및/또는 $\lambda/4$ 위상지연자를 포함할 수 있다. 편광자는 필름타입 또는 액정 코팅타입일 수 있다. 필름타입은 연신형 합성수지 필름을 포함하고, 액정 코팅타입은 소정의 배열로 배열된 액정들을 포함할 수 있다. 위상지연자 및 편광자는 보호필름을 더 포함할 수 있다. 위상지연자(retarder) 및 편광자(polarizer) 자체 또는 보호필름이 반사 방지층(RPP)의 베이스층으로 정의될 수 있다.
- [0046] 접착층(OCA2)은 반사 방지층(RPP)의 아래에 배치될 수 있다. 접착층(OCA2)에 의해 반사 방지층(RPP) 및 센서층(IS)이 결합될 수 있다. 접착층(OCA2)은 접착층(OCA1)과 실질적으로 동일한 물질을 포함할 수 있다.
- [0047] 센서층(IS)은 외부 입력의 좌표 정보를 획득할 수 있다. 본 발명의 일 실시예에 따른 센서층(IS)은 표시층(DP)의 일면에 직접 배치될 수 있다. 예를 들어, 센서층(IS)은 온 셀(On-Cell) 방식으로 표시층(DP)과 일체화될 수 있다. 센서층(IS)은 표시층(DP)과 연속 공정에 의해 제조될 수 있다. 단, 이에 제한되는 것은 아니며, 센서층(IS)은 별도의 공정에 의해 제조되어, 표시층(DP)에 접착될 수도 있다. 센서층(IS)은 터치 패널을 포함할 수 있다.

- [0048] 센서층(IS)은 무선 통신 신호, 예를 들어, 무선 주파수 신호(radio frequency signal)를 송신, 수신, 또는 송수신할 수 있다. 센서층(IS)은 복수의 안테나 영역들을 포함할 수 있다. 복수의 안테나 영역들은 서로 동일한 주파수 대역을 송신, 수신, 또는 송수신하거나, 서로 다른 주파수 대역을 송신, 수신, 또는 송수신할 수 있다. 상기 복수의 안테나 영역들에 대해서는 후술된다.
- [0049] 표시층(DP)은 센서층(IS) 아래에 배치될 수 있다. 표시층(DP)은 이미지(IM, 도 1 참조)를 실질적으로 생성하는 구성일 수 있다. 표시층(DP)은 발광형 표시층일 수 있고, 특별히 제한되지 않는다. 예를 들어, 표시층(DP)은 유기 발광 표시층, 퀀텀닷 표시층, 마이크로 엘이디 표시층, 또는 나노 엘이디 표시층을 포함할 수 있다. 표시층(DP)은 베이스층(SUB), 표시 회로층(DP-CL), 영상 구현층(DP-OLED), 및 박막 봉지층(TFL)을 포함할 수 있다. 이에 대해서는 후술된다.
- [0050] 표시층(DP)의 아래에는 하부 부재층(CP)이 배치될 수 있다. 하부 부재층(CP)은 보호층(PF), 엠보층(EB), 쿠션층(CSH), 및 방열 시트(GP)를 포함할 수 있다.
- [0051] 표시층(DP)의 아래에는 보호층(PF)이 배치될 수 있다. 보호층(PF)은 표시층(DP)의 하면을 보호할 수 있다. 보호층(PF)은 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET)를 포함할 수 있다. 다만, 보호층(PF)의 물질은 특별히 이에 제한되지 않는다.
- [0052] 엠보층(EB)은 보호층(PF)의 아래에 배치될 수 있다. 엠보층(EB)은 유색일 수 있다. 예를 들어, 엠보층(EB)은 검정색일 수 있다. 엠보층(EB)은 엠보층(EB)으로 입사되는 광을 흡수할 수 있다. 엠보층(EB)은 양면에 접착성을 가지는 층일 수 있다. 엠보층(EB)은 통상의 접착제 또는 점착제를 포함할 수 있다. 엠보층(EB)에 의해 보호층(PF)과 쿠션층(CSH)이 결합될 수 있다.
- [0053] 쿠션층(CSH)은 엠보층(EB)의 아래에 배치될 수 있다. 쿠션층(CSH)은 외부에서 가해지는 압력을 완화시키는 기능을 가질 수 있다. 쿠션층(CSH)은 스펀지, 발포 폼, 또는 우레탄 수지 등을 포함할 수 있다. 쿠션층(CSH)의 두께는 엠보층(EB)의 두께보다 두꺼울 수 있다.
- [0054] 방열 시트(GP)는 쿠션층(CSH)의 아래에 배치될 수 있다. 방열 시트(GP)는 표시층(DP)에서 발생하는 열의 방출을 유도할 수 있다. 예를 들어, 방열 시트(GP)는 그래파이트(graphite) 시트일 수 있다. 본 발명의 일 실시예에서 쿠션층(CSH) 및 방열 시트(GP) 사이에는 필름층이 더 배치될 수 있다. 상기 필름층은 폴리 이미드(polyimide, PI)를 포함할 수 있다.
- [0055] 커버층(CU)은 보호층(PF) 아래에 배치될 수 있다. 커버층(CU)은 도전성을 가질 수 있다. 예를 들어, 커버층(CU)은 구리(Cu)를 포함할 수 있다. 예를 들어, 커버층(CU)은 구리 테이프(Cu tape)일 수 있다. 다만, 이에 제한되는 것은 아니다. 커버층(CU)에는 그라운드 전압이 인가될 수 있다. 다만, 이는 예시적인 것으로 커버층(CU)은 플로팅될 수도 있다.
- [0056] 도 3은 본 발명의 일 실시예에 따른 표시층의 평면도이다.
- [0057] 도 3을 참조하면, 표시층(DP)에는 액티브 영역(DP-AA) 및 액티브 영역(DP-AA)과 인접한 주변 영역(DP-NAA)이 정의될 수 있다. 액티브 영역(DP-AA)은 이미지가 표시되는 영역일 수 있다. 액티브 영역(DP-AA)에는 복수의 화소들(PX)이 배치될 수 있다. 주변 영역(DP-NAA)에는 구동 회로나 구동 배선 등이 배치될 수 있다. 평면 상에서 보았을 때, 액티브 영역(DP-AA)은 전자 장치(DD, 도 1 참조)의 액티브 영역(DD-AA, 도 1 참조)과 중첩할 수 있고, 주변 영역(DP-NAA)은 전자 장치(DD, 도 1 참조)의 주변 영역(DD-NAA, 도 1 참조)과 중첩할 수 있다.
- [0058] 표시층(DP)은 베이스층(SUB), 복수의 화소들(PX), 복수의 신호 배선들(GL, DL, PL, EL), 복수의 표시 패드들(PDD), 및 복수의 감지 패드들(PDT)을 포함할 수 있다.
- [0059] 복수의 화소들(PX) 각각은 주요색(primary color) 중 하나 또는 혼합색 중 하나를 표시할 수 있다. 상기 주요색은 레드, 그린, 또는 블루를 포함할 수 있다. 상기 혼합색은 화이트, 옐로우, 시안, 또는 마젠타 등 다양한 색상을 포함할 수 있다. 다만, 화소들(PX) 각각이 표시하는 색상이 이에 제한되는 것은 아니다.
- [0060] 복수의 신호 배선들(GL, DL, PL, EL)은 베이스층(SUB) 위에 배치될 수 있다. 복수의 신호 배선들(GL, DL, PL, EL)은 복수의 화소들(PX)에 연결되어 복수의 화소들(PX)에 전기적 신호를 전달할 수 있다. 복수의 신호 배선들(GL, DL, PL, EL)은 복수의 스캔 배선들(GL), 복수의 데이터 배선들(DL), 복수의 전원 배선들(PL), 및 복수의 발광 제어 배선들(EL)을 포함할 수 있다. 다만, 이는 예시적인 것으로 본 발명의 일 실시예에 따른 복수의 신호 배선들(GL, DL, PL, EL)의 구성은 이에 제한되지 않는다. 예를 들어, 본 발명의 일 실시예에 따른 복수의 신호

배선들(GL, DL, PL, EL)은 초기화 전압 배선을 더 포함할 수 있다.

- [0061] 전원 패턴(VDD)은 주변 영역(DP-NAA)에 배치될 수 있다. 전원 패턴(VDD)은 복수의 전원 배선들(PL)과 접속될 수 있다. 표시층(DP)은 전원 패턴(VDD)을 포함함으로써, 복수의 화소들(PX)에 동일한 전원 신호를 제공할 수 있다.
- [0062] 복수의 표시 패드들(PDD)은 주변 영역(DP-NAA)에 배치될 수 있다. 복수의 표시 패드들(PDD)은 제1 패드(PD1) 및 제2 패드(PD2)를 포함할 수 있다. 제1 패드(PD1)은 복수로 제공될 수 있다. 복수의 제1 패드들(PD1)은 복수의 데이터 배선들(DL)에 각각 연결될 수 있다. 제2 패드(PD2)는 전원 패턴(VDD)에 연결되어 복수의 전원 배선들(PL)과 전기적으로 연결될 수 있다. 표시층(DP)은 복수의 표시 패드들(PDD)을 통해 외부로부터 제공된 전기적 신호들을 복수의 화소들(PX)에 제공할 수 있다. 한편, 복수의 표시 패드들(PDD)은 제1 패드(PD1) 및 제2 패드(PD2) 외에 다른 전기적 신호들을 수신하기 위한 패드들을 더 포함할 수 있으며, 어느 하나의 실시예로 제한되지 않는다.
- [0063] 구동 회로(DIC)는 주변 영역(DP-NAA)에 실장될 수 있다. 구동 회로(DIC)는 칩 형태의 타이밍 제어 회로일 수 있다. 복수의 데이터 배선들(DL)은 구동 회로(DIC)를 거쳐 복수의 제1 패드들(PD1)에 각각 전기적으로 연결될 수 있다. 다만, 이는 예시적인 것으로 본 발명의 일 실시예에 따른 구동 회로(DIC)는 표시층(DP)과는 별개의 필름 상에 실장될 수도 있다. 이 경우, 구동 회로(DIC)는 상기 필름을 통해 복수의 표시 패드들(PDD)과 전기적으로 연결될 수 있다.
- [0064] 복수의 감지 패드들(PDT)은 주변 영역(DP-NAA)에 배치될 수 있다. 복수의 감지 패드들(PDT)은 후술될 센서층(IS, 도 4a 참조)의 복수의 감지 전극들과 각각 전기적으로 연결될 수 있다. 복수의 감지 패드들(PDT)은 복수의 제1 감지 패드들(TD1) 및 복수의 제2 감지 패드들(TD2)을 포함할 수 있다.
- [0065] 도 4a는 본 발명의 일 실시예에 따른 센서층의 평면도이다.
- [0066] 도 4a를 참조하면, 센서층(IS)에는 액티브 영역(IS-AA) 및 액티브 영역(IS-AA)을 에워싸는 주변 영역(IS-NAA)이 정의될 수 있다. 액티브 영역(IS-AA)은 전기적 신호에 따라 활성화되는 영역일 수 있다. 액티브 영역(IS-AA)은 입력을 감지하는 영역 및 무선 통신 신호, 예를 들어, 무선 주파수 신호(radio frequency signal)를 송신, 수신, 또는 송수신하는 적어도 하나의 안테나 영역(AP1, AP2)을 포함할 수 있다. 평면 상에서 보았을 때, 액티브 영역(IS-AA)은 표시층(DP, 도 3 참조)의 액티브 영역(DP-AA, 도 3 참조)과 중첩할 수 있고, 주변 영역(IS-NAA)은 표시층(DP, 도 3 참조)의 주변 영역(DP-NAA, 도 3 참조)과 중첩할 수 있다.
- [0067] 센서층(IS)은 베이스 절연층(IS-IL0), 복수의 제1 감지 전극들(TE1), 복수의 제2 감지 전극들(TE2), 및 복수의 감지 라인들(TL1, TL2)을 포함할 수 있다. 복수의 제1 감지 전극들(TE1) 및 복수의 제2 감지 전극들(TE2)은 액티브 영역(IS-AA)에 배치될 수 있다. 복수의 감지 라인들(TL1, TL2)은 주변 영역(IS-NAA)에 배치될 수 있다.
- [0068] 안테나 영역(AP1, AP2)은 액티브 영역(IS-AA)에 배치될 수 있다. 안테나 영역(AP1, AP2)은 주변 영역(IS-NAA)과 인접한 영역에 배치될 수 있다. 안테나 영역(AP1, AP2)은 복수의 제1 감지 전극들(TE1) 및 복수의 제2 감지 전극들(TE2)과 중첩할 수 있다.
- [0069] 안테나 영역(AP1, AP2)은 기판 일체형 도파관(Substrate Integrated Waveguide, SIW)으로 구성될 수 있다. 이에 대해서는 후술된다.
- [0070] 안테나 영역(AP1, AP2)에는 제1 포트(P01) 및 제2 포트(P02)를 통해 신호가 제공될 수 있다. 즉, 제1 포트(P01) 및 제2 포트(P02)는 급전을 위한 구성일 수 있다. 복수의 슬롯들(SL1, SL2)은 제1 포트(P01) 및 제2 포트(P02)를 통해 급전되는 전력을 근거로 빔 조향이 조절되고, 특정한 방향으로 주파수 신호를 집중시켜 에너지를 향상시킬 수 있다. 예를 들어, 제1 포트(P01)를 통해 급전된 전력은 상기 기판 일체형 도파관을 통해 전달되어 제2 포트(P02)로 전달될 수 있다.
- [0071] 안테나 영역(AP1, AP2)에는 복수의 슬롯들(SL1, SL2)이 정의될 수 있다. 제1 포트(P01)를 통해 급전된 전력은 제2 포트(P02)로 전달되면서 복수의 슬롯들(SL1, SL2)을 통해 공기 증으로 방사될 수 있다. 즉, 안테나 영역(AP1, AP2)에서 신호는 진행파를 통해 방사될 수 있다.
- [0072] 복수의 슬롯들(SL1, SL2)은 소정의 주파수 대역에서 동작할 수 있다. 상기 주파수 대역은 공진 주파수를 포함할 수 있다. 상기 공진 주파수는 23GHz(gigahertz)일 수 있다. 다만, 이는 예시적인 것으로 본 발명의 일 실시예에 따른 상기 공진 주파수는 이에 제한되지 않는다. 예를 들어, 본 발명의 일 실시예에 따른 상기 공진 주파수는 통신하고자 하는 신호의 주파수 대역에 따라 변경될 수 있다.

- [0073] 복수의 슬롯들(SL1, SL2)은 제2 방향(DR2)을 따라 지그재그 형상으로 배열될 수 있다. 복수의 슬롯들(SL1, SL2)은 액티브 영역(IS-AA)과 중첩할 수 있다.
- [0074] 평면 상에서 보았을 때, 복수의 제1 관통홀들(TH)은 복수의 감지 전극들(TE1, TE2)과 중첩할 수 있다.
- [0075] 안테나 영역(AP1, AP2)은 제1 안테나 영역(AP1) 및 제2 안테나 영역(AP2)을 포함할 수 있다. 제1 안테나 영역(AP1)은 제2 안테나 영역(AP2)과 제1 방향(DR1)으로 이격될 수 있다.
- [0076] 베이스 절연층(IS-IL0)은 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 및 실리콘 옥사이드 중 어느 하나를 포함하는 무기층일 수 있다. 또는 베이스 절연층(IS-IL0)은 에폭시 수지, 아크릴 수지, 또는 이미드 계열 수지를 포함하는 유기층일 수 있다. 베이스 절연층(IS-IL0)은 표시층(DP, 도 3 참조) 위에 직접 형성될 수 있다. 또는 베이스 절연층(IS-IL0)은 표시층(DP, 도 3 참조)과 접촉 부재를 통해 서로 결합될 수 있다.
- [0077] 센서층(IS)은 복수의 제1 감지 전극들(TE1) 및 복수의 제2 감지 전극들(TE2) 사이의 정전 용량의 변화를 통해 외부 입력에 대한 정보를 획득할 수 있다.
- [0078] 복수의 제1 감지 전극들(TE1) 각각은 제1 방향(DR1)을 따라 연장되고, 복수의 제1 감지 전극들(TE1)은 제2 방향(DR2)을 따라 배열될 수 있다. 복수의 제1 감지 전극들(TE1) 각각은 복수의 제1 부분들(SP1) 및 복수의 제2 부분들(BP1)을 포함할 수 있다. 복수의 제2 부분들(BP1) 각각은 서로 인접한 2 개의 제1 부분들(SP1)을 전기적으로 연결할 수 있다. 복수의 제1 부분들(SP1) 및 복수의 제2 부분들(BP1)은 메쉬 구조를 가질 수 있다.
- [0079] 복수의 제2 감지 전극들(TE2) 각각은 제2 방향(DR2)을 따라 연장되고, 복수의 제2 감지 전극들(TE2)은 제1 방향(DR1)을 따라 배열될 수 있다. 복수의 제2 감지 전극들(TE2) 각각은 복수의 감지 패턴들(SP2) 및 복수의 브릿지 패턴들(BP2)을 포함할 수 있다. 복수의 브릿지 패턴들(BP2) 각각은 서로 인접한 2 개의 감지 패턴들(SP2)을 전기적으로 연결할 수 있다. 복수의 감지 패턴들(SP2)은 메쉬 구조를 가질 수 있다.
- [0080] 도 4a에서는 1 개의 브릿지 패턴(BP2)이 서로 인접한 2 개의 감지 패턴들(SP2)에 연결된 것을 예시로 도시하였으나, 본 발명의 일 실시예에 따른 복수의 브릿지 패턴들(BP2) 및 복수의 감지 패턴들(SP2)의 연결 관계는 이에 제한되지 않는다. 예를 들어, 서로 인접한 2 개의 감지 패턴들(SP2)은 2 개의 브릿지 패턴들(BP2)에 의해 연결될 수도 있다.
- [0081] 복수의 제2 부분들(BP1)은 복수의 브릿지 패턴들(BP2)과 상이한 층에 배치될 수 있다. 복수의 브릿지 패턴들(BP2)은 복수의 제1 감지 전극들(TE1)과 절연 교차될 수 있다. 예를 들어, 복수의 제2 부분들(BP1)은 복수의 브릿지 패턴들(BP2)과 각각 절연 교차될 수 있다.
- [0082] 복수의 감지 라인들(TL1, TL2)은 복수의 제1 감지 라인들(TL1) 및 복수의 제2 감지 라인들(TL2)을 포함할 수 있다. 복수의 제1 감지 라인들(TL1)은 복수의 제1 감지 전극들(TE1)에 각각 전기적으로 연결될 수 있다. 복수의 제2 감지 라인들(TL2)은 복수의 제2 감지 전극들(TE2)에 각각 전기적으로 연결될 수 있다. 복수의 감지 라인들(TL1, TL2) 각각은 메쉬 구조를 가질 수 있다.
- [0083] 복수의 제1 감지 패드들(TD1, 도 3 참조)은 컨택홀들을 통해 복수의 제1 감지 라인들(TL1)에 각각 전기적으로 연결될 수 있다. 복수의 제2 감지 패드들(TD2, 도 3 참조)은 컨택홀들을 통해 복수의 제2 감지 라인들(TL2)에 각각 전기적으로 연결될 수 있다.
- [0084] 도 4b는 본 발명의 일 실시예에 따른 센서층의 평면도이다. 도 4b를 설명함에 있어서, 도 4a에서 설명된 구성 요소에 대해서는 동일한 도면 부호를 병기하고 이에 대한 설명은 생략된다.
- [0085] 도 4b를 참조하면, 센서층(IS-1)에는 액티브 영역(IS-AA) 및 주변 영역(IS-NAA)이 정의될 수 있다. 안테나 영역(AP1-1)은 액티브 영역(IS-AA)과 중첩할 수 있다. 안테나 영역(AP1-1)은 복수의 감지 전극들(TE1, TE2)과 제1 방향(DR1)으로 이격될 수 있다.
- [0086] 안테나 영역(AP1-1)에는 제1 포트(P01-1) 및 제2 포트(P02-1)를 통해 신호가 제공될 수 있다.
- [0087] 안테나 영역(AP1-1)에는 복수의 슬롯들(SL1a, SL2a)이 정의될 수 있다. 복수의 슬롯들(SL1a, SL2a)은 제2 방향(DR2)을 따라 지그재그 형상으로 배열될 수 있다.
- [0088] 평면 상에서 보았을 때 복수의 제1 관통홀들(TH-1)은 복수의 감지 전극들(TE1, TE2)과 비중첩할 수 있다.
- [0089] 도 5는 본 발명의 일 실시예에 따른 전자 장치의 일부분의 단면도이다.

- [0090] 도 5를 참조하면, 베이스층(SUB)의 상면에 적어도 하나의 무기층이 형성될 수 있다. 무기층은 알루미늄옥사이드, 티타늄옥사이드, 실리콘옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄옥사이드 중 적어도 하나를 포함할 수 있다. 무기층은 다층으로 형성될 수 있다. 다층의 무기층들은 배리어층 및/또는 버퍼층을 구성할 수 있다. 본 실시예에서 표시층(DP)은 버퍼층(BFL)을 포함하는 것으로 도시되었다.
- [0091] 버퍼층(BFL)은 베이스층(SUB)과 반도체 패턴 사이의 결합력을 향상시킬 수 있다. 버퍼층(BFL)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있으며, 실리콘옥사이드층과 실리콘나이트라이드층은 교대로 적층될 수 있다.
- [0092] 반도체 패턴은 버퍼층(BFL) 위에 배치될 수 있다. 반도체 패턴은 폴리실리콘을 포함할 수 있다. 그러나 이에 제한되지 않고, 반도체 패턴은 비정질실리콘, 저온다결정실리콘, 또는 산화물 반도체를 포함할 수도 있다.
- [0093] 도 5는 일부의 반도체 패턴을 도시한 것일 뿐이고, 다른 영역에 반도체 패턴이 더 배치될 수 있다. 반도체 패턴은 화소들에 걸쳐 특정한 규칙으로 배열될 수 있다. 반도체 패턴은 도핑 여부에 따라 전기적 성질이 다를 수 있다. 반도체 패턴은 전도율이 높은 제1 영역과 전도율이 낮은 제2 영역을 포함할 수 있다. 제1 영역은 N형 도판트 또는 P형 도판트로 도핑될 수 있다. P타입의 트랜지스터는 P형 도판트로 도핑된 도핑 영역을 포함하고, N타입의 트랜지스터는 N형 도판트로 도핑된 도핑영역을 포함할 수 있다. 제2 영역은 비도핑 영역이거나, 제1 영역 대비 낮은 농도로 도핑될 수 있다.
- [0094] 제1 영역의 전도성은 제2 영역보다 크고, 실질적으로 전극 또는 신호 라인의 역할을 할 수 있다. 제2 영역은 실질적으로 트랜지스터의 액티브(또는 채널)에 해당할 수 있다. 다시 말해, 반도체 패턴의 일부분은 트랜지스터의 액티브일 수 있고, 다른 일부분은 트랜지스터의 소스 또는 드레인일 수 있고, 또 다른 일부분은 연결 전극 또는 연결 신호 라인일 수 있다.
- [0095] 화소들 각각은 7개의 트랜지스터들, 하나의 커패시터, 및 발광 소자를 포함하는 등가회로를 가질 수 있으며, 화소의 등가회로는 다양한 형태로 변형될 수 있다. 도 5에서는 화소에 포함되는 하나의 트랜지스터(T1) 및 발광 소자(100PE)를 예시적으로 도시하였다.
- [0096] 트랜지스터(T1)는 소스(SC1), 액티브(A1), 드레인(D1), 및 게이트(G1)를 포함할 수 있다. 소스(SC1), 액티브(A1), 및 드레인(D1)은 반도체 패턴으로부터 형성될 수 있다. 소스(SC1) 및 드레인(D1)은 단면 상에서 액티브(A1)로부터 서로 반대 방향으로 연장될 수 있다. 도 5에는 반도체 패턴으로부터 형성된 연결 신호 라인(SCL)의 일부분을 도시하였다. 별도로 도시하지 않았으나, 연결 신호 라인(SCL)은 평면 상에서 트랜지스터(T1)의 드레인(D1)에 전기적으로 연결될 수 있다.
- [0097] 제1 절연층(10)은 버퍼층(BFL) 위에 배치될 수 있다. 제1 절연층(10)은 복수 개의 화소들에 공통으로 중첩하며, 반도체 패턴을 커버할 수 있다. 제1 절연층(10)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제1 절연층(10)은 알루미늄옥사이드, 티타늄옥사이드, 실리콘옥사이드, 실리콘나이트라이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제1 절연층(10)은 단층의 실리콘옥사이드층일 수 있다. 제1 절연층(10)뿐만 아니라 후술하는 표시 회로층(DP-CL)의 절연층은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 무기층은 상술한 물질 중 적어도 하나를 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0098] 게이트(G1)는 제1 절연층(10) 위에 배치된다. 게이트(G1)는 금속 패턴의 일부분일 수 있다. 게이트(G1)는 액티브(A1)에 중첩한다. 반도체 패턴을 도핑하는 공정에서 게이트(G1)는 마스크로 기능할 수 있다.
- [0099] 제2 절연층(20)은 제1 절연층(10) 위에 배치되며, 게이트(G1)를 커버할 수 있다. 제2 절연층(20)은 화소들에 공통으로 중첩할 수 있다. 제2 절연층(20)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제2 절연층(20)은 실리콘옥사이드, 실리콘나이트라이드, 및 실리콘옥시나이트라이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서, 제2 절연층(20)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함하는 다층 구조를 가질 수 있다.
- [0100] 제3 절연층(30)은 제2 절연층(20) 위에 배치될 수 있다. 제3 절연층(30)은 단층 또는 다층 구조를 가질 수 있다. 예를 들어, 제3 절연층(30)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함하는 다층 구조를 가질 수 있다.
- [0101] 제1 연결 전극(CNE1)은 제3 절연층(30) 위에 배치될 수 있다. 제1 연결 전극(CNE1)은 제1, 제2, 및 제3 절연층(10, 20, 30)을 관통하는 컨택홀(CNT-1)을 통해 연결 신호 라인(SCL)에 접속될 수 있다.

- [0102] 제4 절연층(40)은 제3 절연층(30) 위에 배치될 수 있다. 제4 절연층(40)은 단층의 실리콘 옥사이드층일 수 있다. 제5 절연층(50)은 제4 절연층(40) 위에 배치될 수 있다. 제5 절연층(50)은 유기층일 수 있다.
- [0103] 제2 연결 전극(CNE2)은 제5 절연층(50) 위에 배치될 수 있다. 제2 연결 전극(CNE2)은 제4 절연층(40) 및 제5 절연층(50)을 관통하는 컨택홀(CNT-2)을 통해 제1 연결 전극(CNE1)에 접속될 수 있다.
- [0104] 제6 절연층(60)은 제5 절연층(50) 위에 배치되며, 제2 연결 전극(CNE2)을 커버할 수 있다. 제6 절연층(60)은 유기층일 수 있다.
- [0105] 영상 구현층(DP-OLED)은 표시 회로층(DP-CL) 위에 배치될 수 있다. 영상 구현층(DP-OLED)은 발광 소자(100PE)를 포함할 수 있다. 예를 들어, 영상 구현층(DP-OLED)은 유기 발광 물질, 쿼터닷, 쿼터 로드, 마이크로 엘이디, 또는 나노 엘이디를 포함할 수 있다. 이하에서, 발광 소자(100PE)가 유기 발광 소자인 것을 예로 들어 설명하나, 특별히 이에 제한되는 것은 아니다.
- [0106] 발광 소자(100PE)는 제1 전극(AE), 발광층(OL), 및 제2 전극(CE)을 포함할 수 있다. 제1 전극(AE)은 제6 절연층(60) 위에 배치될 수 있다. 제1 전극(AE)은 제6 절연층(60)을 관통하는 컨택홀(CNT-3)을 통해 제2 연결 전극(CNE2)에 접속될 수 있다.
- [0107] 화소 정의막(70)은 제6 절연층(60) 위에 배치되며, 제1 전극(AE)의 일부분을 커버할 수 있다. 화소 정의막(70)에는 개구부(70-OP)가 정의된다. 화소 정의막(70)의 개구부(70-OP)는 제1 전극(AE)의 적어도 일부분을 노출시킨다.
- [0108] 액티브 영역(DP-AA, 도 3 참조)은 발광 영역(PXA)과 발광 영역(PXA)에 인접한 비발광 영역(NPXA)을 포함할 수 있다. 비발광 영역(NPXA)은 발광 영역(PXA)을 에워쌀 수 있다. 본 실시예에서 발광 영역(PXA)은 개구부(70-OP)에 의해 노출된 제1 전극(AE)의 일부 영역에 대응하게 정의되었다.
- [0109] 발광층(OL)은 제1 전극(AE) 위에 배치될 수 있다. 발광층(OL)은 개구부(70-OP)에 대응하는 영역에 배치될 수 있다. 즉, 발광층(OL)은 화소들 각각에 분리되어 형성될 수 있다. 발광층(OL)이 화소들 각각에 분리되어 형성된 경우, 발광층들(OL) 각각은 청색, 적색, 및 녹색 중 적어도 하나의 색의 광을 발광할 수 있다. 다만, 이에 제한되는 것은 아니며, 발광층(OL)은 화소들에 연결되어 공통으로 제공될 수도 있다. 이 경우, 발광층(OL)은 청색 광을 제공하거나, 백색 광을 제공할 수도 있다.
- [0110] 제2 전극(CE)은 발광층(OL) 위에 배치될 수 있다. 제2 전극(CE)은 일체의 형상을 갖고, 복수의 화소들에 공통적으로 배치될 수 있다. 제2 전극(CE)은 공통 전극(CE)으로 지칭될 수 있다.
- [0111] 도시되지 않았으나, 제1 전극(AE)과 발광층(OL) 사이에는 정공 제어층이 배치될 수 있다. 정공 제어층은 발광 영역(PXA)과 비발광 영역(NPXA)에 공통으로 배치될 수 있다. 정공 제어층은 정공 수송층을 포함하고, 정공 주입층을 더 포함할 수 있다. 발광층(OL)과 제2 전극(CE) 사이에는 전자 제어층이 배치될 수 있다. 전자 제어층은 전자 수송층을 포함하고, 전자 주입층을 더 포함할 수 있다. 정공 제어층과 전자 제어층은 오픈 마스크를 이용하여 복수 개의 화소들에 공통으로 형성될 수 있다.
- [0112] 박막 봉지층(TFL)은 영상 구현층(DP-OLED) 위에 배치될 수 있다. 박막 봉지층(TFL)은 순차적으로 적층된 무기층, 유기층, 및 무기층을 포함할 수 있으나, 박막 봉지층(TFL)을 구성하는 층들이 이에 제한되는 것은 아니다.
- [0113] 무기층들은 수분 및 산소로부터 영상 구현층(DP-OLED)을 보호하고, 유기층은 먼지 입자와 같은 이물질로부터 영상 구현층(DP-OLED)을 보호할 수 있다. 무기층들은 실리콘나이트라이드층, 실리콘옥시나이트라이드층, 실리콘옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층 등을 포함할 수 있다. 유기층은 아크릴 계열 유기층을 포함할 수 있고, 이에 제한되지 않는다.
- [0114] 센서층(IS)은 연속된 공정을 통해 표시층(DP) 위에 형성될 수 있다. 이 경우, 센서층(IS)은 표시층(DP) 위에 직접 배치된다고 표현될 수 있다. 직접 배치된다는 것은 센서층(IS)과 표시층(DP) 사이에 제3의 구성요소가 배치되지 않는 것을 의미할 수 있다. 즉, 센서층(IS)과 표시층(DP) 사이에는 별도의 접착 부재가 배치되지 않을 수 있다. 또는, 센서층(IS)은 접착 부재를 통해 표시층(DP)에 결합될 수 있다. 접착 부재는 통상의 접착제 또는 점착제를 포함할 수 있다.
- [0115] 센서층(IS)은 베이스 절연층(201), 제1 도전층(202), 감지 절연층(203), 제2 도전층(204), 및 커버 절연층(205)을 포함할 수 있다.

- [0116] 베이스 절연층(201)은 실리콘나이트라이드, 실리콘옥시나이트라이드, 및 실리콘옥사이드 중 적어도 어느 하나를 포함하는 무기층일 수 있다. 또는 베이스 절연층(201)은 에폭시 수지, 아크릴 수지, 또는 이미드 계열 수지를 포함하는 유기층일 수도 있다. 베이스 절연층(201)은 단층 구조를 갖거나, 제3 방향(DR3)을 따라 적층된 다층 구조를 가질 수 있다.
- [0117] 제1 도전층(202) 및 제2 도전층(204) 각각은 단층 구조를 갖거나, 제3 방향(DR3)을 따라 적층된 다층 구조를 가질 수 있다.
- [0118] 단층 구조의 도전층은 금속층 또는 투명 도전층을 포함할 수 있다. 금속층은 몰리브덴, 은, 티타늄, 구리, 알루미늄, 또는 이들의 합금을 포함할 수 있다. 투명 도전층은 인듐주석산화물(indium tin oxide, ITO), 인듐아연산화물(indium zinc oxide, IZO), 산화아연(zinc oxide, ZnO), 또는 인듐아연주석산화물(indium zinc tin oxide, IZTO) 등과 같은 투명한 전도성산화물을 포함할 수 있다. 그밖에 투명 도전층은 PEDOT과 같은 전도성 고분자, 금속 나노 와이어, 그래핀 등을 포함할 수 있다.
- [0119] 다층구조의 도전층은 금속층들을 포함할 수 있다. 금속층들은 예컨대 티타늄/알루미늄/티타늄의 3층 구조를 가질 수 있다. 다층구조의 도전층은 적어도 하나의 금속층 및 적어도 하나의 투명 도전층을 포함할 수 있다.
- [0120] 감지 절연층(203) 및 커버 절연층(205) 중 적어도 어느 하나는 무기막을 포함할 수 있다. 무기막은 알루미늄옥사이드, 티타늄옥사이드, 실리콘옥사이드, 실리콘나이트라이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄옥사이드 중 적어도 하나를 포함할 수 있다.
- [0121] 감지 절연층(203) 및 커버 절연층(205) 중 적어도 어느 하나는 유기막을 포함할 수 있다. 유기막은 아크릴계 수지, 메타크릴계 수지, 폴리아이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리이미드계 수지, 폴리아미드계 수지 및 페렌렌계 수지 중 적어도 어느 하나를 포함할 수 있다.
- [0122] 도 6은 본 발명의 일 실시예에 따른 도 4의 AA' 영역을 확대하여 도시한 전자 장치의 사시도이고, 도 7은 본 발명의 일 실시예에 따른 도 6의 II-II'를 따라 절단한 단면도이다.
- [0123] 도 6 및 도 7을 참조하면, 안테나 영역(AP1, AP2, 도 4a 참조)에는 안테나(ANT)가 정의될 수 있다. 안테나(ANT)는 금속층(CTL), 유전체층(DE), 및 커버층(CU)을 포함할 수 있다.
- [0124] 안테나 영역(AP1, 도 4a 참조)은 기판 일체형 도파관(Substrate Integrated Waveguide, SIW)으로 구성될 수 있다. 상기 기판 일체형 도파관은 기판의 상부 및 하부 금속판을 연결하는 금속화된 복수의 제1 관통홀들(TH1, TH2)을 조밀하게 배열함으로써 유전체층(DE)에 형성된 합성 직사각형 전자기 도파관을 의미할 수 있다. 이 때 복수의 제1 관통홀들(TH1, TH2)은 진행파가 누설되는 것을 방지할 수 있다. 상기 상부 금속판은 금속층(CTL)일 수 있다. 상기 하부 금속판은 커버층(CU)일 수 있다.
- [0125] 금속층(CTL)에는 복수의 슬롯들(SL1, SL2)이 정의될 수 있다. 복수의 슬롯들(SL1, SL2) 각각은 제2 방향(DR2)으로 제1 폭(LS)을 가질 수 있다. 제1 폭(LS)은 안테나의 공진 주파수에 반비례할 수 있다. 제1 폭(LS)은 3mm(millimeter) 내지 4mm일 수 있다. 예를 들어, 제1 폭(LS)은 3.5mm일 수 있다.
- [0126] 복수의 슬롯들(SL1, SL2) 각각은 제1 방향(DR1)으로 제2 폭(WS)을 가질 수 있다. 제2 폭(WS)은 안테나의 임피던스 매칭을 근거로 산출될 수 있다. 제2 폭(WS)은 0.25mm 내지 0.35mm일 수 있다. 예를 들어, 제2 폭(WS)은 0.3mm일 수 있다.
- [0127] 복수의 슬롯들(SL1, SL2)은 복수의 제1 행 슬롯들(SL1) 및 복수의 제2 행 슬롯들(SL2)을 포함할 수 있다.
- [0128] 복수의 제1 행 슬롯들(SL1)은 제2 방향(DR2)으로 나열될 수 있다. 복수의 제1 행 슬롯들(SL1) 각각은 제2 방향(DR2)으로 연장될 수 있다.
- [0129] 복수의 제2 행 슬롯들(SL2)은 복수의 제1 행 슬롯들(SL1)로부터 제1 방향(DR1)으로 이격될 수 있다. 복수의 제2 행 슬롯들(SL2)은 제2 방향(DR2)으로 나열될 수 있다. 복수의 제2 행 슬롯들(SL2) 각각은 제2 방향(DR2)으로 연장될 수 있다.
- [0130] 본 발명에 따르면, 안테나 영역(AP1, AP2, 도 4a 참조)에 복수의 슬롯들(SL1, SL2)이 배치될 수 있다. 복수의 슬롯들(SL1, SL2)은 복수의 제1 행 슬롯들(SL1) 및 복수의 제2 행 슬롯들(SL2)을 포함할 수 있다. 복수의 제1 행 슬롯들(SL1) 및 복수의 제2 행 슬롯들(SL2) 각각은 제2 방향(DR2)으로 연장되고 지그재그 형상으로 배열될 수 있다. 즉, 제한된 안테나 영역(AP1, AP2, 도 4a 참조) 내에 다수의 슬롯들(SL1, SL2)을 형성하여 안테나

(ANT)의 방사 성능을 향상시킬 수 있다.

- [0131] 측면에서 보았을 때, 하나의 제1 행 슬롯(SL1)의 센터와 상기 하나의 제1 행 슬롯(SL1)과 인접한 하나의 제2 행 슬롯(SL2)의 센터 사이의 제2 방향(DR2) 거리(WD1)는 3.5mm일 수 있다. 상기 거리(WD1)는 제1 폭(LS)의 값과 동일할 수 있다.
- [0132] 금속층(CTL)은 제1 도전층(202), 제2 도전층(204), 공통 전극(CE), 및 표시 회로층(DP-CL)을 포함할 수 있다.
- [0133] 복수의 슬롯들(SL1)은 제1 슬롯(SL1-1), 제2 슬롯(SL1-2), 및 제3 슬롯(SL1-3)을 포함할 수 있다.
- [0134] 제1 도전층(202) 및/또는 제2 도전층(204)에는 복수의 제1 슬롯들(SL1-1)이 정의될 수 있다.
- [0135] 제1 도전층(202) 및 제2 도전층(204) 각각은 티타늄/알루미늄/티타늄의 3층 구조를 가질 수 있다. 제1 도전층(202) 및 제2 도전층(204) 각각은 메쉬 구조를 가질 수 있다. 제1 도전층(202) 및 제2 도전층(204)의 두께는 0.20um(micrometer) 내지 0.30um일 수 있다. 예를 들어, 제1 도전층(202) 및 제2 도전층(204)의 두께는 0.25um일 수 있다.
- [0136] 공통 전극(CE)에는 복수의 제1 슬롯들(SL1-1)과 각각 중첩하는 복수의 제2 슬롯들(SL1-2)이 정의될 수 있다. 복수의 제2 슬롯들(SL1-2)은 복수의 제1 슬롯들(SL1-1)에 대응될 수 있다.
- [0137] 공통 전극(CE)은 은(Ag)-마그네슘(Mg) 합금으로 만들어진 전극을 포함할 수 있다. 공통 전극(CE)의 두께는 0.005um 내지 0.015um일 수 있다. 예를 들어, 공통 전극(CE)의 두께는 0.01um일 수 있다.
- [0138] 표시 회로층(DP-CL)에는 복수의 제2 슬롯들(SL1-2)과 각각 중첩하는 복수의 제3 슬롯들(SL3-1)이 정의될 수 있다. 복수의 제3 슬롯들(SL1-3)은 복수의 제2 슬롯들(SL2-1)에 대응될 수 있다.
- [0139] 표시 회로층(DP-CL)은 복수의 신호 배선들(GL, DL, PL, EL, 도 3 참조)을 포함할 수 있다. 표시 회로층(DP-CL)의 두께는 0.20um(micrometer) 내지 0.30um일 수 있다. 예를 들어, 표시 회로층(DP-CL)의 두께는 0.25um일 수 있다.
- [0140] 유전체층(DE)은 금속층(CTL) 아래에 배치될 수 있다. 유전체층(DE)은 베이스층(SUB) 및 하부 부재층(CP)을 포함할 수 있다.
- [0141] 유전체층(DE)에는 복수의 제1 관통홀들(TH1, TH2)이 정의될 수 있다. 복수의 제1 관통홀들(TH1, TH2) 각각은 베이스층(SUB) 및 하부 부재층(CP)이 일체로 관통되어 형성될 수 있다. 복수의 제1 관통홀들(TH1, TH2) 각각은 제3 방향(DR3)으로 관통될 수 있다.
- [0142] 복수의 제1 관통홀들(TH1, TH2) 각각의 측면(TH1-S, TH2-S)에는 금속이 배치될 수 있다. 예를 들어, 복수의 제1 관통홀들(TH1, TH2) 각각의 측면(TH1-S, TH2-S)에는 구리(Cu)가 코팅될 수 있다. 다만, 이는 예시적인 것으로 본 발명의 일 실시예에 따른 복수의 제1 관통홀들(TH1, TH2) 각각의 내부에는 금속이 채워질 수도 있다.
- [0143] 제1 포트(P01, 도 4a 참조) 또는 제2 포트(P02, 도 4a 참조)를 통해 제공된 전자기파는 복수의 관통홀들(TH1, TH2) 사이에 갇혀 이동할 수 있다.
- [0144] 복수의 제1 관통홀들(TH1, TH2)은 복수의 제1 열 관통홀들(TH1) 및 복수의 제1 열 관통홀들(TH1)과 제1 방향(DR1)으로 이격된 복수의 제2 열 관통홀들(TH2)을 포함할 수 있다.
- [0145] 복수의 제1 열 관통홀들(TH1) 각각은 제2 방향(DR2)으로 나열될 수 있다.
- [0146] 복수의 제2 열 관통홀들(TH2) 각각은 제2 방향(DR2)으로 나열될 수 있다.
- [0147] 평면 상에서 보았을 때, 복수의 제1 열 관통홀들(TH1) 및 복수의 제2 열 관통홀들(TH2)은 복수의 슬롯들(SL1, SL2)을 사이에 두고 서로 이격될 수 있다.
- [0148] 복수의 제1 열 관통홀들(TH1) 및 복수의 제2 열 관통홀들(TH2) 사이의 제1 방향(DR1)으로 연장된 폭(WD2)은 차단 주파수를 결정할 수 있다. 상기 차단 주파수는 빛의 속력을 상기 폭(WD2)의 두배에 유효 유전율의 제곱근을 곱한 값으로 나누어 산출될 수 있다.
- [0149] 상기 폭(WD2)은 4mm 내지 6mm일 수 있다. 예를 들어, 상기 폭(WD2)은 5mm일 수 있다. 이때의 차단 주파수는 19GHz(gigahertz)일 수 있다.
- [0150] 유전체층(DE)은 금속층(CTL) 아래에 배치될 수 있다. 유전체층(DE)은 베이스층(SUB), 보호층(PF), 엠보층(EB),

쿠션층(CSH), 및 방열 시트(GP)를 포함할 수 있다. 베이스층(SUB)의 두께는 14um 내지 18um일 수 있다. 예를 들어, 베이스층(SUB)의 두께는 16um일 수 있다. 보호층(PF)의 두께는 90um 내지 110um일 수 있다. 예를 들어, 보호층(PF)의 두께는 100um일 수 있다. 방열 시트(GP)는 250um 내지 300um일 수 있다. 예를 들어, 방열 시트(GP)는 275um일 수 있다.

- [0151] 유전체층(DE)의 두께의 2배 값은 상기 폭(WD2) 보다 클 수 있다. 이를 통해 안테나(ANT)는 기판 일체형 도파관(Substrate Integrated Waveguide, SIW)으로 동작할 수 있다.
- [0152] 커버층(CU)은 유전체층(DE) 아래에 배치될 수 있다. 커버층(CU)은 금속을 포함할 수 있다. 예를 들어, 커버층(CU)은 구리(Cu)를 포함할 수 있다.
- [0153] 평면 상에서 보았을 때, 커버층(CU)은 복수의 제1 관통홀들(TH1, TH2) 및 복수의 슬롯들(SL1, SL2)과 중첩할 수 있다.
- [0154] 도 8은 본 발명의 일 실시예에 따른 주파수에 따른 S파라미터를 도시한 그래프이다.
- [0155] 도 6 및 도 8을 참조하면, S11은 S파라미터(S-Parameter) 중 하나일 수 있다. S11은 입력 신호가 반사되어 돌아오는 신호의 크기 대 입력 신호의 크기를 비율로 나타낸 값일 수 있다. 예를 들어, 입력 신호는 제1 포트(P01, 도 4a 참조)를 통해 제공되는 신호일 수 있다. 예를 들어, S11은 안테나(ANT)의 반사 계수일 수 있다. 안테나(ANT)의 동작을 판단할 때, S11 값이 -10dB인 경우를 기준으로 판단할 수 있다. -10dB는 입력 신호가 반사되어 돌아오는 신호의 크기가 입력 신호의 크기 대비 10%인 경우일 수 있다. S11이 -10dB보다 작은 경우, 안테나(ANT)는 해당 주파수 대역에서 동작한다고 판단할 수 있다.
- [0156] 안테나(ANT)는 A 내지 B 사이에서 동작할 수 있다. A는 20.9GHz일 수 있다. B는 30.2GHz일 수 있다. 즉, 안테나(ANT)는 주파수 대역(BW)에서 동작할 수 있다.
- [0157] S21은 출력 신호의 크기 대 입력 신호의 크기를 비율로 나타낸 값일 수 있다. 예를 들어, 출력 신호는 제2 포트(P02, 도 4a 참조)를 통해 수신되는 신호일 수 있다. S21은 안테나(ANT)가 기판 일체형 도파관으로 동작하는지 여부를 판단할 수 있다. 예를 들어, 관통홀들(TH1, TH2) 사이의 폭(WD)에 의해 산출된 차단 주파수 이하의 주파수로 동작하는 경우, 안테나(ANT)는 동작하지 않을 수 있다. 즉, S21을 참조하면, 안테나(ANT)는 주파수 대역(BW)에서 동작함을 확인할 수 있다.
- [0158] 도 9는 본 발명의 일 실시예에 따른 안테나의 방사 패턴을 도시한 것이고 도 10a 내지 도 10c는 본 발명의 일 실시예에 따른 안테나의 주파수별 방사 패턴을 도시한 것들이다.
- [0159] 도 9는 안테나(ANT)를 제1 방향(DR1)을 따라 절단한 단면의 방사 패턴일 수 있다. 도 9에서 90°는 제1 방향(DR1)을 지칭할 수 있다. 도 10a는 안테나(ANT)의 25GHz에서의 방사 패턴을 도시한 것이다. 도 10b는 안테나(ANT)의 27GHz에서의 방사 패턴을 도시한 것이다. 도 10c는 안테나(ANT)의 29GHz에서의 방사 패턴을 도시한 것이다.
- [0160] 도 10a 내지 도 10c에서 색깔을 이용하여 안테나 이득을 도시하였다. 예를 들어, 빨간색은 0dB 내지 10dB의 안테나 이득을 도시하고, 노란색은 -10dB 내지 0dB의 안테나 이득을 도시하며, 연두색은 -20dB 내지 -10dB의 안테나 이득을 도시하고, 초록색은 -30dB 내지 -20dB의 안테나 이득을 도시하며, 청록색은 -40dB 내지 -30dB의 안테나 이득을 도시하고, 파란색은 -50dB 내지 -40dB의 안테나 이득을 도시할 수 있다.
- [0161] 방사 패턴에서 안테나 이득이 0dB 이상인 경우, 신호가 해당 방향으로 방사된다고 할 수 있다. 상기 방향에서 0°은 제3 방향(DR3)을 지칭할 수 있다.
- [0162] 도 6, 도 9, 및 도 10a를 참조하면, 제1 그래프(GP1)는 안테나(ANT)의 제1 주파수에서의 방사 패턴을 도시한 것이다. 상기 제1 주파수는 25GHz(gigahertz)일 수 있다.
- [0163] 안테나(ANT)는 제1 주파수에서 동작하도록 설계될 수 있다. 안테나(ANT)는 상기 제1 주파수를 가지는 신호를 송신, 수신, 또는 송수신할 수 있다.
- [0164] 제1 주파수에서 제1 각도(AG1)만큼 빔이 틸트(tilt)될 수 있다. 제1 각도(AG1)는 -35°일 수 있다. 안테나(ANT)는 제1 주파수에서 제1 방사 방향(DRa)으로 지향성을 가진다고 할 수 있다. 안테나(ANT)는 제1 주파수에서 제1 방사 방향(DRa)으로 8.1dB의 안테나 이득을 가질 수 있다.
- [0165] 도 6, 도 9, 및 도 10b를 참조하면, 제2 그래프(GP2)는 안테나(ANT)의 제2 주파수에서의 방사 패턴을 도시한 것

이다. 상기 제2 주파수는 27GHz일 수 있다.

- [0166] 안테나(ANT)는 제2 주파수에서 동작하도록 설계될 수 있다. 안테나(ANT)는 상기 제2 주파수를 가지는 신호를 송신, 수신, 또는 송수신할 수 있다.
- [0167] 제2 주파수에서 제2 각도(AG2)만큼 빔이 틸트될 수 있다. 제2 각도(AG2)는 -23° 일 수 있다. 안테나(ANT)는 제2 방사 방향(DRb)으로 지향성을 가진다고 할 수 있다. 안테나(ANT)는 제2 주파수에서 제2 방사 방향(DRb)으로 11.3dB의 안테나 이득을 가질 수 있다.
- [0168] 도 6, 도 9, 및 도 10c를 참조하면, 제3 그래프(GP3)는 안테나(ANT)의 제3 주파수에서의 방사 패턴을 도시한 것이다. 상기 제3 주파수는 29GHz일 수 있다.
- [0169] 안테나(ANT)는 제3 주파수에서 동작하도록 설계될 수 있다. 안테나(ANT)는 상기 제3 주파수를 가지는 신호를 송신, 수신, 또는 송수신할 수 있다.
- [0170] 제3 주파수에서 제3 각도(AG3)만큼 빔이 틸트될 수 있다. 제3 각도(AG3)는 -14° 일 수 있다. 안테나(ANT)는 제3 방사 방향(DRc)으로 지향성을 가진다고 할 수 있다. 안테나(ANT)는 제3 주파수에서 제3 방사 방향(DRc)으로 13.0dB의 안테나 이득을 가질 수 있다.
- [0171] 높은 주파수 대역을 가지는 초극초단파(super high frequency, SHF) 또는 밀리미터파(extremely high frequency, EHF)의 경우, 전송 거리에 따라 신호의 손실이 클 수 있다. 하지만 본 발명에 따르면, 안테나(ANT)는 주파수 대역(BW)에서 제3 방향(DR3)으로 신호를 방사할 수 있다. 안테나(ANT)는 주파수 대역(BW)에서 제3 방향(DR3)으로 지향성을 가진다고 할 수 있다. 안테나(ANT)는 안테나 이득의 집중도가 향상될 수 있다. 따라서, 신호의 전송 거리가 향상된 전자 장치(DD, 도 1 참조)를 제공할 수 있다.
- [0172] 또한, 본 발명에 따르면, 안테나(ANT)에서 동작하는 주파수 대역(BW)은 광대역일 수 있다. 따라서, 주파수 대역폭이 향상된 전자 장치(DD, 도 1 참조)를 제공할 수 있다.
- [0173] 도 11은 본 발명의 일 실시예에 따른 전자 장치의 단면도이고, 도 12는 본 발명의 일 실시예에 따른 연성 회로 필름의 단면도이다. 도 11을 설명함에 있어서, 도 2를 통해 설명된 구성 요소에 대해서는 동일한 도면 부호를 병기하고 이에 대한 설명은 생략된다.
- [0174] 도 11 및 도 12를 참조하면, 전자 장치(DDa)에는 액티브 영역(DD-AA) 및 액티브 영역(DD-AA)과 인접한 주변 영역(DD-NAA)을 포함할 수 있다.
- [0175] 전자 장치(DDa)는 연성 회로 필름(FF)을 더 포함할 수 있다.
- [0176] 연성 회로 필름(FF)은 주변 영역(DD-NAA)에 배치될 수 있다. 연성 회로 필름(FF)은 센서층(IS)에 전기적으로 연결될 수 있다. 연성 회로 필름(FF)은 밴딩되어 표시층(DP)의 측면(DP-S)과 마주할 수 있다. 연성 회로 필름(FF)에는 구동칩(IC)이 실장될 수 있다. 연성 회로 필름(FF)은 구동칩(IC)에서 생성된 신호를 안테나(ANT)에 전달할 수 있다.
- [0177] 구동칩(IC)은 제1 포트(P01, 도 4a 참조) 및 제2 포트(P02, 도 4a 참조)를 통해 안테나(ANT)에 신호를 제공할 수 있다. 구동칩(IC)은 안테나(ANT)의 동작을 제어할 수 있다. 예를 들어, 구동칩(IC)은 복수의 안테나들(ANT) 각각에 급전되는 전력을 조절하여 안테나(ANT)의 빔 조향을 조절할 수 있고, 특정한 방향으로 주파수 신호를 집중시켜 에너지를 향상시킬 수 있다. 또한, 원하는 방사 패턴을 형성할 수 있어 방사 효율이 향상될 수 있다. 본 발명의 일 실시예에서 구동칩(IC)은 빔포밍 칩(IC)으로 지칭될 수도 있다.
- [0178] 연성 회로 필름(FF)은 기판 일체형 도파관으로 구성될 수 있다. 연성 회로 필름(FF)은 제1 금속층(301), 유전층(302), 및 제2 금속층(303)을 포함할 수 있다.
- [0179] 제1 금속층(301)은 도전성 물질을 포함할 수 있다. 예를 들어, 제1 금속층(301)은 구리(Cu)를 포함할 수 있다. 제1 금속층(301)의 두께는 15um 내지 20um일 수 있다. 예를 들어, 제1 금속층(301)의 두께는 18um일 수 있다.
- [0180] 유전층(302)은 제1 금속층(301) 위에 배치될 수 있다. 유전층(302)의 두께는 40um 내지 60um일 수 있다. 예를 들어, 유전층(302)의 두께는 50um일 수 있다. 유전층(302)에는 복수의 제2 관통홀들(TH3, TH4)이 정의될 수 있다.
- [0181] 제2 금속층(303)은 유전층(302) 위에 배치될 수 있다. 제2 금속층(303)은 도전성 물질을 포함할 수 있다. 예를 들어, 제2 금속층(303)은 구리(Cu)를 포함할 수 있다. 제2 금속층(303)의 두께는 15um 내지 20um일 수 있다. 예

를 들어, 제2 금속층(303)의 두께는 18um일 수 있다.

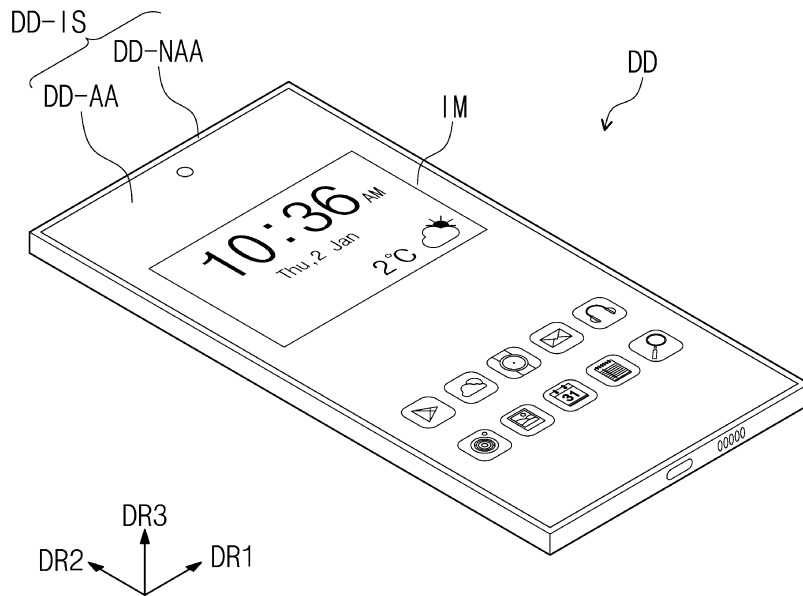
- [0182] 제2 금속층(303)에는 복수의 보조 슬롯들(SL3, SL4)이 정의될 수 있다. 복수의 보조 슬롯들(SL3, SL4)은 제2 방향(DR2)을 따라 지그재그 형상으로 배열될 수 있다.
- [0183] 측면 상에서 보았을 때, 복수의 제2 관통홀들(TH3, TH4)은 복수의 보조 슬롯들(SL3, SL4)을 사이에 두고 서로 이격될 수 있다.
- [0184] 도 13은 본 발명의 일 실시예에 따른 안테나들의 주파수에 따른 총 이득을 도시한 그래프이고, 도 14는 본 발명의 일 실시예에 따른 안테나의 방사 패턴을 도시한 것이다.
- [0185] 도 13 및 도 14를 참조하면, 안테나들은 안테나(ANT) 및 연성 회로 필름(FF, 도 12 참조)의 보조 안테나(ANTa)를 포함할 수 있다.
- [0186] 그래프(GPa)를 참조하면, 안테나들(ANT, ANTa)은 주파수 대역(BWa)을 갖는 신호를 송신, 수신, 또는 송수신하도록 설계될 수 있다.
- [0187] 안테나들(ANT, ANTa)은 Aa 내지 Ba 사이에서 동작할 수 있다. Aa는 26.7GHz일 수 있다. Ba는 29.8GHz일 수 있다. 안테나들(ANT, ANTa)은 주파수 대역(BWa)에서 동작할 수 있다. 주파수 대역(BWa)은 2.1GHz일 수 있고, 이때의 최대 방사 이득은 6dB 이상일 수 있다.
- [0188] 안테나(ANT)는 주파수 대역(BWa)에서 제3 방향(DR3)으로 신호를 방사할 수 있다. 보조 안테나(ANTa)는 주파수 대역(BWa)에서 제1 방향(DR1)으로 신호를 방사할 수 있다.
- [0189] 본 발명에 따르면, 안테나들(ANT, ANTa)는 제3 방향(DR3)으로 신호를 방사하는 안테나(ANT) 및 제1 방향(DR1)으로 신호를 방사하는 보조 안테나(ANTa)를 포함할 수 있다.
- [0190] 본 발명에 따르면, 안테나들(ANT, ANTa)는 주파수 대역(BW)에서 제3 방향(DR3) 및 제1 방향(DR1)으로 지향성을 가진다고 할 수 있다. 안테나(ANT)는 안테나 이득의 집중도가 향상될 수 있다. 따라서, 신호의 전송 거리가 향상된 전자 장치(DD, 도 1 참조)를 제공할 수 있다.
- [0191] 또한, 본 발명에 따르면, 안테나들(ANT, ANTa)에서 동작하는 주파수 대역(BWa)은 광대역일 수 있다. 따라서, 주파수 대역폭이 향상된 전자 장치(DD, 도 1 참조)를 제공할 수 있다.
- [0192] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

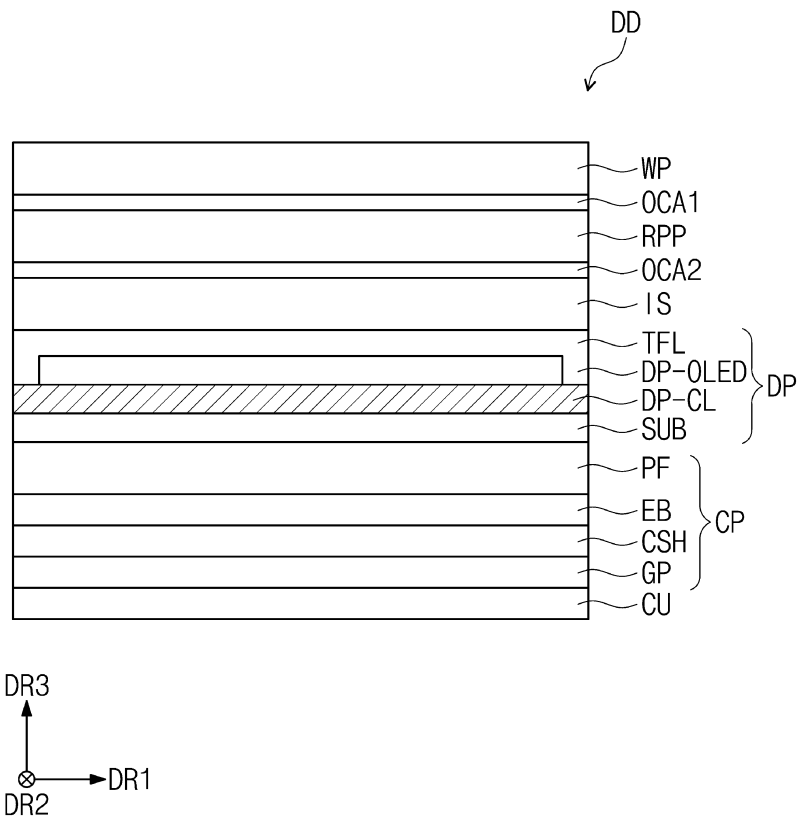
- [0193] DD: 전자 장치 DP: 표시층
- IS: 센서층 CU: 커버층
- SL1, SL2: 복수의 슬롯들 TH1, TH2: 복수의 제1 관통홀들

도면

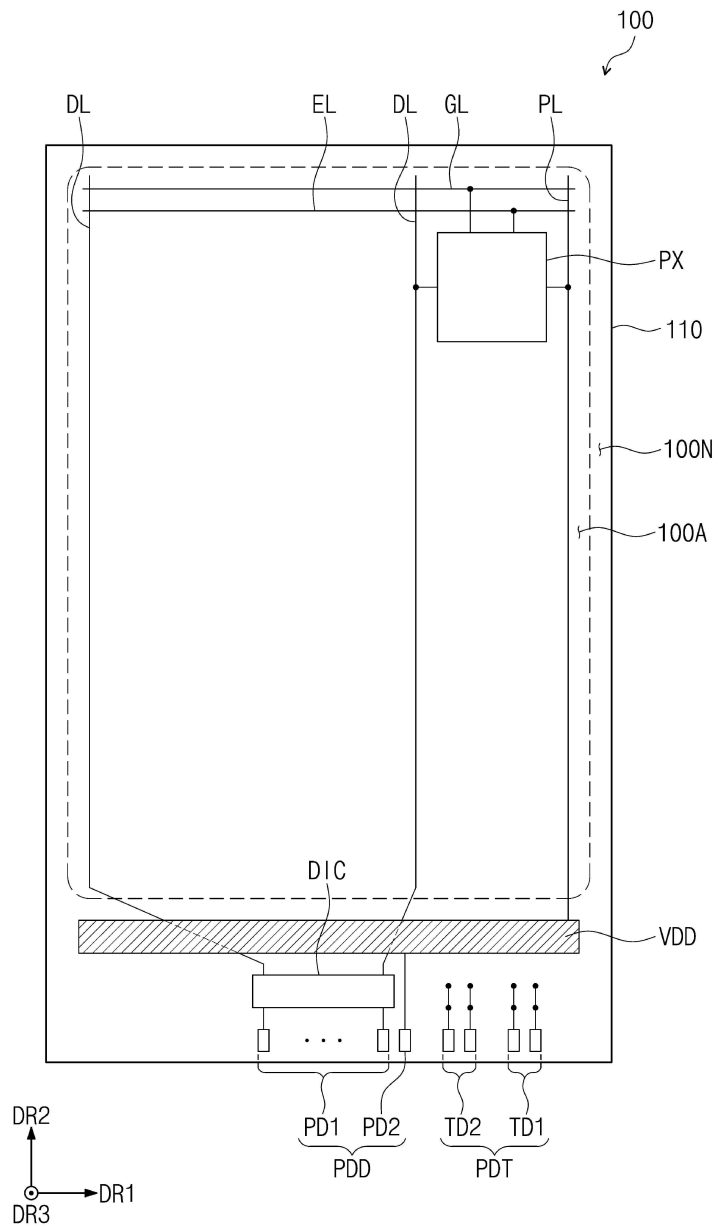
도면1



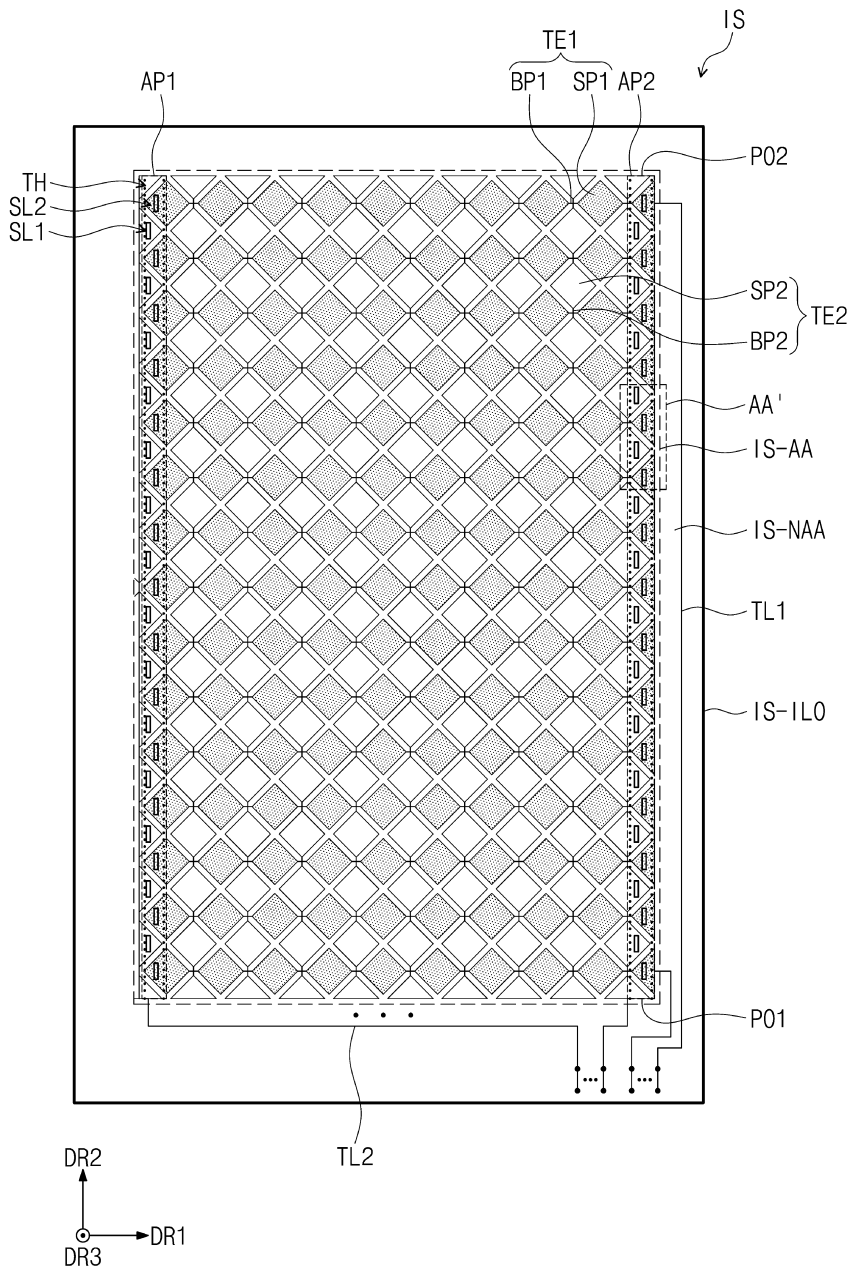
도면2



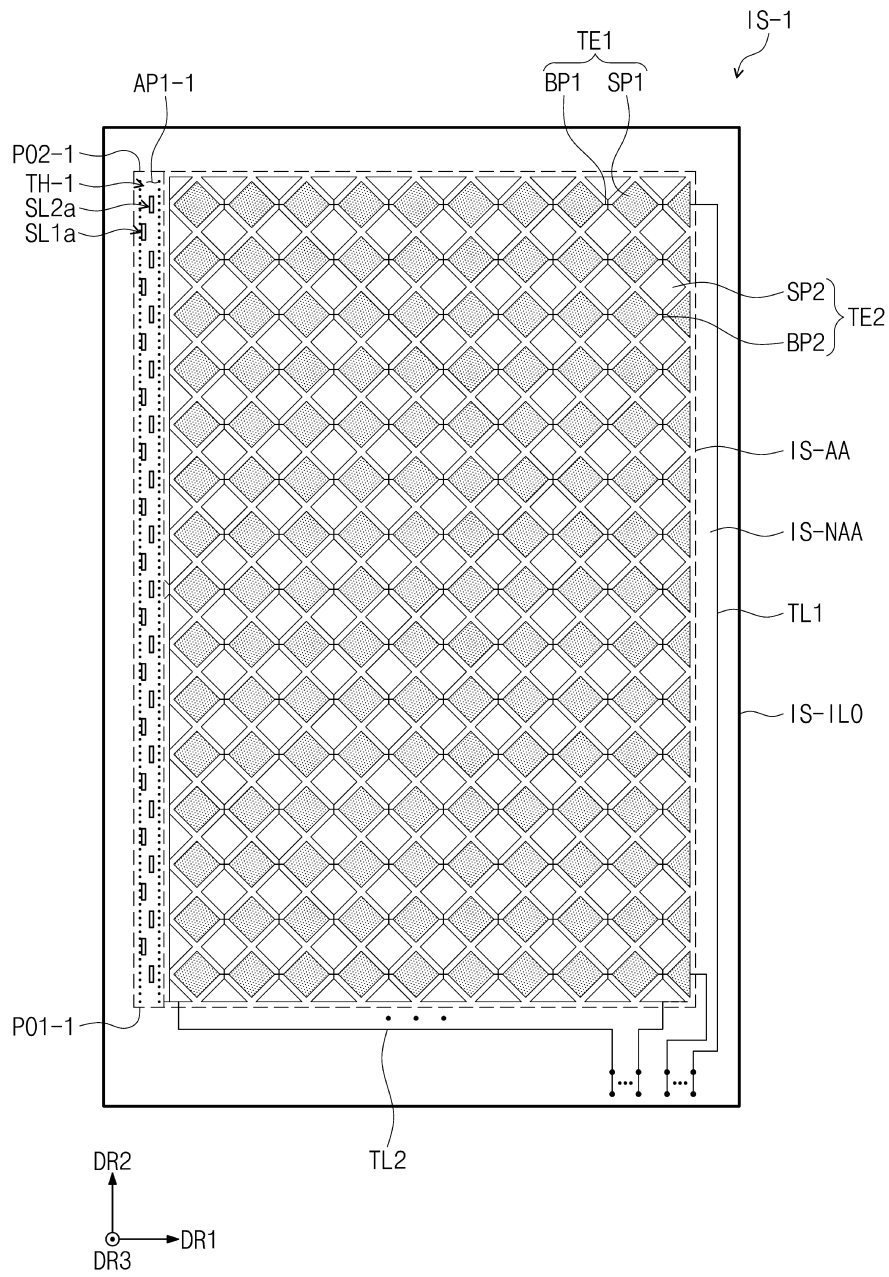
도면3



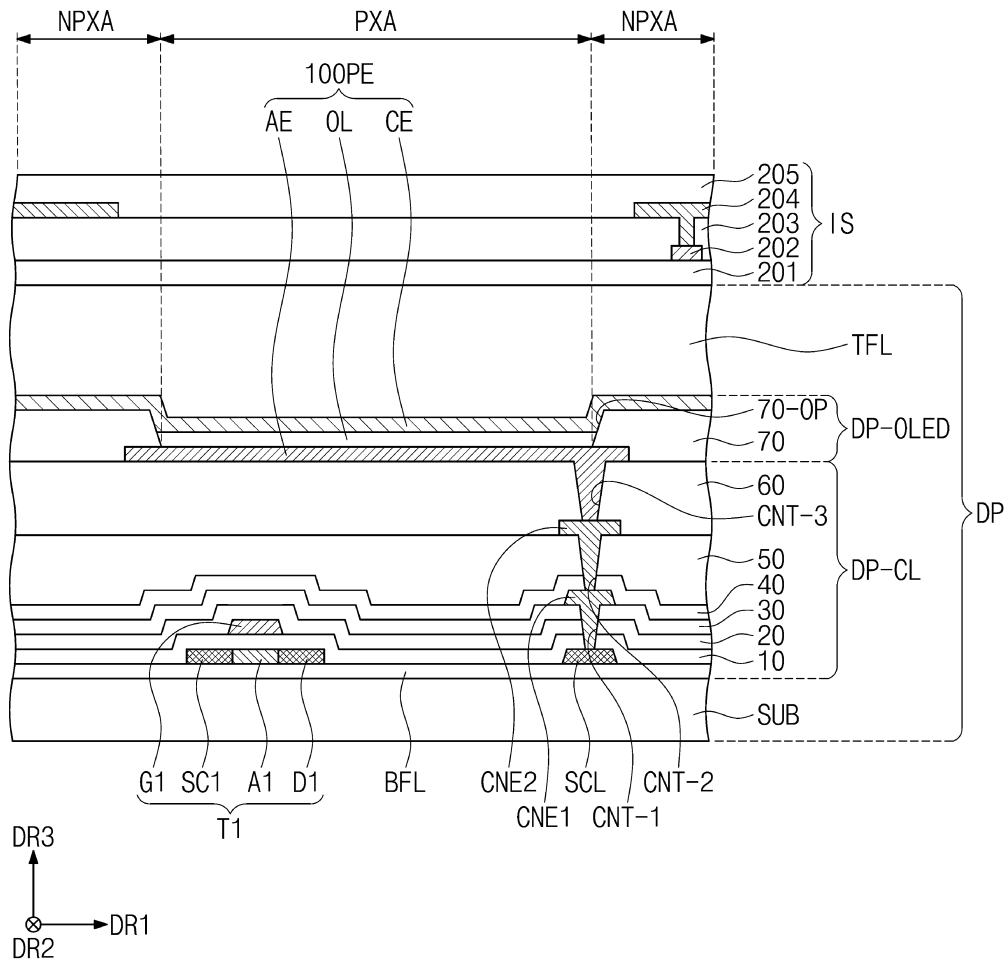
도면4a



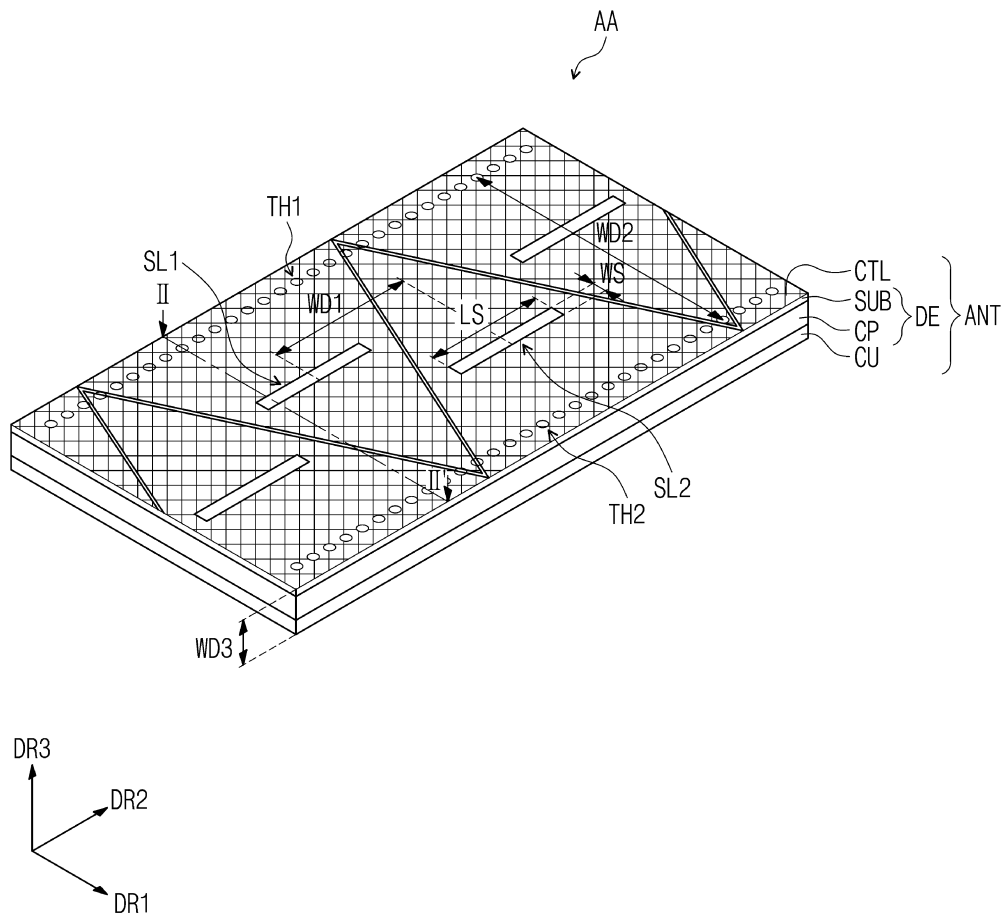
도면4b



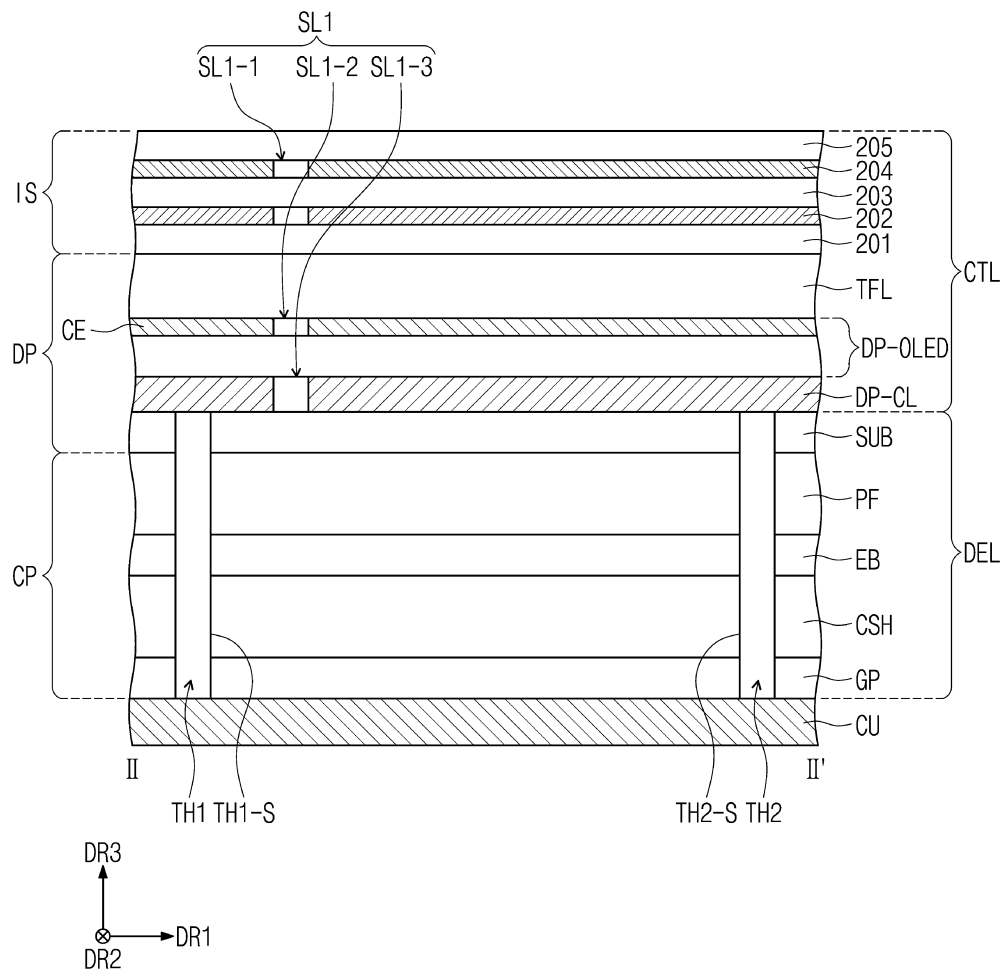
도면5



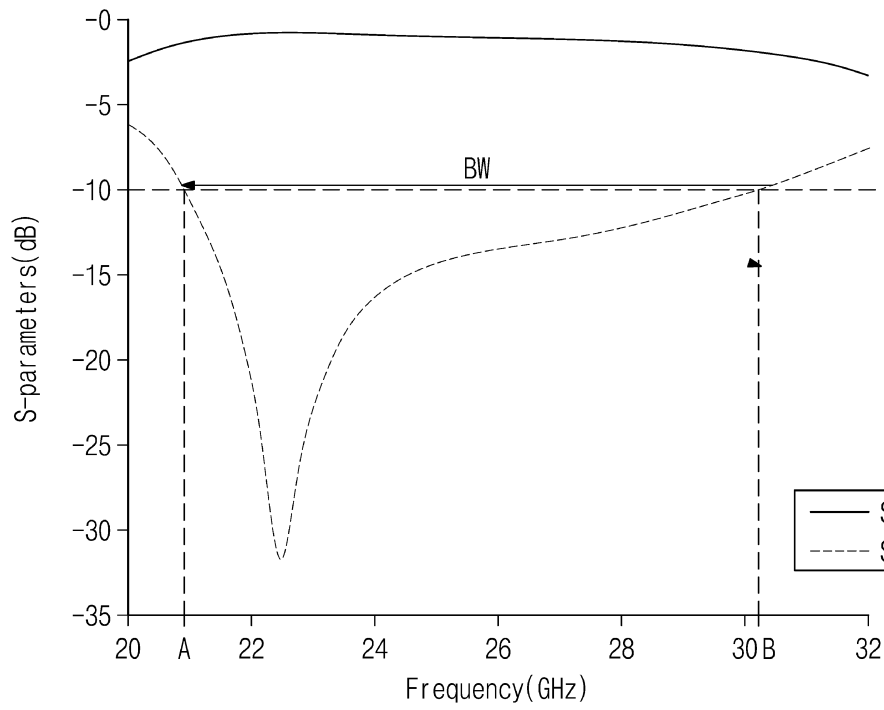
도면6



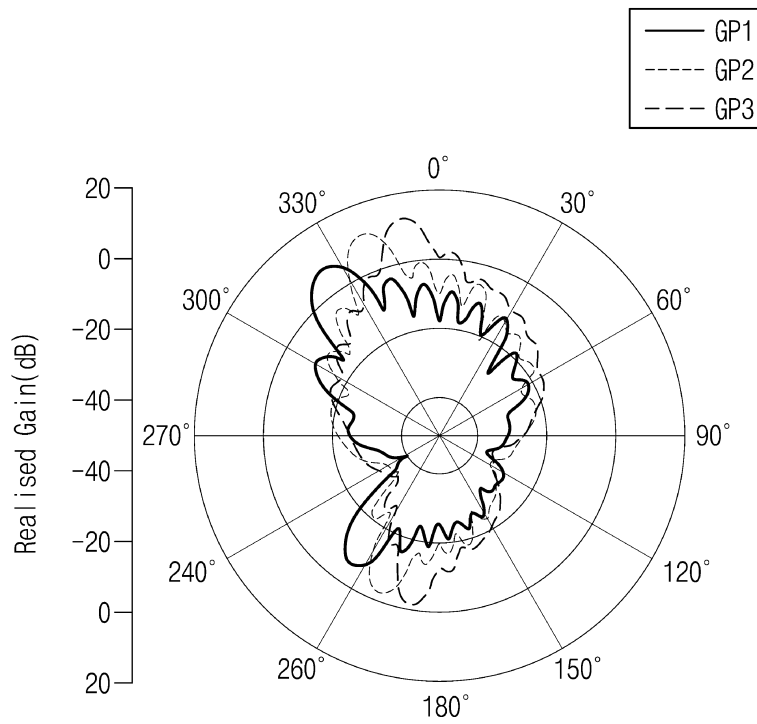
도면7



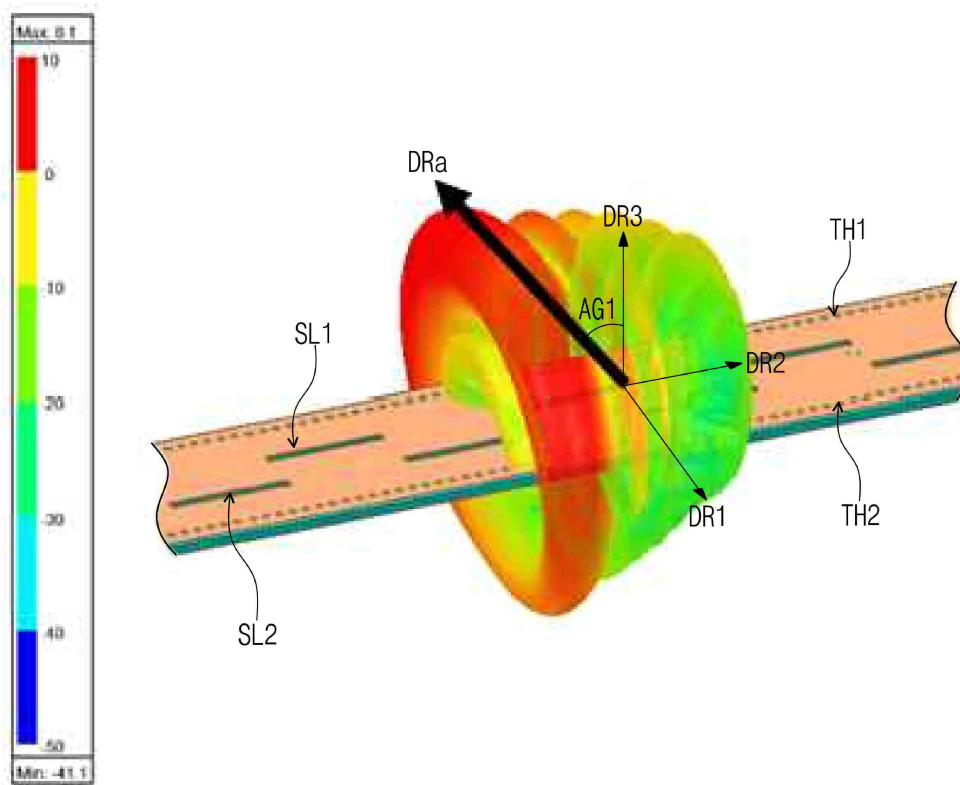
도면8



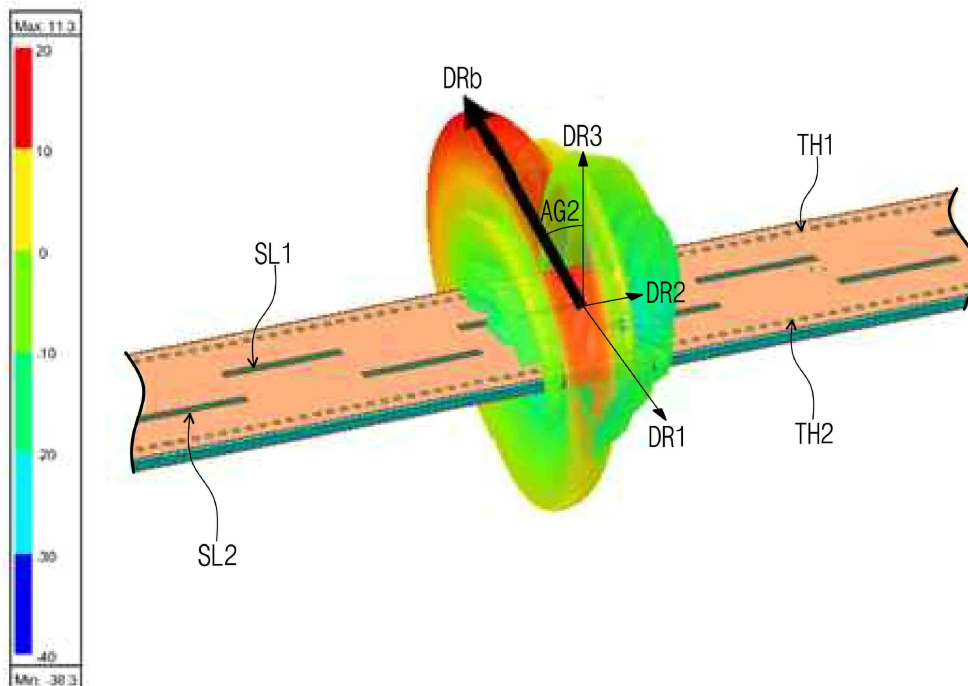
도면9



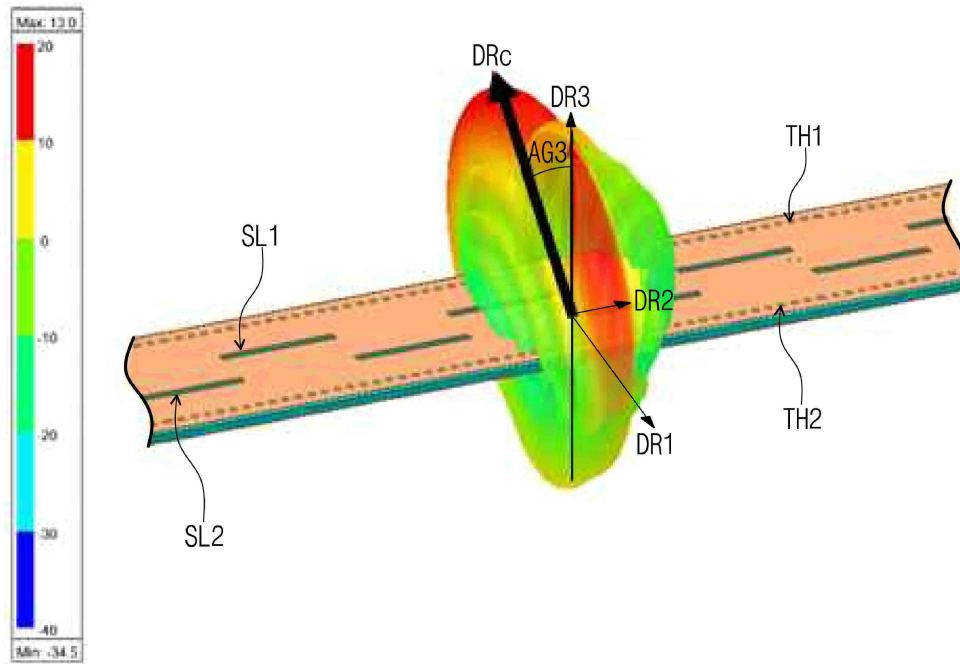
도면10a



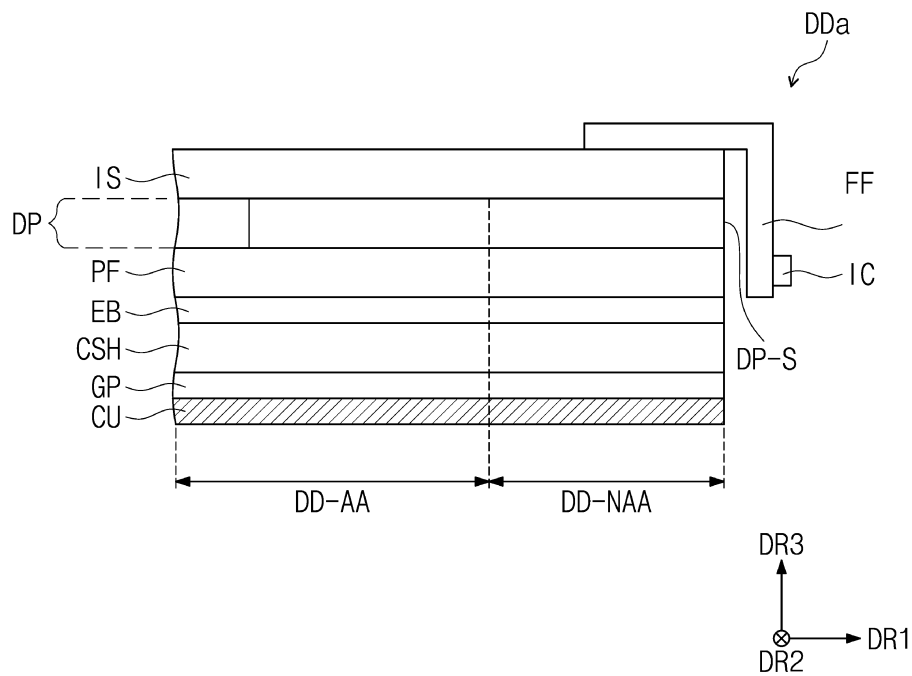
도면10b



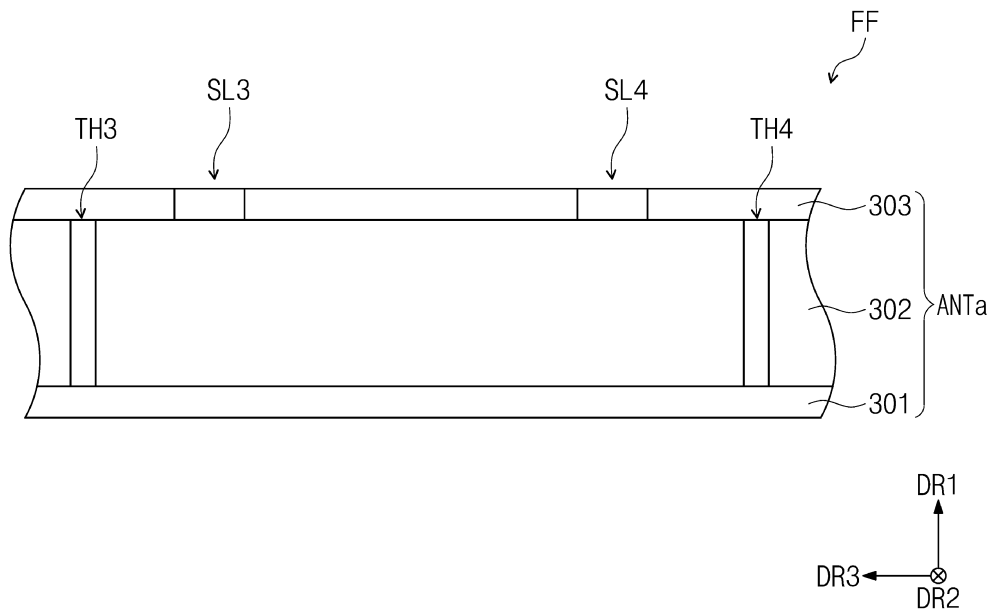
도면10c



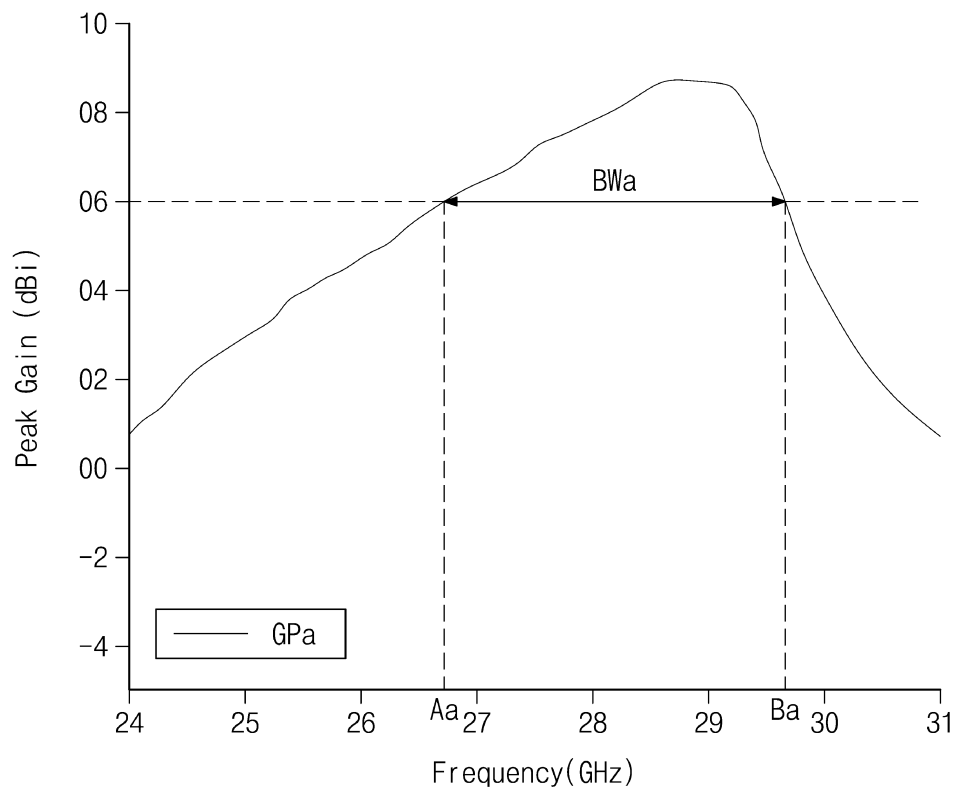
도면11



도면12



도면13



도면14

