(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-342457
(P2004-342457A)
(43)公開日　平成16年12月2日(2004.12.2)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H05B 33/10	H05B 33/10		3K007
G09F 9/00	G09F 9/00	338	5C094
G09F 9/30	G09F 9/00	352	5G435
H05B 33/14	G09F 9/30	338	
H05B 33/22	G09F 9/30	365Z	

審査請求 未請求　請求項の数 7　ＯＬ　（全 9 頁）　最終頁に続く

(21)出願番号　特願2003-137734(P2003-137734)
(22)出願日　平成15年5月15日(2003.5.15)

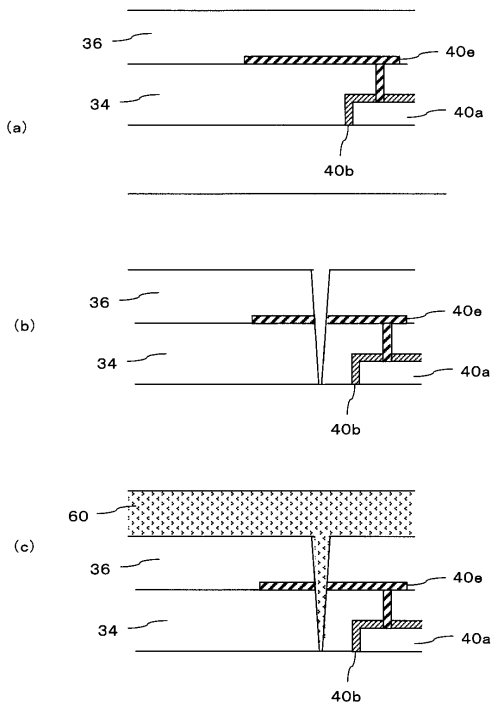
(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(74)代理人　100075258
弁理士　吉田　研二
(74)代理人　100096976
弁理士　石田　純
(72)発明者　神野　優志
大阪府守口市京阪本通２丁目５番５号　三洋電機株式会社内

Ｆターム(参考)　3K007 AB11　AB13　AB18　BA06　DB03　FA00

最終頁に続く

(54)【発明の名称】表示パネルの製造方法および表示パネル

(57)【要約】
【課題】画素の劣化を抑制しつつ、レーザを利用した欠陥画素の減光化を効果的に行う。
【解決手段】パネル形成の途中、例えば第２ＴＦＴ４０が完成し、有機ＥＬ素子の陽極が形成された段階で、アレイ検査を行う。そして、欠陥画素については、レーザによって配線を切断する。そして、このレーザによるリペアの後、第２平坦化絶縁膜６０を形成してレーザにより生じた穴を埋める。
【選択図】　図２



【特許請求の範囲】
【請求項１】
表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、
基板上に薄膜トランジスタを形成する工程と、
この薄膜トランジスタ形成後に複数の層を積層して、表示素子を完成する工程と、
を有し、
前記複数の層を積層する工程には、層厚の厚い絶縁性の平坦化絶縁膜を形成する工程が少なくとも１つ含まれ、
この少なくとも１つの平坦化絶縁膜を形成する工程の前の工程において、不良画素について、前記表示素子と電源ラインとの接続を切断する工程を設ける表示パネルの製造方法。
【請求項２】
表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、
基板上に前記薄膜トランジスタを構成する工程と、
この薄膜トランジスタのゲート電極およびその配線を形成する工程と、
前記薄膜トランジスタのソース・ドレイン電極およびこれらのうちの一方の電極と電源ラインとの接続のための配線を形成する工程と、
前記電源ラインに電源を接続するとともに、前記薄膜トランジスタのゲート電極への信号印加を制御し、前記薄膜トランジスタのスイッチング動作に応じた前記電極の状態を検出して導通検査を行う工程と、
この検査結果によって、欠陥ありと判定された画素について、前記薄膜トランジスタを介する前記表示素子と、前記電源ラインとの配線の切断する工程と、
を有し、
前記表示素子の完成前に前記導通検査および配線の切断を行う有機ＥＬパネルの製造方法。
【請求項３】
請求項２に記載の方法において、
前記導通検査は、前記表示素子の１つの電極を形成した後に行う表示パネルの製造方法。
【請求項４】
請求項２または３に記載の方法において、
前記導通検査および配線の切断の後に、平坦性のよい絶縁膜を形成する工程を含み、この絶縁膜によって配線を切断した際に生じた凹部を修復する表示パネルの製造方法。
【請求項５】
請求項１～４のいずれか１つに記載の方法において、
前記配線の切断は、レーザの照射によって行う表示パネルの製造方法。
【請求項６】
請求項１～５のいずれか１つに記載の方法において、
前記表示素子は、有機ＥＬ素子である表示パネルの製造方法。
【請求項７】
請求項１～６に記載の方法によって、製造された表示パネル。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタ（以下ＴＦＴという）とを画素毎に有するアクティブマトリクスタイプの表示パネルの製造、特に欠陥画素についての処理に関する。
【０００２】
【従来の技術】
従来より、フラットディスプレイパネルの１つとして、有機ＥＬディスプレイパネルが知

られている。この有機ＥＬディスプレイパネルは、液晶ディスプレイパネル（ＬＣＤ）とは異なり、自発光であり、明るく見やすいフラットディスプレイパネルとしてその普及が期待されている。

【０００３】

この有機ＥＬディスプレイは、有機ＥＬ素子を画素として、これを多数マトリクス状に配置して構成される。また、この有機ＥＬ素子の駆動方法としては、ＬＣＤと同様にパッシブ方式とアクティブ方式があるが、ＬＣＤと同様にアクティブマトリクス方式が好ましいとされている。すなわち、画素毎にスイッチ用の素子を設け、そのスイッチ用の素子を制御して、各画素の表示をコントロールするアクティブマトリクス方式の方が、画素毎にスイッチ用の素子を有しないパッシブ方式より高精細の画面を実現でき好ましい。

【０００４】

なお、ＬＣＤの場合は、１つのスイッチング素子（ＴＦＴ）を用い、これを直接画素電極に接続するが、有機ＥＬパネルの場合には、２つのＴＦＴと、１つの容量を用いる。図３に、従来の薄膜トランジスタ（ＴＦＴ）を利用した有機ＥＬパネルにおける画素回路の構成例を示す。有機ＥＬパネルは、このような画素をマトリクス配置して構成される。

【０００５】

行方向に伸びるゲートラインには、ゲートラインによって選択されるｎチャンネル薄膜トランジスタである第１ＴＦＴ１０のゲートが接続されている。この第１ＴＦＴ１０のドレインには列方向に伸びるデータラインＤＬが接続されており、そのソースには他端が低電圧の電源である容量ラインＳＬに接続された保持容量ＣＳが接続されている。また、第１ＴＦＴ１０のソースと保持容量ＣＳの接続点は、ｐチャンネル薄膜トランジスタである第２ＴＦＴ４０のゲートに接続されている。そして、この第２ＴＦＴ４０のソースが電源ラインＶＬに接続され、ドレインが有機ＥＬ素子ＥＬに接続されている。なお、有機ＥＬ素子ＥＬの他端はカソード電源ＣＶに接続されている。

【０００６】

従って、ゲートラインＧＬがＨレベルの時に第１ＴＦＴ１０がオンとなり、そのときのデータラインＤＬのデータが保持容量ＣＳに保持される。そして、この保持容量ＣＳに維持されているデータ（電荷）に応じて第２ＴＦＴ４０の電流が制御され、この第２ＴＦＴ４０の電流に従って有機ＥＬ素子ＥＬに電流が流れ発光する。

【０００７】

そして、第１ＴＦＴ１０がオンしているときにデータラインＤＬに、その画素に対応するビデオ信号が供給される。従って、データラインＤＬに供給されるビデオ信号に応じて保持容量ＣＳが充電され、これによって第２ＴＦＴ４０が対応する電流を流し、有機ＥＬ素子ＥＬの輝度制御が行われる。すなわち、第２ＴＦＴ４０のゲート電位を制御して有機ＥＬ素子に流す電流を制御して各画素の階調表示が行われる。

【０００８】

このような有機ＥＬパネルにおいて、各画素毎に設けられたＴＦＴ１またはＴＦＴ２に欠陥が生じる場合がある。これらＴＦＴ１、ＴＦＴ２に欠陥があると、その画素が輝点や暗点になったり、また短絡の発生により接続されているデータラインＤＬに影響を与え、線欠陥が発生する場合もある。そこで、このような欠陥部分については、ＴＦＴ１、ＴＦＴ２等を欠陥部分をラインから切り離し、正常化するリペアが行われている。

【０００９】

このリペアによって、所定数の暗点が発生するが、有機ＥＬパネルは製品として問題がなく、輝点を暗点化することで歩留まりの大幅な向上が達成できる。

【００１０】

ここで、リペアは、欠陥部分に至る配線を断線することによって行える。すなわち、ＬＣＤの場合と同様に、ＹＡＧレーザなどのレーザ照射によって、ＴＦＴ２と電源ラインまたは画素電極との配線を切断することが考えられる。

【００１１】

これによって、欠陥部分を配線から切り離し、減点化することができ、全体の表示におけ

る問題を解決することができる。
【００１２】
【発明が解決しようとする課題】
しかし、このＹＡＧレーザによるリペア処理を行うと、深い穴があく。例えば、各画素のＴＦＴが形成された段階で、ＹＡＧレーザによる配線の切断を行うと、配線とともに、その下の層なども吹き飛ばされ、そこに深い穴が形成される。有機ＥＬパネルでは、その後有機層、カソードを形成するが、これらの層はかなり薄いため、穴をカバーすることができない。従って、有機ＥＬ素子の有機層もその側面が直接陰極の上方空間にさらされることになる。そこで、水分の浸水による有機層の劣化などが進みやすく、欠陥画素が広がるおそれもある。
【００１３】
また、ＬＣＤにおいても、レーザにより配線を切断した場合に、その部分は配線だけでなく、他の層もなくなり、穴となっている。従って、各層の側面が露出されることになり、劣化などの原因や微細画素デバイスにおける配向乱れの原因になる。
【００１４】
本発明は、上記課題に鑑みなれたのものであり、画素の劣化を抑制しつつ、レーザを利用した欠陥画素の減点化が効果的に行える表示パネルの減点化方法を提供することを目的とする。
【００１５】
【課題を解決するための手段】
本発明は、表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、基板上に薄膜トランジスタを形成する工程と、この薄膜トランジスタ形成後に複数の層を積層して、表示素子を完成する工程と、を有し、前記複数の層を積層する工程には、層厚の厚い絶縁性の平坦化絶縁膜を形成する工程が少なくとも１つ含まれ、この少なくとも１つの平坦化絶縁膜を形成する工程の前の工程において、不良画素について、前記表示素子と電源ラインとの接続を切断する工程を設けることを特徴とする。
【００１６】
このように、本発明によれば、表示素子の完成前に、欠陥画素については配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層の形成工程で、配線切断によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。
【００１７】
また、本発明は、表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、基板状に前記薄膜トランジスタを構成する工程と、この薄膜トランジスタのゲート電極およびその配線を形成する工程と、前記薄膜トランジスタのソース・ドレイン電極およびこれらのうちの一方の電極と電源ラインとの接続のための配線を形成する工程と、前記電源ラインに電源を接続するとともに、前記薄膜トランジスタのゲート電極への信号印加を制御し、前記薄膜トランジスタのスイッチング動作に応じた前記電極の状態を検出して導通検査を行う工程と、この検査結果によって、欠陥有りと判定された画素について、前記薄膜トランジスタを介する前記表示素子と、前記電源ラインとの配線の切断する工程と、を有し、前記表示素子の完成前に前記導通検査および配線の切断を行うことを特徴とする。
【００１８】
このように、本発明によれば、表示素子の完成前に前記導通検査を行い、欠陥画素については例えばレーザによる配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層などの形成工程で、レーザ等によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。
【００１９】

また、前記導通検査は、前記表示素子の１つの電極を形成した後に行うことが好適である。

【００２０】

また、前記導通検査および配線の切断の後に、平坦性のよい絶縁膜を形成する工程を含み、この絶縁膜によって配線を切断した際に生じた凹部を修復することが好適である。

【００２１】

また、前記配線の切断は、レーザの照射によって行うことが好適である。

【００２２】

また、前記表示素子は、有機ＥＬ素子であることが好適である。

【００２３】

また、本発明は、上述の方法によって、製造された表示パネルに関する。

【００２４】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。

【００２５】

図１は、本実施形態に係る表示装置の製造を説明する図である。まず、ガラス基板上３０にＴＦＴを形成する。すなわち、低温ポリシリコンによる能動層４０ａを形成し、その表面に酸化シリコンのゲート酸化膜を形成し、ゲート電極４０ｃを形成する。次に、ゲート電極４０ｃをマスクとして、能動領域４０ａに不純物を注入して、ソースドレイン領域を形成する。さらに、層間絶縁膜３４を形成し、ＴＦＴを覆った後、コンタクトホールを形成し、ソース電極４０ｄ、ドレイン電極４０ｅを形成する。次に、平坦化絶縁膜３６を形成し、この平坦化絶縁膜３６にソース電極４０ｄに接続するコンタクトホールを形成して、平坦化絶縁膜３６上にＩＴＯからなる陽極５０を形成する。

【００２６】

このようにして、有機ＥＬ素子ＥＬの陽極５０までの回路が形成される。そして、この段階でアレイテストを行う。このアレイテストは、電源ラインＶＬに所定の電源電圧を印加した状態で、ゲートラインＧＬ、データラインＤＬに所定の信号を供給して、その際に保持容量ＣＳおよび第２ＴＦＴ４０の寄生容量Ｃｄｔｒの蓄積電荷を検出することによって行う。すなわち、第２ＴＦＴ４０の寄生容量が所定の値であれば、第２ＴＦＴ４０が正常であることが分かる。そこで、第２ＴＦＴ４０に蓄積された電荷を計測することによって、第１ＴＦＴ１０および第２ＴＦＴ４０の両方の検査を行うことできる。

【００２７】

なお、第１ＴＦＴ、容量ＣＳや、周辺のドライブ回路も、第２ＴＦＴ４０と一緒に形成されており、これら回路を利用してテスト用信号の供給ができる。

【００２８】

そして、このアレイテストにより、欠陥画素が発見された場合には、その画素について、第２ＴＦＴ４０と電源ラインＶＬまたは陽極５０（例えば、コンタクトの周囲を切り離す）の接続を切り離す。すなわち、ＴＦＴの異常などによるショートの発生など欠陥があった場合には、その異常な部分を電気的に切り離し、正常化する。

【００２９】

すなわち、図２（ａ）に示すように、ＴＦＴが形成され、第１平坦化絶縁膜３６が形成され、その上に陽極５０（図示省略）が形成された段階で、アレイテストを行う。そして、欠陥画素については、レーザを照射して、配線を切断することで、マトリクス回路から各画素を切り離す。レーザの照射は、図における上方からでも、ガラス基板３０を介して下方からでもかまわない。これによって、図２（ｂ）に示すように、レーザによって、各層が除去され、穴が生じる。この例では、電源ラインＶＬと、駆動トランジスタ４０の間の配線を切断している。

【００３０】

そして、第２平坦化絶縁膜６０を形成することで、図２（ｃ）に示すように、レーザの照射によって形成された穴が、埋められる。

【００３１】
次に、第２平坦化絶縁膜６０の陽極５０の上方を除去した上で、正孔輸送層５２、有機発光層５４、電子輸送層５６、陰極５８を順次積層し、素子基板を完成する。また、その後周辺部分にシール材が付着形成された封止基板を素子基板に接着して有機ＥＬパネルが完成される。なお、図１においては、有機発光層５４が陽極５０上にのみ存在し、他の層は全面に存在するように記載したが、電子輸送層５６は、Ａｌｑ３など発光する材料を含む場合もあり、電子輸送層５６も有機発光層５４と同様に発光部のみに限定する場合も多い。

【００３２】
なお、レーザには、ＹＡＧレーザ等が用いられ、ＹＡＧレーザとしては、１０６４ｎｍや５３３ｎｍのレーザが通常利用される。このような波長であれば、ＴＦＴ能動層である多結晶シリコンなどを透過して、その上層の形成されている配線層を切断することができる。

【００３３】
このように、本実施形態によれば、陽極５０が形成された段階で、アレイテストを行い、欠陥画その配線をレーザによって、切除して、その画素の暗点化を行う。本有機ＥＬ表示装置では、陽極５０形成後にさらに厚い第２平坦化絶縁膜６０の形成工程が存在しており、レーザリペアにより生じた穴を、その後第２平坦化絶縁膜６０によって穴埋めすることが可能であり、レーザ照射による傷を効果的にリペアすることができる。

【００３４】
また、ドレイン／ソース両電極形成後に、レーザリペアを行い、第１平坦化膜以降の膜形成のプロセスでレーザで生じた穴を埋めることも可能である。

【００３５】
特に、有機ＥＬパネルの場合には、有機ＥＬ素子を形成する正孔輸送層５２、有機発光層５４、電子輸送層５６からなる有機層は、２００ｎｍ程度とかなり薄く、有機層によっては、レーザによって形成された穴を穴埋めすることができないが、本実施形態によれば第２平坦化絶縁膜によって、効果的な穴埋めができる。

【００３６】
従って、ＴＦＴの欠陥などに起因する配線の欠陥をリペアして、有機ＥＬパネルの歩留まりを大幅に向上するとともに、レーザ照射によって形成された穴を絶縁材によって埋めることができ、その後の使用によって、穴を介し、水分や酸素などが有機層に至り、有機層が劣化し、ダークスポットが形成されるのを効果的に防止することができる。

【００３７】
なお、アレイテストに用いるアレイテスタは、有機層形成前のＴＦＴ形成基板（素子基板）に対して実行するため、ＬＣＤのテストに用いられるものをそのまま利用することもできる。もちろん、有機ＥＬ専用のテスタによりテストを行ってもよい。さらに、レーザを照射して配線を切断するレーザリペア装置についてもＬＣＤの製造において使用されるものをそのまま利用することができる。

【００３８】
また、ＬＣＤにおいても、ＴＦＴ基板の電極を構成するまでのプロセスは、ほとんど同一である。すなわち、ガラス基板上に画素毎に第１ＴＦＴと補助容量が形成された後、画素電極が形成され、この段階で、アレイテストを行い、不良画素について、レーザを用いたリペアを行えばよい。

【００３９】
上述の例では、レーザ光を用い配線を切断したが、これに限らず、電子線、ＦＩＢ（Ｆｏｃｕｓｅｄ　Ｉｏｎ　Ｂｅａｍ）等を用いることもできる。

【００４０】
このように、本実施形態によれば、画素電極５０を形成した段階で、つまり後工程に比較的厚い絶縁膜（第２平坦化絶縁膜６０）の形成工程が存在する前の段階で検査を行い、欠陥画素については、レーザによる配線切断を行い、異常短絡個所の切断や、その画素の暗

点化が行われる。そして、その後に第２平坦化絶縁膜６０を必要な領域に形成することで、レーザによって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【００４１】

ここで、第２平坦化絶縁膜６０は、画素電極（陽極）５０の中央では、開口し、その端部をカバーするようにパターニングされるが、レーザリペアされて生じた穴部に第２平坦化絶縁膜６０を残すパターンとすることで、特別な工程の追加なくリペア後の穴のカバーが可能である。

【００４２】

【発明の効果】

以上説明したように、本発明によれば、表示素子の完成前に前記導通検査を行い、欠陥画素についてはレーザ等による配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層などの形成工程で、レーザ等によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【図面の簡単な説明】

【図１】画素部の構成を示す図である。

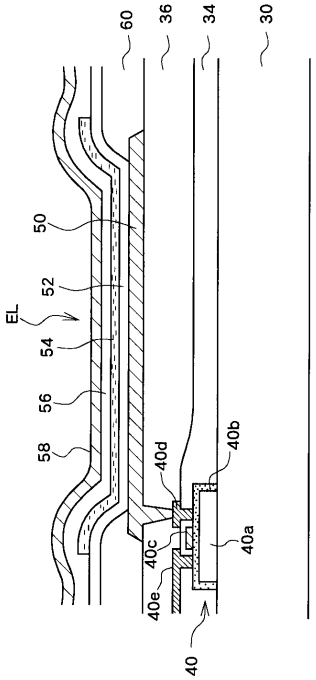
【図２】レーザによるリペアを説明する図である。

【図３】画素回路の構成を示す図である。

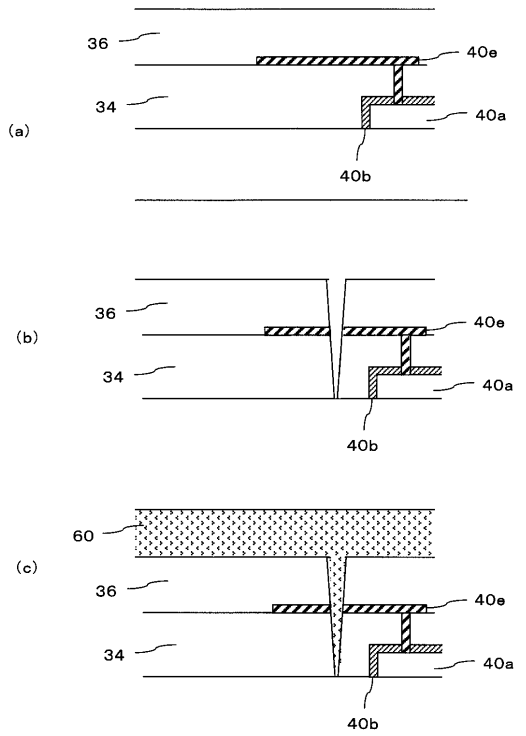
【符号の説明】

３０　ガラス基板、４０　第２ＴＦＴ、５０　陽極、６０　第２平坦化絶縁膜。

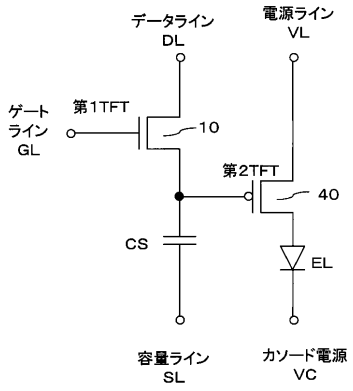
【図１】



【図２】



【図３】


データライン
DL
電源ライン
VL
ゲート
ライン
GL
第1TFT
10
第2TFT
40
CS
EL
容量ライン
SL
カソード電源
VC

フロントページの続き

(51)Int.Cl.[7]	FI		テーマコード（参考）
	Ｈ０５Ｂ 33/14	Ａ	
	Ｈ０５Ｂ 33/22	Ｚ	

Ｆターム(参考) 5C094 AA31 AA38 AA42 AA43 BA03 BA27 CA19 CA25 DA13 DB01
DB04 EA04 EA07 FA01 FA02 FB01 FB12 FB14 FB15 FB20
5G435 AA13 AA14 AA17 BB05 CC09 HH12 HH13 HH14 KK05 KK10