



[12] 发明专利说明书

[21] ZL 专利号 97110321.6

[45] 授权公告日 2003 年 7 月 9 日

[11] 授权公告号 CN 1114317C

[22] 申请日 1997.4.4 [21] 申请号 97110321.6

[30] 优先权

[32] 1996. 4. 19 [33] KR [31] 11950/1996

[71] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金义圭

[56] 参考文献

CN1144361A 1997.03.05 G06F17/00, G11B20/00

EP0572263A2 1993.12.01 H04N7/133

EP0697794A2 1996.02.21 H04N7/50

审查员 吴黄飞

[74] 专利代理机构 北京市柳沈律师事务所

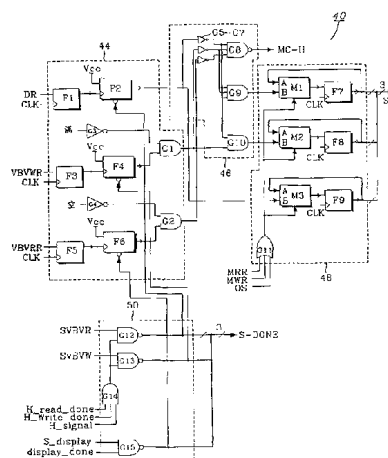
代理人 马莹

权利要求书 2 页 说明书 9 页 附图 4 页

[54] 发明名称 MPEG 系统的优先次序处理电路

[57] 摘要

一种用于 MPEG 系统的优先次序处理电路，它适合于在控制该系统的操作的同时确定由使用 MPEG1 和 MPEG2 方案的解码系统的多处理器产生的事件的优先次序。该优先次序处理电路包括：视频缓冲写入控制器，视频缓冲读出控制器，显示控制器，运动补偿读出控制器，运动补偿写入控制器，以及在产生执行数据处理服务的服务码的同时确定由上述控制器分别产生的各种请求信号的优先次序的优先次序控制器。



1. 一种用于 MPEG 系统的优先次序处理电路, 包括:

5 视频缓冲检验器写入控制器, 用于当存在在外存储器中存储数据的情况时产生写请求信号;

视频缓冲检验器读出控制器, 用于当存在读出存储在所述外存储器中数据的情况时产生读请求信号;

显示控制器, 用于响应在其中接收到的已恢复数据而产生显示请求信号;

10 运动补偿读出控制器, 用于当请求为存储在所述外存储器中的数据作运动补偿时产生运动补偿读请求信号;

运动补偿写入控制器, 用于当请求为存储在所述外存储器中的数据作所述运动补偿时产生运动补偿写请求信号; 以及

15 优先次序控制器, 用于在产生用于执行数据处理服务的服务码的同时确定分别由所述视频缓冲检验器写入控制器、所述视频缓冲检验器读出控制器、所述显示控制器、所述运动补偿读出控制器和所述运动补偿写入控制器产生的各种请求信号的优先次序。

2. 根据权利要求 1 所述的优先次序处理电路, 其特征在于所述的优先次序控制器包括:

20 锁存电路, 用于锁存由视频缓冲检验器写入控制器、视频缓冲检验器读出控制器、显示控制器、运动补偿读出控制器、运动补偿写入控制器产生的请求信号;

25 优先次序解码器, 耦合到所述锁存电路输出端; 所述优先次序解码器, 根据被锁存请求信号中的至少一个被锁存请求信号的激活而产生运动补偿暂停信号, 并且对所述已激活状态的请求信号进行解码, 从而输出所述请求信号中具有比其余请求信号的优先级都高的一个请求信号, 使得所述优先次序解码器按照给定的优先次序来接收在所述输出端输出的所述被锁存请求信号;

30 复接器单元, 用于响应所述运动补偿暂停信号而把所述优先次序解码器的输出作为服务码输出; 以及

服务完成控制信号产生电路, 用于根据来自有关视频缓冲检验器写入

控制器、视频缓冲检验器读出控制器、显示控制器、运动补偿读出控制器、运动补偿写入控制器的服务完成信号的激活而分别地初始化所述锁存电路的各个输出。

MPEG 系统的优先次序处理电路

5 技术领域

本发明涉及一种用于 MPEG(运动图像专家组)系统的控制电路,尤其涉及一种用于 MPEG 系统的优先次序处理电路,该处理电路适用于在控制该系统各种操作时确定诸如事件的优先次序,这些事件是由使用 MPEG1 和 MPEG2 方案的解码系统的多处理器产生的。

10

背景技术

一般说, MPEG 是一种用于对音频或视频信息进行数字转换的系统,使得可以存储或者传送该信息以便于它的使用或重新使用。换句话说,这样的 MPEG 系统适合于提供对音频或视频信息的便易处理。为此, MPEG 系统主要
15 要包括用于对音频或视频信息编码和对已编码信息解码的编码器/解码器。图 1 表示 MPEG 系统的一个例子。

图 1 是表示常规 MPEG 系统的配置的方框图。如图 1 所示,该 MPEG 系统包括用于对已编码视频数据流解码、从而输出已恢复的视频数据的视频
20 解码器 14,以及用于存储由视频解码器 14 输出的已恢复视频数据的动态随机存取存储器 DRAM(以下简称作“存储器”)15。还设有显示控制器 16,用于把视频解码器 14 恢复的视频数据显示到显示单元(未示出)上。该 MPEG 系统还包括中央处理单元(以下称作“CPU”)18,用于控制 MPEG 系统的整个操作;及主存储器 20,用于在 CPU18 的控制下存储系统信息和取出已存储的信息。

25 在图 1 中,标号 24 表示存储介质,尤其是诸如硬盘之类的大容量存储介质。已编码的视频或音频数据流就存储在存储介质 24 中。标号 26 表示音频解码器,用于对已编码的音频数据进行解码,从而输出恢复后的音频数据。所有上述单元都由通过系统总线 22 与这些单元耦合的 CPU18 来控制。

具有图 1 配置的 MPEG 系统在 CPU18 的控制下进行以下的数据处理。

30 当在 CPU18 的控制下视频解码器 14 操作时,它取出存储在存储介质 24 中的已编码位流数据并从取出的数据中恢复视频数据。然后视频解码器 14

控制存储器 15 以存储已恢复的视频数据。存储在存储器 15 中的已恢复视频数据可以接着被读出以进行运动补偿或在屏幕上显示。例如，在需要运动补偿的场合，在存储器 15 中存储的已恢复视频数据根据视频解码器 14 的所需操作而被读出。为了在屏幕上显示，已经恢复和经过运动补偿的视频数据被
5 传送到显示控制器 16。在 CPU18 的控制下，显示控制器 16 把从视频解码器 14 接收的已恢复视频数据送至显示单元(未示出)以显示已恢复的影像。音频解码器 26 的操作也类似于视频解码器 14。

在上述操作期间，CPU18 执行为恢复视频数据所需的各种作业的指令。当 CPU18 接收从诸如显示控制器 16 和音频解码器 26 的数据处理器来的作
10 业请求时，它确定与各作业请求分别相关的处理的优先次序。根据所确定的优先次序，CPU18 进行作业授权的分配以执行所需的数据处理。CPU18 在视频解码器 12 的请求下还执行传送系统信息的操作，该系统信息自输入数据中提取并存储在主存储器 20 中。

然而，在具有图 1 配置的常规 MPEG 系统中，由各种数据处理器产生的
15 作业请求信号的优先次序用附加的处理器，即 CPU 来处理。结果，必须执行应当使用附加编程的过程。在这种情况下，要使用昂贵的 CPU，所以增加了成本。这种常规的 MPEG 系统也存在处理速度低的问题。这是因为从各数据处理器产生的作业请求信号的优先次序由按照程序操作的 CPU 来确定。

20 发明内容

因此，本发明的一个目的是提供一种 MPEG 系统，该系统包括能迅速确定作业请求信号优先次序的优先次序处理电路，其中这些作业请求信号分别
由多个数据处理器来产生。

本发明的另一目的是提供一种电路，用于确定分别由多个数据处理器产
25 生的作业请求信号的优先次序而不使用任何中央处理单元。

本发明的又一目的是提供一种装置，用于确定与 MPEG 系统中的解码器有关的多种解码处理的优先次序并且根据所确定的优先次序迅速进行解码
处理。

根据本发明，通过为 MPEG 系统提供优先次序处理电路来实现这些目
30 的，该优先次序处理电路包括：视频缓冲检验器(VBV)写入控制器，用于当存在在外存储器中存储数据的情况时产生写请求信号；视频缓冲检验器(VBV)

读出控制器，用于当存在读出存储在外存储器中的数据的情况时产生读请求信号；显示控制器，用于响应在其中接收到的已恢复数据而产生显示请求信号；运动补偿(MC)读出控制器，用于当请求为存储在外存储器中的数据作运动补偿时产生运动补偿读请求信号；运动补偿(MC)写入控制器，用于当请求为存储在外存储器中的数据作运动补偿时产生运动补偿写请求信号；以及优先次序控制装置，用于在产生用于执行数据处理服务的服务码的同时确定由视频缓冲检验器写入控制器、视频缓冲检验器读出控制器、显示控制器、运动补偿读出控制器和运动补偿写入控制器分别产生的各种请求信号的优先次序。

- 10 优先次序控制装置包括：锁存电路，用于锁存由视频缓冲检验器写入控制器、视频缓冲检验器读出控制器、显示控制器、运动补偿读出控制器、运动补偿写入控制器产生的请求信号；优先次序解码器，耦合到所述锁存电路输出端；所述优先次序解码器，根据被锁存请求信号中的至少一个被锁存请求信号的激活而产生运动补偿暂停信号，并且对所述已激活状态的请求信号进行解码，从而输出所述请求信号中具有比其余请求信号的优先级都高的一个请求信号，使得所述优先次序解码器按照给定的优先次序来接收在所述输出端输出的所述被锁存请求信号；复接器(multiplexor)单元，用于响应所述运动补偿暂停信号而把所述优先次序解码器的输出作为服务码输出；以及服务完成控制信号产生电路，用于根据来自有关视频缓冲检验器写入控制器、视频缓冲检验器读出控制器、显示控制器、运动补偿读出控制器、运动补偿写入控制器的服务完成信号的激活而分别地初始化所述锁存电路的各个输出。

附图说明

- 25 通过以下参照附图对实施例的描述，本发明的其它目的和方面将变得显而易见，在这些附图中：

图 1 是表示常规 MPEG 系统的配置的框图；

图 2 是表示本发明的 MPEG 系统的优先次序处理电路的框图；

图 3 是表示图 2 所示优先次序控制器的具体结构的电路图；以及

- 30 图 4 是表示本发明优先次序转变的示意图。

具体实施方式

图 2 是表示本发明的 MPEG 系统的优先次序处理电路的框图。如图 2 所示, 该优先次序处理电路包括视频缓冲检验器(VBV)写入控制器 30, 用于当存在在外存储器(未示出)中存储数据的情况时产生写请求信号

- 5 VBVWR; 及视频缓冲检验器(VBV)读出控制器 32, 用于当存在读出存储在外存储器中的数据的情况时产生读请求信号 VBVR。还设有显示控制器 34, 用于响应在其中接收到的已恢复数据而产生显示请求信号 DR。优先次序处理电路还包括运动补偿(MC)读出控制器 36, 用于当请求为存储在外存储器中的数据作运动补偿时产生 MC 读请求信号 MRR; MC 写入控制器 38,
- 10 用于当请求为存储在外存储器中的数据作运动补偿时产生 MC 写请求信号 MWR; 优先次序控制器 40, 用于在产生执行数据处理服务的服务码 SC 和根据在其中收到的服务完成信号而产生服务已完成信号 S-done 的同时确定由 VBV 写入控

制器 30、VBV 读出控制器 32、显示控制器 34、MC 读出控制器 36 和 MC 写入控制器 38 分别产生的各种请求信号的优先次序；以及存储器接口 42，用于向外连接从优先次序控制器 40 输出的服务码 SC 和服务已完成信号 S-done。

5 图 3 是表示图 2 所示优先次序控制器的具体结构的电路图。如图 3 所示，该优先次序控制器包括锁存电路 44，用于锁存诸输入，即，由多个控制器产生的请求信号，例如，VBV 写请求信号 VBVWR，VBV 读请求信号 VBVR 和显示请求信号 DR。锁存电路 44 还用于根据在其中收到的并与各已锁存请求信号分别有关的服务完成信号而复位这些已锁存请求信号。锁存电路 44
10 包括多个寄存器 F1 至 F6。优先次序解码器 46 耦合到锁存电路 44 的输出端，被锁存的请求信号以这样一种方式分别在所述输出端输出使得优先次序解码器按照给定的优先次序来接收被锁存请求信号，优先次序解码器 46 根据被锁存的请求信号中的至少一个被锁存的请求信号的激活而产生运动补偿(MC)暂停信号 MC-H 并且对这些已激活状态的请求信号解码，从而输出请求信号
15 中具有比其余请求信号都高的优先级的一个请求信号。优先次序控制器还包括：复接器单元 48，用于响应运动补偿暂停信号 MC-H 而把优先次序解码器 46 的输出作为服务码 SC 输出；及服务完成控制信号产生电路 50，用于根据来自多个有关控制器的服务完成信号的激活而分别地初始化锁存电路 44 的各个输出。

20 图 4 是表示本发明优先次序转变的示意图。如图 4 所示，由多个控制器，例如 VBV 写入控制器 30、VBV 读出控制器 32、显示控制器 34、MC 读出控制器 36 和 MC 写入控制器 38，同时产生的请求信号按图 4 所示的次序处理。例如，当由任选的控制器产生具有比已产生的请求信号更低优先级的请求信号时，在完成与具有比所述请求信号更高优先级的请求信号有关的服务之后才执行与
25 所述请求信号有关的服务。

现在结合图 3 来详细说明本发明图 2 的 MPEG 系统中执行的优先次序处理过程。

首先，假定由图 2 所示的多个控制器，即，VBV 写入控制器 30、VBV 读出控制器 32、显示控制器 34、MC 读出控制器 36 和 MC 写入控制器 38
30 分别产生的多个请求信号同时在优先次序控制器 40 输入。这些请求信号包括 VBV 写请求信号 VBVWR，VBV 读请求信号 VBVR，显示请求信号 DR，

MC 读请求信号 MRR，和 MC 写请求信号 MWR。VBV 写请求信号 VBVWR，VBV 读请求信号 VBVRr 和显示请求信号 DR 在锁存电路 44 的寄存器 F1、F3 和 F5 处输入并且根据加到这些寄存器的时钟而分别锁存在这些寄存器中。另一方面，已锁存的 VBV 写请求信号 VBVWR、VBV 读请求信号 VBVRr 和显示请求信号 DR 被送至耦合到寄存器 F1、F3 和 F5 各自输出节点的寄存器 F2、F4 和 F6。寄存器 F2、F4 和 F6 锁存接收在其中的请求信号 VBVWR、VBVRr 和 DR。

寄存器 F2 的输出送到包含在优先次序解码器 46 中的反相器 G5。寄存器 F2 的输出也加到包含在复接器单元 48 中的复接器 M3。另一方面，寄存器 F4 和 F6 各自的输出送到包含在锁存电路 44 中的与门 G1 和 G2。与门 G1 和 G2 也接受包含在锁存电路 44 中的反相器 G3 和 G4 相应输出。反相器 G3 和 G4 的输出是分别表示视频缓冲器中的数据状态，即缓冲器满状态和缓冲器空状态的信号。因此，当在视频缓冲器不处于其数据满状态的条件产生 VBV 写请求信号 VBVWR 时，与门 G1 输出已激活信号，即，逻辑高信号。另一方面，当在视频缓冲器不处于其数据空状态的条件产生 VBV 读请求信号 VBVRr 时，与门 G2 输出已激活信号，即，逻辑高电平。这种结构适合于在视频缓冲器无数据写入区域或无待读数据的条件下提出写/读请求时防止进行写/读的操作。

从与门 G1 和 G2 输出的 VBV 写请求信号 VBVWR 和 VBV 读请求信号 VBVRr 分别加到包含在优先次序解码器 46 中的反相器 G6 和 G7。这些信号 VBVWR 和 VBVRr 还分别送到包含在优先次序解码器 46 中的与门 G10 和 G9。接收由锁存电路 44 来的输出信号的优先次序解码器 46 的反相器 G5、G6 和 G7 对所接收的信号反相，这些经过反相的信号又送到包含在优先次序解码器 46 中的与非门 G8。反相器 G5 的输出也加到包含在优先次序解码器 46 中的与门 G9 和 G10。与门 G9 还接收反相器 G6 的输出。与门 G9 和 G10 分别将其输出送到包含在复接器单元 48 中的复接器 M1 和 M2。按照这样的结构，当在锁存电路 44 输入的请求信号中至少有一个请求信号处于其已激活状态，即逻辑“1”状态时，优先次序解码器 46 的与非门 G8 就输出逻辑值为 1 的信号。在此情况下，从优先次序解码器 46 输出已激活的 MC 暂停信号 MC-H。

当由优先次序解码器 46 输出的 MC 停止信号 MC-H 处于已激活状态即

逻辑“1”状态时，它用于暂停MC读出控制器36和MC写入控制器38的操作。在此情况下，MC读操作和写操作被暂时停止。换句话说，设置成具有比VBV写请求信号VBVWR、VBV读请求信号VBVRR和显示请求信号DR更低优先级的MC读请求信号MRR和MC写请求信号MWR的产生被终止。当由于已激活的运动补偿暂停信号MC-H具有逻辑值1而停止MC读出控制器36和MC写入控制器38的操作时，加到包含在复接器单元48中的或门G11的请求信号MRR和MWR二者都具有逻辑值0。复接器单元48中的复接器M1至M3接收来自或门G11的输出。当复接器M1至M3从或门G11接收由于请求信号MRR和MWR具有逻辑值0而得到的输出时，它们选择按照给定优先次序解码和在其各自的输入端B接收的信号。这些选出的信号被作为服务码SC输出。复接器M1至M3还具有输入端A，用于接收包含在复接器单元48中的寄存器F7至F9的相应的输出信号。寄存器F7至F9分别耦合到复接器M1至M3的输出端。

例如，当具有逻辑值1的显示请求信号DR加到寄存器F1时，寄存器F2输出具有逻辑值1的信号。结果，与非门G8输出具有逻辑值1的已激活MC暂停信号MC-H。根据此信号MC-H，MC读出控制器36和MC写入控制器38停止它们的操作。因此，或门G11输出低电平信号。根据自或门G11来的这一低电平信号，复接器M3选择在其输入端B输入的信号，即寄存器F2输出的显示请求信号DR，然后把选出的信号送到寄存器F9。寄存器F9锁存和输出显示请求信号DR。从而改变了由复接器单元48输出的3位的服务码SC。

在锁存电路44至少接受二个有效请求信号の場合，它锁存所接收的信号并将它们送到优先次序解码器46。优先次序解码器46对锁存的请求信号解码，从而产生已解码信号以产生具有最高优先级的服务码SC。例如，在同时产生VBV写请求信号VBVWR和VBV读请求信号VBVRRの場合，通过与门G2接收VBV读请求信号VBVRR的与门G9不能输出所收到的VBV读请求信号VBVRR，因为与门G1的输出经反相器G6从高电平倒向为低电平后也加到与门G9。在此情况下，通过与门G1接收VBV写请求信号VBVWR的与门10输出收到的VBV写请求信号VBVWR，因为寄存器2的输出被也加到与门10的反相器G5由低电平反转到高电平。这意味着，VBV写请求信号VBVWR的优先级在VBV读请求信号VBVRR之上。

换句话说,当同时激活VBV读请求信号VBVRR和具有的优先级在VBV读请求信号VBVRR之上的VBV写请求信号VBVWR时,因为与VBV读请求信号VBVRR有关的与门G9的输出处于低电平,只有设置为具有较高优先级的VBV写请求信号VBVWR被从与门G10输出。

- 5 接着,根据以上操作产生的与具有最高优先级的请求信号相对应的服务码SC被经过存储器接口42送到执行与该请求信号相对应的服务的控制部件。当在所述控制部件的控制下完全执行了与任选的控制器产生的请求信号相对应的服务时,该控制器产生服务完成信号。

- 举例说,在控制部件执行和完成与显示控制器34产生的显示请求信号
- 10 DR相对应的服务时,显示控制器34输出逻辑“高”的显示控制完成信号S-display、display-done。显示控制完成信号S-display、display-done加到包含在服务完成控制信号产生电路50中的与非门G15。锁存电路44的寄存器F6接收与非门G15的输出。当与非门G15接收逻辑“高”的显示控制完成信号S-display、display-done时,它输出低电平信号。根据与非门G15输出
- 15 的低电平信号,寄存器F6清除其已设置到逻辑值1的输出。当完成与VBV写请求信号对应的写请求相关的写入服务时,就产生写入服务完成信号SVBVW。写入服务完成信号SVBVW加到包含在服务完成控制信号产生电路50内的与非门G13。锁存电路44中的寄存器F4接收与非门G13的输出。当与非门G13接收写入服务完成信号SVBVW时,它输出低电平信号。根据
- 20 与非门G13输出的低电平信号,寄存器F4清除其输出。据此,服务的完成被证实。另一方面,当完成与VBV读请求信号对应的读请求相关的读出服务时,就产生读出服务完成信号SVBVR。读出服务完成信号SVBVR加到包含在服务完成控制信号产生电路50内的与非门G12。锁存电路44中的寄存器F2接收与非门G12的输出。当与非门G12接收读出服务完成信号
- 25 SVBVR时,它输出低电平信号。根据与非门G12输出的低电平信号,寄存器F2清除其输出。据此,服务的完成被证实。

- 另一方面,当上述三个请求信号无一具有逻辑值1时,则由优先次序解码器46的与非门G8输出的MC暂停信号MC-H处于其低电平。在此状态下,产生运动补偿处理的服务码。只有所有请求的服务都已完成,才产生服务已
- 30 完成信号S-done。

虽然已经结合对三个请求信号处理的电路结构描述了本发明的上述实

施例，但是可以把本发明延伸到处理更多请求信号的电路结构。还要注意到，通过改变服务码产生电路的结构，可以容易地改变请求信号的优先次序。

根据以上的说明可见：按照本发明，有可能通过使用简单的电路结构以给定的优先次序分别执行与多个控制器产生的各请求信号相关的服务。因此，本发明可容易地应用于 MPEG1 和 MPEG2 解码器。本发明也可容易地应用于适合执行多重处理的系统。在本发明应用于 MPEG1 和 MPEG2 解码器的场合，处理的优先次序根据适当的硬件操作来决定，所以实现了高速操作。这就改善了 MPEG 系统的性能。由于简化了电路结构，实现了成本的降低。

10 虽然本发明的优选实施例已经为说明的目的而作了以上公开，但是本领域的技术人员能够理解，在不背离在附带的权利要求书中公开的本发明的范围和精神的前提下，可能作出各种修改、增补和替换。

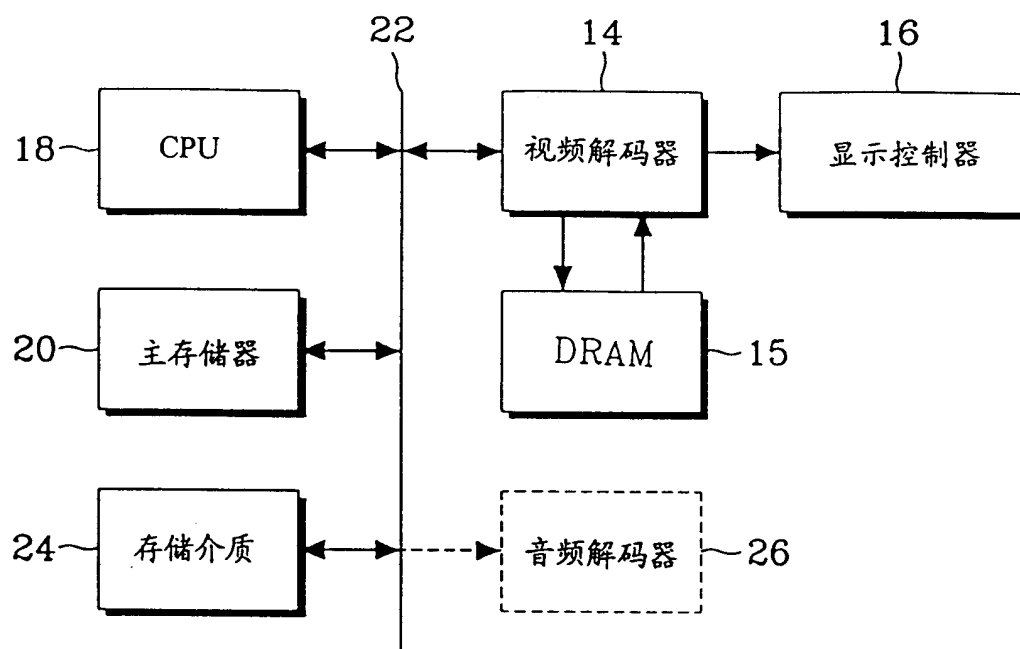


图 1

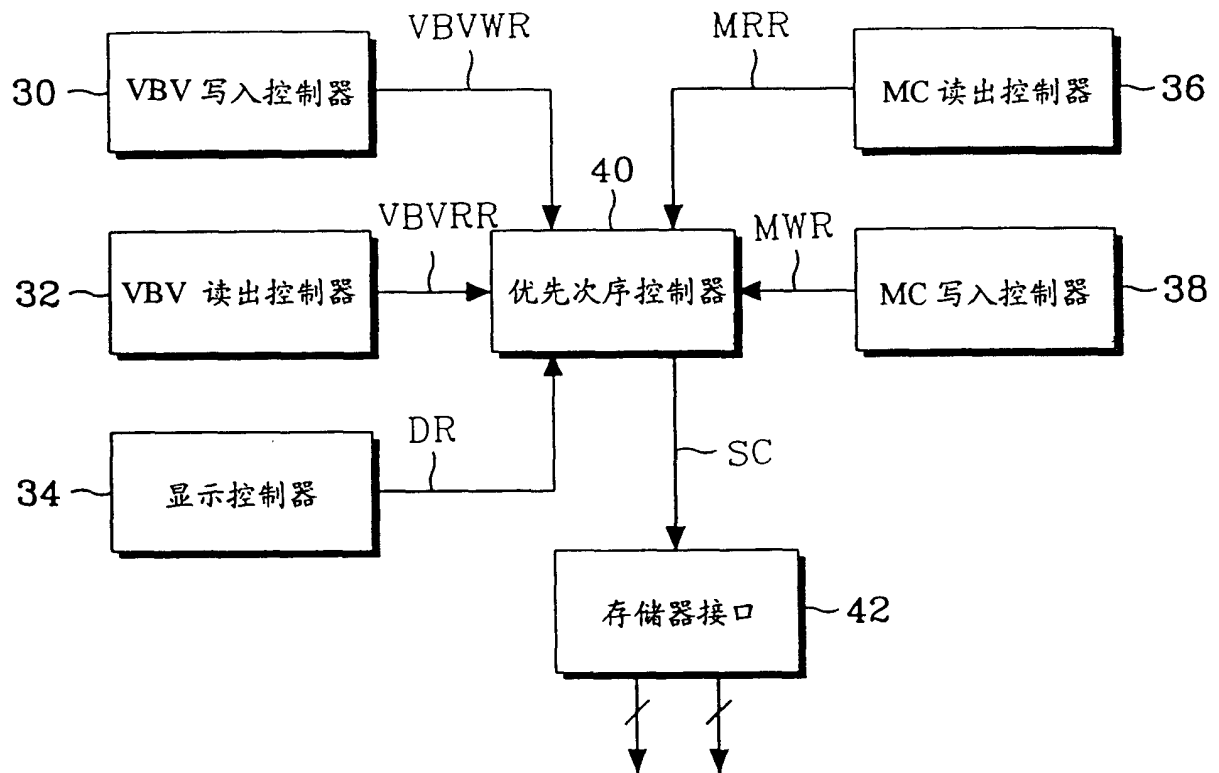


图 2

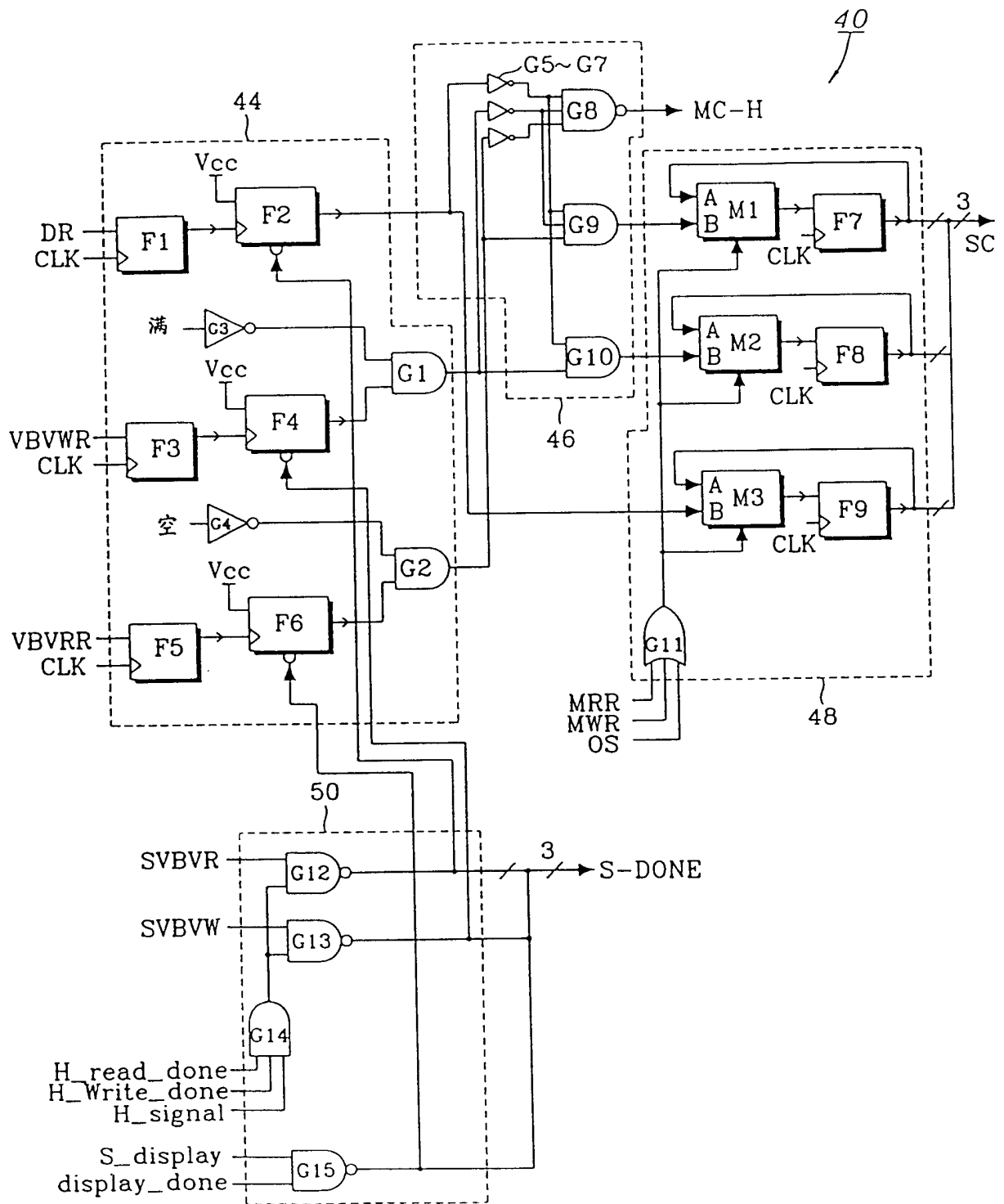


图 3

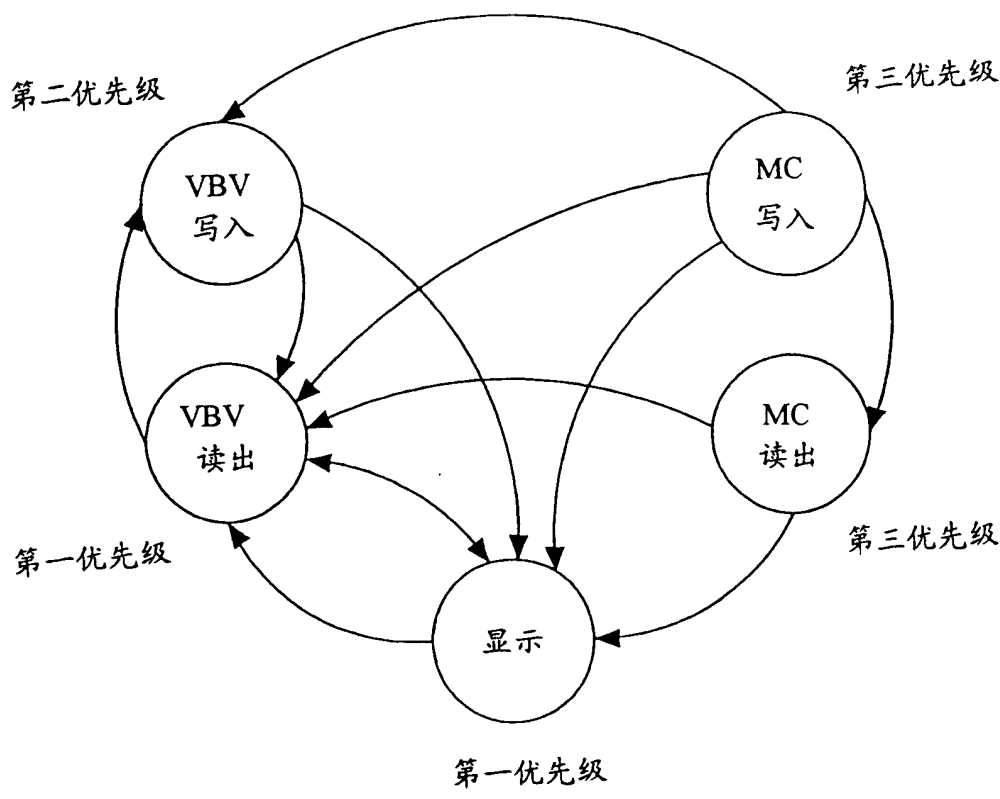


图 4