

公告本

修正 本88年3月1日
補充

申請日期	83.11.9
案 號	83110381
類 別	G11C 11/417

(以上各欄由本局填註)

385445

A4
C4

385445

發明專利說明書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	A Semiconductor Memory Device
二、發明 人	姓 名	(1) 椋木敏夫 (4) 中熊哲治 (2) 平野博茂 (5) 角辰己 (3) 中根讓治 (6) 森脇信行
	國 籍	日 本
三、申請人	住、居所	(1) 日本國大阪府高槻市幸町2-8青春寮921號室 (2) 日本國奈良縣奈良市富雄北2-6-27 (3) 日本國奈良縣奈良市神功5-9-23 (4) 日本國大阪府高槻市安國寺町2-21-8松間寮 (5) 日本國大阪府三島郡島本町若山台1-5-19-404 (6) 日本國京都府京都市右京區龍安寺齋之宮町19-7
	姓 名 (名稱)	日商・松下電器產業股份有限公司
三、申請人	國 籍	日 本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
三、申請人	代 表 人 姓 名	森下洋一

裝

訂

線

公告本

修正 本88年3月1日
補充

申請日期	83.11.9
案 號	83110381
類 別	G11C 11/417

(以上各欄由本局填註)

385445

A4
C4

385445

發明專利說明書

一、發明 名稱	中 文	半導體記憶裝置
	英 文	A Semiconductor Memory Device
二、發明 人	姓 名	(1) 椋木敏夫 (4) 中熊哲治 (2) 平野博茂 (5) 角辰己 (3) 中根讓治 (6) 森脇信行
	國 籍	日 本
三、申請人	住、居所	(1) 日本國大阪府高槻市幸町2-8青春寮921號室 (2) 日本國奈良縣奈良市富雄北2-6-27 (3) 日本國奈良縣奈良市神功5-9-23 (4) 日本國大阪府高槻市安國寺町2-21-8松間寮 (5) 日本國大阪府三島郡島本町若山台1-5-19-404 (6) 日本國京都府京都市右京區龍安寺齋之宮町19-7
	姓 名 (名稱)	日商・松下電器產業股份有限公司
三、申請人	國 籍	日 本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
三、申請人	代 表 人 姓 名	森下洋一

裝

訂

線

五、發明說明()

發明範疇

本發明係有關於使用在電子電路中之基準電位產生裝置以及俱備該裝置之半導體記憶裝置。

發明背景

在電子電路，尤其是數位電路中，需要有一種用以判定所要處理之信號係“1”或“0”的電路，而其判定基準即為基準電位。例如，在半導體記憶裝置中，有必要正確地判定從記憶格所讀出之資料係“1”或“0”。最近，採用一種將一基準電位賦予一與一用以讀出資料之位元線成對之位元線，並將該基準電位與所讀出之資料加以比較，而來判定所讀出之資料係“1”或“0”的方法。然而，在最近之半導體記憶裝置中，由於密度化與高集成化，一構成記憶格之電晶體和記憶格電容器的大小亦變小，因而，所儲存之電荷量相當小，且讀出資料“1”和資料“0”時的電位差相當小。因此，為了確保該由半導體記憶裝置所輸出之資料的可靠度，即要求要有精準度相當高之基準電位。

又，在半導體記憶裝置中，主要係使用一種將電荷儲存在一形成於半導體記憶裝置中之記憶格電容器中，再依該電荷之有無來記憶資料的動態隨機存取記憶體(DRAM)。在該記憶格電容器中，習知之電容絕緣膜係使用氧化矽膜，最近，則有一種在該電容絕緣膜上使用鐵電質(或稱“強誘電體”(ferro electric))膜，而想要實現一用以記憶資料之非依電性半導體記憶裝置者被提出來。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

以下，謹就習知基準電位產生裝置與備有該裝置之半導體記憶裝置作一說明。

第27圖為習知半導體記憶體之電路構成圖；第28圖為其動作時序圖；第29圖為其記憶格電容器之鐵電質膜的磁滯特性圖；第30圖為其參考記憶格電容器之鐵電質膜的磁滯特性圖。

如第27圖所示般，感測放大器7上連接有位元線3、4，而位元線3、4上分別連接有記憶格8a、8b、8c、8d、8e以及參考記憶格9、10。記憶格8a由MOS電晶體11和記憶格電容器13所構成。MOS電晶體11之閘極連接至字元線1，而其汲極連接至位元線3，其源極則連接至記憶格電容器13之第一電極上。記憶格電容器13之第二電極連接至記憶格之屏極電極5上。

同樣地，參考記憶格9由MOS電晶體12和參考記憶格電容器14所構成。MOS電晶體12之閘極連接至參考字元線2，而其汲極連接至位元線4，其源極則連接至參考記憶格電容器14之第一電極上。參考記憶格電容器14之第二電極連接至參考記憶格之屏極電極6上。

在該半導體記憶裝置中，在參考記憶格9、10中使基準電位產生，參考記憶格9之基準電位供應至位元線4，而參考記憶格10之基準電位供應至位元線3。此時，最好該位元線3之基準電位與位元線4之基準電位之間沒有電位差；而為了使其無電位差，必須使參考記憶格電容器14之面積以及電容絕緣膜之厚度維持一定，因而在製造當中

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

，需要相當嚴格之條件。

其次，參照第28～30圖，說明習知半導體記憶裝置之動作。在第29圖與第30圖中，橫軸表示記憶格電容器13之電場，縱軸表示其電荷量。如第29圖與第30圖所示般，即使電場為零，如B、E、K、H點等所示，仍留有剩餘偏極化，因此，在將電源關掉之後，藉由將鐵電質電容器所殘留之剩餘偏極化作為非依電性資料使用，即實現一種非依電性半導體記憶裝置。又，記憶格電容器13在記憶格8a之資料為“1”時，處於B點狀態，而在記憶格8a之資料為“0”時，則處於E點狀態。又，參考記憶格電容器14之初期狀態設為K點狀態。

其次，就記憶格8a之資料的讀出作說明。

首先，在初期狀態，將位元線3、4、字元線1、參考字元線2、記憶格屏極電極5、參考記憶格屏極電極6分別設定成“L”（低電壓）之邏輯電壓。之後，將位元線3、4設定成浮動狀態。

其次，分別將字元線1、參考字元線2、記憶格屏極電極5、參考記憶格屏極電極6設定成“H”（高電壓）之邏輯電壓。此時，由於MOS電晶體11、12變成ON之狀態，因而記憶格電容器13與參考記憶格電容器14帶有電場，而且，若記憶格8a之資料為“1”的話，記憶格電容器13之狀態將由第29圖所示之B點狀態移成D點狀態，而從位元線3上讀出電荷Q1。

另一方面，若記憶格8a之資料為“0”的話，記憶格

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明()

電容器13之狀態將從E點狀態移成D點狀態，而由位元線3讀出電荷Q0。接著，藉由利用感測放大器，將該讀出記憶格8a之資料的位元線3的電位，與該讀出參考記憶格9之資料的位元線4之電位間的電位差加以放大，讀出記憶格8a之資料。

當資料“1”從該記憶格8a讀出之後，由於位元線3與記憶格屏極電極5之邏輯電壓為“H”，因而記憶格電容器13將變成不帶電場。因此，記憶格電容器13之狀態將變成E點之狀態。之後，為了使記憶格電容器13之資料狀態回到B點之狀態，將記憶格屏極電極5之邏輯電壓設定為“L”，並且，在將記憶格電容器13之狀態設定作A點狀態後，將字元線1之邏輯電壓設定成“L”。一旦字元線1之邏輯電壓變成“L”，由於記憶格電容器13並無電場，因而即回到B點狀態。

同樣地，在讀出記憶格8a之資料“0”之後，由於位元線3為邏輯電壓“L”，記憶格屏極電極5為邏輯電壓“H”，因而記憶格電容器13之狀態處於D點狀態。之後，若將記憶格屏極電極5之邏輯電壓設定為“L”，由於記憶格電容器13即變成沒有電場，而將成為E點狀態。之後，即使將字元線1之邏輯電壓設定為“L”，由於記憶格電容器13沒有電場之狀態不會改變，因而記憶格電容器13之狀態仍處於E點之狀態。

另一方面，參考記憶格9在記憶格8a之資料為“1”時，由於其位元線4之邏輯電壓變成“L”，且記憶格屏

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

極電極6之邏輯電壓為“H”，參考記憶格電容器14之狀態將處於第30圖所示之J點狀態。之後，一旦將參考字元線2之邏輯電壓設定為“L”，並將參考記憶格屏極電極6之邏輯電壓設定為“L”，由於參考記憶格電容器14沒有電場之狀態不會改變，因而參考記憶格電容器14之狀態回到K點狀態。

同樣地，在記憶格8a之資料為“0”時，由於位元線4與參考記憶格屏極電極6之邏輯電壓為“H”，因而參考記憶格電容器14之狀態處於K點之狀態。之後，若將參考字元線2之邏輯電壓設定為“L”，並將參考記憶格屏極電極6之邏輯電壓設定為“L”，則由於參考記憶格電容器14沒有電場之狀態沒有改變，因而參考記憶格電容器14之為K點之狀態。

然而，在上述半導體記憶裝置中，由於該用以產生基準電位之參考記憶格9由一個MOS電晶體12與一個參考記憶格電容器14所構成，將有所謂因鐵電質電容器之面積與電容絕緣膜之厚度等尺寸上之不齊而使基準電位產生變動之課題。

又，在製造完成後之初期狀態，由於參考記憶格電容器不一定處於K點之狀態，因而，舉例而言，若初期狀態為H點之狀態的話，在進行第1次之讀出時，將會產生誤動作，而有此方面之課題。

又，在以感測放大器7對一被讀出至位元線3上之電荷加以放大之後，由於參考字元線2與參考記憶格屏極電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

極6之邏輯電壓同時變成“L”，因而若參考字元線2之寄生電容相當大，且參考字元線2之下降緣比參考記憶格屏極電極6之下降緣還慢的話，在記憶格8a之資料為“0”時，由於位元線4之邏輯電壓為“H”，參考記憶格屏極電極6之邏輯電壓將成為“L”。此時，參考記憶格電容器14之狀態將變成G點狀態。之後，若參考記憶格屏極電極6之邏輯電壓變成“L”的話，參考記憶格電容器14之狀態將成為第30圖所示之H點狀態。因此，由於參考記憶格電容器14之狀態並非位於初期狀態之K點狀態，因而在下一次進行從記憶格讀出之動作時，將產生誤動作，因而亦有此方面之課題。

又，由於字元線1、參考字元線2、記憶格屏極電極5、以及參考記憶格屏極電極6之上升緣與下降緣係同時發生，因而有所謂驅動彼等之消耗電力相當集中之課題。

發明概要

本發明之目的在於提供一種用以正確地產生基準電位的基準電位產生裝置。且，其目的在於提供一種內含有該基準電位產生裝置而能一直保持正確之資料輸出的半導體記憶裝置。

本發明之基準電位產生裝置之構成為包含有：二條信號線、用以供應一將電位賦予該兩條信號線之電荷的電荷供給裝置、連接於各信號線與該電荷供給裝置之間並具切換機能的第一連接裝置、以及連接於該兩信號線之間並具有切換機能的第二連接裝置。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

又，本發明所揭之半導體記憶裝置之構成包含有：記憶格、用以從該記憶格讀出資料的位元線、上述基準電位產生裝置、以及一以該從記憶格讀出之資料和一基準電位為輸入並將兩者之電位差加以放大再輸出的感測放大器。

該基準電位產生裝置具有一種一直使一準確且穩定之基準電位產生之機能。進一步，具有該基準電位產生裝置之半導體記憶裝置則為一以感測放大器將一由記憶格所讀出之電位和一準確之基準電位間的電位差加以放大的構成，且能正確地讀出資料。

圖示之簡單說明

第1圖為本發明之第一實施例所揭基準電位產生裝置的電路方塊圖。

第2圖為本發明之第二實施例所揭半導體記憶裝置的電路方塊圖。

第3圖為本發明之第三實施例所揭半導體記憶裝置的電路構成圖。

第4圖為本發明之第四實施例所揭半導體記憶裝置的電路構成圖，而第5圖為顯示其動作時序之時序圖。

第6圖為本發明之第五實施例所揭半導體記憶裝置的電路構成圖，而第7圖為顯示其動作時序之時序圖。

第8圖為本發明之第六實施例所揭半導體記憶裝置的電路構成圖，而第9圖為顯示其動作時序之時序圖。

第10圖為本發明之第七實施例所揭半導體記憶裝置的電路構成圖，而第11圖為顯示其動作時序之時序圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

第12圖為本發明之第八實施例所揭半導體記憶裝置的電路構成圖，而第13圖為顯示其動作時序之時序圖。

第14圖為本發明之第九實施例所揭半導體記憶裝置的電路構成圖，而第15圖為顯示其動作時序之時序圖。

第16圖為本發明之第十實施例所揭半導體記憶裝置的電路構成圖，而第17圖為顯示其動作時序之時序圖。

第18圖為本發明之第十一實施例所揭半導體記憶裝置的電路構成圖，而第19圖為顯示其動作時序之時序圖。

第20圖為本發明之第十二實施例所揭半導體記憶裝置的電路構成圖，而第21圖為顯示其動作時序之時序圖。

第22圖為一顯示本發明之第十三實施例所揭半導體記憶裝置之動作時序的時序圖。

第23圖為本發明之第十四實施例所揭半導體記憶裝置的電路構成圖。

第24圖為本發明之第十五實施例所揭半導體記憶裝置的電路構成圖，而第25圖為顯示其動作時序之時序圖。

第26圖為本發明之第十六實施例所揭半導體記憶裝置的電路構成圖。

第27圖為習知半導體記憶裝置之電路構成圖；第28圖為其動作時序圖；第29圖為一顯示出其記憶格電容器之鐵電質之磁滯特性的圖示；第30圖為一顯示出其參考記憶格電容器之鐵電質之磁滯特性的圖示。

較佳實施例之說明

(第1 實施例)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

就第1圖所示之基準電位產生裝置作說明。

該基準電位產生裝置由以下構件構成：信號線21、22、電荷供給電路23、連接於前兩者之間的第一切換電路24a、24b、以及連接於信號線21和信號線22之間的第二切換電路25。

首先，從電荷供給電路23分別將電荷透過第一切換電路24a、24b賦予信號線21和信號線22。之後，切斷該第一切換電路24a、24b。在此階段，若信號線21與信號線22之雜散電容和電阻值等相等，且電荷供給電路23供應相同量之電荷的話，信號線21和信號線22之間將產生相同之電位。然而，若雜散電容、電阻值等不同的話，則即使供應相同之電荷量，信號線之間之亦有不同之電位。在此情形下，在本實施例中會將第二切換電路25變ON，使信號線21和信號線22之間短路，而使兩者間之電位相等。

又，若電荷供給裝置23分別供應不同之電荷量給該兩條雜散電容、電阻值等相同之信號線21和信號線22的話，各信號線21、22上將產生一與該電荷量成比例之電位。在本實施例中，藉由使該第二切換電路25導通，而將該兩者之電位加以平均化，使兩條信號線產生一恰好介於兩者之中間的電位。因此，當以該平均化之電位作為基準電位時，由於該基準電位處於該兩信號線21、22在該第二切換電路25導通前時之電位之中間，因而成為一最易於比較之基準電位。

(第2實施例)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

以下，就一含有第一實施例所示之基準電位產生裝置的半導體記憶裝置作說明。

該半導體記憶裝置包含有：位元線31、32、33、34；連接於位元線31上之記憶格30a、30b、30c；電荷供給電路35a、35b；用以連接該電荷供給電路35a和位元線33之切換元件36a；用以連接該位元線33和位元線34之切換元件37；以及，用以將位元線31和位元線32間之電位差加以放大的感測放大器38。又，位元線33、34、電荷供給電路35a、35b、切換元件36a、36b、37等這些構件所構成之部份為一與第1實施例所揭之基準電位產生裝置相對應的基準電位產生裝置。

其次，將以記憶格30a、30b、30c中已寫入有資料來說明該記憶體裝置的動作。

首先，在開始時，將各位元線31、32、33、34預充電至一特定電位，例如接地電位。然後，將切換元件36a、36b設定成導通(ON)狀態，俾由電荷供給電路35a、35b將電荷分別供應給位元線33和位元線34。結果，位元線33和位元線34之電位將成為一由所各別供給之電荷量與各位元線之負載量所決定之值。

其次，將切換元件36a、36b設定成OFF(斷開)，並將切換元件37設定成ON，而使位元線33和位元線34之間產生電荷移動。此電荷之移動會移動至當兩者之由電荷量和位元線之負載量所決定之電位相等之時點時停止。結果，位元線33和位元線34之電位將被平均化成一居於各位元線在

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

該切換元件37設定成ON之前之電位之中間的電位。

其次，將切換元件37設定成OFF，在此時，若位元線31、33、34之負載量皆相等，且位元線33上有一從記憶格30a讀出資料“0”時之電荷量，而且，位元線34上有一從記憶格30a讀出資料“1”時之電荷量的話，在位元線33、34之間將產生一處於兩者之中間的電位。以此為基準電位即可如下所述般進行資料之讀出。又，在上述動作中，雖然係將切換元件36a、36b以及切換元件37在時差上錯開地設定成ON，然而亦可同時設定成ON。

位元線31和32係在一同被預充電至接地電位之狀態下，將資料從記憶格30a讀出至位元線31。又，位元線33和位元線34之電位將被傳送至位元線32。放大器38則將位元線31和位元線32兩者之電位差加以放大；此時，根據位元線31之電位比位元線32之電位高或是低，來決定係從感測放大器38輸出資料“1”或是資料“0”的信號。

如上所述般，在本實施例中，由於產生一恰位於該位元線31在讀出資料“0”時之電位和該位元線31在讀出資料“1”時之電位兩者中間的基準電位，並與該基準電位相比較而來判定所讀出之資料係“1”或“0”，因而可以更準確地進行資料之讀出。

其次，就該電荷供給電路35a、35b以電容器構成，而該切換元件36a、36b以MOS電晶體來構成時之動作作說明。

彼等電容器已預先儲存有電荷，且電容器兩電極間所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

產生之電壓藉由將MOS電晶體設定成OFF而被保持著。另一方面，藉由將MOS電晶體設定成ON，電容器中所儲存之電荷將被供應至位元線33、34。此時，直到位元線33、34之電位與電容器之兩電極間的電位相等，才停止電荷之移動，且位元線33、34上變成有電位產生。供給完電荷以後之動作則如前所述般。

其次，設計成記憶格30a、30b、30c係由電容器和MOS電晶體所構成，且該構成電荷供給電路35a、35b之電容器係一與記憶格30a、30b、30c之電容器為相同設計、相同電容量者。此情形係在：只要該由記憶格30a、30b、30c讀出資料“0”或“1”時之電荷量送到位元線33、34時，該電荷供給電路35a、35b之電容器中所儲存之電荷量與一將資料“0”或“1”寫入記憶格30a、30b、30c之電容器中的電荷量相等的話，即可。亦即，藉由在電荷供給電路35a、35b之其中一電容器上，以邏輯電壓“H”進行寫入，而在另一電容器上，以邏輯電壓“L”進行寫入，而將各別電荷供應給位元線33、34。然後，藉由進行電位之平均化，即可使基準電位產生。

又，在製造工程上，即使電容器之尺寸與電容量有所變動，只要記憶格30a、30b、30c之電容器與電荷供給電路35a、35b之電容器受到相同之變動，基準電位仍能不偏離一居於讀出資料“0”與“1”時之電位中間的電位。相對於此，當記憶格和電荷供給電路中使用不同之電容器時，製造工程中之變動所對於這些電容器的影響將因此而有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

不同，因此，電荷供給量之差亦變大，且基準電位有可能偏離該中間電位。

即使以一用鐵電質膜作為電容絕緣膜的鐵電質電容器來作為該構成記憶格30a、30b、30c以及電荷供給電路35a、35b之電容器的話，亦可以和上述情形一樣地使基準電位產生而進行資料之讀出。又，在此情形下，由於鐵電質電容器係一種利用自發性極化而記憶資料者，因而可以實現一種非依電性之半導體記憶裝置。

(第3實施例)

第3圖所示之半導體記憶裝置為第2實施例之變形例。其與第2實施例之不同點在於將第2圖所示之位元線32和位元線33作成一起，而更簡化其電路構成。

以下，以記憶格40a、40b、40c中已寫入有資料時來說明該半導體記憶裝置之動作。

首先，將各位元線41、42、43預充電至一特定電位，例如接地電位。然後，將切換元件45a、45b設定成導通(ON)狀態，俾由電荷供給電路44a、44b將電荷分別供應給位元線42和位元線43。結果，位元線42和位元線43之電位將成為一由所各別供給之電荷量與各位元線之負載量所決定之值。

其次，一旦切換元件46設定成ON，位元線42和位元線43之間將進行電荷之移動與再分配。結果，位元線42、43之電位將被平均化成一居於各位元線42和43在該切換元件46設定成ON之前之電位之中間的相等電位。之後，OFF掉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

該切換元件46，而將該位元線42和位元線43切開。又，在此雖係使切換元件45a、45b和切換元件46各別設定成ON，然而亦可以同時使其設定成ON。藉此，位元線42上即成為有一基準電位產生。

其次，將記憶在記憶格40a中之資料讀出至位元線41。此步驟係藉由一從記憶格40a中讀出所儲存之電荷的方法而行。位元線41之電位將成為一依所讀出之電荷量和位元線41之負載量所決定之值。

此時，基準電位係藉由調整該位元線42、43之負載量以及供應給該等位元線之電荷量而加以調整。例如，基準電位可以因位元線42和位元線43間之電荷量的移動與再分配，而調整成一居於一由記憶有資料“0”之記憶格讀出資料時之位元線41的電位以及一由記憶有資料“1”之記憶格讀出資料時之位元線41的電位之中間值的電位。然後，藉由以感測放大器47將位元線42所產生之基準電位與位元線41之電位兩者之差加以放大，將資料由感測放大器47輸出。

如上所述般，本實施例之電路與第2實施例比起來更為簡化，不過，和第2實施例一樣，由於可以將一已由記憶格讀出資料的位元線之電位，和一居於讀出資料“0”下之位元線電位與讀出資料“1”下之位元線電位之中間的電位，作一比較，因而本實施例亦可準確地進行資料之讀出。

(第4實施例)

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

第4圖所示之半導體記憶裝置相當於一將第3實施例所揭位元線41設計成數條時之實施例。

在第4圖中，位元線/BL0、/BL1表示一在從記憶格讀出資料時具有一和位元線BL0、BL1相反之邏輯電壓的位元線。記憶格屏極電極CP0、CP1與彼等位元線相平行，字元線WL0、WL1、WL2、WL3與彼等位元線相垂直而配置。在這些信號線中，連接有一些用以構成記憶格的鐵電質電容器C00、C10、C20、C30、C01、C11、C21、C31以及MOS電晶體Qn00、Qn10、Qn20、Qn30、Qn01、Qn11、Qn21、Qn31。

MOS電晶體Qn00CG、Qn01CG、Qn02CG、Qn03CG為用以選擇多數條位元線，並將被選擇之位元線連接至感測放大器SA0者，行開(column gate)信號CG0、CG1、CG2、CG3用以選擇記憶格之行位。

參考記憶格由：用以產生基準電位的位元線DBL、/DBL、記憶格屏極電極DCP0、字元線DWL0、DWL1、鐵電質電容器C00D、C10D、MOS電晶體Qn00D、Qn01D等所構成。參考記憶格上連接有一依等化(equalize)信號來決定是否要連接該位元線DBL和位元線/DBL的MOS電晶體QnBEQD，以及一用以選擇參考記憶格之位元線而將所選擇出來之位元線連接至感測放大器SA0的MOS電晶體Qn00DCG、Qn01DCG。

行開信號DCG0、DCG1用以選擇參考記憶格之行位。記憶格上連接有匯總(global)位元線GBL，而參考記憶格上連接有匯總位元線/GBL。

MOS電晶體Qn00BP、Qn10BP為一用以使位元線GBL和位

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 ()

元線/GBL標齊於接地電位者，其為位元線預充電信號BP所控制。連接至位元線GBL、/GBL的感測放大器SA0為一受控制信號SAE所控制者。

在該記憶裝置中，舉例而言1個記憶格係由二個記憶格電容器C00、C10與二個MOS電晶體Qn00、Qn10所構成，同樣地，用以產生基準電位的參考記憶格亦是由二個參考記憶格電容器C00D、C10D以及二個MOS電晶體Qn00D、Qn10D所構成。又，之所以將記憶格屏極電極CP0與位元線平行配置之理由係因為設定成感測放大器SA0只有一個，因而僅有某一字元線所選擇之多數記憶格中的特定記憶格會動作而已之故。

其次，參照第5圖說明該半導體記憶裝置之動作。其中，記憶格電容器C00、記憶格電容器C10、參考記憶格電容器C00D、參考記憶格電容器C10D中已分別寫入有資料“1”、“0”、“1”、“0”。

首先，開始時，將等化信號BEQ和預充電信號BP設定成邏輯電壓“H”，而使MOS電晶體QnBEQD、Qn00BP、Qn10BP保持成ON狀態，使匯總位元線GBL、/GBL保持成接地電位。然後，將行開信號CG0、DCG0變成邏輯電壓“H”，使MOS電晶體Qn00CG、Qn00DCG變成ON。藉此，位元線BL0、/DBL將成為接地電位。之後，將預充電信號BP設定成邏輯電壓“L”，而使匯總位元線GBL和匯總位元線/GBL相分開。

其次，分別將字元線WL0、DWL0、DWL1、記憶格屏極電極CP0、DCP0之邏輯電壓設定成“H”，藉此，記憶格電

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

容器C00之資料“1”將被讀出至位元線BL0。又，在位元線/DBL上讀出資料“1”，而在位元線DBL上則讀出資料“0”。此時，MOS電晶體QnBEQD處於ON之狀態，位元線DBL和位元線/DBL之電位被平均化。此被平均化之電位，亦即基準電位，呈現在各別位元線上。因此，匯總位元線GBL上將讀出一對應於資料“1”的電位，而匯總位元線/GBL上將讀出一對應於資料“0”和資料“1”之平均值的電位。彼等電位之差為感測放大器SA0所放大並輸出。

其次，換進行一再寫入之動作。匯總位元線GBL、以及匯總位元線/GBL將分別從感測放大器SA0取回資料“1”、“0”。此時，藉由將字元線WL0之邏輯電壓狀態變成“H”，並將記憶格屏極電極CP0之邏輯電壓變成“L”，記憶格電容器C00將再度被寫入資料“1”。又，由於MOS電晶體Qn00DCG處於ON狀態，因而若將行開信號DCG1設定成邏輯電壓“H”而使MOS電晶體Qn01DCG變成ON狀態的話，參考記憶格電容器C00D將透過匯總位元線/GBL和位元線/DBL，再度寫入資料“0”。又，參考記憶格電容器C01D中將透過匯總位元線GBL與位元線DBL，而再度被寫入資料“1”。

又，在本實施例中，雖係利用該連接至感測放大器SA0之位元線對的資料來進行再寫入，然而亦可由再寫入專用電路來進行。如上所述般，本實施例之半導體記憶裝置具有一將呈矩陣狀配置之記憶格與一使基準電位產生之參考記憶格兩者之組合加以簡化的電路構成。而在本實施

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

例中，關於該產生一對應於資料“0”和資料“1”之平均值的電位來作為基準電位，再將該基準電位和所讀出之資料兩者的電位差以感測放大器SA0加以放大之這一點上，亦與第2、第3實施例所揭者相同，因此，和第2、第3實施例一樣，可以正確地進行資料之讀出，以及對記憶格之再寫入。

(第5實施例)

第6圖所示之半導體記憶裝置為一根據第2實施例而得的實施例，且為一配置有二組每一組相當於第2圖所示位元線31和位元線32合成一對的位元線對，並在該位元線對之間設有一基準電位產生裝置者。

以下，就位元線BL0、/BL0這一對來說明本實施例之基本構成。

一個記憶格係由二個記憶格電容器C00、C10和二個MOS電晶體Qn00、Qn10之組合所構成的。在MOS電晶體Qn00(Qn10)之汲極上連接有位元線BL0(/BL0)，而在其閘極上連接有字元線WL0(WL1)，且在其源極上連接有記憶格電容器C00(C10)的第一電極。記憶格電容器C00(C10)之第二電極連接至記憶格屏極電極CP0上。另，MOS電晶體Qn20、Qn30以及記憶格電容器C20、C30亦如上所述般連接。

參考記憶格亦由參考記憶格電容器C00D、C10D以及MOS電晶體Qn00D、Qn10D之組合所構成。在MOS電晶體Qn00D(Qn10D)之汲極、閘極、以及源極上分別連接有位元線BL0(/BL0)、參考記憶格之字元線DWL0(DWL1)、以及參考記憶

五、發明說明()

格電容器C00D(C10D)之第一電極。而參考記憶格電容器C00D(C10D)之第二電極則連接至記憶格屏極電極DCP0上。

位元線BL0、/BL0連接至感測放大器SA0。感測放大器SA0為感測放大器控制信號SAE0所控制，控制信號SAE0在邏輯電壓為“H”時作動。位元線BL0透過MOS電晶體Qn00BP連接至接地電位Vss，而該電晶體之閘極則為預充電信號BP0所控制。位元線/BL0透過MOS電晶體Qn10BP連接至接地電位Vss，而該電晶體之閘極則為預充電信號BP1所控制。

本實施例中之半導體記憶裝置配置有多數組與上述位元線BL0、/BL0所合成一對的位元線對，且在各位元線對之組與組之間，透過一受等化信號BEQ0或是等化信號BEQ1所控制的MOS電晶體Qn0EQ、Qn1EQ而連接在一起。

其次，參照第7圖，以位元線BL1、/BL1、BL2、/BL2為例說明該半導體記憶裝置之動作。其中，設定為記憶格電容器C11、記憶格電容器C12、參考記憶格電容器C01D、參考記憶格電容器C02D上已分別預先寫入有資料“1”、“0”、“1”、“0”。

在初期狀態，字元線WL0、WL1、記憶格屏極電極CP0、參考記憶格之字元線DWL0、DWL1、參考記憶格屏極電極DCP0、資料預充電信號DP0、DP1、以及感測放大器控制信號SAE0處於邏輯電壓“L”。等化信號BEQ0、BEQ1以及預充電信號BP0、BP1處於邏輯電壓“H”。

首先；一旦將等化信號BEQ1、預充電信號BP0、BP1變成邏輯電壓“L”，並將記憶格屏極電極CP0、字元線WL1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

、參考字元線DWL0、參考記憶格屏極電極DCP0設定成邏輯電壓“H”，MOS電晶體Qn10、Qn11、Qn12、Qn13、Qn00D、Qn01D、Qn02D、Qn03D將變成ON。據此，位元線/BL1上將從記憶格電容器C11讀出資料“1”，而位元線/BL2上將從記憶格電容器C12中讀出資料“0”。又，在位元線BL1上從參考記憶格電容器C01D讀出資料“1”，且在位元線BL2上從參考記憶格電容器C02D讀出資料“0”。

另一方面，由於等化信號BEQ0處於邏輯電壓“H”，因而MOS電晶體Qn1EQ處於ON狀態，且位元線BL1和位元線BL2被短路。藉此，其電位即被平均化，而在兩位元線BL1、BL2上產生基準電位。

其次，將等化信號BEQ0設定成邏輯電壓“L”，再將感測放大器控制信號SAE0設定成邏輯電壓“H”，而使感測放大器SA0、SA1、SA2、SA3動作。藉此，位元線/BL1和位元線BL1兩者間之電位差將為感測放大器SA1所放大，而位元線BL2和位元線/BL2兩者間之電位差則為感測放大器SA2所放大。然後，透過各別之位元線，進行該將資料從感測放大器寫入記憶格電容器的再寫入。進一步，藉由將等化信號BEQ0、BEQ1、預充電信號BP0、BP1設定成邏輯電壓“H”，回到初期狀態。

又，在將字元線WL1設定成邏輯電壓“L”之後，將預充電信號DP0設定成邏輯電壓“H”，而使MOS電晶體Qn00DP、Qn01DP、Qn02DP、Qn03DP變成ON狀態，再將接地電位Vss寫入參考記憶格電容器C00D、C02D中，並將電源電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

Vcc寫入參考記憶格電容器C01D、C03D中。

其次，分別將等化信號BEQ0設定成邏輯電壓“L”，且將字元線WL0、記憶格屏極電極CP0、參考字元線DWL1、參考記憶格屏極電極DCP0設定成邏輯電壓“H”。藉此，記憶格電容器C01、C02之資料將被讀出。進一步，藉由同上述一樣之動作，進行資料之再寫入。

在本實施例中，並非以位元線對來進行基準電位之產生，而是利用兩相鄰位元線對之各其中一條位元線來進行的。因此，位元線之負載量不會不齊，而可以產生一更正確之基準電位。又，不僅資料讀出時與再寫入時之錯誤不會發生，並可以省略該在產生基準電位後到讀出資料前之將位元線預充電至接地電位的過程，因而存取時間縮短。

(第6 實施例)

第8圖之半導體記憶裝置為第5實施例之變形例。本實施例與第5實施例之不同點在於：設有一連接於位元線BL0和位元線/BL1之間的MOS電晶體Qn0T、一連接於位元線BL1和位元線/BL2之間的MOS電晶體Qn11T、一連接於位元線BL2和位元線/BL3之間的MOS電晶體Qn1T，以及，以同一控制信號SAE0來控制感測放大器SA0和感測放大器SA2，並以同一控制信號SAE1來控制感測放大器SA1和感測放大器SA3。其中，第6圖所示用以將資料寫入參考記憶格所需要之MOS電晶體Qn00DP-Qn03DP、Qn10DP-Qn13DP以及用以控制彼等之信號DP0、DP1在本實施例中不需要，因而刪除之。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

現參照第9圖說明該半導體記憶裝置之動作。

首先，在將等化信號BEQ0保持於邏輯電壓“H”之狀態下，將字元線WL1、DWL0、記憶格屏極電極CP0、DCP0變成邏輯電壓“H”，並將特定之MOS電晶體設定成ON狀態。然後，使一基準電位產生於位元線BL1和位元線BL2之間，並將資料從記憶格讀出至位元線/BL1、/BL2，且以感測放大器將該資料與基準電位之電位差加以放大。至此為止，與第5實施例之動作相同。

其次，將控制信號SAE1設定成邏輯電壓“L”，再將信號DT0設定成邏輯電壓“H”。在此狀態下，感測放大器SA0、SA2處於作動狀態，而感測放大器SA1、SA3則處於非作動狀態。又，MOS電晶體Qn11T會變成ON狀態。因此，位元線BL1上將被給予一同於位元線/BL2的資料，而位元線BL2則被給予一同於位元線/BL3的資料。然後，資料被寫入參考記憶格電容器C01D、C02D。

其次，將等化信號BEQ0、BEQ1、預充電信號BP0、BP1變成邏輯電壓“H”，回到初期狀態。

其次，將字元線WL0、記憶格屏極電極CP0設定成邏輯電壓“H”，而從位元線BL1和位元線BL2中讀出記憶格電容器C01、C02的資料；進一步，將信號DT1設定成邏輯電壓“H”，並如上所述一樣地進行資料之寫入參考記憶格。

在本實施例中，於再寫入時之對參考記憶格電容器的資料寫入係利用一和相鄰位元線對之其中一位元線相同的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

資料來進行寫入。因此，各別參考記憶格電容器之間將沒有電位差。因此，將可以更準確地產生基準電位，並使資料之讀出時與再寫入時不會發生錯誤。又，由於不需要一用以將資料再寫入參考記憶格電容器的電路，因而可以簡化電路。

(第7 實施例)

第10圖所示之半導體記憶裝置為第5 實施例之變形例。本實施例與第5 實施例之不同點在於：設有一連接位元線BL0和位元線/BL1的MOS電晶體Qn10EQ、一連接位元線BL0和位元線/BL1的MOS電晶體Qn0T、一連接位元線/BL0和位元線BL1的MOS電晶體Qn20T，以及，以不同之控制信號SAE0、SAE1來控制感測放大器SA0、SA1。又，第6 圖所示用以將資料寫入參考記憶格所需要之MOS電晶體Qn00DP-Qn03DP、Qn10DP-Qn13DP以及用以控制這些電晶體之信號DP0、DP1在本實施例中不需要，因而刪除之。

亦即，本實施例與第5 實施例不同之基本點在於：其係一種包含有一由位元線/BL0、/BL1和MOS電晶體Qn0EQ所構成之第一基準電位產生裝置，以及一由位元線BL0、BL1和MOS電晶體Qn10EQ所構成之第二基準電位產生裝置的構成。

以下，參照第11圖說明該半導體記憶裝置之動作。

首先，在將等化信號BEQ0保持於邏輯電壓“H”之狀態下，將字元線WL1、DWL0、記憶格屏極電極CP0、DCP0之邏輯電壓變成“H”，並將特定MOS電晶體設定成ON狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

然後，在位元線BL0和位元線BL1之間產生一基準電位，並將資料從記憶格讀出至位元線/BL0、/BL1，且以感測放大器SA0、SA1將該資料與基準電位之電位差加以放大。至此，與第5實施例相同。

其次，將控制信號SAE1之邏輯電壓變成“L”，接著將信號DT0之邏輯電壓設成“H”。此時，感測放大器SA0處於作動狀態，而感測放大器SA1則處於不作動狀態，而且，MOS電晶體Qn0T、Qn20T變成ON之狀態。因此，位元線/BL1上將被給予一和位元線BL0一樣的資料，而位元線BL1上將被給予一和位元線/BL0一樣的資料。然後，資料即分別被寫入參考記憶格電容器C00D、C01D中。

在本實施例中，由於係利用一個感測放大器來進行該對相鄰位元線對的資料再寫入，因而在各個參考記憶格電容器之間將不會電位差。因此，將可以更準確地產生基準電位，並使資料之讀出時與再寫入時的錯誤不會發生，而且該用以將資料從位元線送到位元線的電路可以簡略掉。

(第8實施例)

第12圖所示之半導體記憶裝置為第7實施例之變形例。本實施例與第7實施例之不同點在於省略掉第10圖所示之MOS電晶體Qn20T。

以下，參照第13圖說明該半導體記憶裝置之動作。

首先，將字元線WL1、DWL0、記憶格屏極電極CP0、DCP0之邏輯電壓變成“H”，並在位元線BL0和位元線BL1之間產生一基準電位，而且將資料從記憶格讀出至位元線/B

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

L0、/BL1，且以感測放大器SA0、SA1將該資料與基準電位之電位差加以放大。至此，與第7實施例相同。

其次，將控制信號SAE0設定成邏輯電壓“L”，接著將信號DT0設定成邏輯電壓“H”。此時，感測放大器SA0處於不作動狀態，而感測放大器SA1則處於作動狀態。又，MOS電晶體Qn0T處於ON之狀態。因此，位元線BL0上被給予一和位元線/BL1相同之資料，且該資料被寫入參考記憶格電容器C00D中。

其次，將等化信號BEQ0、BEQ1、預充電信號BP0、BP1設定成邏輯電壓“H”，回到初期狀態。

其次，將字元線WL0、記憶格屏極電極CP0設定作邏輯電壓“H”，而將資料從記憶格讀出至位元線BL0和位元線BL1。然後，將信號DT0設定成邏輯電壓“H”，並和上述一樣進行對參考記憶格的資料寫入。此時，感測放大器SAE0為作動狀態，而感測放大器SAE1為非作動狀態。位元線/BL1上被給予一和位元線BL0相同的資料，且該資料被寫入參考記憶格電容器C11D。

本實施例亦和第7實施例一樣，係以一個感測放大器來進行該對相鄰位元線對之再寫入，且各個參考記憶格電容器之間沒有電位差。因此，將可以更準確地產生基準電位，且資料之讀出時與再寫入時的錯誤不會發生。又，該用以將資料從位元線送到位元線的電路可以簡略掉。

(第9實施例)

第14圖所示之半導體記憶裝置為一以第2圖所示之第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

2 實施例為基本電路者，其分別將第2圖中之位元線31和位元線33，以及位元線32和位元線34作成一起。本實施例相當於一將第12圖所示之第8實施例加以簡化而得者。本實施例與第8實施例之不同點在於：設計成其在該作為用以將資料從記憶格讀出之位元線對的兩位元線BL0、/BL0(/BL1、BL1)之間設有一MOS電晶體Qn20EQ(Qn21EQ)，且使基準電位產生於該兩位元線BL0、/BL0(/BL1、BL1)之間。

以下，以位元線BL0、/BL0為著眼點說明本實施例之動作。

為了讀出該由MOS電晶體Qn00和記憶格電容器C00所構成之記憶格的資料，首先，分別將字元線WL0、記憶格屏極電極CP0、字元線DWL0、DWL1、記憶格屏極電極DCP0、感測放大器控制信號SAE設定成邏輯電壓“L”，並將等化信號BEQ和預充電信號BP0、BP1設定成邏輯電壓“H”，以作為初期狀態。此時，MOS電晶體Qn20EQ、Qn00BP、Qn10BP處於ON之狀態，位元線BL0、/BL0之間沒有電位差。又，位元線BL0、/BL0被設定成接地電位Vss，亦即邏輯電壓“L”。

其次，將預充電信號BP0、BP1變成邏輯電壓“L”，此時，MOS電晶體Qn00BP、Qn10BP成為OFF狀態，位元線BL0、/BL0成為浮動狀態。不過，MOS電晶體Qn20EQ處於ON狀態。

其次，將字元線DWL0、DWL1與記憶格屏極電極DCP0設定成邏輯電壓“H”。藉此，MOS電晶體Qn00D、Qn10D將成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

為ON狀態，且電荷從參考記憶格電容器C00D、C10D流入位元線BL0、/BL0。其中，由於MOS電晶體Qn20EQ持續處於ON狀態，因而各位元線之電荷會移動至兩方之電位相等為止，結果電位即被平均化了。若在開始時，參考記憶格電容器C00D與參考記憶格電容器C10D中所寫入之資料分別為邏輯電壓“H”和“L”的話，由於位元線之電容量約略相等，MOS電晶體Qn20EQ變成ON時承受電荷的電容量將成為位元線為一條時之二倍。因此，基準電位約略等於一以位元線之電容值，除一由邏輯電壓“H”時所讀出之電荷量和邏輯電壓“L”時所讀出之電荷量兩者相加之和，所得之電位。

其次，將等化信號BEQ設定成邏輯電壓“L”，而使MOS電晶體Qn20EQ變成OFF。進一步，將參考字元線DWL0設定成邏輯電壓“L”，並將預充電信號BP0設定成邏輯電壓“H”。藉此，MOS電晶體Qn00BP即被ON，且位元線BL0將成為接地電位Vss，亦即邏輯電壓“L”。然後，於將位元線BL0設定成邏輯電壓“L”之後，將預充電信號BP0設定成邏輯電壓“L”，此時，位元線/BL0被保持於基準電位。

其次，在此狀態下，將字元線WL0、記憶格屏極電極CP0設定成邏輯電壓“H”，藉此，MOS電晶體Qn00即被ON，且記憶格電容器C00之資料被讀出至位元線BL0。

其次，將感測放大器控制信號SAE設定成邏輯電壓“H”，使感測放大器SA0可以作動。若記憶格電容器C00中所寫入的是“1”的話，則被輸入至感測放大器SA0的是一由

(請先閱讀背面之注意事項再填寫本頁)



訂



五、發明說明()

一對應於一來自位元線BL0之資料“1”的電位和一來自位元線/BL0的基準電位兩者所造成之電位差，此電位差再被放大而輸出資料“1”。

其次，將字元線DWL0設定成邏輯電壓“H”，而使MOS電晶體Qn00D變成ON，進一步，再將記憶格屏極電極CP0和記憶格屏極電極DCP0設定成邏輯電壓“L”。然後，將資料“1”分別再寫入記憶格電容器C00和參考記憶格電容器C00D中。進一步，將字元線WL0、參考字元線DWL0、DWL1設定成邏輯電壓“L”之後，將感測放大器控制信號SAE設定成邏輯電壓“L”，並將等化信號BEQ、預充電信號BP0、BP1設定成邏輯電壓“H”，藉此，將動作回到初期狀態。

又，即使記憶格電容器C00中所寫入之資料係“0”，該資料“0”係是如同上述步驟般被讀出來，並於必要時再進行再寫入之動作。然後，回到初期狀態。

如以上所述之本實施例係以記憶格係由電晶體和鐵電質電容器所構成，且具有一和該記憶格相同構成之參考記憶格的實施例作說明，在該場合下之基準電位為參考記憶格電容器C00D、C10D中所記憶之資料的平均值。因此，由於可以一直供應準確之基準電位，而可以抑制一錯誤之資料讀出或寫入。

(第10實施例)

第16圖所示之半導體記憶裝置為第9實施例之變形例。該半導體記憶裝置與第14圖所示之第9實施例的不同點

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

在於：將該構成參考記憶格的MOS電晶體Qn00D、Qn10D之閘極連接在一起，並以一同一信號來控制該兩者。本實施例在進行資料之讀出時所位於位元線之間的負載容量相等，且不會有一因負載容量之平衡破壞所造成的電位變動。

以下，就本實施例之動作，參照第17圖以位元線BL0、/BL0為著眼點來作說明。

與第9實施例一樣，將等化信號BEQ設定成邏輯電壓“H”，而使MOS電晶體Qn20EQ成為ON狀態，在此之下，分別將資料從參考記憶格電容器C00D讀出至位元線BL0，以及將資料從參考記憶格電容器C10D讀出至位元線/BL0，並將電位平均化，以作出基準電位。然後，將參考記憶格之字元線DWL0設定成邏輯電壓“L”，而使MOS電晶體Qn00D、Qn10D變成OFF，並將參考記憶格電容器C00D、C10D切離位元線BL0、/BL0。此時，若將等化信號BEQ設定成邏輯電壓“L”，而使MOS電晶體Qn20EQ切離位元線BL0、/BL0的話，兩位元線BL0、/BL0的負載容量將發生變化，且基準電位將下降該份量。該基準電位之下降量以下文所述之動作補償之。

其次，將預充電信號設定成邏輯電壓“H”，而僅將位元線BL0設定成接地電位VSS。此時，位元線/BL0之電位為基準電位。其次，分別將字元線WL0、記憶格屏極電極CP0設定成邏輯電壓“H”，並在將記憶格電容器C00之資料讀出至位元線BL0之後，將字元線WL0設定成邏輯電壓“L”，而使MOS電晶體Qn00切離位元線BL0。藉此，位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

BL0之負載容量將變化，且位元線BL0下降該份量之電位。此電位下降量相當於上面所述基準電位之下降量，在此，該下降量將受到補償。

其次，於將所有的電晶體切離兩位元線之狀態下，將控制信號SAE設定成邏輯電壓“H”，而以感測放大器來放大該來自兩位元線的資料。然後，於再寫入時，再度將字元線WL0、DWL0設定成邏輯電壓“H”，並輸入資料。然後，回到初期狀態。

如上所述般，在本實施例中，在將MOS電晶體Qn20EQ切離位元線BL0時所產生之基準電位下降量，會因該將資料從記憶格讀出後之將MOS電晶體Qn00切離位元線時所生之電位下降量，而相抵消。進一步，在以感測放大器SA0將位元線BL0和位元線/BL0間之電位差加以放大時，由於將兩位元線之電容量變成為僅為一位元線電容量，因而可以進行更準確的資料讀出與再寫入動作。

又，即使是在第14圖所示之第9實施例中，亦可以進行一如上所述般補償基準電位之下降量的動作。亦即，在第9實施例中，在以感測放大器SA0放大該位元線BL0和該位元線/BL0間之電位差時，藉由將字元線WL0、DWL0設定成邏輯電壓“H”，而使MOS電晶體Qn00、Qn10D變成ON，兩位元線之間的負載容量即會變成相等。藉此，將可以使兩位元線之電位下降量相等，並和本實施例一樣，可以進行相當正確之資料的讀出與再寫入。

又，在第9實施例中，如第15圖所示之動作時序圖所

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

示般，在將MOS電晶體Qn10D變成ON之後的狀態下，藉由將MOS電晶體Qn00設定成ON狀態，即可從記憶格電容器C00讀出資料。因此，位元線BL0將被附加MOS電晶體Qn00之容量，而位元線/BLO上將被附加上MOS電晶體Qn10D之容量，且兩位元線之負載容量相等。

(第11實施例)

第18圖所示之半導體記憶裝置為第9實施例之變形例。該半導體記憶裝置與第9實施例之不同點在於：本實施例將MOS電晶體Qn00D之源極透過一MOS電晶體Qn00DP連接至接地電位VSS，並將MOS電晶體Qn10D之源極透過一MOS電晶體Qn10DP連接至電源電位VCC，並進一步以同一預充電信號DPO來控制該MOS電晶體Qn00DP和該MOS電晶體Qn10DP。

本實施例為一有關於對參考記憶格進行資料之寫入者，而第9實施例的話則係透過位元線來進行該對參考記憶格的資料寫入。

以下，參照第19圖說明本實施例之動作。

首先，在初期狀態，將預充電信號DPO設定成邏輯電壓“H”，而使MOS電晶體Qn00DP、Qn10DP變成ON狀態。藉此，參考記憶格電容器C00D之電位將成為接地電位VSS，而參考記憶格電容器C10D之電位成為電源電位VCC。然後，和第9實施例情形一樣，將資料從參考記憶格讀出至位元線BL0、/BL0，並加以平均化而作出基準電位。在將位元線BL0變成接地電位VSS之後，將資料從記憶格電容器C00

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

讀出至位元線BL0，並以感測放大器SA0加以放大。然後，對記憶格電容器和參考記憶格電容器進行再寫入之動作，動作即結束。以這樣的動作時序，當一連串之動作終了時，與第15圖所示之第9實施例的動作時序相同。

如上所述般，本實施例為一設計成透過外部專用電路來將任意電位寫入參考記憶格電容器者。在本實施例中，由於在參考記憶格中在動作之前，一直有一特定電位被寫入，因而可以進行穩定之資料讀出與寫入動作。

又，就上述說明而言，對參考記憶格之寫入電位雖然設定為接地電位VSS與電源電位VCC，然而並不特別限定於該電位，寫入任意電位都可。

(第12實施例)

第20圖所示之半導體記憶裝置為第9實施例之變形例。本實施例和第11實施例一樣，都是有關於對參考記憶格之資料寫入者。本實施例與第9實施例之不同點在於：本實施例以MOS電晶體Qn00DP將MOS電晶體Qn00D之源極與電位VSS連接，並以MOS電晶體Qn00DP2將MOS電晶體Qn00D之源極與電源電位VCC連接，以及，以MOS電晶體Qn10DP將MOS電晶體Qn10D之源極和電源電位VCC相連接，並以MOS電晶體Qn10DP2將MOS電晶體Qn10D之源極和接地電位VSS相連接。其中，該MOS電晶體Qn00DP、Qn10DP並連結成以一相同之預充電信號DP0來控制，而MOS電晶體Qn00DP2、Qn10DP2則連結成為同一預充電信號DP1所控制。

以下，參照第21圖說明本實施例之動作。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

首先，在初期狀態，將預充電信號DP0設定成邏輯電壓“H”，而使MOS電晶體Qn00DP、Qn10DP變成ON狀態。藉此，參考記憶格電容器C00D之電位將成為接地電位VSS，而參考記憶格電容器C10D之電位成為電源電位VCC。然後，和第9實施例情形一樣，將資料從參考記憶格讀出至位元線BL0、/BL0，並加以平均化而作出基準電位。在將位元線BL0變成接地電位VSS之後，將資料從記憶格電容器C00讀出至位元線BL0，並以感測放大器SA0加以放大。然後，對記憶格電容器和參考記憶格電容器進行再寫入之動作，動作即結束。以這樣的動作時序，當一連串之動作終了時，與第15圖所示之第9實施例的動作時序相同。

又，與上述動作相反地，在初期狀態將該預充電信號DP1設定成邏輯電壓“H”，而使參考記憶格電容器C00D之電位設定為電源電位VCC，並使參考記憶格電容器C10D之電位設定為接地電位VSS亦可。

如上所述般，本實施例為一設計成透過外部專用電路來將任意電位寫入參考記憶格電容器者。在本實施例中，由於在參考記憶格中在動作之前，一直有一特定電位被寫入，因而可以進行穩定之資料讀出與寫入動作。

又，就上述說明而言，對參考記憶格之寫入電位雖然設定為接地電位VSS與電源電位VCC，然而並不特別限定於該電位，寫入任意電位都可。

(第13實施例)

第22圖為一顯示第9實施例中之其它動作時序的圖示

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

。以該動作時序所達成之動作在應用於一使用鐵電質電容器作為參考記憶格電容器的半導體記憶裝置時，對其壽命之延長特具效果。

鐵電質電容器具有一即使電源被切斷亦能因自發性極化而保持其資料的便利性。然而，若反複該自發性極化的話，當超越所限定之次數時，若經常寫入的是邏輯電壓“H”，其鐵電質膜將開始劣化，進而所儲存之電荷量將減少。又，由於參考記憶格之資料經常被改寫，半導體記憶裝置之壽命將因參考記憶格電容器之壽命而決定。為了延長該壽命，只要將邏輯電壓“H”和邏輯電壓“L”交替寫入該參考記憶格電容器即可。藉此，本來應寫入邏輯電壓“H”的鐵電質電容器的壽命將延長約2倍。

在第9實施例之半導體記憶裝置中，對參考記憶格的寫入係透過位元線而進行的，在此情形下，如第22圖所示，在將字元線DWL0設定成邏輯電壓“H”之後，保持之並將字元線WL0變成邏輯電壓“L”，且將來自感測放大器SA0之再寫入信號加以反轉，然後將該信號寫入參考記憶格電容器中。據此，參考記憶格電容器將被交替寫入邏輯電壓“H”和“L”，半導體記憶裝置之壽命即延長。

又，在一如第20圖所示之第12實施例般設置一外部專用電路的半導體記憶裝置中，該用以交替切換該預充電信號DP0和預充電信號DP1的電路係設置於外部。進而，藉由切換使用該信號，參考記憶格電容器中即可被交替寫入邏輯電壓“H”和“L”。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

(第14實施例)

第23圖所示之半導體記憶裝置為第9實施例之變形例之其中之一。本實施例和第13實施例一樣，為一至少壽命延長二倍的半導體記憶裝置。本實施例與第14圖所示之第9實施例之不同點在於：在第14圖中係設有一個參考記憶格，而在本實施例中則設有二個參考記憶格RC0、RC1。藉由使各參考記憶格對應於特定的記憶格，或是交替使用該兩參考記憶格，將可以防止該因多次的讀出與寫入動作所引起的鐵電質膜劣化。

舉例而言，以下就一配置有四個記憶格與八條字元線的情況作說明。

各個參考記憶格RC0、RC1如第1表所示，分擔特定之字元線，換言之，分擔特定之記憶格。在該情況下，如第2表所示，當有特定之字元線被存取時，對應於該線之參考記憶格即分別動作。因此，參考記憶格電容器將不會經常保持於同一狀態，因而對鐵電質膜所施加之負擔將分散掉。因此，鐵電質電容器之壽命即延長。

第 1 表

參考記憶格	擔任之字元線
RC0	WL0 WL1 WL4 WL5
RC1	WL2 WL3 WL6 WL7

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

第 2 表

被存取之字元線	動作之參考記憶格
WL6	RC1
WL1	RC0
WL0	RC0
WL3	RC1
WL7	RC1
WL4	RC0
WL2	RC1
WL5	RC0
WL6	RC1
.	.
.	.
.	.

另一方面，當以兩個參考記憶格RC0、RC1交替切換而使用時，如第3表所示，參考記憶格RC0、RC1將交替動作。因此，在此情形下，由於鐵電質膜之負擔被分散，因而鐵電質電容器之壽命亦延長。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

第 3 表

被存取之字元線	動作之參考記憶格
WL5	RC0
WL0	RC1
WL2	RC0
WL1	RC1
WL7	RC0
WL4	RC1
WL5	RC0
WL3	RC1
.	.
.	.
.	.

(第15實施例)

第24圖所示之半導體記憶裝置為第9實施例之變形例之其中之一。本實施例為一設有一用以補償該基準電位因一連接至位元線之MOS電晶體的ON/OFF所引起之變動的補償電路。

本實施例與第14圖所示之第9實施例之不同點在於：
本實施例以一受等化信號BEQ0所控制之MOS電晶體Qn00BEQ來連接位元線BL0和位元線BL1，並以一受等化信號BEQ1所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

控制的MOS電晶體Qn10BEQ來連接位元線/BLO和位元線/BL1

以下，參照第25圖說明該半導體記憶裝置之動作。其中，除了等化信號BEQ、BEQ0、BEQ1之外，基本上與第15圖所示之第9實施例的動作時序相同。因此，在此省略其相同之部份，而僅就等化信號BEQ、BEQ0、BEQ1之相關動作作說明。

在一從該由MOS電晶體Qn00和記憶格電容器C00所構成之記憶格讀出資料之前的初期狀態中，該等化信號BEQ係處於邏輯電壓“H”之狀態。首先，開始時，進行一與第15圖所示第9實施例之動作時序一樣的動作，在位元線BL0、/BL0上作出基準電位。

其次，將等化信號BEQ設定為邏輯電壓“L”，而使電晶體Qn20EQ變成OFF。此時，位元線BL0和位元線/BL0之負載容量將改變，兩位元線之電位產生變化。其電位變動量如下文所述般被補償。

其次，將預充電信號BP0設定成邏輯電壓“H”，而使MOS電晶體Qn00BP變成ON，並使位元線BL0變成接地電位VSS。又，將等化信號BEQ0設定成邏輯電壓“H”，而使電晶體Qn00BEQ變成ON，位元線BL0與位元線/BL0即連接在一起。此時，在位元線BL1、/BL1中亦進行一和位元線BL0、/BL0完全一樣的動作，且位元線BL1亦被設定成接地電位VSS。

其次，將位元線BL0和位元線BL1設定成接地電位VSS，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

且呈浮動狀態，並將等化信號BEQ0設定成邏輯電壓“L”，而使電晶體Qn00BEQ變成OFF。藉此，位元線BL0和位元線BL1即相切離，此時，在位元線BL0和位元線BL1上亦發生一和該位元線BL0與位元線/BL0相切離時一樣的電位變化。

其次，將字元線WL0、記憶格屏極電極CP0設定成邏輯電壓“H”，將資料由記憶格電容器C00讀出至位元線BL0。此時，由於位元線BL0之電位處於低下狀態，所讀出之資料亦將下降該低下量的電位，進而上述基準電位之下降量即被補償。又，自此以後之由該感測放大器SA0所進行之放大動作以及資料之再寫入動作等與第9實施例之動作相同，因而省略其說明。

如上所述般，在本實施例中，係藉由將位元線連接至其它特定位元線，來調整負載容量。而且，利用那時所生於位元線上的電位變動來補償基準電位之變動，因而防止了錯誤資料之讀出與再寫入的發生。

(第16實施例)

第26圖所示之半導體記憶裝置為第9實施例之變形例之其中之一，其為一配置有一在構成上與第15實施例所示者不同的補償電路者。

本實施例與第14圖所示之第9實施例之不同點在於：本實施例以一受等化信號BEQ0(BEQ1)所控制之MOS電晶體Qn12EQ(Qn01EQ)來作為位元線對之間的連接。在此情形下，係將等化信號BEQ0設定成邏輯電壓“H”，使MOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

Qn12EQ變成ON，而將該位元線BL1和位元線BL2連接在一起。然後，在該狀態下，將預充電信號BP0設定成邏輯電壓“H”，而使MOS電晶體Qn11BP、Qn02BP變成ON，並使位元線BL1、BL2變成接地電位VSS。之後，將等化信號BEQ0設定成邏輯電壓“L”，而使MOS電晶體Qn12EQ變成OFF，並使位元線BL1和位元線BL2相切離。藉由如上所述動作，位元線BL0之電位將變動一相當於負載容量所變動之份量，而該變動量即可用以補償該位元線在該基準電位作成時的變動量。

如上所述般，在本實施例中，係藉由將位元線連接至其它特定位元線，來調整負載容量。而且，利用那時所生於位元線上的電位變動來補償基準電位之變動，因而防止了錯誤資料之讀出與再寫入的發生。

本發明並不限於以上所述各種實施例，本發明之精神與範圍內所存在之變形例都包含在申請專利範圍內。

(請先閱讀背面之注意事項再填寫本頁)



訂



元件標號對照表

21、22	信號線	Qn00、Qn10	MOS 電晶體
23	電荷供給電路	Qn20、Qn30	
24a、24b	第一切換電路	Qn01、Qn11	
25	第二切換電路	Qn12、Qn13	
3、4、 31、32、33、 34、BL0、 DBL、BL1、 BL2	位元線	Qn21、Qn31 Qn00CG Qn01CG Qn02CG Qn03CG	
GBL	匯總位元線	Qn00D Qn01D	
8a、8b、8c、 8d、8e、 30a、30b、30c	記憶格	Qn02D Qn03D QnBEQD	
35a、35b	電荷供給電路	Qn00DCG	
36a、36b、37	切換元件	Qn01DCG	
38		Qn00BP	
SA0、SA1、 SA2、SA3、 7	感測放大器	Qn10BP Qn00DP Qn00DP2 Qn01DP	
40a、40b、40c	記憶格	Qn02DP	
41、42、43、 3、4	位元線	Qn03DP Qn10DP	
44a、44b	電荷供給電路	Qn10DP2	
45a、45b	切換元件	Qn13DP	
46	切換元件	Qn0T Qn20T	
CP0、CP1、 DCP0、6	記憶格屏極電極	Qn1T Qn11T	
C00、C10 C20、C30 C01、C11 C21、C31 C02 C00D C10D 13、14	記憶格電容器	Qn0EQ Qn10EQ Qn20EQ 11、12 WL0、WL1 WL2、WL3 WL4、WL5 WL6、WL7 DML0、 DML1、1 2、DWL0	字元線 參考字元線
		C00D、C02D C01D、C03D C11D	參考記憶格電容器
		RC0、RC1、 9、10	參考記憶格

四、中文發明摘要(發明之名稱：)

半導體記憶裝置

本發明中基準電位產生裝置之構成包含：二條信號線21、22；用以供應一用以賦予該二條信號線21、22電位之電荷的電荷供給裝置23；因第一控制信號而連接該電荷供給裝置23和該二條信號線21、22之間，進而將電荷供給各者的第一連接裝置24a、24b；因第二控制信號而在該兩條信號線21、22之間構成連接，且在平均化出一由所供給之電荷量和各信號線之負載容量所決定之電位之後，再將該二條信號線21、22切離的第二連接裝置25。而，本發明之半導體記憶裝置則內含有上述基準電位產生裝置，並以感測放大器將一讀出至位元線之信號電位與該基準電位兩者間之電位差加以放大，並輸出。藉此，乃可有一種用以產生準確基準電位的基準電位產生裝置，進而提供一種內含有該產生裝置，並能正確判定所讀出之資料係“0”或“1”並輸出的半導體記憶裝置。

英文發明摘要(發明之名稱：)

A Semiconductor Memory Device

A reference potential generator is constituted of two signal lines 21 and 22; a charge supplying means to supply charge to signal lines 21 and 22; a first connection means 24a and 24b connecting the charge supplying means 23 and two signal lines 21 and 22 in order to supply charge to the two signal lines; and a second connection means 25 connecting two signal lines 21 and 22 together by the second control signal, and two signal lines are disconnected after the potentials of the two signal lines determined by the supplied charge and each of load capacitances of signal lines are averaged. A semiconductor memory device of the invention incorporating the above reference potential generator generating an exact reference potential, is able to amplify and output the potential difference between the reference potential and the potential of data readout in the bit line, and by this, "1" or "0" of readout data can be precisely determined.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第83110381號專利案申請專利範圍修正本

86. 10

1. 一種半導體記憶裝置，其包含：

一記憶格；

一用以從該記憶格讀出資料的第一位元線與第二位元線；

一基準電位產生裝置，其包含有：用以產生基準電位的第三位元線與第四位元線、用以供應電荷給該第三和第四位元線的電荷供給裝置、分別連接於該電荷供給裝置與該第三位元線之間以及該電荷供給裝置與該第四位元線之間之具有切換機能的第一連接裝置、以及連接於該第三位元線與第四位元線之間之具有切換機能的第二連接裝置；以及，

一以該第一位元線和該第二位元線為輸出入的感測放大器；

該電荷供給裝置，包含：寫入有邏輯電壓“H”之電容器，及寫入有邏輯電壓“L”之電容器。

2. 一種半導體記憶裝置，其包含：

一記憶格；

一用以從該記憶格讀出資料的第一位元線；

一基準電位產生裝置，其包含有：用以產生基準電位的第二位元線與第三位元線、用以供應電荷給該第二和第三位元線的電荷供給裝置、分別連接於該電荷供給裝置與該第二位元線之間以及該電荷供給裝置

(請先閱讀背面之注意事項再填寫本頁)

訂

總

敬請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第83110381號專利案申請專利範圍修正本

86. 10

1. 一種半導體記憶裝置，其包含：

一記憶格；

一用以從該記憶格讀出資料的第一位元線與第二位元線；

一基準電位產生裝置，其包含有：用以產生基準電位的第三位元線與第四位元線、用以供應電荷給該第三和第四位元線的電荷供給裝置、分別連接於該電荷供給裝置與該第三位元線之間以及該電荷供給裝置與該第四位元線之間之具有切換機能的第一連接裝置、以及連接於該第三位元線與第四位元線之間之具有切換機能的第二連接裝置；以及，

一以該第一位元線和該第二位元線為輸出入的感測放大器；

該電荷供給裝置，包含：寫入有邏輯電壓“H”之電容器，及寫入有邏輯電壓“L”之電容器。

2. 一種半導體記憶裝置，其包含：

一記憶格；

一用以從該記憶格讀出資料的第一位元線；

一基準電位產生裝置，其包含有：用以產生基準電位的第二位元線與第三位元線、用以供應電荷給該第二和第三位元線的電荷供給裝置、分別連接於該電荷供給裝置與該第二位元線之間以及該電荷供給裝置

(請先閱讀背面之注意事項再填寫本頁)

訂

總

敬請委員明示，本案修正後是否變更原實質內容

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

與該第三位元線之間之具有切換機能的第一連接裝置、以及連接於該第二位元線與第三位元線之間之具有切換機能的第二連接裝置；以及，

一以該第一位元線和該第二位元線為輸出入的感測放大器。

3. 如申請專利範圍第2項所載之半導體記憶裝置，其包含有多數條該第一位元線，且該等多數條第一位元線之每一條都透過一受互相不同之信號所控制的切換元件，而連接至該感測放大器。

4. 如申請專利範圍第2或3項所載之半導體記憶裝置，其中，該第一位元線與該第三位元線透過一切換元件而連接在一起。

5. 一種半導體記憶裝置，其包含：

一第一記憶格；

一用以從該第一記憶格讀出資料的第一位元線；

一用以使基準電位產生的第二位元線與第三位元線；

一第二記憶格；

一用以從該第二記憶格讀出資料的第四位元線；

一第一基準電位產生裝置，其包含有：用以供應電荷給該第二和第三位元線的第一電荷供給裝置、分別連接於該第一電荷供給裝置與該第二位元線之間以及該第一電荷供給裝置與該第三位元線之間之具有切換機能的第一連接裝置、以及連接於該第二位元線與

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

該第三位元線之間之具有切換機能的第二連接裝置；

一以該第一位元線和該第二位元線為輸出入的第一感測放大器；以及，

一以該第三位元線和該第四位元線為輸出入的第二感測放大器。

6. 如申請專利範圍第5項所述之半導體記憶裝置，其還包含有：

一供將資料讀出至該第三位元線的第三記憶格；

一使基準電位發生於其與該第四位元線之間的第五位元線；

一第四記憶格；

一用以從該第四記憶格讀出資料的第六位元線；

一第二基準電位產生裝置，其包含有：用以供應電荷給該第四和第五位元線的第二電荷供給裝置、分別連接於該第二電荷供給裝置與該第四位元線之間以及該第二電荷供給裝置與該第五位元線之間之具有切換機能的第三連接裝置、以及連接於該第四位元線與該第五位元線之間之具有切換機能的第四連接裝置；以及，

一以該第五位元線和該第六位元線為輸出入的第三感測放大器；

而且，該第二位元線與該第四位元線之間以及該第三位元線與該第五位元線之間分別透過切換元件連接在一起。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

7. 如申請專利範圍第5項所述之半導體記憶裝置，其還包含有：

一第二基準電位產生裝置，其包含有：用以供應電荷給該第一和第四位元線的第二電荷供給裝置、分別連接於該第二電荷供給裝置與該第一位元線之間以及該第二電荷供給裝置與該第四位元線之間之具有切換機能的第三連接裝置、以及連接於該第一位元線與該第四位元線之間之具有切換機能的第四連接裝置；

而且，該由第一位元線與該第三位元線所合成之位元線對以及，該由第二位元線與該第四位元線所合成之位元線對，係分別透過受不同信號所控制的切換元件而連接在一起。

8. 如申請專利範圍第5項所述之半導體記憶裝置，其還包含有：

一第二基準電位產生裝置，其包含有：用以供應電荷給該第一和第四位元線的第二電荷供給裝置、分別連接於該第二電荷供給裝置與該第一位元線之間以及該第二電荷供給裝置與該第四位元線之間之具有切換機能的第三連接裝置、以及連接於該第一位元線與該第四位元線之間之具有切換機能的第四連接裝置；

而且，該第一位元線與該第三位元線之間透過切換元件連接在一起。

9. 一種半導體記憶裝置，其包含：

一記憶格；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

一用以從該記憶格讀出資料的第一位元線與第二位元線；

一基準電位產生裝置，其包含有：用以供應電荷給該第一和第二位元線的電荷供給裝置、分別連接於該電荷供給裝置與該第一位元線之間以及該電荷供給裝置與該第二位元線之間之具有切換機能的第一連接裝置、以及連接於該第一位元線與第二位元線之間之具有切換機能的第二連接裝置；以及，

一以該第一位元線和該第二位元線為輸出入的感測放大器。

10. 如申請專利範圍第2、5或9項所述之半導體記憶裝置，其中該電荷供給裝置由電容器所構成。
11. 如申請專利範圍第2、5或9項所述之半導體記憶裝置，其中該記憶格與該電荷供給裝置由一含有約略相同設計之電容器的電路所構成。
12. 如申請專利範圍第10項所述之半導體記憶裝置，其中該電容器由一已被寫入有邏輯電壓“H”之電容器以及一已被寫入有邏輯電壓“L”的電容器所組成。
13. 如申請專利範圍第11項所述之半導體記憶裝置，其中該電容器由一已被寫入有邏輯電壓“H”之電容器以及一已被寫入有邏輯電壓“L”的電容器所組成。
14. 如申請專利範圍第10項所述之半導體記憶裝置，其中該電容器由一種以鐵電質膜作為電容絕緣膜的鐵電質電容器所組成。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

15. 如申請專利範圍第11項所述之半導體記憶裝置，其中該電容器由一種以鐵電質膜作為電容絕緣膜的鐵電質電容器所組成。
16. 如申請專利範圍第12項所述之半導體記憶裝置，其中該電容器由一種以鐵電質膜作為電容絕緣膜的鐵電質電容器所組成。
17. 如申請專利範圍第13項所述之半導體記憶裝置，其中該電容器由一種以鐵電質膜作為電容絕緣膜的鐵電質電容器所組成。
18. 如申請專利範圍第9項所述之半導體記憶裝置，其具有一用以在從該記憶格讀出資料時，使該第一位元線和該第二位元線之由感測放大器側看時之容量約略相等的容量等化裝置。
19. 如申請專利範圍第9項所述之半導體記憶裝置，其中，在該第一連接裝置中，係以相同之信號來控制該位於該第一位元線與該電荷供給裝置之間的連接裝置，以及該位於該第二位元線與該電荷供給裝置之間的連接裝置。
20. 如申請專利範圍第9項所述之半導體記憶裝置，其中，先將該記憶格切離該第一與第二位元線之後，再使該感測放大器動作。
21. 如申請專利範圍第10項所述之半導體記憶裝置，其中，於對該電容器進行再寫入之動作時的電荷供給係透過位元線進行的。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

22. 如申請專利範圍第10項所述之半導體記憶裝置，其中，
於對該電容器進行再寫入之動作時的電荷供給係透過
其專用電路進行的。
23. 如申請專利範圍第21項所述之半導體記憶裝置，其中，
對該電容器進行再寫入動作時，每一再寫入動作都交
替寫入邏輯電壓“H”和邏輯電壓“L”。
24. 如申請專利範圍第22項所述之半導體記憶裝置，其中，
對該電容器進行再寫入動作時，每一再寫入動作都交
替寫入邏輯電壓“H”和邏輯電壓“L”。
25. 如申請專利範圍第1、2、5或9項所述之半導體記憶裝
置，其中，該電荷供給裝置有數個，且此數個電荷供
給裝置係透過各個為不同信號所控制之該第一連接裝
置，而被連接至該使基準電位產生的位元線上。
26. 如申請專利範圍第25項所述之半導體記憶裝置，其中，
在該等數個電荷供給裝置中，預先決定有一因進行資
料之讀出的記憶格而受動作的電荷供給裝置。
27. 如申請專利範圍第25項所述之半導體記憶裝置，其中，
在該等數個電荷供給裝置中，每當由記憶格讀出資料
時，即依序切換受動作之電荷供給裝置。
28. 如申請專利範圍第1、2、5或9項所述之半導體記憶裝
置，其中，還包含有一用以在供讀出資料的位元線之
預充電電位上造成一電位變動、且其電位變動量和一
在產生有基準電位之位元線之間之因切離該第二連接
裝置而產生之基準電位變動量相同的一種產生裝置。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

29. 如申請專利範圍第1項所述之半導體記憶裝置，其中，該記憶格及該電荷供給裝置，係由包含大致同一設計之電容器的電路所構成。
30. 如申請專利範圍第1或29項所述之半導體記憶裝置，其中，該電容器係由以強誘電體膜作為容量絕緣膜之強誘電體電容器所構成。
31. 如申請專利範圍第1項所述之半導體記憶裝置，其中，再寫入該電容器時之電荷供給，係經位元線執行者。
32. 如申請專利範圍第1項所述之半導體記憶裝置，其中，再寫入該電容器時之電荷供給，係經專用電路執行者。

(請先閱讀背面之注意事項再填寫本頁)

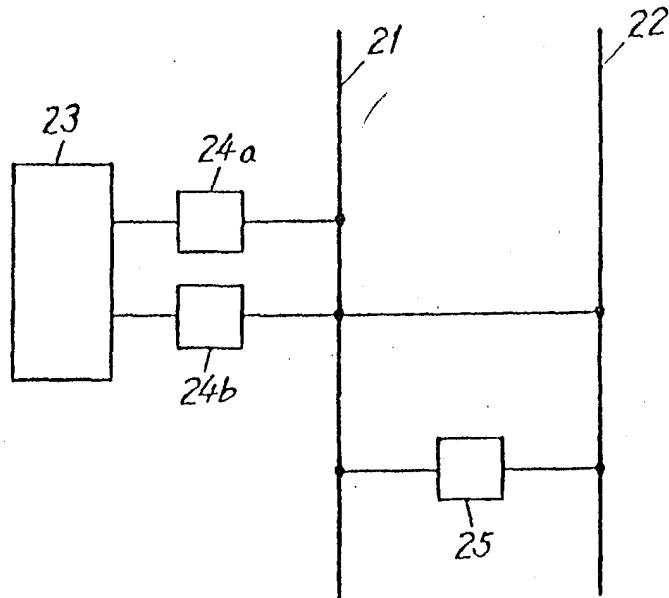
訂

線

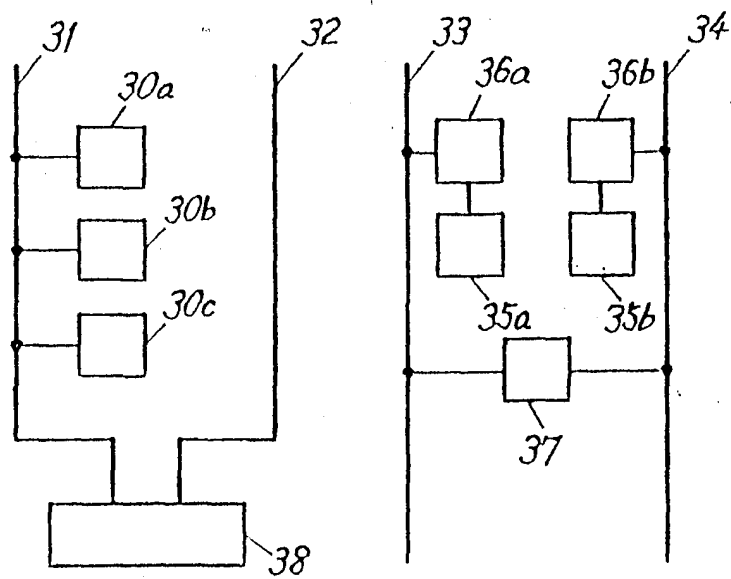
中

譯
圖

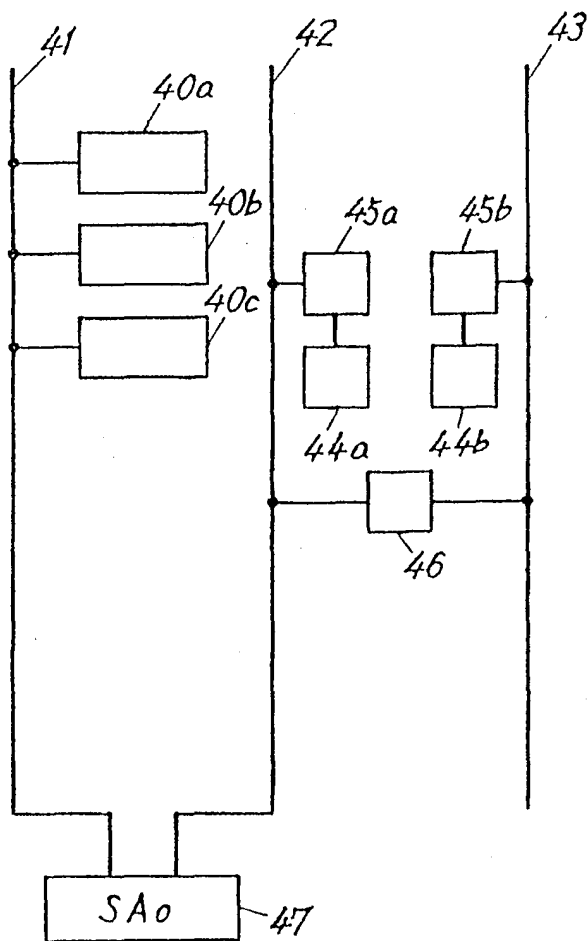
第 1 圖



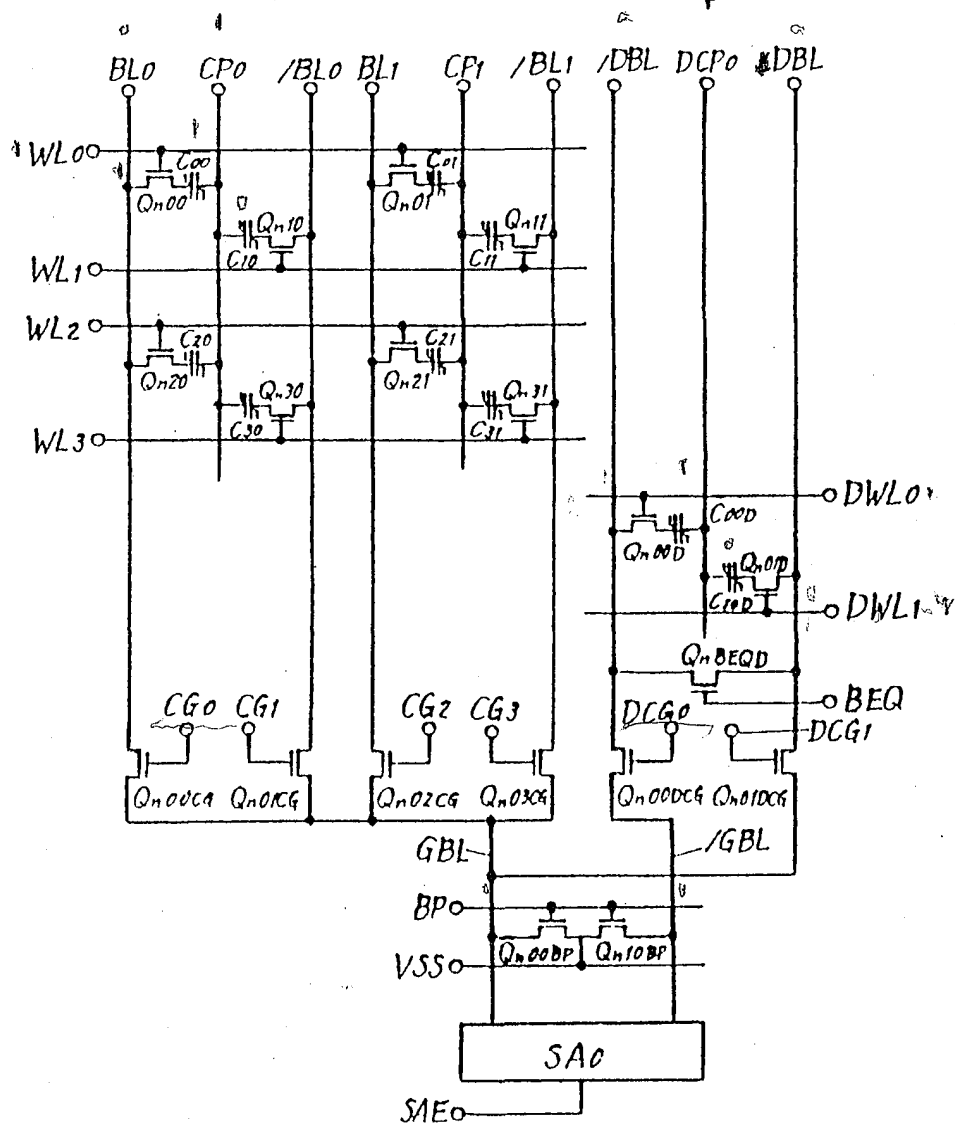
第 2 圖



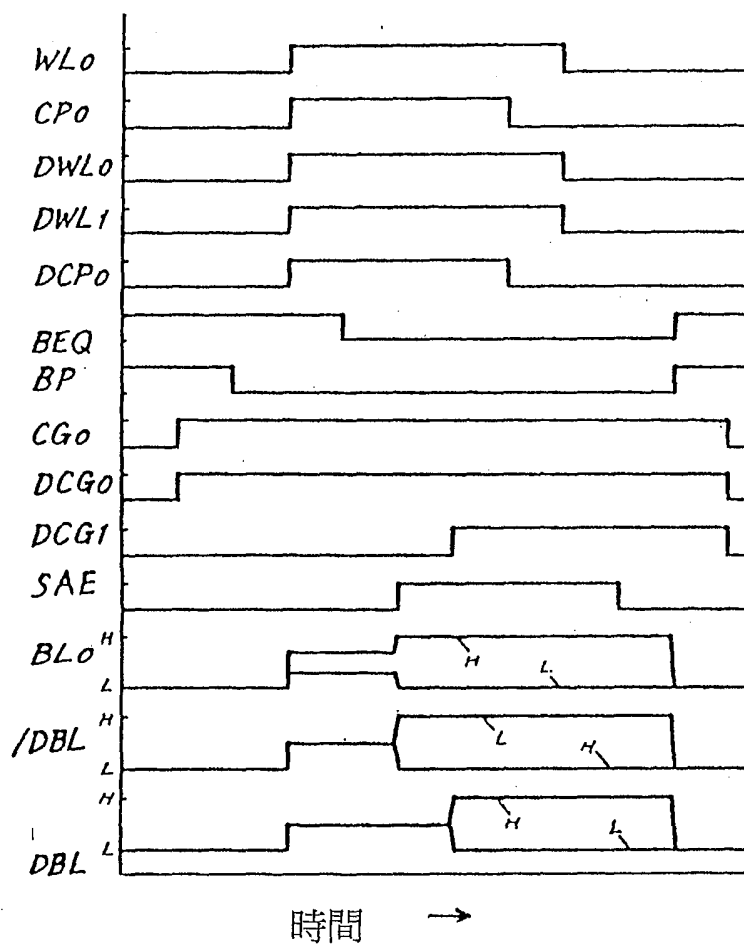
第 3 圖

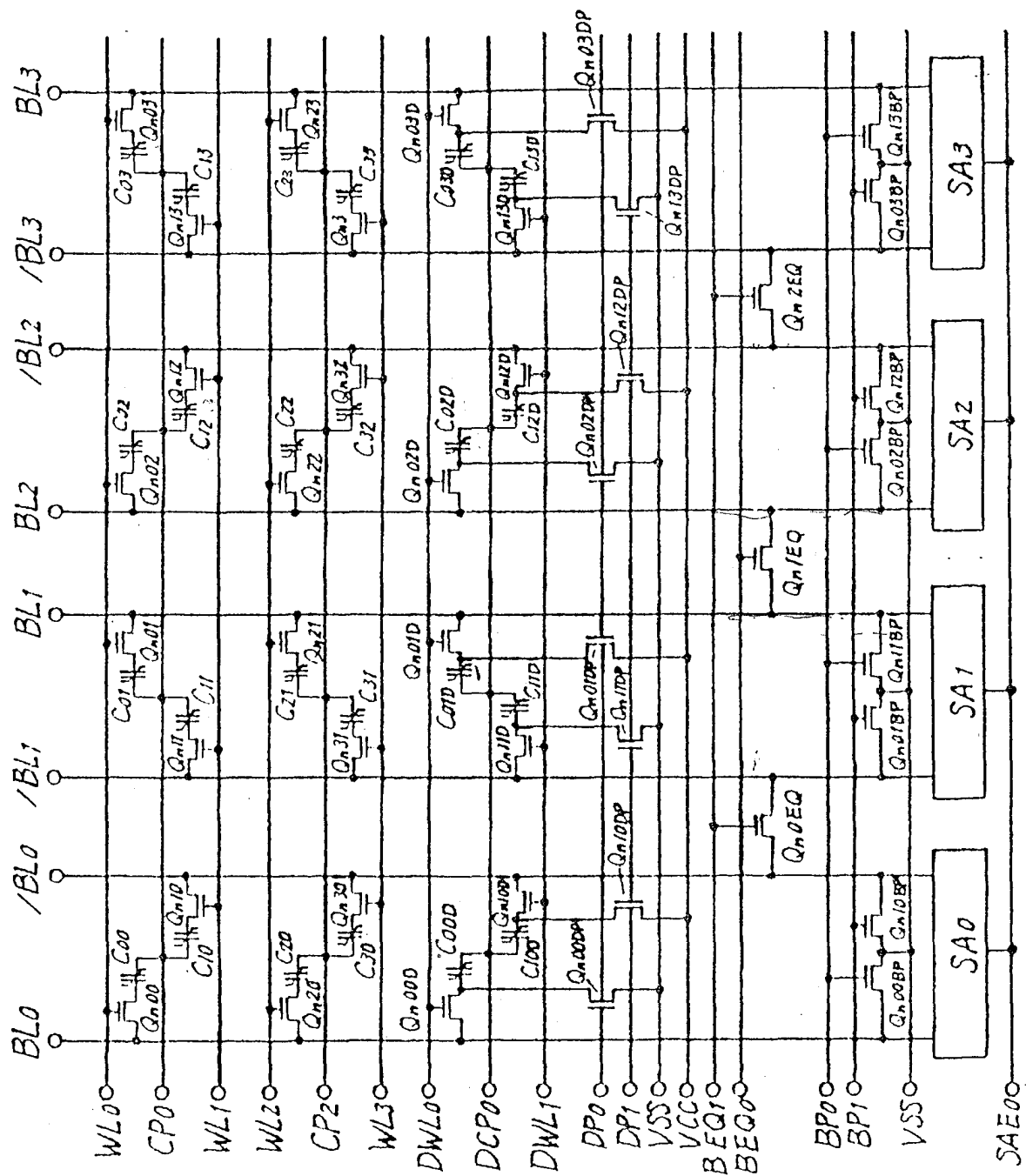


第 4 圖

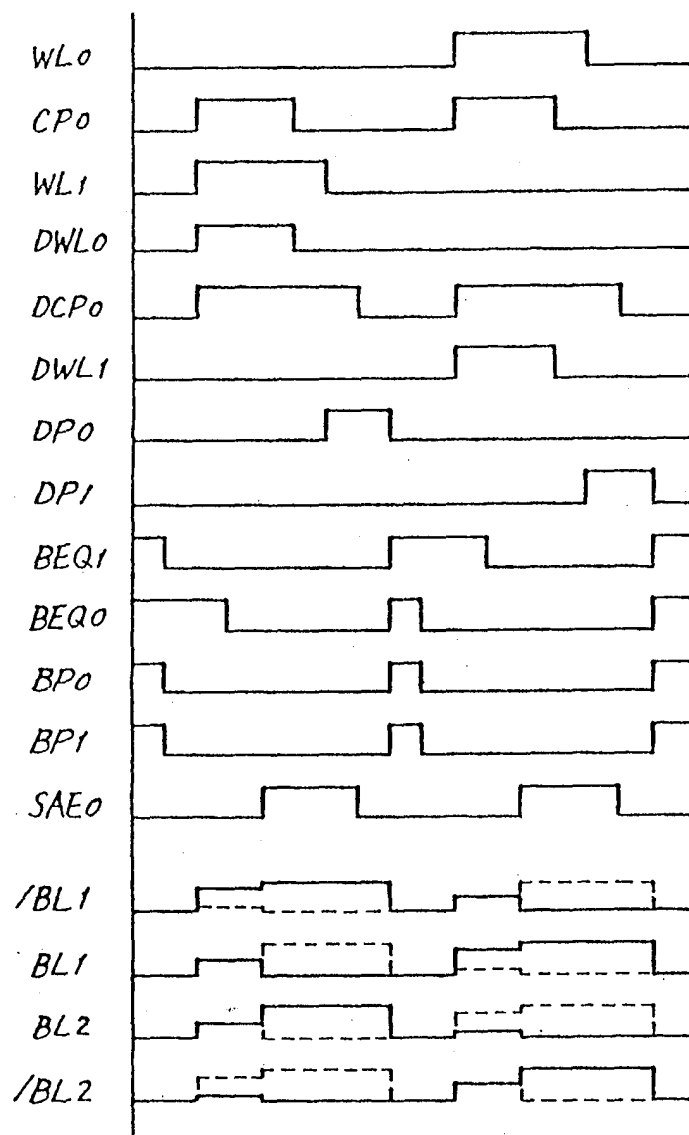


第 5 圖

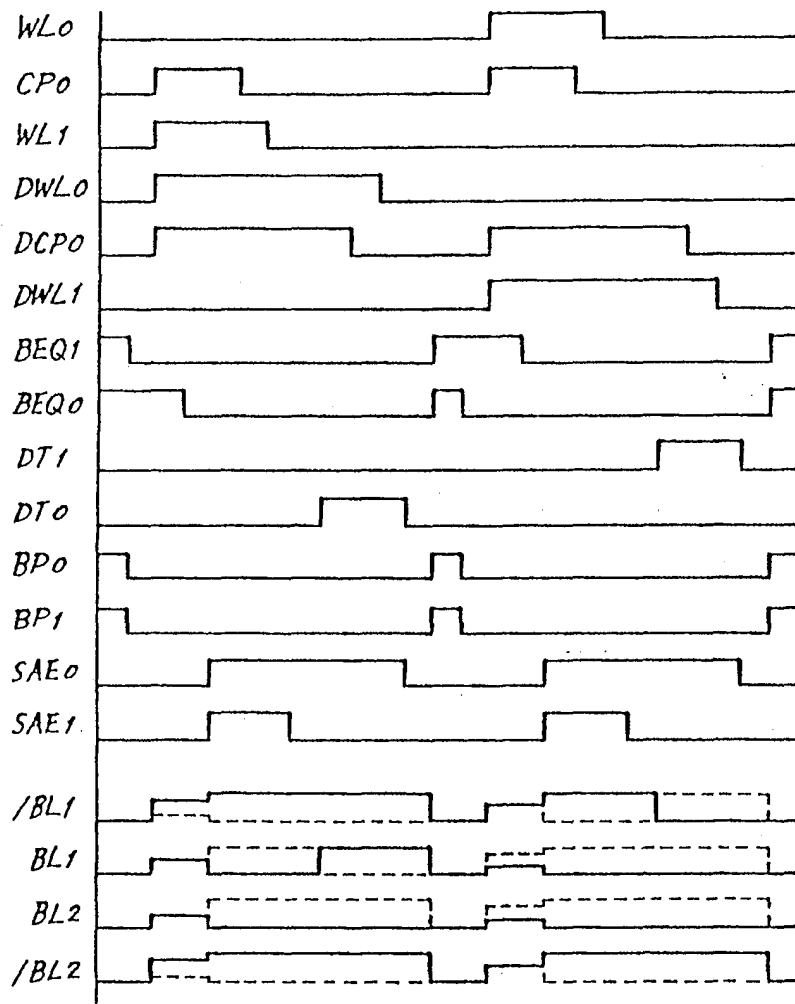




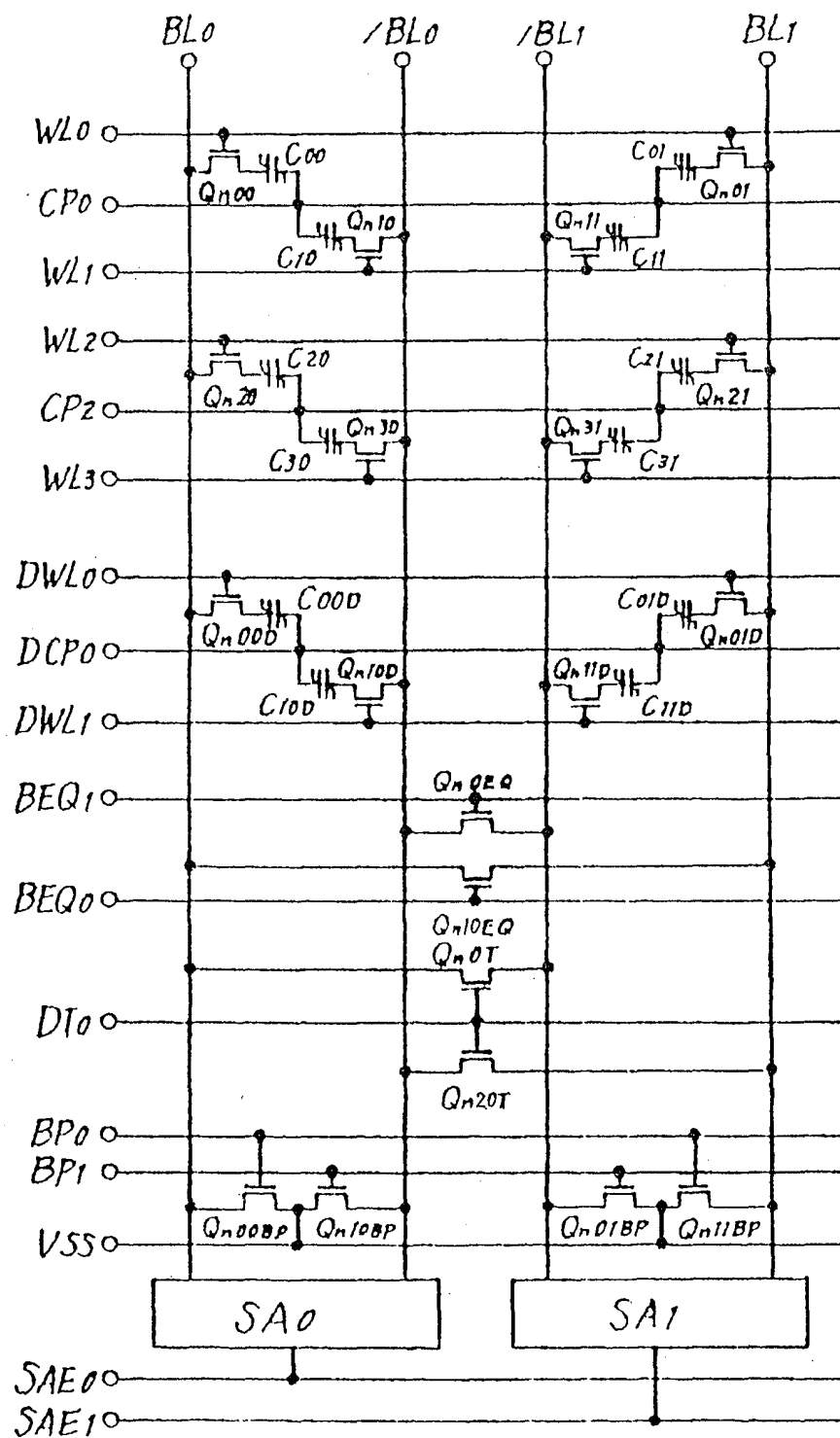
第 7 圖



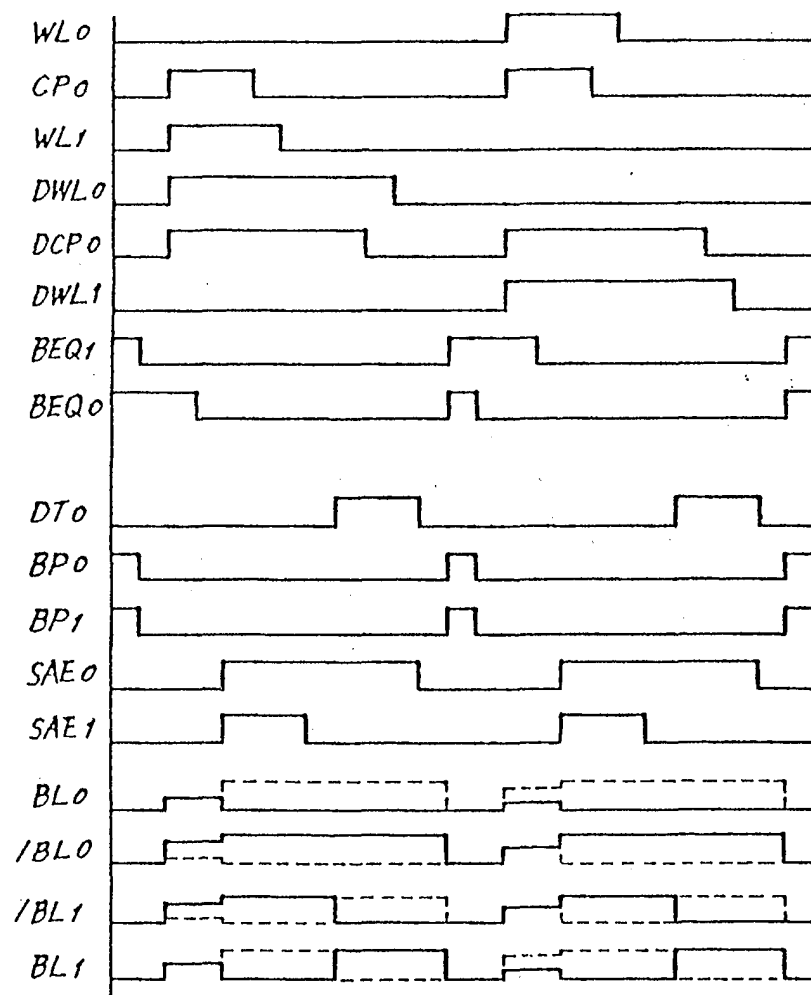
第 9 圖



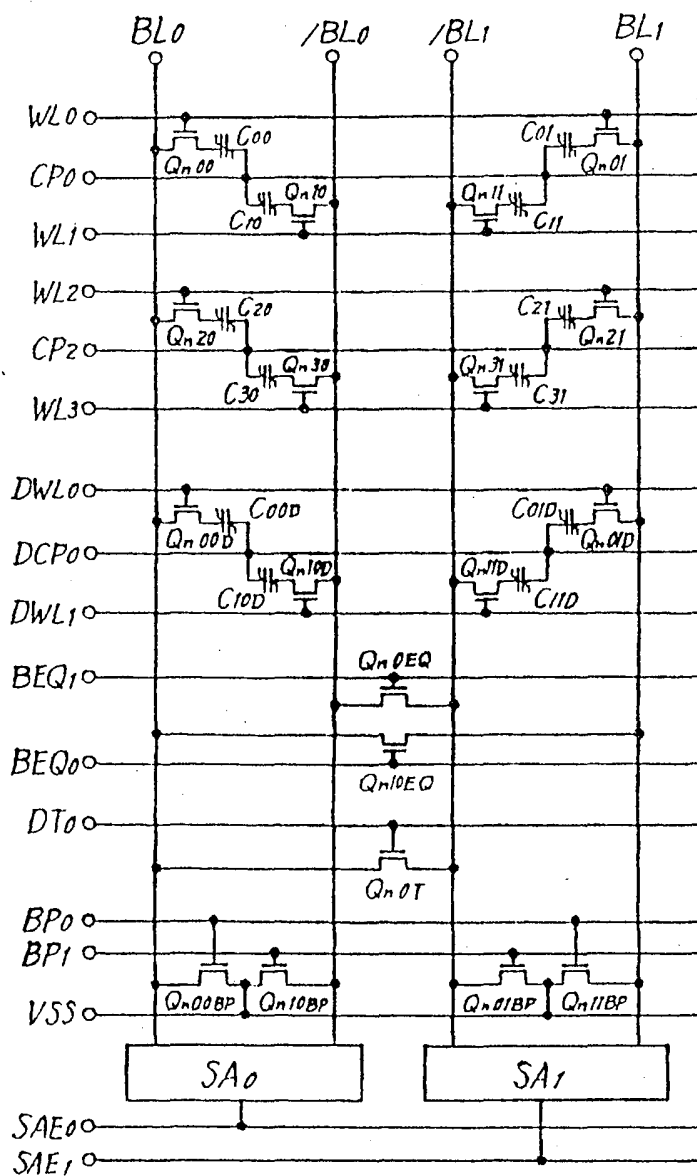
第 10 圖



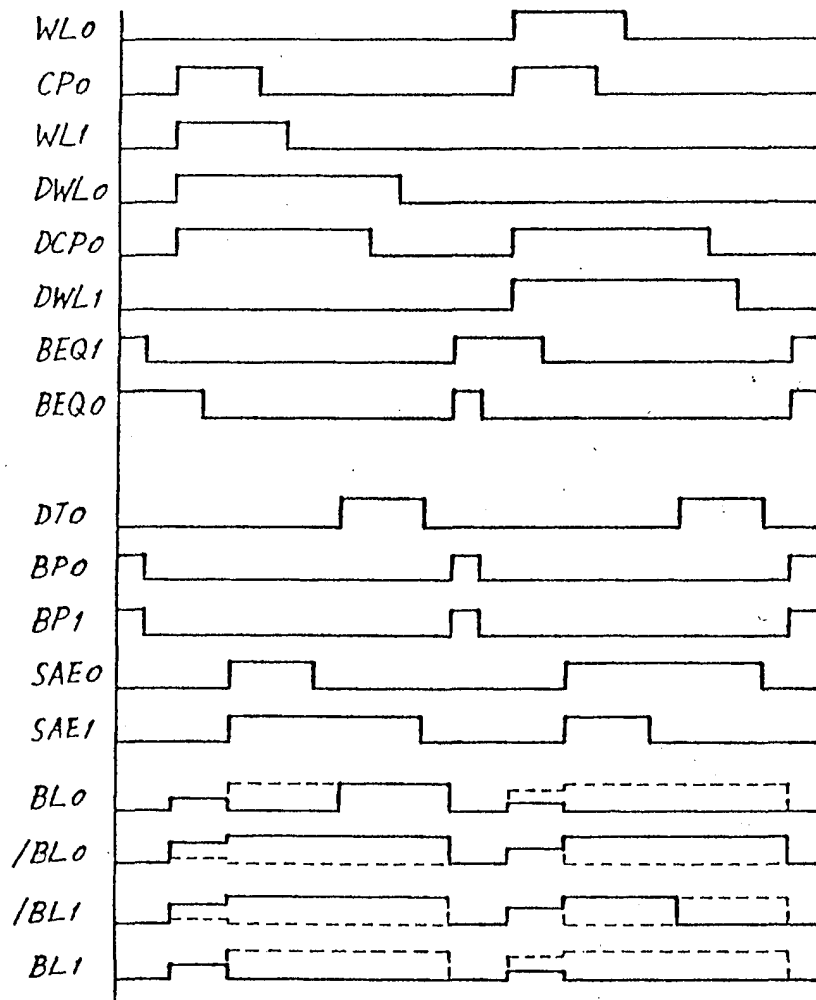
第 11 圖



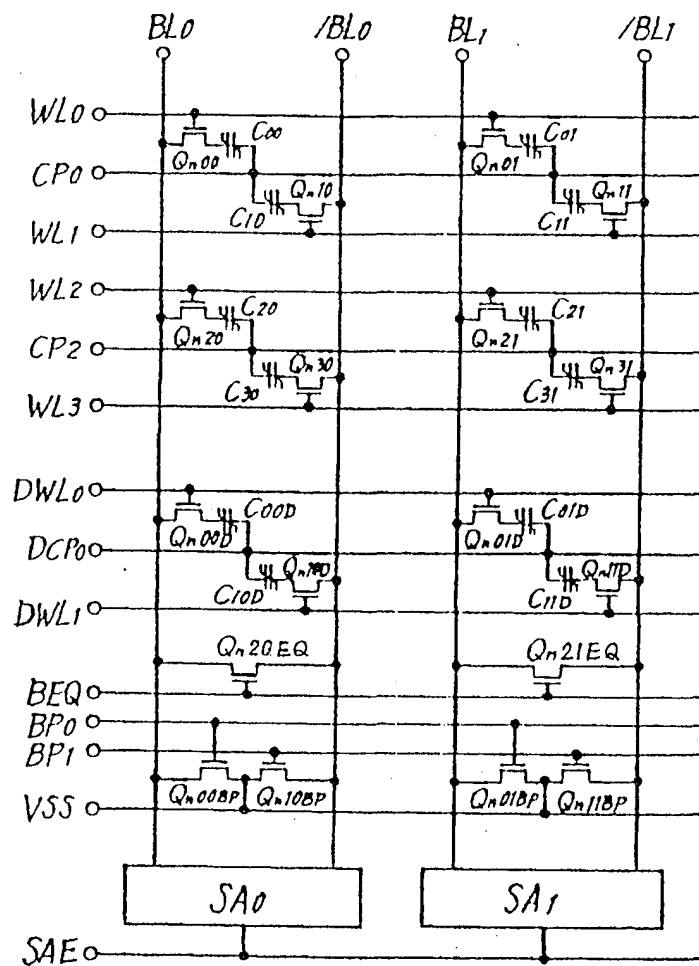
第 12 圖



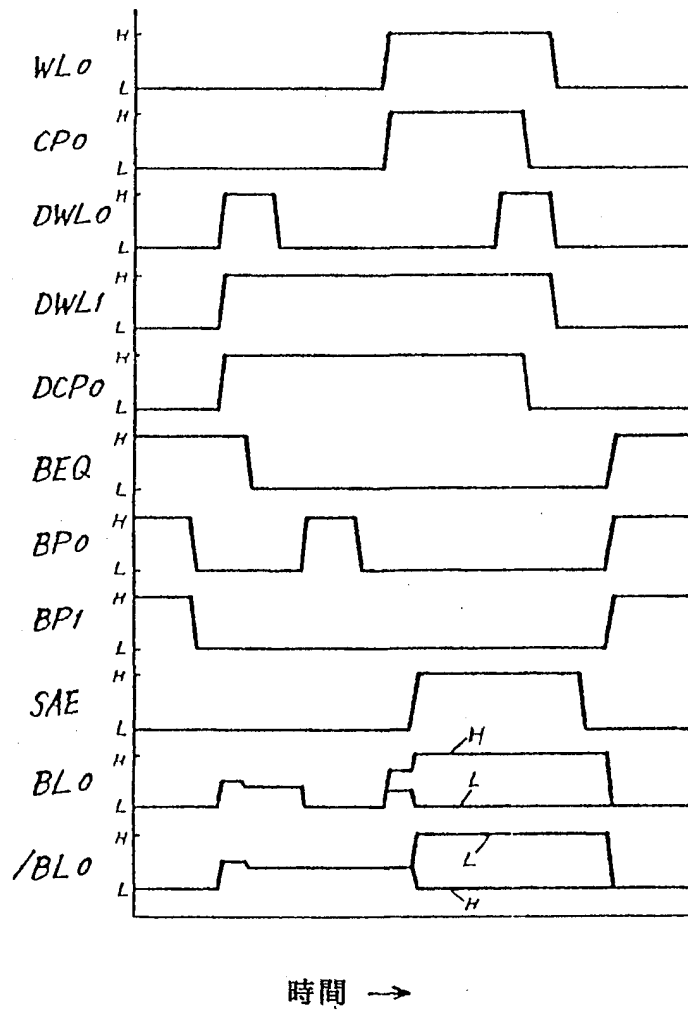
第 13 圖



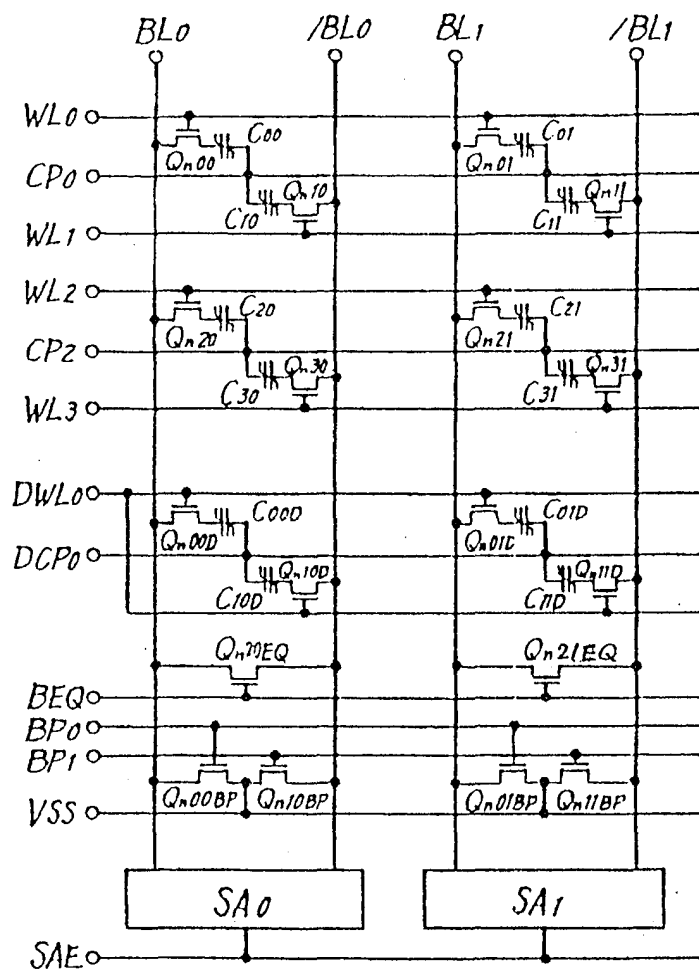
第 14 圖



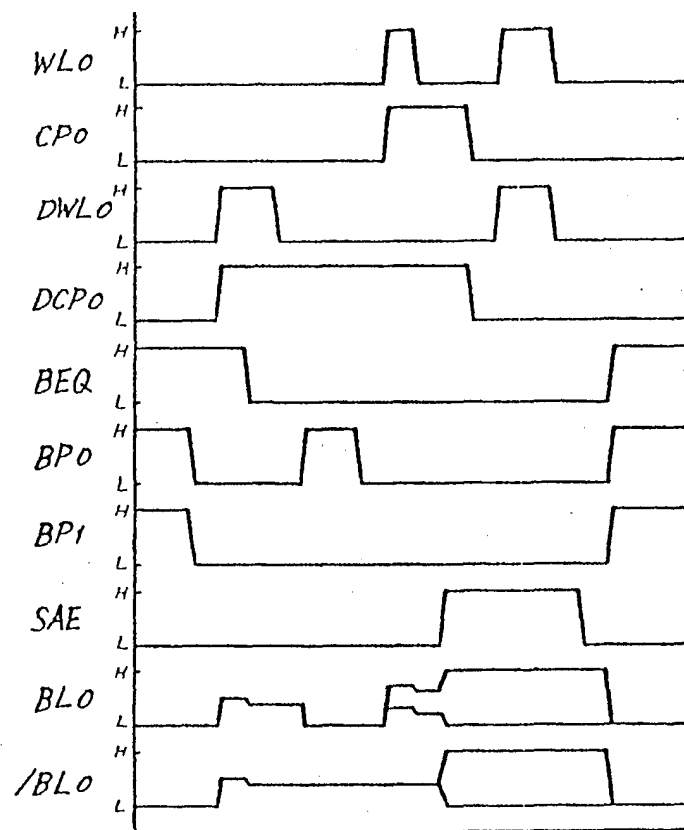
第 15 圖



第 16 圖

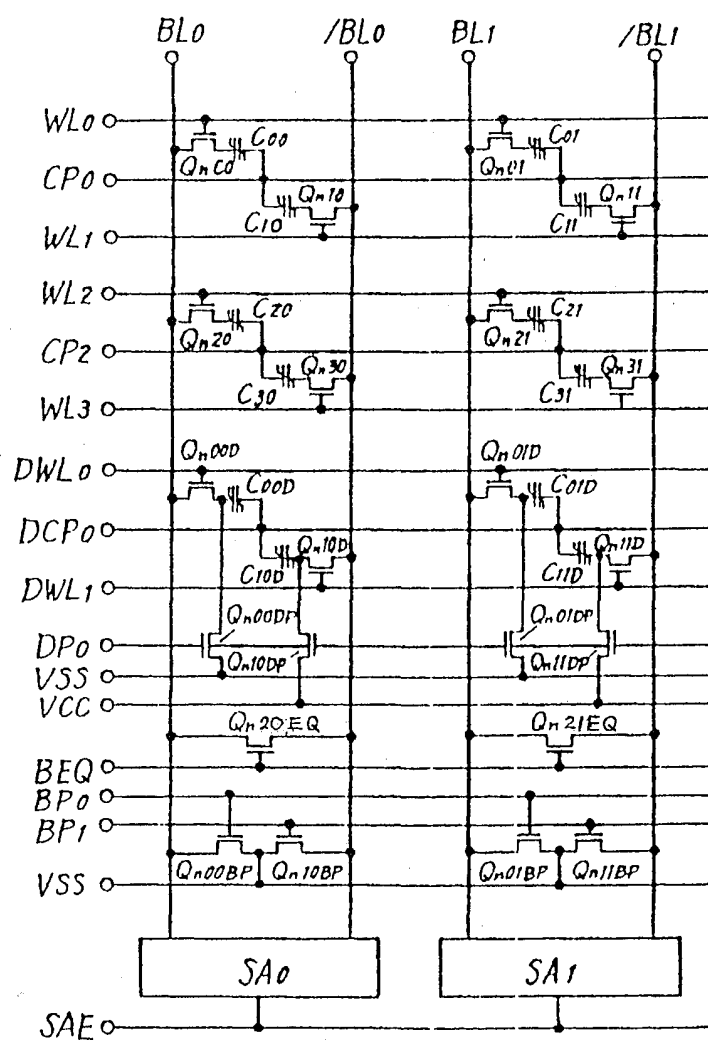


第 17 圖

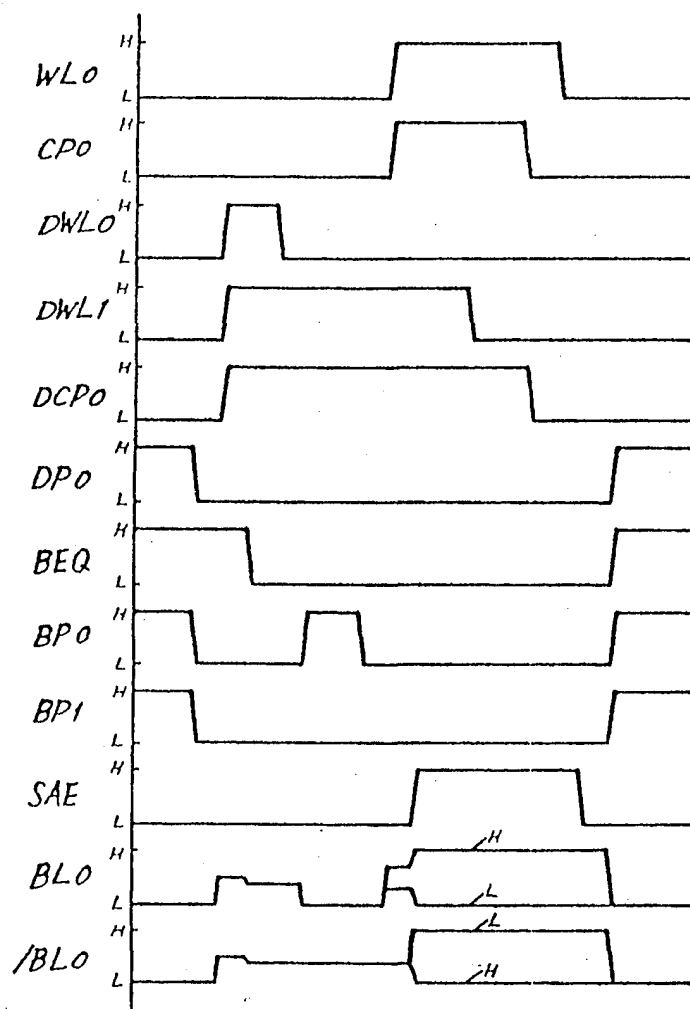


時間 →

第 18 圖

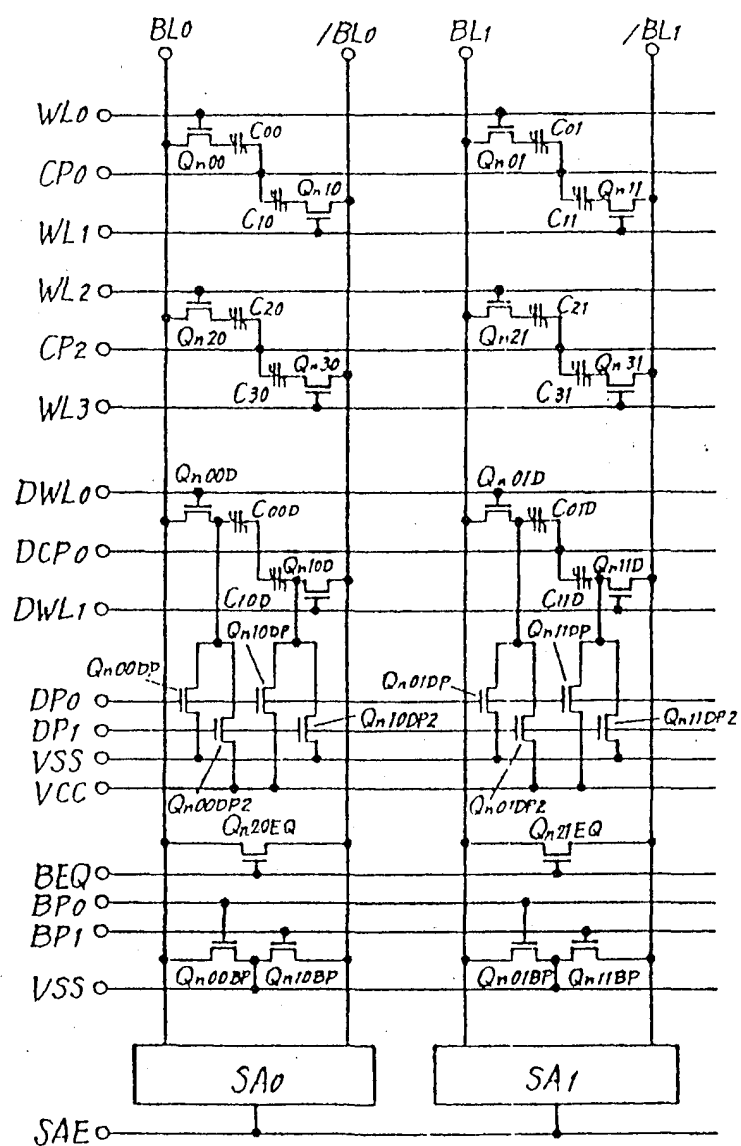


第 19 圖

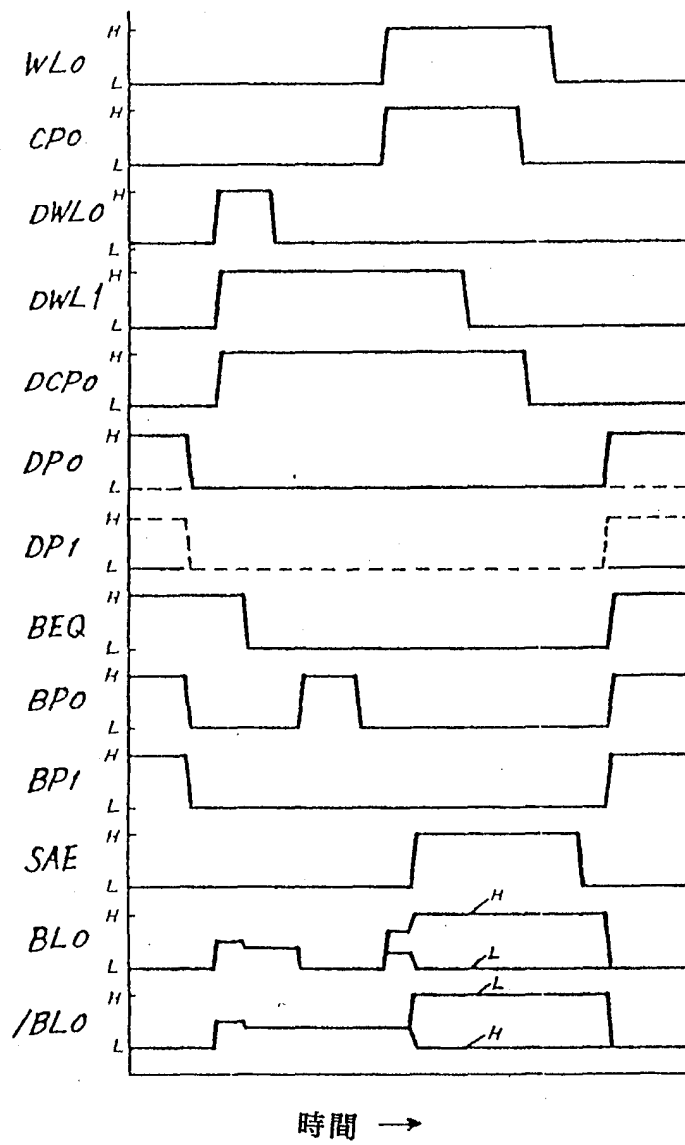


時間 →

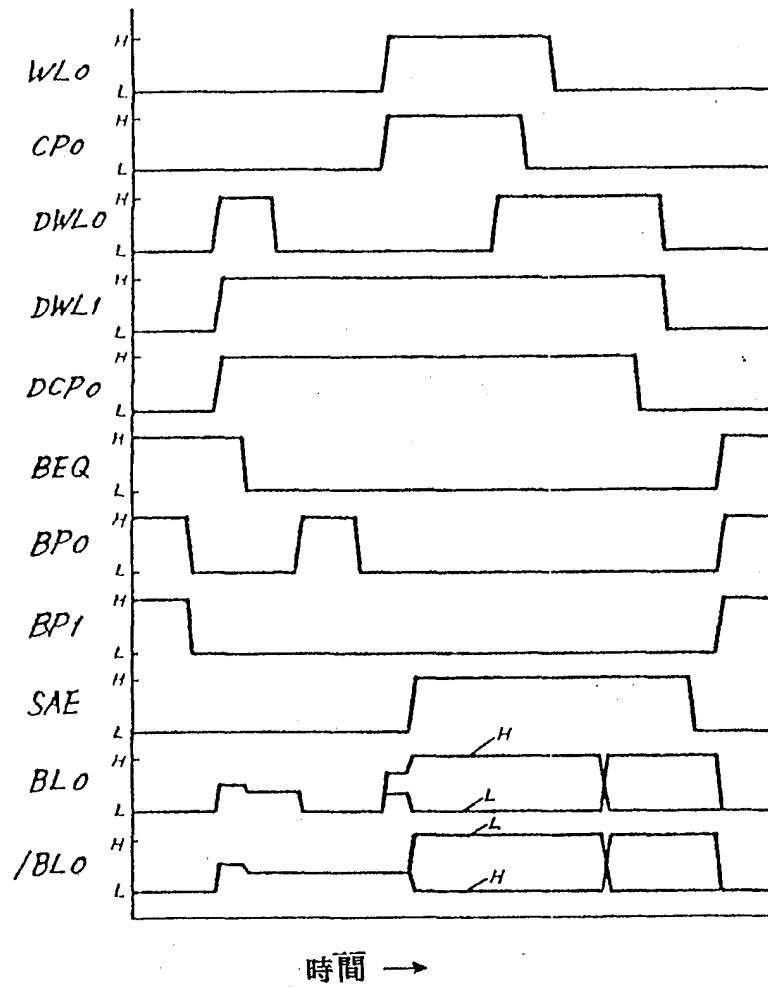
第 20 圖



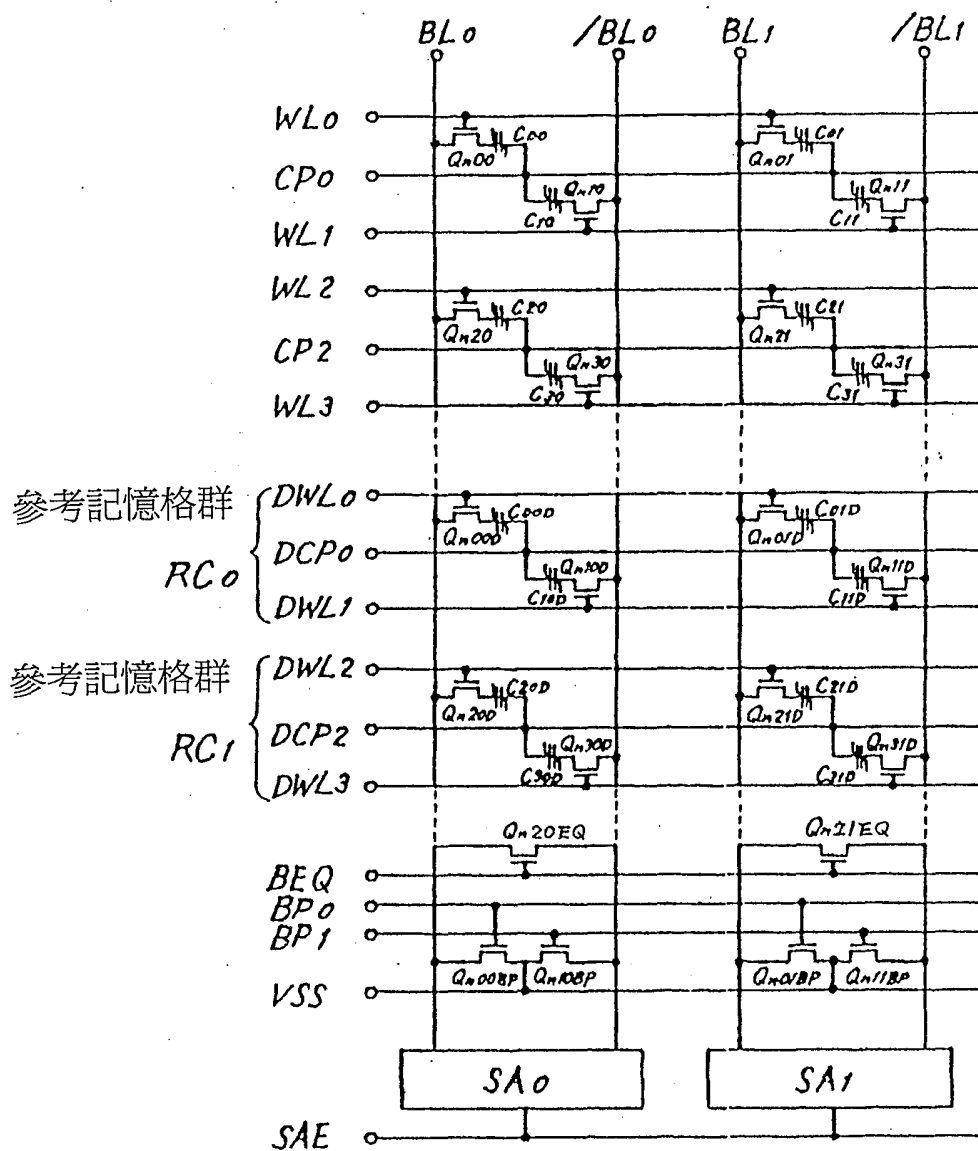
第 21 圖



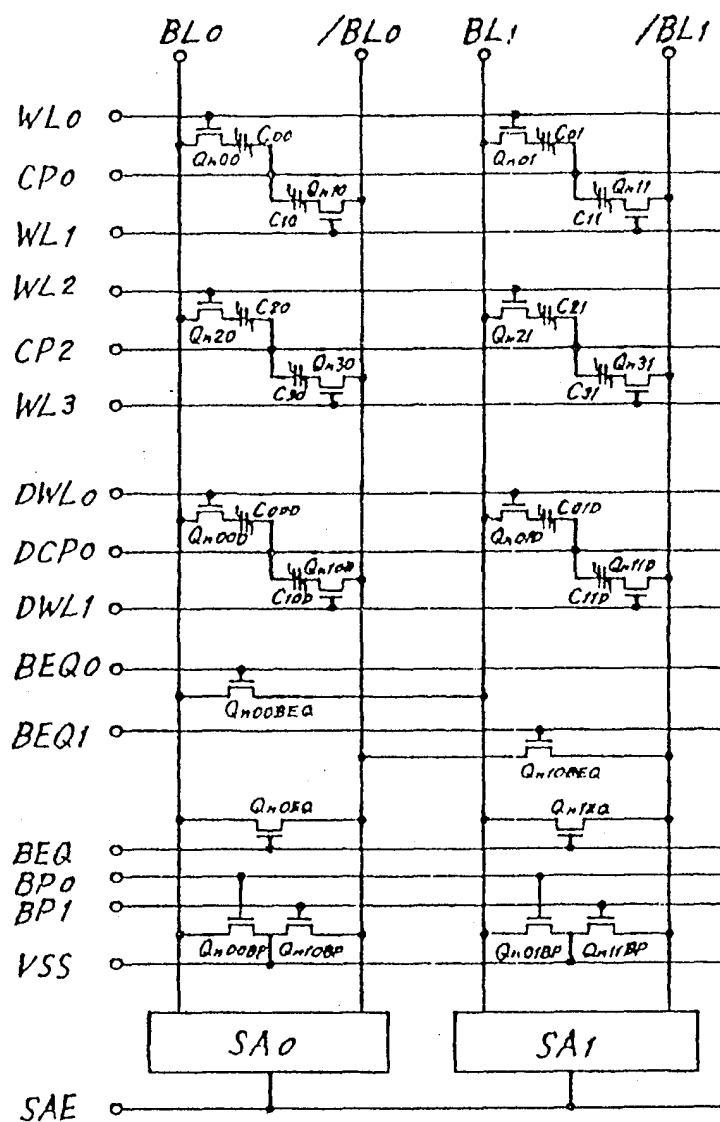
第 22 圖



第 23 圖

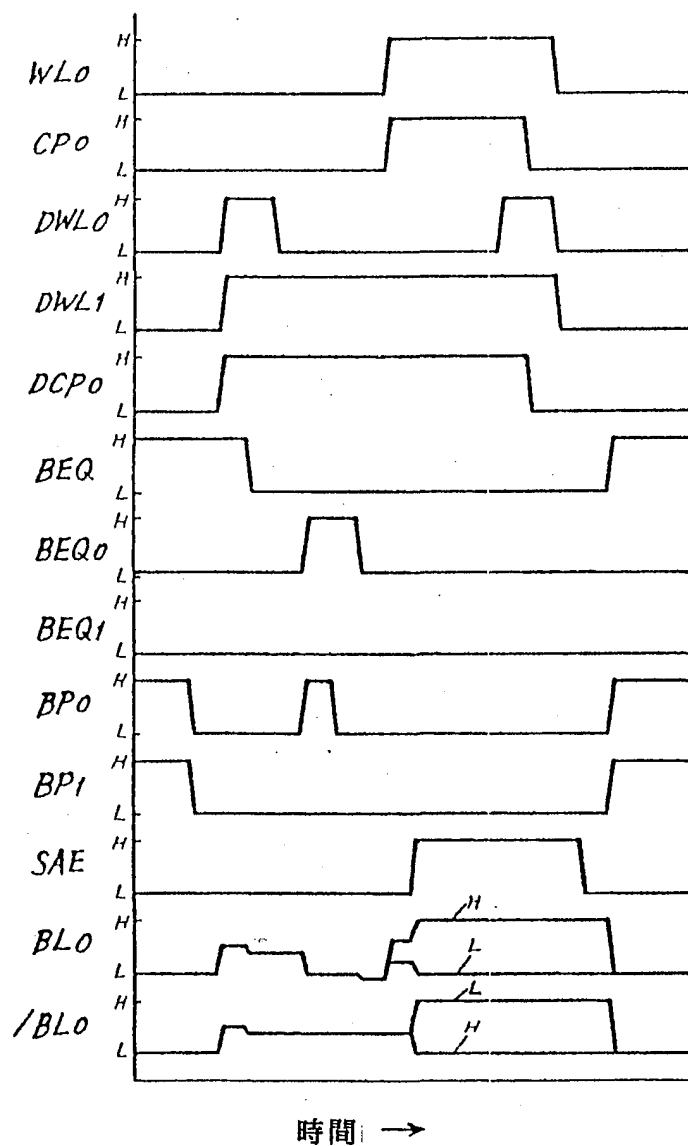


第 24 圖



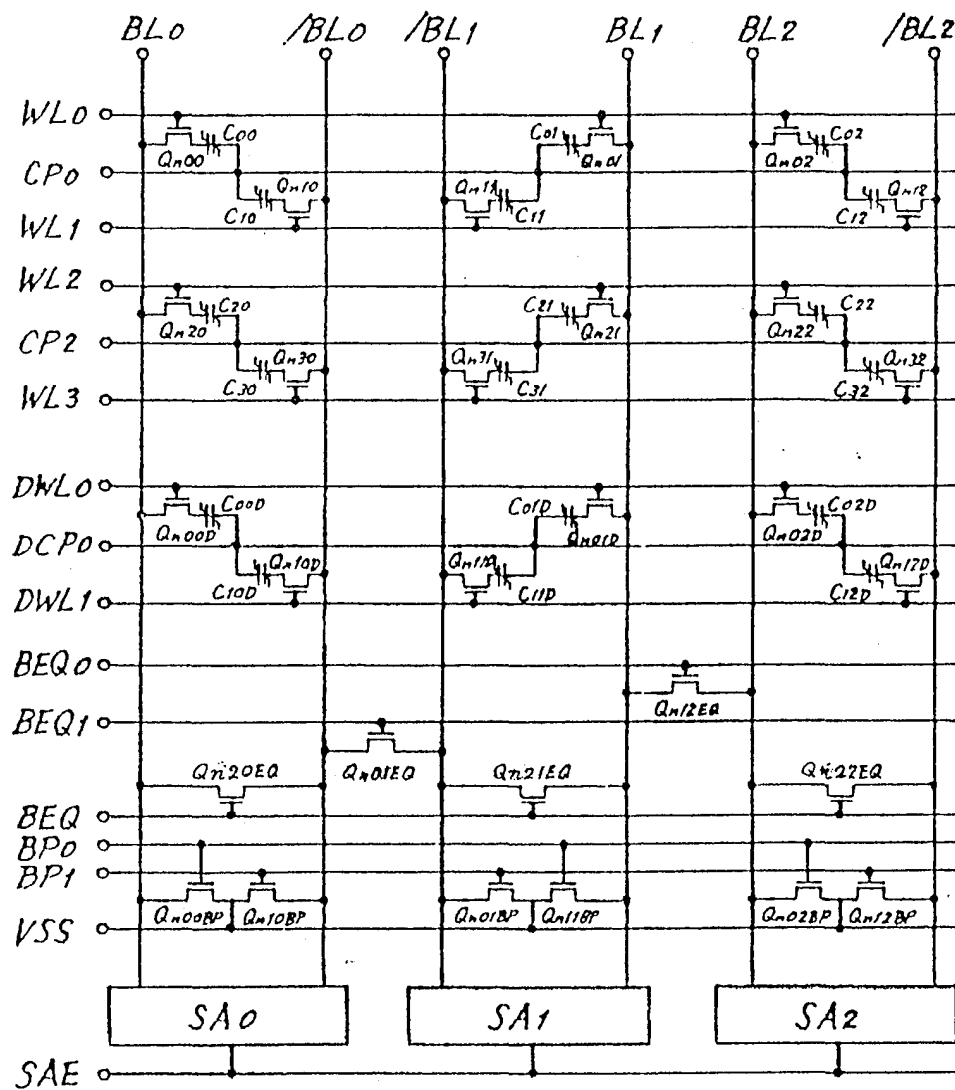
385445

第 25 圖



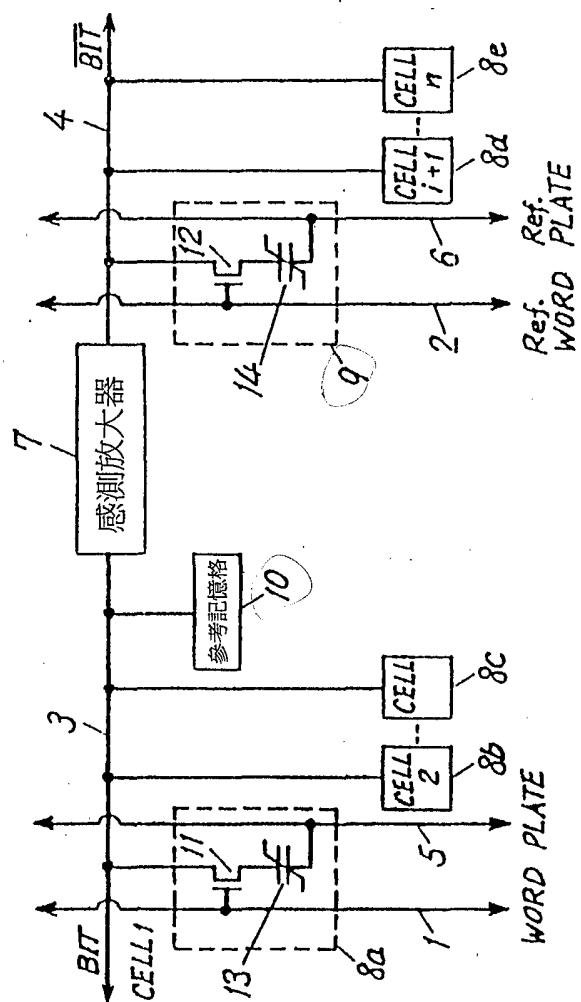
385445

第 26 圖

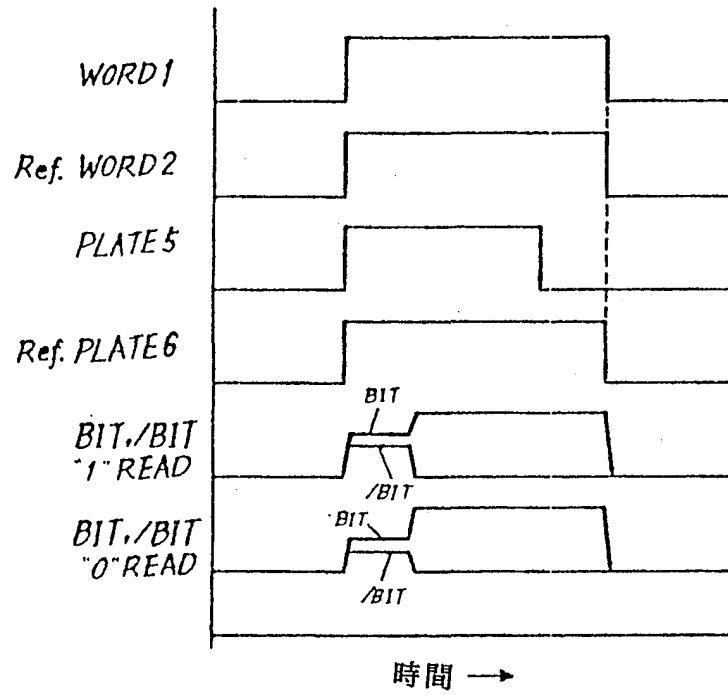


385445

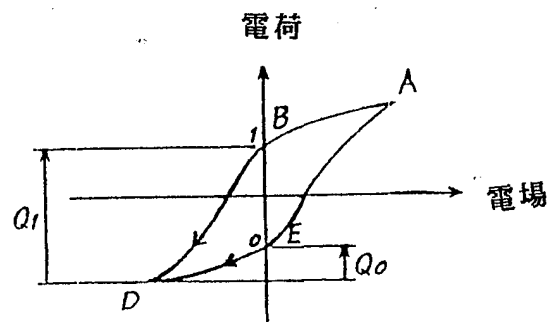
第 27 圖



第 28 圖



第 29 圖



385445

第 30 圖

